

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5535494号
(P5535494)

(45) 発行日 平成26年7月2日 (2014.7.2)

(24) 登録日 平成26年5月9日 (2014.5.9)

(51) Int.Cl.

F I

HO 1 L 25/10 (2006.01)

HO 1 L 25/11 (2006.01)

HO 1 L 25/18 (2006.01)

HO 1 L 25/14 Z

請求項の数 5 (全 27 頁)

(21) 出願番号	特願2009-39213 (P2009-39213)	(73) 特許権者	000190688
(22) 出願日	平成21年2月23日 (2009.2.23)		新光電気工業株式会社
(65) 公開番号	特開2010-199129 (P2010-199129A)		長野県長野市小島田町80番地
(43) 公開日	平成22年9月9日 (2010.9.9)	(74) 代理人	100107766
審査請求日	平成24年1月13日 (2012.1.13)		弁理士 伊東 忠重
前置審査		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	内山 健太
			長野県長野市小島田町80番地 新光電気工業株式会社内
		審査官	石野 忠志
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

電極パッドが設けられた電極パッド形成面、及び該電極パッド形成面の反対側に位置する背面を有する電子部品と、

前記電極パッド形成面を露出する第1の面、及び前記背面を露出する第2の面を有し、前記電子部品の側面を封止する絶縁部材と、

前記第1の面上及び前記電極パッド形成面上に積層された複数の絶縁層と配線パターンとを有する多層配線構造体と、

前記絶縁部材を前記第1の面から前記第2の面にかけて貫通する貫通電極と、を有し、複数の前記絶縁層は、前記第1の面及び前記電極パッド形成面を直接被覆する第1絶縁層を含み、

複数の前記配線パターンは、前記第1絶縁層の前記電子部品と反対側の面上に設けられた配線と、前記第1絶縁層内に設けられたビアとが一体に形成された第1配線パターンを含み、

前記第1配線パターンの前記ビアが、前記電極パッド及び前記貫通電極と直接接続され、

前記貫通電極が前記絶縁部材の前記第1の面から突出し、前記貫通電極の前記第1の面側の端面と前記電極パッドの接続面とが面一であり、

前記電子部品の前記電極パッド形成面と前記絶縁部材の前記第1の面とが面一である半導体装置。

10

20

【請求項 2】

前記多層配線構造体の最上層に、前記第 1 配線パターンと電氣的に接続された外部接続用パッドが設けられている請求項 1 記載の半導体装置。

【請求項 3】

前記絶縁部材の前記第 2 の面に露出する前記貫通電極の端面が、外部接続用の面である請求項 1 又は 2 記載の半導体装置。

【請求項 4】

前記第 1 絶縁層には、前記貫通電極の端面と前記電子部品の電極パッドを露出する開口部が設けられており、

前記ビアは、前記開口部内に設けられている請求項 1 乃至 3 の何れか一項記載の半導体装置。

10

【請求項 5】

前記絶縁部材の前記第 2 の面側の前記貫通電極の端面が、前記絶縁部材の前記第 2 の面及び前記電子部品の背面に対して面一となるように形成されている請求項 1 乃至 4 の何れか一項記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に関する。

【背景技術】

20

【0002】

図 1 は、従来の電子装置の断面図である。

【0003】

図 1 を参照するに、従来の電子装置 200 は、半導体装置 201、202 と、内部接続端子 203 とを有する。半導体装置 201 は、配線基板 211 と、電子部品 212 と、アンダーフィル樹脂 213 と、外部接続端子 214 とを有する。

【0004】

配線基板 211 は、板状とされた多層配線構造体である。配線基板 211 は、積層された絶縁層 216、217 と、配線パターン 219、228、229 と、パッド 221 と、ソルダーレジスト層 222、226 と、外部接続用パッド 223、224 とを有する。絶縁層 216 は、絶縁層 217 の上面 217A に設けられている。

30

【0005】

配線パターン 219 及びパッド 221 は、絶縁層 216 の上面 216A に設けられている。配線パターン 219 は、ソルダーレジスト層 222 から露出されたパッド部 232、233 を有する。パッド 221 は、ソルダーレジスト層 222 から露出されている。

【0006】

ソルダーレジスト層 222 は、絶縁層 216 の上面 216A に設けられている。外部接続用パッド 223、224 は、絶縁層 217 の下面 217B に設けられている。外部接続用パッド 223、224 の下面は、ソルダーレジスト層 226 から露出されている。

【0007】

40

ソルダーレジスト層 226 は、絶縁層 217 の下面 217B に設けられている。配線パターン 228、229 は、積層された絶縁層 216、217 に内設されている。配線パターン 228 は、パッド部 233 及び外部接続用パッド 223 と接続されている。配線パターン 229 は、パッド 221 及び外部接続用パッド 224 と接続されている。

【0008】

電子部品 212 は、半導体装置 201 と半導体装置 202 との間に配置されている。電子部品 212 は、電極パッド 236 を有する。電極パッド 236 は、バンプ 237（例えば、はんだバンプ）を介して、パッド部 232 と電氣的に接続されている。

【0009】

アンダーフィル樹脂 213 は、電子部品 212 と配線基板 211 との隙間を充填するよ

50

うに設けられている。外部接続端子 2 1 4 は、外部接続用パッド 2 2 3 , 2 2 4 の下面に設けられている。

【 0 0 1 0 】

半導体装置 2 0 2 は、半導体装置 2 0 1 の上方に配置されている。半導体装置 2 0 2 は、配線基板 2 4 1 と、電子部品 2 4 3 と、モールド樹脂 2 4 6 とを有する。配線基板 2 4 1 は、板状とされており、パッド 2 5 1 , 2 5 2 , 2 5 4 を有する。パッド 2 5 1 は、パッド部 2 3 3 と対向すると共に、内部接続端子 2 0 3 を介して、パッド部 2 3 3 と電氣的に接続されている。パッド 2 5 2 は、パッド 2 2 1 と対向すると共に、内部接続端子 2 0 3 を介して、パッド 2 2 1 と電氣的に接続されている。パッド 2 5 4 は、パッド 2 5 1 又はパッド 2 5 2 と電氣的に接続されている。

10

【 0 0 1 1 】

電子部品 2 4 3 は、配線基板 2 4 1 上に接着されると共に、金属ワイヤ 2 4 4 を介して、パッド 2 5 4 と電氣的に接続されている。モールド樹脂 2 4 6 は、配線基板 2 4 1 上に設けられている。モールド樹脂 2 4 6 は、金属ワイヤ 2 4 4 及び電子部品 2 4 3 を封止している。

【 0 0 1 2 】

内部接続端子 2 0 3 は、電子部品 2 1 2 と半導体装置 2 0 2 とが接触しないような大きさ（高さ）とされている。内部接続端子 2 0 3 の高さは、例えば、2 0 0 μ m とすることができる（例えば、特許文献 1 参照。 ）。

【 先行技術文献 】

20

【 特許文献 】

【 0 0 1 3 】

【 特許文献 1 】 特開平 6 - 1 3 5 4 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

しかしながら、従来の半導体装置 2 0 1 では、バンプ 2 3 7 を介して、配線基板 2 1 1 の上面側に配置された電子部品 2 1 2 と配線基板 2 1 1 （多層配線構造体）とを電氣的に接続させていたため、半導体装置 2 0 1 の高さ方向のサイズが大型化してしまうという問題があった。

30

【 0 0 1 5 】

また、バンプ 2 3 7 を介して、電子部品 2 1 2 と配線基板 2 1 1 とを電氣的に接続させる場合、隣り合うバンプ 2 3 7 が接触しないようにバンプ 2 3 7 を配置する必要があるため、バンプ 2 3 7 の配設ピッチを小さくすることが困難であり、バンプ 2 3 7 と接続される配線パターン 2 1 9 を微細かつ高密度に配置することができないという問題があった。

【 0 0 1 6 】

さらに、従来の電子装置 2 0 0 では、半導体装置 2 0 1 と半導体装置 2 0 2 とを電氣的に接続する内部接続端子 2 0 3 の高さを、電子部品 2 1 2 の高さとはバンプ 2 3 7 の高さとは加算した値よりも大きくする必要があるため、電子装置 2 0 0 の厚さ方向のサイズが大型化してしまうという問題があった。

40

【 0 0 1 7 】

なお、半導体装置 2 0 1 及び電子装置 2 0 0 の厚さ方向のサイズが大型化してしまうという問題は、電子部品 2 1 2 と配線基板 2 1 1 とをワイヤボンディング接続した場合にも発生する。

【 0 0 1 8 】

そこで本発明は、上述した問題点に鑑みなされたものであり、電子部品の電極パッドと接続される配線パターンを微細かつ高密度に配置することができると共に、厚さ方向のサイズの小型化を図ることのできる半導体装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 9 】

50

本発明の一観点によれば、電極パッドが設けられた電極パッド形成面、及び該電極パッド形成面の反対側に位置する背面を有する電子部品と、前記電極パッド形成面を露出する第1の面、及び前記背面を露出する第2の面を有し、前記電子部品の側面を封止する絶縁部材と、前記第1の面上及び前記電極パッド形成面上に積層された複数の絶縁層と配線パターンとを有する多層配線構造体と、前記絶縁部材を前記第1の面から前記第2の面にかけて貫通する貫通電極と、を有し、複数の前記絶縁層は、前記第1の面及び前記電極パッド形成面を直接被覆する第1絶縁層を含み、複数の前記配線パターンは、前記第1絶縁層の前記電子部品と反対側の面上に設けられた配線と、前記第1絶縁層内に設けられたビアとが一体に形成された第1配線パターンを含み、前記第1配線パターンの前記ビアが、前記電極パッド及び前記貫通電極と直接接続され、前記貫通電極が前記絶縁部材の前記第1の面から突出し、前記貫通電極の前記第1の面側の端面と前記電極パッドの接続面とが面一であり、前記電子部品の前記電極パッド形成面と前記絶縁部材の前記第1の面とが面一である半導体装置が提供される。

10

【発明の効果】

【0031】

本発明によれば、電子部品の電極パッドと接続される配線パターンを微細かつ高密度に配置できると共に、半導体装置の厚さ方向のサイズの小型化を図ることができる。

【図面の簡単な説明】

【0032】

20

【図1】従来の電子装置の断面図である。

【図2】本発明の第1の実施の形態に係る電子装置の断面図である。

【図3】本発明の第1の実施の形態に係る半導体装置の製造工程（その1）を示す図である。

【図4】本発明の第1の実施の形態に係る半導体装置の製造工程（その2）を示す図である。

【図5】本発明の第1の実施の形態に係る半導体装置の製造工程（その3）を示す図である。

【図6】本発明の第1の実施の形態に係る半導体装置の製造工程（その4）を示す図である。

30

【図7】本発明の第1の実施の形態に係る半導体装置の製造工程（その5）を示す図である。

【図8】本発明の第1の実施の形態に係る半導体装置の製造工程（その6）を示す図である。

【図9】本発明の第1の実施の形態に係る半導体装置の製造工程（その7）を示す図である。

【図10】本発明の第1の実施の形態に係る半導体装置の製造工程（その8）を示す図である。

【図11】本発明の第1の実施の形態に係る半導体装置の製造工程（その9）を示す図である。

40

【図12】本発明の第1の実施の形態に係る半導体装置の製造工程（その10）を示す図である。

【図13】本発明の第1の実施の形態に係る半導体装置の製造工程（その11）を示す図である。

【図14】本発明の第1の実施の形態に係る半導体装置の製造工程（その12）を示す図である。

【図15】本発明の第2の実施の形態に係る電子装置の断面図である。

【図16】本発明の第2の実施の形態に係る半導体装置の製造工程を示す図（その1）である。

【図17】本発明の第2の実施の形態に係る半導体装置の製造工程を示す図（その2）で

50

ある。

【図 18】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 3）である。

【図 19】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 4）である。

【図 20】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 5）である。

【図 21】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 6）である。

【図 22】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 7）である。

10

【図 23】本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す図（その 8）である。

【発明を実施するための形態】

【0033】

以下、図面に基づいて本発明の実施の形態について説明する。

【0034】

（第 1 の実施の形態）

図 2 は、本発明の第 1 の実施の形態に係る電子装置の断面図である。

【0035】

20

図 2 を参照するに、第 1 の実施の形態の電子装置 10 は、半導体装置 11 と、他の半導体装置である半導体装置 12 と、内部接続端子 13 とを有する。

【0036】

半導体装置 11 は、多層配線構造体 15 と、電子部品 17, 18 と、絶縁部材 19 と、貫通電極 21 ~ 23 と、外部接続端子 24 を有する。

【0037】

多層配線構造体 15 は、絶縁部材 19 の下面 19B（第 1 の面）、電子部品 17, 18 の後述する電極パッド形成面 17B, 18B、薄板化された電子部品 17, 18 に設けられた後述する電極パッド 62, 63, 65, 66 を覆うように設けられている。

【0038】

30

多層配線構造体 15 は、積層体 27 と、外部接続用パッド 31 - 1, 31 - 2, 31 - 3, 31 - 4 と、配線パターン 33 ~ 36 と、ソルダーレジスト層 38 とを有する。

【0039】

積層体 27 は、複数の絶縁層 41, 42 が積層された構成とされている。絶縁層 41 は、電子部品 17, 18 に設けられた電極パッド 62, 63, 65, 66 と、電子部品 17 の電極パッド形成面 17B（電極パッド 62, 63 が設けられた側の面）、電子部品 18 の電極パッド形成面 18B（電極パッド 65, 66 が設けられた側の面）、及び絶縁部材 19 の下面 19B に設けられている。絶縁層 41 としては、例えば、絶縁樹脂層（例えば、エポキシ樹脂層）を用いることができる。絶縁層 41 の厚さは、例えば、5 ~ 30 μm とすることができる。

40

【0040】

絶縁層 42 は、絶縁層 41 の下面 41B に設けられている。絶縁層 42 としては、例えば、絶縁樹脂層（例えば、エポキシ樹脂層）を用いることができる。絶縁層 42 の厚さは、例えば、5 ~ 30 μm とすることができる。

【0041】

外部接続用パッド 31 - 1, 31 - 2, 31 - 3, 31 - 4 は、絶縁層 42 の下面 42B に設けられている。外部接続用パッド 31 - 1 は、外部接続端子 24 が配設される接続面 31 - 1A を有する。外部接続用パッド 31 - 1 は、配線パターン 33 と接続されている。外部接続用パッド 31 - 1 は、配線パターン 33 を介して、電子部品 17, 18 と電気的に接続されている。

50

【 0 0 4 2 】

外部接続用パッド 3 1 - 2 は、外部接続端子 2 4 が配設される接続面 3 1 - 2 A を有する。外部接続用パッド 3 1 - 2 は、配線パターン 3 4 と接続されている。外部接続用パッド 3 1 - 2 は、配線パターン 3 4 を介して、半導体装置 1 2 及び電子部品 1 7 と電氣的に接続されている。

【 0 0 4 3 】

外部接続用パッド 3 1 - 3 は、外部接続端子 2 4 が配設される接続面 3 1 - 3 A を有する。外部接続用パッド 3 1 - 3 は、配線パターン 3 5 と接続されている。外部接続用パッド 3 1 - 3 は、配線パターン 3 5 を介して、半導体装置 1 2 及び電子部品 1 8 と電氣的に接続されている。

10

【 0 0 4 4 】

外部接続用パッド 3 1 - 4 は、外部接続端子 2 4 が配設される接続面 3 1 - 4 A を有する。外部接続用パッド 3 1 - 4 は、配線パターン 3 6 と接続されている。外部接続用パッド 3 1 - 4 は、配線パターン 3 6 を介して、半導体装置 1 2 と電氣的に接続されている。

【 0 0 4 5 】

上記構成とされた外部接続用パッド 3 1 - 1 , 3 1 - 2 , 3 1 - 3 , 3 1 - 4 の材料としては、例えば、C u を用いることができる。

【 0 0 4 6 】

配線パターン 3 3 ~ 3 6 は、積層体 2 7 を貫通するように、積層体 2 7 に内設されている。配線パターン 3 3 は、第 1 の接続部であるビア 4 5 , 4 6 と、ビア 4 8 と、配線 4 7 とを有する。ビア 4 5 は、電子部品 1 7 に設けられた電極パッド 6 2 と対向する部分の絶縁層 4 1 を貫通するように設けられている。つまり、ビア 4 5 は、電子部品 1 7 の配設領域に対応する部分の絶縁層 4 1 から露出されている。ビア 4 5 の上端は、電極パッド 6 2 と直接接続されている。これにより、ビア 4 5 は、電子部品 1 7 と電氣的に接続されている。

20

【 0 0 4 7 】

ビア 4 6 は、電子部品 1 8 の電極パッド 6 5 と対向する部分の絶縁層 4 1 を貫通するように設けられている。つまり、ビア 4 6 は、電子部品 1 8 の配設領域に対応する部分の絶縁層 4 1 から露出されている。ビア 4 6 の上端は、電極パッド 6 5 と直接接続されている。これにより、ビア 4 6 は、電子部品 1 8 と電氣的に接続されている。

30

【 0 0 4 8 】

配線 4 7 は、絶縁層 4 1 の下面 4 1 B 及びビア 4 5 , 4 6 の下端面に設けられている。配線 4 7 は、ビア 4 5 , 4 6 の下端と接続されている。配線 4 7 は、ビア 4 5 , 4 6 を介して、電子部品 1 7 , 1 8 と電氣的に接続されている。

【 0 0 4 9 】

ビア 4 8 は、配線 4 7 と外部接続用パッド 3 1 - 1 との間に位置する部分の絶縁層 4 2 を貫通するように設けられている。ビア 4 8 の上端は、配線 4 7 と接続されている。ビア 4 8 の下端は、外部接続用パッド 3 1 - 1 と接続されている。これにより、ビア 4 8 は、配線 4 7 と外部接続用パッド 3 1 - 1 とを電氣的に接続している。上記構成とされた配線パターン 3 3 の材料としては、例えば、C u を用いることができる。

40

【 0 0 5 0 】

配線パターン 3 4 は、第 1 の接続部であるビア 5 1 と、第 2 の接続部であるビア 5 2 と、ビア 5 4 と、配線 5 3 とを有する。ビア 5 1 は、電子部品 1 7 の電極パッド 6 3 と対向する部分の絶縁層 4 1 を貫通するように設けられている。つまり、ビア 5 1 は、電子部品 1 7 の配設領域に対応する部分の絶縁層 4 1 から露出されている。ビア 5 1 の上端は、電極パッド 6 3 と直接接続されている。これにより、ビア 5 1 は、電子部品 1 7 と電氣的に接続されている。

【 0 0 5 1 】

ビア 5 2 は、貫通電極 2 1 の下方に位置する部分の絶縁層 4 1 を貫通するように設けられている。つまり、ビア 5 2 は、電子部品 1 7 の配設領域の外側に位置する部分の絶縁層

50

4 1 から露出されている。ビア 5 2 の上端は、貫通電極 2 1 の下端と直接接続されている。これにより、ビア 5 2 は、貫通電極 2 1 と電氣的に接続されている。

【 0 0 5 2 】

配線 5 3 は、絶縁層 4 1 の下面 4 1 B 及びビア 5 1 , 5 2 の下端面に設けられている。配線 5 3 は、ビア 5 1 , 5 2 の下端と接続されている。これにより、配線 5 3 は、ビア 5 1 , 5 2 を介して、電子部品 1 7 及び半導体装置 1 2 と電氣的に接続されている。

【 0 0 5 3 】

ビア 5 4 は、配線 5 3 と外部接続用パッド 3 1 - 2 との間に位置する部分の絶縁層 4 2 を貫通するように設けられている。ビア 5 4 の上端は、配線 5 3 と接続されており、ビア 5 4 の下端は、外部接続用パッド 3 1 - 2 と接続されている。これにより、ビア 5 4 は、配線 5 3 と外部接続用パッド 3 1 - 2 とを電氣的に接続している。上記構成とされた配線パターン 3 4 の材料としては、例えば、C u を用いることができる。

10

【 0 0 5 4 】

配線パターン 3 5 は、第 1 の接続部であるビア 5 6 と、第 2 の接続部であるビア 5 7 と、配線 5 8 と、ビア 5 9 とを有する。ビア 5 6 は、電子部品 1 8 の電極パッド 6 6 と対向する部分の絶縁層 4 1 を貫通するように設けられている。つまり、ビア 5 6 は、電子部品 1 8 の配設領域に対応する部分の絶縁層 4 1 から露出されている。ビア 5 6 の上端は、電極パッド 6 6 と直接接続されている。これにより、ビア 5 6 は、電子部品 1 8 と電氣的に接続されている。

【 0 0 5 5 】

20

ビア 5 7 は、貫通電極 2 2 の下方に位置する部分の絶縁層 4 1 を貫通するように設けられている。ビア 5 7 の上端は、貫通電極 2 2 の下端と直接接続されている。これにより、ビア 5 7 は、貫通電極 2 2 と電氣的に接続されている。

【 0 0 5 6 】

配線 5 8 は、絶縁層 4 1 の下面 4 1 B 及びビア 5 6 , 5 7 の下端面に設けられている。配線 5 8 は、ビア 5 6 , 5 7 の下端と接続されている。これにより、配線 5 8 は、ビア 5 6 , 5 7 を介して、電子部品 1 8 及び半導体装置 1 2 と電氣的に接続されている。

【 0 0 5 7 】

ビア 5 9 は、配線 5 8 と外部接続用パッド 3 1 - 3 との間に位置する部分の絶縁層 4 2 を貫通するように設けられている。ビア 5 9 の上端は、配線 5 8 と接続されており、ビア 5 9 の下端は、外部接続用パッド 3 1 - 3 と接続されている。これにより、ビア 5 9 は、配線 5 8 と外部接続用パッド 3 1 - 3 とを電氣的に接続している。上記構成とされた配線パターン 3 5 の材料としては、例えば、C u を用いることができる。

30

【 0 0 5 8 】

配線パターン 3 6 は、第 2 の接続部であるビア 6 1 と、ビア 6 3 と、配線 6 2 とを有する。ビア 6 1 は、貫通電極 2 3 と対向する部分の絶縁層 4 1 を貫通するように設けられている。つまり、ビア 6 1 は、電子部品 1 8 の配設領域の外側に位置する部分の絶縁層 4 1 から露出されている。ビア 6 1 の上端は、貫通電極 2 3 の下端と直接接続されている。これにより、ビア 6 1 は、貫通電極 2 3 と電氣的に接続されている。

【 0 0 5 9 】

40

配線 6 2 は、絶縁層 4 1 の下面 4 1 B 及びビア 6 1 の下端面に設けられている。配線 6 2 は、ビア 6 1 の下端と接続されている。これにより、配線 6 2 は、ビア 6 1 を介して、貫通電極 2 3 と電氣的に接続されている。

【 0 0 6 0 】

ビア 6 3 は、配線 6 2 と外部接続用パッド 3 1 - 4 との間に位置する部分の絶縁層 4 2 を貫通するように設けられている。ビア 6 3 の上端は、配線 6 2 と接続されており、ビア 6 3 の下端は、外部接続用パッド 3 1 - 4 と接続されている。これにより、ビア 6 3 は、配線 6 2 と外部接続用パッド 3 1 - 4 とを電氣的に接続している。上記構成とされた配線パターン 3 6 の材料としては、例えば、C u を用いることができる。

【 0 0 6 1 】

50

ソルダーレジスト層 38 は、絶縁層 42 の下面 42B に設けられている。ソルダーレジスト層 38 は、接続面 31-1A を露出する開口部 38A と、接続面 31-2A を露出する開口部 38B と、接続面 31-3A を露出する開口部 38C と、接続面 31-4A を露出する開口部 38D とを有する。

【0062】

上記構成とされた多層配線構造体 15 は、図 2 や後述する図 13 及び図 14 において、薄板化された電子部品 17, 18 の厚さや絶縁部材 19 の厚さよりも薄くなるように図示されている。しかし、実際には、多層配線構造体 15 の厚さは、薄板化された電子部品 17, 18 の厚さ（例えば、200～300 μm）や絶縁部材 19 の厚さ（例えば、200～300 μm）よりも薄い。多層配線構造体 15 の厚さは、例えば、20～80 μm とすることができ、多層配線構造体 15 は、電子部品 17, 18 の電極パッド形成面 17B, 18B や絶縁部材 19 の下面 19B に、膜状又は層状に形成されている。

10

【0063】

電子部品 17 は、薄板化された電子部品であり、背面 17A と、背面 17A の反対側に位置する電極パッド形成面 17B と、複数の電極パッド 62, 63 を有する。電子部品 17 は、電子部品 17 の電極パッド形成面 17B と絶縁層 41 の上面 41A（積層体 27 の上面）とが接触するように、絶縁層 41 の上面 41A に配設されている。電極パッド 62, 63 は、電子部品 17 の電極パッド形成面 17B に設けられている。電極パッド 62, 63 は、電子部品 17 の電極パッド形成面 17B から突出している。電極パッド 62, 63 は、絶縁層 41 により覆われている。

20

【0064】

電極パッド 62 は、接続面 62A を有する。接続面 62A は、配線パターン 33 の構成要素のうちの 1 つであるビア 45 の上端と直接接続されている。電極パッド 63 は、接続面 63A を有する。接続面 63A は、配線パターン 34 の構成要素のうちの 1 つであるビア 51 の上端と直接接続されている。つまり、電極パッド 62, 63 と配線パターン 33, 34 とが直接接続されることで、電子部品 17 と多層配線構造体 15 とが電氣的に接続されている。絶縁層 41 上に配置された部分の電子部品 17 の厚さは、例えば、200～300 μm とすることができ、

【0065】

電子部品 18 は、薄板化された電子部品であり、背面 18A と、背面 18A の反対側に位置する電極パッド形成面 18B と、複数の電極パッド 65, 66 を有する。電子部品 18 は、電子部品 18 の電極パッド形成面 18B と絶縁層 41 の上面 41A とが接触するように、絶縁層 41 上に配設されている。電極パッド 65, 66 は、電子部品 18 の電極パッド形成面 18B に設けられている。電極パッド 65, 66 は、電子部品 18 の電極パッド形成面 18B から突出している。電極パッド 65, 66 は、絶縁層 41 により覆われている。

30

【0066】

電極パッド 65 は、接続面 65A を有する。接続面 65A は、配線パターン 33 の構成要素のうちの 1 つであるビア 46 の上端と直接接続されている。電極パッド 66 は、接続面 66A を有する。接続面 66A は、配線パターン 35 の構成要素のうちの 1 つであるビア 56 の上端と直接接続されている。つまり、電極パッド 65, 66 と配線パターン 33, 35 とが直接接続されることで、電子部品 18 と多層配線構造体 15 とが電氣的に接続される。

40

【0067】

絶縁層 41 の上面 41A に配置された部分の電子部品 18 の厚さは、絶縁層 41 の上面 41A に配置された部分の電子部品 17 の厚さと略等しい。絶縁層 41 の上面 41A に配置された部分の電子部品 18 の厚さは、例えば、200～300 μm とすることができ、

【0068】

このように、絶縁層 41 の上面 41A と電子部品 17, 18 の電極パッド形成面 17B

50

、１８Ｂとが接触するように、絶縁層４１の上面４１Ａに電子部品１７、１８を配置し、電子部品１７に設けられた電極パッド６２、６３と配線パターン３３、３４を構成するビア４５、５１とを直接接続させると共に、電子部品１８に設けられた電極パッド６５、６６と配線パターン３３、３５を構成するビア４６、５６とを直接接続させることにより、バンプ或いは金属ワイヤを介して、電子部品と配線パターンとを電氣的に接続させた従来の半導体装置と比較して、半導体装置１１の厚さ方向のサイズの小型化を図ることができる。

【００６９】

また、電子部品１７、１８に設けられた電極パッド６２、６３、６５、６６と配線パターン３３～３５とを直接接続することにより、電子部品１７、１８と配線パターン３３～３５とを接続するバンプ（例えば、はんだバンプ）が不要となるため、配線パターン３３～３５（具体的には、ビア４５、４６、５１、５６及び配線４７、５３、５８）を微細かつ高密度に配置することができる。

10

【００７０】

上記説明した電子部品１７、１８としては、例えば、半導体チップを用いることができる。具体的には、電子部品１７、１８としてＣＰＵ（Central Processing Unit）用の半導体チップを用いる場合や、電子部品１７、１８のどちらか一方にＣＰＵ（Central Processing Unit）用の半導体チップを用い、他方にメモリ用の半導体チップを用いる場合や、電子部品１７、１８のどちらか一方にＣＰＵ（Central Processing Unit）用の半導体チップを用い、他方にＧＰＵ（Graphics Processing Unit）用の半導体チップを用いる場合がある。

20

【００７１】

絶縁部材１９は、電子部品１７、１８の側面を覆うように、絶縁層４１の上面４１Ａに設けられている。これにより、絶縁部材１９は、電子部品１７、１８の周囲（側面部分）を封止している。絶縁部材１９は、絶縁層４１の上面４１Ａに配置された部分の電子部品１７、１８と略等しい厚さとされている。絶縁部材１９の厚さは、例えば、２００～３００μmとすることができる。

【００７２】

絶縁部材１９の上面１９Ａは、電子部品１７、１８の背面１７Ａ、１８Ａと略面一となるように構成されている。これにより、絶縁部材１９の上面１９Ａと電子部品１７、１８の背面１７Ａ、１８Ａとは、同一平面上に配置されている。

30

【００７３】

このように、絶縁層４１の上面４１Ａに、電子部品１７、１８の側面を封止すると共に、電子部品１７、１８の背面１７Ａ、１８Ａと略面一とされた上面１９Ａを有する絶縁部材１９を設けることにより、半導体装置１１の厚さ方向のサイズを大型化させることなく、電子部品１７、１８を封止することができる。

【００７４】

絶縁部材１９は、貫通孔７１～７３を有する。貫通孔７１は、ビア５２の上端面を露出するように形成されている。貫通孔７２は、ビア５７の上端面を露出するように形成されている。貫通孔７３は、ビア６１の上端面を露出するように形成されている。

40

【００７５】

上記構成とされた絶縁部材１９としては、例えば、モールド樹脂を用いることができる。モールド樹脂の材料としては、例えば、エポキシ樹脂を用いることができる。

【００７６】

貫通電極２１は、貫通孔７１に設けられている。貫通電極２１の上端面は、平坦な面とされており、絶縁部材１９の上面１９Ａと同一平面上に配置されている。貫通電極２１の上端は、内部接続端子１３と接続されている。貫通電極２１は、内部接続端子１３を介して、半導体装置１２と電氣的に接続されている。貫通電極２１の下端面は、平坦な面とされており、絶縁部材１９の下面１９Ｂと略同一平面上に配置されている。なお、貫通電極２１は、製造時の接着剤１０２の厚さ分だけ、絶縁部材１９の下面１９Ｂから突出する。

50

このため、実際には、貫通電極 2 1 の下端面と絶縁部材 1 9 の下面 1 9 B とは、完全な同一平面上に配置されない。

【 0 0 7 7 】

貫通電極 2 1 の下端は、ビア 5 2 と直接接続されている。これにより、貫通電極 2 1 は、配線パターン 3 4 を介して、外部接続用パッド 3 1 - 2 と電氣的に接続されている。貫通電極 2 1 の材料としては、例えば、Cu を用いることができる。

【 0 0 7 8 】

貫通電極 2 2 は、貫通孔 7 2 に設けられている。貫通電極 2 2 の上端面は、平坦な面とされており、絶縁部材 1 9 の上面 1 9 A と同一平面上に配置されている。貫通電極 2 2 の上端は、内部接続端子 1 3 と接続されている。貫通電極 2 2 は、内部接続端子 1 3 を介して、半導体装置 1 2 と電氣的に接続されている。貫通電極 2 2 の下端面は、平坦な面とされており、絶縁部材 1 9 の下面 1 9 B と略同一平面上に配置されている。なお、貫通電極 2 2 は、製造時の接着剤 1 0 2 の厚さ分だけ、絶縁部材 1 9 の下面 1 9 B から突出する。このため、実際には、貫通電極 2 2 の下端面と絶縁部材 1 9 の下面 1 9 B とは、完全な同一平面上に配置されない。

【 0 0 7 9 】

貫通電極 2 2 の下端は、ビア 5 7 と直接接続されている。これにより、貫通電極 2 2 は、配線パターン 3 5 を介して、外部接続用パッド 3 1 - 3 と電氣的に接続されている。貫通電極 2 2 の材料としては、例えば、Cu を用いることができる。

【 0 0 8 0 】

貫通電極 2 3 は、貫通孔 7 3 に設けられている。貫通電極 2 3 の上端面は、平坦な面とされており、絶縁部材 1 9 の上面 1 9 A と同一平面上に配置されている。貫通電極 2 3 の上端は、内部接続端子 1 3 と接続されている。貫通電極 2 3 は、内部接続端子 1 3 を介して、半導体装置 1 2 と電氣的に接続されている。貫通電極 2 3 の下端面は、平坦な面とされており、絶縁部材 1 9 の下面 1 9 B と略同一平面上に配置されている。なお、貫通電極 2 3 は、製造時の接着剤 1 0 2 の厚さ分だけ、絶縁部材 1 9 の下面 1 9 B から突出する。このため、実際には、貫通電極 2 3 の下端面と絶縁部材 1 9 の下面 1 9 B とは、完全な同一平面上に配置されない。

【 0 0 8 1 】

貫通電極 2 3 の下端は、ビア 6 1 と接続されている。これにより、貫通電極 2 3 は、配線パターン 3 6 を介して、外部接続用パッド 3 1 - 4 と電氣的に接続されている。貫通電極 2 3 の材料としては、例えば、Cu を用いることができる。

【 0 0 8 2 】

上記説明したように、貫通電極 2 1 ~ 2 3 の上端面は、電子部品 1 7 , 1 8 の背面 1 7 A , 1 8 A 及び絶縁部材 1 9 の上面 1 9 A と同一平面上に配置されている。

【 0 0 8 3 】

このように、絶縁部材 1 9 を貫通するように内部接続端子 1 3 と接続される貫通電極 2 1 ~ 2 3 を設けると共に、貫通電極 2 1 ~ 2 3 の上端面、電子部品 1 7 , 1 8 の背面 1 7 A , 1 8 A 、及び絶縁部材 1 9 の上面 1 9 A を同一平面上に配置することにより、半導体装置 1 2 と対向する半導体装置 1 1 の上面が平坦な面となるため、半導体装置 1 1 と半導体装置 1 2 とを電氣的に接続する内部接続端子 1 3 の高さ方向のサイズを小さくすることが可能となるので、電子装置 1 0 の厚さ方向のサイズの小型化を図ることができる。

【 0 0 8 4 】

また、内部接続端子 1 3 の高さ方向のサイズを小さくすることにより、貫通電極 2 1 ~ 2 3 を狭ピッチで配置することが可能となるので、半導体装置 1 1 と半導体装置 1 2 との間における電氣的接続箇所を増加させることができる（言い換えれば、半導体装置 1 1 , 1 2 間に配置される内部接続端子 1 3 の数を増加させることができる。）。

【 0 0 8 5 】

さらに、はんだボール等の内部接続端子 1 3 を小径化が可能となることにより、貫通電極 2 1 ~ 2 3 を狭ピッチ化できる。

【0086】

なお、内部接続端子13が接続される側の貫通電極21～23の端面に、保護層（例えば、貫通電極21～23の端面に、Niめっき層と、Auめっき層とを順次積層させたNi/Au積層膜）を設けてもよい。

【0087】

外部接続端子24は、接続面31-1A, 31-2A, 31-3A, 31-4Aにそれぞれ設けられている。外部接続端子24は、電子装置10をマザーボード等の実装基板（図示せず）に接続する際、実装基板に設けられたパッドと接続される端子である。外部接続端子24としては、例えば、はんだボールを用いることができる。図2では、外部接続端子24としてはんだボールを用いた場合を例に挙げて図示したが、はんだボールの代わりにピン端子を外部接続端子24として用いてもよい。

10

【0088】

本実施の形態の半導体装置によれば、絶縁層41の上面41Aと電子部品17, 18の電極パッド形成面17B, 18Bとが接触するように、絶縁層41の上面41Aに電子部品17, 18を配置し、電子部品17に設けられた電極パッド62, 63と配線パターン33, 34を構成するビア45, 51とを直接接続させると共に、電子部品18に設けられた電極パッド65, 66と配線パターン33, 35を構成するビア46, 56とを直接接続させることにより、パンプ或いは金属ワイヤを介して、電子部品と配線パターンとを電氣的に接続させた従来の半導体装置と比較して、半導体装置11の厚さ方向のサイズの小型化を図ることができる。

20

【0089】

また、電子部品17, 18に設けられた電極パッド62, 63, 65, 66と配線パターン33～35とを直接接続することにより、電子部品17, 18と配線パターン33～35とを接続するパンプ（例えば、はんだパンプ）が不要となるため、配線パターン33～35（具体的には、ビア45, 46, 51, 56及び配線47, 53, 58）を微細かつ高密度に配置することができる。

【0090】

半導体装置12は、半導体装置11の上方に配置されており、配線基板81と、電子部品83と、モールド樹脂85とを有する。配線基板81は、基板本体91と、パッド93, 94と、配線パターン96と、ソルダーレジスト層98, 99とを有する。基板本体91は、板状とされている。基板本体91としては、例えば、複数の絶縁樹脂層が積層された積層体を用いることができる。

30

【0091】

パッド93は、基板本体91の上面91Aに設けられている。パッド93は、金属ワイヤ84（例えば、Auワイヤ）の一方の端部及び配線パターン96の上端と接続されている。パッド93は、金属ワイヤ84を介して、電子部品83と電氣的に接続されている。パッド93の材料としては、例えば、Cuを用いることができる。

【0092】

パッド94は、基板本体91の下面91Bに設けられている。パッド94は、配線パターン96の下端及び内部接続端子13と接続されている。パッド94は、配線パターン96を介して、パッド93と電氣的に接続されると共に、内部接続端子13を介して、半導体装置11と電氣的に接続されている。パッド94の材料としては、例えば、Cuを用いることができる。

40

【0093】

配線パターン96は、基板本体91を貫通するように、基板本体91に内設されている。配線パターン96は、例えば、複数の配線及びビア（図示せず）により構成することができる。配線パターン96の上端は、パッド93と接続されており、配線パターン96の下端は、パッド94と接続されている。

【0094】

ソルダーレジスト層98は、基板本体91の上面91Aに設けられている。ソルダーレ

50

ジスト層 98 は、パッド 93 の上面を露出する開口部 98A を有する。

【0095】

ソルダーレジスト層 99 は、基板本体 91 の下面 91B に設けられている。ソルダーレジスト層 99 は、パッド 94 の下面を露出する開口部 99A を有する。

【0096】

電子部品 83 は、複数の電極パッド 100 を有する。電子部品 83 は、電極パッド 100 が形成されていない側の電子部品 83 の面とソルダーレジスト層 98 の上面とが接触するように、ソルダーレジスト層 98 上に接着されている。電極パッド 100 は、金属ワイヤ 84 の他方の端部と接続されている。これにより、電子部品 83 は、金属ワイヤ 84 を介して、配線基板 81 と電氣的に接続されている。電子部品 83 としては、例えば、メモリ用の半導体チップを用いることができる。

10

【0097】

モールド樹脂 85 は、電子部品 83 及び金属ワイヤ 84 を覆うように、パッド 93 の上面及びソルダーレジスト 98 の上面に設けられている。モールド樹脂 85 は、電子部品 83 及び金属ワイヤ 84 を封止するための樹脂である。モールド樹脂 85 の材料としては、例えば、エポキシ樹脂を用いることができる。

【0098】

内部接続端子 13 は、半導体装置 11 と半導体装置 12 との間に配置されると共に、貫通電極 21 ~ 23 のうちのいずれか 1 つの電極の上端及びパッド 94 と接続されている。これにより、内部接続端子 13 は、半導体装置 11 と半導体装置 12 とを電氣的に接続している。先に説明したように、半導体装置 12 と対向する半導体装置 11 の上面は、平坦な面とされているため、内部接続端子 13 の高さ方向のサイズを小さくすることが可能である。内部接続端子 13 の高さ方向のサイズは、例えば、30 μm とすることが可能である。内部接続端子 13 としては、例えば、はんだボールを用いることができる。

20

【0099】

本実施の形態の電子装置によれば、同一平面上に配置された電子部品 17, 18 の背面 17A, 18A、絶縁部材 19 の上面 19A、及び貫通電極 21 ~ 23 の上端面を有し、半導体装置 12 と対向する面が平坦な面とされた半導体装置 11 と、半導体装置 11 の上方に配置された半導体装置 12 と、を内部接続端子 13 を介して電氣的に接続することにより、内部接続端子 13 の高さ方向のサイズを小さくすることが可能となるため、電子装置 10 の高さ方向のサイズの小型化を図ることができる。

30

【0100】

図 3 ~ 図 14 は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す図である。図 3 ~ 図 14 において、第 1 の実施の形態の半導体装置 11 と同一構成部分には同一符号を付す。

【0101】

図 3 ~ 図 14 を参照して、第 1 の実施の形態の半導体装置 11 の製造方法について説明する。始めに、図 3 に示す工程では、支持体 101 の上面 101A に接着剤 102 を形成した後、接着剤 102 により、電子部品 17, 18 と支持体 101 とを接着させる（電子部品接着工程）。

40

【0102】

このとき、支持体 101 の上面 101A と電極パッド 62, 63, 65, 66 の接続面 62A, 63A, 65A, 66A とが接触するように、電子部品 17, 18 と支持体 101 とを接着させる。なお、押圧により電子部品 17, 18 が接着剤 102 に埋め込まれるようにし、電極パッド 62, 63, 65, 66 の接続面 62A, 63A, 65A, 66A が支持体 101 の上面 101A と接触するようにするとよい。

【0103】

この段階での電子部品 17, 18 は、薄板化されていない。このような薄板化されていない電子部品 17, 18 は、薄板化された電子部品 17, 18 よりもハンドリングしやすいため、支持体 101 の所定の位置に電子部品 17, 18 を精度良く接着することができ

50

る。薄板化前の電子部品 17, 18 の厚さは、例えば、700 μm とすることができる。

【0104】

電子部品 17, 18 としては、例えば、半導体チップを用いることができる。具体的には、電子部品 17, 18 として CPU (Central Processing Unit) 用の半導体チップを用いる場合や、電子部品 17, 18 のどちらか一方に CPU (Central Processing Unit) 用の半導体チップを用い、他方にメモリ用の半導体チップを用いる場合や、電子部品 17, 18 のどちらか一方に CPU (Central Processing Unit) 用の半導体チップを用い、他方に GPU (Graphics Processing Unit) 用の半導体チップを用いる場合がある。

【0105】

支持体 101 としては、例えば、ガラス基板、シリコン基板、金属板（例えば、Cu 板）等を用いることができる。支持体 101 の厚さは、例えば、300 ~ 600 μm とすることができる。接着剤 102 としては、例えば、接着性を有したポリイミド樹脂テープ（例えば、厚さ 1 ~ 20 μm ）を用いることができる。

【0106】

次いで、図 4 に示す工程では、接着剤 102 の上面 102A に、電子部品 17, 18 の側面の一部を封止する絶縁部材 19 を形成する（絶縁部材形成工程）。絶縁部材 19 としては、例えば、モールド樹脂（例えば、エポキシ樹脂よりなるモールド樹脂）を用いることができる。絶縁部材 19 は、例えば、トランスファーマールド法により形成することができる。絶縁部材 19 は、薄板化後の電子部品 17, 18 の背面 17A, 18A よりも上方に絶縁部材 19 の上面が位置するように形成する。この段階での絶縁部材 19 の厚さは、例えば、300 μm とすることができる。

【0107】

次いで、図 5 に示す工程では、図 4 に示す構造体の上面側（電子部品 17, 18 の背面 17A, 18A 側）から、電子部品 17, 18 及び絶縁部材 19 を研削（例えば、バックサイドグラインダによる研削）することで、電子部品 17, 18 を薄板化すると共に、薄板化された電子部品 17, 18 の背面 17A, 18A と研削された絶縁部材 19 の上面 19A とを同一平面上に配置させる（研削工程。）。

【0108】

これにより、図 5 に示す構造体の上面は、平坦な面となる。薄板化された電子部品 17, 18 の厚さ（接着剤 102 上に配置された部分の電子部品 17, 18 の厚さ）は、例えば、200 μm とすることができる。この場合、研削後の絶縁部材 19 の厚さは、例えば、200 μm とすることができる。

【0109】

次いで、図 6 に示す工程では、絶縁部材 19 の上面 19A 側から、絶縁部材 19 及び接着剤 102 を貫通する貫通孔 71 ~ 73 を形成する（貫通孔形成工程）。

【0110】

貫通孔 71 ~ 73 は、例えば、貫通孔 71 ~ 73 の形成領域に対応する部分の絶縁部材 19 及び接着剤 102 にレーザを照射することで形成できる。貫通孔 71 ~ 73 は、支持体 101 の上面 101A を露出している。貫通孔 71 ~ 73 の直径は、例えば、200 μm とすることができる。

【0111】

次いで、図 7 に示す工程では、貫通孔 71 を充填する貫通電極 21、貫通孔 72 を充填する貫通電極 22、及び貫通孔 73 を充填する貫通電極 23 を同時に形成する（貫通電極形成工程）。

【0112】

このとき、貫通電極 21 ~ 23 は、貫通電極 21 ~ 23 の上端面、電子部品 17, 18 の背面 17A, 18A、及び絶縁部材 19 の上面 19A が同一平面上に配置されるように形成する。貫通電極 21 ~ 23 は、例えば、めっき法や印刷法等により形成することができる。

【0113】

めっき法を用いて貫通電極 2 1 ~ 2 3 を形成する場合、支持体 1 0 1 (例えば、シリコン基板、ガラス基板等)の上面 1 0 1 A に、スパッタ法により Cu 層 (シリコン基板、ガラス基板の場合には給電層となる)を形成し、その後、先に説明した図 3 ~ 図 6 に示す工程と同様な処理を行った後、Cu 層に給電して、貫通孔 7 1 ~ 7 3 を充填するようにめっき膜を析出成長させることで、貫通電極 2 1 ~ 2 3 を形成する。貫通電極 2 1 ~ 2 3 の材料としては、例えば、Cu を用いることができる。

【 0 1 1 4 】

なお、支持体 1 0 1 として金属板 (例えば、Cu 板)を用いる場合、支持体 1 0 1 が給電層として機能するため上記 Cu 層の形成は不要となる。

【 0 1 1 5 】

また、貫通電極 2 1 ~ 2 3 を形成後、内部接続端子 1 3 が接続される側の貫通電極 2 1 ~ 2 3 の端面に、保護層 (例えば、貫通電極 2 1 ~ 2 3 の端面に、Ni めっき層と、Au めっき層とを順次積層させた Ni / Au 積層膜)を設けてもよい。

【 0 1 1 6 】

次いで、図 8 に示す工程では、図 7 に示す電子部品 1 7 , 1 8 及び貫通電極 2 1 ~ 2 3 が形成された絶縁部材 1 9 から接着剤 1 0 2 及び支持体 1 0 1 を除去する (支持体除去工程)。

【 0 1 1 7 】

具体的には、例えば、図 7 に示す電子部品 1 7 , 1 8 及び貫通電極 2 1 ~ 2 3 が形成された絶縁部材 1 9 から、支持体 1 0 1 を機械的に剥がすことで、支持体 1 0 1 と共に、接着剤 1 0 2 を除去する。これにより、貫通電極 2 1 ~ 2 3 及び電極パッド 6 2 , 6 3 , 6 5 , 6 6 は、接着剤 1 0 2 の厚さ分だけ、絶縁部材 1 9 の下面 1 9 B から突出するが、多少突出していたとしても製造工程上問題は無い。また、貫通電極 2 1 ~ 2 3 の下端面及び電極パッド 6 2 , 6 3 , 6 5 , 6 6 の接続面 6 2 A , 6 3 A , 6 5 A , 6 6 A と絶縁部材 1 9 の下面 1 9 B とは、完全な同一平面には配置されない。

【 0 1 1 8 】

次いで、図 9 に示す工程では、絶縁部材 1 9 の下面 1 9 B、電極パッド 6 2 , 6 3 , 6 5 , 6 6、電子部品 1 7 , 1 8 の電極パッド形成面 1 7 B , 1 8 B、及び貫通電極 2 1 ~ 2 3 の下端面に、開口部 1 1 1 ~ 1 1 7 を有した絶縁層 4 1 を形成する。

【 0 1 1 9 】

具体的には、絶縁層 4 1 は、例えば、図 8 に示す構造体の下面に絶縁層 4 1 の母材となる絶縁樹脂フィルム (例えば、エポキシ樹脂フィルム)を貼り付けた後、開口部 1 1 1 ~ 1 1 7 に対応する部分の絶縁樹脂フィルムをレーザ加工することで形成する。

【 0 1 2 0 】

開口部 1 1 1 は、接続面 6 2 A を露出するように形成し、開口部 1 1 2 は、接続面 6 3 A を露出するように形成する。また、開口部 1 1 3 は、接続面 6 5 A を露出するように形成し、開口部 1 1 4 は、接続面 6 6 A を露出するように形成する。また、開口部 1 1 5 は、貫通電極 2 1 の下端面を露出するように形成し、開口部 1 1 6 は、貫通電極 2 2 の下端面を露出するように形成する。さらに、開口部 1 1 7 は、貫通電極 2 3 の下端面を露出するように形成する。

【 0 1 2 1 】

次いで、図 1 0 に示す工程では、開口部 1 1 1 ~ 1 1 7 及び絶縁層 4 1 の下面 4 1 B に、ビア 4 5 , 4 6 , 5 1 , 5 2 , 5 6 , 5 7 , 6 1 及び配線 4 7 , 5 3 , 5 8 , 6 2 を同時に形成する。これにより、電子部品 1 7 に設けられた電極パッド 6 2 , 6 3 とビア 4 5 , 5 1 とが直接接続されると共に、電子部品 1 8 に設けられた電極パッド 6 5 , 6 6 とビア 4 6 , 5 6 とが直接接続される。

【 0 1 2 2 】

このように、電子部品 1 7 , 1 8 の電極パッド 6 2 , 6 3 , 6 5 , 6 6 とビア 4 5 , 4 6 , 5 1 , 5 6 とを直接接続することにより、 bumps 或いは金属ワイヤを介して、電子部品と配線パターンとを電氣的に接続させた従来の半導体装置と比較して、半導体装置 1 1

10

20

30

40

50

の厚さ方向のサイズの小型化を図ることができる。

【 0 1 2 3 】

ビア 5 2 は、貫通電極 2 1 の下端と直接接続され、ビア 5 7 は、貫通電極 2 2 の下端と直接接続される。また、ビア 6 1 は、貫通電極 2 3 の下端と直接接続される。

【 0 1 2 4 】

ビア 4 5 , 4 6 , 5 1 , 5 2 , 5 6 , 5 7 , 6 1 及び配線 4 7 , 5 3 , 5 8 , 6 2 は、例えば、セミアディティブ法により形成することができる。ビア 4 5 , 4 6 , 5 1 , 5 2 , 5 6 , 5 7 , 6 1 及び配線 4 7 , 5 3 , 5 8 , 6 2 の材料としては、例えば、Cu を用いることができる。

【 0 1 2 5 】

次いで、図 1 1 に示す工程では、先に説明した図 9 に示す工程と同様な処理を行うことにより、絶縁層 4 1 の下面 4 1 B に、開口部 1 2 1 ~ 1 2 4 を有した絶縁層 4 2 を形成する。これにより、複数の絶縁層 4 1 , 4 2 が積層された積層体 2 7 が形成される。開口部 1 2 1 は、配線 4 7 の一部を露出するように形成し、開口部 1 2 2 は、配線 5 3 の一部を露出するように形成する。開口部 1 2 3 は、配線 5 8 の一部を露出するように形成し、開口部 1 2 4 は、配線 6 2 の一部を露出するように形成する。上記絶縁層 4 2 としては、例えば、エポキシ樹脂フィルムを用いることができる。

【 0 1 2 6 】

次いで、図 1 2 に示す工程では、先に説明した図 1 0 に示す工程と同様な処理を行うことにより、開口部 1 2 1 ~ 1 2 4 及び絶縁層 4 2 の下面 4 2 B に、ビア 4 8 , 5 4 , 5 9 , 6 3 と、接続面 3 1 - 1 A , 3 1 - 2 A , 3 1 - 3 A , 3 1 - 4 A を有した外部接続用パッド 3 1 - 1 , 3 1 - 2 , 3 1 - 3 , 3 1 - 4 とを同時に形成する。

【 0 1 2 7 】

これにより、電子部品 1 7 , 1 8 と外部接続用パッド 3 1 - 1 とを電氣的に接続する配線パターン 3 3 と、電子部品 1 7 及び貫通電極 2 1 と外部接続用パッド 3 1 - 2 とを電氣的に接続する配線パターン 3 4 と、電子部品 1 8 及び貫通電極 2 2 と外部接続用パッド 3 1 - 3 とを電氣的に接続する配線パターン 3 5 と、貫通電極 2 3 と外部接続用パッド 3 1 - 4 とを電氣的に接続する配線パターン 3 6 とが形成される。

【 0 1 2 8 】

ビア 4 8 , 5 4 , 5 9 , 6 3 及び外部接続用パッド 3 1 - 1 , 3 1 - 2 , 3 1 - 3 , 3 1 - 4 の材料としては、例えば、Cu を用いることができる。

【 0 1 2 9 】

次いで、図 1 3 に示す工程では、絶縁層 4 2 の下面 4 2 B に、開口部 3 8 A , 3 8 B , 3 8 C , 3 8 D を有したソルダーレジスト層 3 8 を形成する。開口部 3 8 A は、接続面 3 1 - 1 A を露出するように形成し、開口部 3 8 B は、接続面 3 1 - 2 A を露出するように形成する。開口部 3 8 C は、接続面 3 1 - 3 A を露出するように形成し、開口部 3 8 D は、接続面 3 1 - 4 A を露出するように形成する。なお、接続面 3 1 - 1 A , 3 1 - 2 A , 3 1 - 3 A , 3 1 - 4 A に、Ni めっき層と、Au めっき層とを順次積層させ、Ni / Au 積層膜よりなる保護層を設けてもよい。図 9 ~ 図 1 3 に示す工程が、「多層配線構造体形成工程」に相当する工程である。

【 0 1 3 0 】

次いで、図 1 4 に示す工程では、接続面 3 1 - 1 A , 3 1 - 2 A , 3 1 - 3 A , 3 1 - 4 A に、それぞれ 1 つの外部接続端子 2 4 を形成する。外部接続端子 2 4 としては、例えば、はんだボールを用いることができる。なお、図 1 4 では、外部接続端子 2 4 としてはんだボールを用いた場合を例に挙げて図示したが、はんだボールの代わりにピン端子を外部接続端子 2 4 として用いてもよい。なお、外部接続端子 2 4 として、はんだボール等を設ける代わりに、接続面 3 1 - 1 A , 3 1 - 2 A , 3 1 - 3 A , 3 1 - 4 A 自体を外部接続端子として用いてもよい。

【 0 1 3 1 】

本実施の形態の半導体装置の製造方法によれば、支持体 1 0 1 の上面 1 0 1 A と電子部

10

20

30

40

50

品 17, 18 に設けられた電極パッド 62, 63, 65, 66 とが接触するように、接着剤 102 により、支持体 101 と電子部品 17, 18 とを接着し、次いで、接着剤 102 の上面 102A に電子部品 17, 18 の周囲（側面）の一部を封止する絶縁部材 19 を形成し、次いで、電子部品 17, 18 及び絶縁部材 19 を研削することにより、電子部品 17, 18 を薄板化すると共に、薄板化された電子部品 17, 18 の背面 17A, 18A と絶縁部材 19 の上面 19A とを同一平面上に配置し、次いで、絶縁部材 19 を貫通する貫通電極 21 ~ 23 を形成し、次いで、接着剤 102 及び支持体 101 を除去し、その後、絶縁部材 19 の下面 19B、電極パッド 62, 63, 65, 66、電子部品 17, 18 の電極パッド形成面 17B, 18B、及び貫通電極 21 ~ 23 の下端面に、電極パッド 62, 63, 65, 66 及び貫通電極 21 ~ 23 の下端面と直接接続される配線パターン 33 ~ 36 を形成することにより、 bumps 或いは金属ワイヤを介して、電子部品と配線パターンとを電氣的に接続させた従来の半導体装置と比較して、半導体装置 11 の厚さ方向のサイズの小型化を図ることができる。

10

【0132】

また、電子部品 17, 18 に設けられた電極パッド 62, 63, 65, 66 と配線パターン 33 ~ 35 とを直接接続することにより、電子部品 17, 18 と配線パターン 33 ~ 35 とを接続する bumps（例えば、はんだ bumps）が不要となるため、配線パターン 33 ~ 35（具体的には、ビア 45, 46, 51, 56 及び配線 47, 53, 58）を微細かつ高密度に形成することができる。

【0133】

20

（第 2 の実施の形態）

図 15 は、本発明の第 2 の実施の形態に係る電子装置の断面図である。図 15 において、第 1 の実施の形態の電子装置 10 と同一構成部分には同一符号を付す。

【0134】

図 15 を参照するに、第 2 の実施の形態の電子装置 130 は、第 1 の実施の形態の電子装置 10 に設けられた半導体装置 11 の代わりに半導体装置 131 を設けた以外は、電子装置 10 と同様に構成される。

【0135】

半導体装置 131 は、第 1 の実施の形態で説明した半導体装置 11 に設けられた絶縁部材 19 の代わりに絶縁部材 133 及び封止樹脂 134 を設けた以外は、半導体装置 11 と同様に構成される。

30

【0136】

絶縁部材 133 は、絶縁層 41 の上面 41A に設けられている。絶縁部材 133 は、貫通孔 136 ~ 138 と、貫通部 141 とを有する。貫通孔 136 は、ビア 52 の上面を露出するように形成されている。貫通孔 137 は、ビア 57 の上面を露出するように形成されている。貫通孔 138 は、ビア 61 の上面を露出するように形成されている。貫通部 141 は、絶縁部材 133 を貫通するように形成されている。貫通部 141 は、多層配線構造体 15（具体的には、配線パターン 33 ~ 35）と電氣的に接続された電子部品 17, 18 を収容するための空間である。

【0137】

40

絶縁部材 133 は、絶縁層 41 の上面 41A に配置された部分の電子部品 17, 18 の厚さと略等しくなるように構成されている。絶縁層 41 の上面 41A に配置された部分の電子部品 17, 18 の厚さが 200 μm の場合、絶縁部材 133 の厚さは、例えば、200 μm とすることができる。絶縁部材 133 の上面 133A は、平坦な面とされている。絶縁部材 133 の上面 133A は、電子部品 17, 18 の背面 17A, 18A と略面一となるように構成されている。これにより、絶縁部材 133 の上面 133A 及び電子部品 17, 18 の背面 17A, 18A は、同一平面上に配置されている。上記構成とされた絶縁部材 133 としては、例えば、エポキシ樹脂層を用いることができる。

【0138】

封止樹脂 134 は、電子部品 17, 18 が収容された貫通部 141 を充填するように配

50

置されている。封止樹脂 134 は、電子部品 17, 18 の背面 17A, 18A を露出している。封止樹脂 134 は、電子部品 17, 18 の側面を覆っている。これにより、封止樹脂 134 は、電子部品 17, 18 の側面部を封止している。封止樹脂 134 の上面 134A は、平坦な面とされている。封止樹脂 134 の上面 134A は、電子部品 17, 18 の背面 17A, 18A 及び絶縁部材 133 の上面 133A と略面一になるように構成されている。封止樹脂 134 の厚さは、絶縁層 41 の上面 41A に配置された部分の電子部品 17, 18 の厚さ及び絶縁部材 133 の厚さと略等しい。封止樹脂 134 の厚さは、例えば、200 μm とすることができる。封止樹脂 134 の材料としては、例えば、エポキシ樹脂を用いることができる。

【0139】

10

上記構成とされた第2の実施の形態の半導体装置 131 は、第1の実施の形態の半導体装置 11 と同様な効果を得ることができる。

【0140】

本実施の形態の電子装置によれば、電子部品 17, 18 の背面 17A, 18A、絶縁部材 133 の上面 133A、及び封止樹脂 134 の上面 134A を同一平面上に配置することにより、半導体装置 12 と対向する半導体装置 131 の上面が平坦な面となるため、半導体装置 131 と半導体装置 12 との間に配置される内部接続端子 13 の高さ方向のサイズを小さくすることが可能となるので、電子装置 130 の厚さ方向のサイズの小型化を図ることができる。

【0141】

20

また、内部接続端子 13 の高さ方向のサイズを小さくすることにより、貫通電極 21 ~ 23 を狭ピッチで配置することが可能となるので、半導体装置 131 と半導体装置 12 との間における電氣的接続箇所を増加させることができる（言い換えれば、半導体装置 131 と半導体装置 12 との間に配置される内部接続端子 13 の数を増加させることができる。）。）。。

【0142】

さらに、はんだボール等の内部接続端子 13 を小径化が可能となることにより、貫通電極 21 ~ 23 を狭ピッチ化できる。

【0143】

図 16 ~ 図 23 は、本発明の第2の実施の形態に係る半導体装置の製造工程を示す図である。図 16 ~ 図 23 において、第2の実施の形態の半導体装置 131 と同一構成部分には同一符号を付す。

30

【0144】

図 16 ~ 図 23 を参照して、第2の実施の形態の半導体装置 131 の製造方法について説明する。始めに、図 16 に示す工程では、支持体 101 の上面 101A に絶縁部材 133 を形成する。

【0145】

具体的には、絶縁部材 133 は、例えば、支持体 101 の上面 101A に、樹脂（例えば、エポキシ樹脂）を塗布することで形成する。なお、図 16 に示す絶縁部材 133 は、先に説明した図 15 に示す絶縁部材 133 よりも厚さが厚くなるように形成する。この段階での絶縁部材 133 の厚さは、例えば、300 μm にすることができる。

40

【0146】

次いで、図 17 に示す工程では、絶縁部材 133 を貫通する貫通部 141 及び貫通孔 136 ~ 138 を形成する。貫通部 141 及び貫通孔 136 ~ 138 は、例えば、貫通部 141 及び貫通孔 136 ~ 138 の形成領域に対応する部分の絶縁部材 133 にレーザを照射することで形成できる。なお、図 17 に示す貫通部 141 及び貫通孔 136 ~ 138 の深さは、先に説明した図 15 に示す貫通部 141 及び貫通孔 136 ~ 138 の深さ（例えば、200 μm ）よりも深い。電子部品 17, 18 の大きさが 5 mm x 9 mm の場合、貫通部 141 の大きさは、例えば、15 mm x 14 mm とすることができる。また、貫通電極 136 ~ 138 の直径は、例えば、200 μm とすることができる。

50

【 0 1 4 7 】

次いで、図 1 8 に示す工程では、貫通孔 1 3 6 を充填する貫通電極 2 1 と、貫通孔 1 3 7 を充填する貫通電極 2 2 と、貫通孔 1 3 8 を充填する貫通電極 2 3 とを同時に形成する。貫通電極 2 1 ~ 2 3 は、例えば、第 1 の実施の形態で説明した図 7 に示す工程と同様なめっき処理を行うことで形成できる。なお、この際、貫通部 1 4 1 にめっき膜が形成されないように、めっき処理の前に、貫通部 1 4 1 をめっき用レジストで被覆する。貫通電極 2 1 ~ 2 3 の材料としては、例えば、C u を用いることができる。

【 0 1 4 8 】

次いで、図 1 9 に示す工程では、貫通部 1 4 1 の形成領域に対応する部分の支持体 1 0 1 の上面 1 0 1 A と接続面 6 2 A、6 3 A、6 5 A、6 6 A とが接触するように、接着剤 1 0 2 により、電子部品 1 7、1 8 と支持体 1 0 1 とを接着する。図 1 9 に示す電子部品 1 7、1 8 は、薄板化される前の電子部品 1 7、1 8 であり、先に説明した図 1 5 に示す電子部品 1 7、1 8 の厚さよりも厚くなるように構成されている。このような薄板化されていない電子部品 1 7、1 8 は、薄板化された電子部品 1 7、1 8 よりもハンドリングしやすいため、支持体 1 0 1 の所定の位置に電子部品 1 7、1 8 を精度良く接着することができる。薄板化されていない電子部品 1 7、1 8 の厚さは、例えば、7 0 0 μ m とすることができる。

【 0 1 4 9 】

電子部品 1 7、1 8 としては、例えば、半導体チップを用いることができる。具体的には、電子部品 1 7、1 8 として C P U (Central Processing Unit) 用の半導体チップを用いる場合や、電子部品 1 7、1 8 のどちらか一方に C P U (Central Processing Unit) 用の半導体チップを用い、他方にメモリ用の半導体チップを用いる場合や、電子部品 1 7、1 8 のどちらか一方に C P U (Central Processing Unit) 用の半導体チップを用い、他方に G P U (Graphics Processing Unit) 用の半導体チップを用いる場合がある。

【 0 1 5 0 】

次いで、図 2 0 に示す工程では、貫通部 1 4 1 を充填する封止樹脂 1 3 4 を形成する。これにより、電子部品 1 7、1 8 は、封止樹脂 1 3 4 により封止される。封止樹脂 1 3 4 は、例えば、トランスファーマールド法、圧縮形成法、ポッティング法等の手法により形成することができる。封止樹脂 1 3 4 の材料としては、例えば、エポキシ樹脂を用いることができる。

【 0 1 5 1 】

次いで、図 2 1 に示す工程では、図 2 0 に示す構造体から支持体 1 0 1 及び接着剤 1 0 2 を除去する。具体的には、例えば、支持体 1 0 1 を機械的に剥がすことで、支持体 1 0 1 と共に、接着剤 1 0 2 を除去する。これにより、電子部品 1 7、1 8 の電極パッド形成面 1 7 B、1 8 B、電極パッド 6 2、6 3、6 5、6 6、貫通電極 2 1 ~ 2 3 の下端面、絶縁部材 1 3 3 の下面 1 3 3 B、及び封止樹脂 1 3 4 の下面 1 3 4 B が露出される。

【 0 1 5 2 】

なお、支持体 1 0 1 及び接着剤 1 0 2 を除去すると、封止樹脂 1 3 4 の下面 1 3 4 B と電子部品 1 7、1 8 の電極パッド形成面 1 7 B、1 8 B が、絶縁部材 1 3 3 の下面 1 3 3 B から、接着剤 1 0 2 の厚さ分だけ凹んだ構造となるが、製造工程上問題とならない。

【 0 1 5 3 】

次いで、図 2 2 に示す工程では、第 1 の実施の形態で説明した図 9 ~ 図 1 4 に示す工程と同様な処理を行うことで、電子部品 1 7、1 8 の電極パッド形成面 1 7 B、1 8 B、電極パッド 6 2、6 3、6 5、6 6、貫通電極 2 1 ~ 2 3 の下端面、絶縁部材 1 3 3 の下面 1 3 3 B、及び封止樹脂 1 3 4 の下面 1 3 4 B に、電子部品 1 7、1 8 及び貫通電極 2 1 ~ 2 3 と電氣的に接続された多層配線構造体 1 5 を形成する。

【 0 1 5 4 】

このとき、配線パターン 3 3 は、電極パッド 6 2、6 5 と直接接続されるように形成する。また、配線パターン 3 4 は、貫通電極 2 1 の下端及び電極パッド 6 3 と直接接続されるように形成する。また、配線パターン 3 5 は、貫通電極 2 2 の下端及び電極パッド 6 6

10

20

30

40

50

と直接接続されるように形成する。さらに、配線パターン 36 は、貫通電極 23 の下端と直接接続されるように形成する。

【0155】

このように、電極パッド 62, 63, 65, 66 と配線パターン 33 ~ 35 とを直接接続することにより、パンプ或いは金属ワイヤを介して、電子部品と配線パターンとを電氣的に接続させた従来の半導体装置と比較して、半導体装置 131 の厚さ方向のサイズの小型化を図ることができる。

【0156】

次いで、図 23 に示す工程では、図 22 に示す構造体の上面側から、電子部品 17, 18、貫通電極 21 ~ 23、絶縁部材 133、及び封止樹脂 134 を研削（例えば、バックサイドグラインダを用いた研削）することにより、電子部品 17, 18 の薄板化を行う。これにより、第 2 の実施の形態の半導体装置 131 が製造される。

【0157】

また、上記研削により、図 22 に示す貫通電極 21 ~ 23 と比較して貫通電極 21 ~ 23 の深さが浅くなると共に、貫通電極 21 ~ 23 の上端面、電子部品 17, 18 の背面 17A, 18A、絶縁部材 133 の上面 133A、及び封止樹脂 134 の上面 134A が同一平面上に配置される。

【0158】

絶縁層 41 の上面 41A に配置された部分の薄板化後の電子部品 17, 18 の厚さは、例えば、200 μm にすることができる。この場合、貫通電極 21 ~ 23 の深さは、例えば、200 μm とすることができる。また、絶縁部材 133 及び封止樹脂 134 の厚さは、例えば、200 μm とすることができる。

【0159】

なお、電子部品 17, 18 の薄板化した後、内部接続端子 13 が接続される側の貫通電極 21 ~ 23 の端面に、保護層（例えば、貫通電極 21 ~ 23 の端面に、Ni めっき層と、Au めっき層とを順次積層させた Ni / Au 積層膜）を設けてもよい。

【0160】

本実施の形態の半導体装置の製造方法によれば、支持体 101 の上面 101A に貫通孔 136 ~ 138 及び貫通部 141 を有した絶縁部材 133 を形成し、次いで、貫通部 141 から露出された部分の支持体 101 の上面 101A に、接着剤 102 により、接続面 62A, 63A, 65A, 66A と支持体 101 の上面 101A とが接触するように、電子部品 17, 18 を接着し、次いで、貫通部 141 に電子部品 17, 18 を封止する封止樹脂 134 を形成し、次いで、接着剤 102 及び支持体 101 を除去し、次いで、電子部品 17, 18 の電極パッド 62, 63, 65, 66 と配線パターン 33 ~ 35 とが直接接続されるように多層配線構造体 15 を形成することにより、パンプ或いは金属ワイヤを介して、電子部品と配線パターンとを電氣的に接続させた従来の半導体装置と比較して、半導体装置 131 の厚さ方向のサイズの小型化を図ることができる。

【0161】

また、電子部品 17, 18 に設けられた電極パッド 62, 63, 65, 66 と配線パターン 33 ~ 35 とを直接接続することにより、電子部品 17, 18 と配線パターン 33 ~ 35 とを接続するパンプ（例えば、はんだパンプ）が不要となるため、配線パターン 33 ~ 35（具体的には、ビア 45, 46, 51, 56 及び配線 47, 53, 58）を微細かつ高密度に形成することができる。

【0162】

なお、本実施の形態では、多層配線構造体 15 を形成後に、電子部品 17, 18 の薄板化を行った場合を例に挙げて説明したが、図 20 に示す工程の後に、研磨により電子部品 17, 18 の薄板化を行い、次いで、支持体 101 を除去し、その後、多層配線構造体 15 を形成してもよい。

【0163】

また、外部接続端子 39 は、電子部品 17, 18 の薄板化後に形成してもよい。

【 0 1 6 4 】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【 0 1 6 5 】

例えば、第 1 及び第 2 の実施の形態の半導体装置 1 1 , 1 3 1 では、2 つの電子部品 (電子部品 1 7 , 1 8) を設けた場合を例に挙げて説明したが、多層配線構造体 1 5 上に配置される電子部品の数はこれに限定されない。つまり、多層配線構造体 1 5 上に配置される電子部品の数は、1 つでもよいし、3 つ以上でもよい。

【 符号の説明 】

10

【 0 1 6 6 】

1 0 , 1 3 0 電子装置

1 1 , 1 2 , 1 3 1 半導体装置

1 3 内部接続端子

1 6 , 8 1 多層配線構造体

1 7 , 1 8 , 8 3 電子部品

1 7 A , 1 8 A 背面

1 7 B , 1 8 B 電極パッド形成面

1 9 絶縁部材

1 9 A , 4 1 A , 4 2 A , 9 1 A , 1 0 1 A , 1 0 2 A , 1 3 3 A , 1 3 4 A 上面

20

1 9 B , 4 1 B , 4 2 B , 9 1 B , 1 3 3 B , 1 3 4 B 下面

2 1 ~ 2 3 貫通電極

2 4 外部接続端子

2 7 積層体

3 1 - 1 , 3 1 - 2 , 3 1 - 3 , 3 1 - 4 外部接続用パッド

3 1 - 1 A , 3 1 - 2 A , 3 1 - 3 A , 3 1 - 4 A 接続面

3 3 ~ 3 6 , 9 6 配線パターン

3 8 , 9 8 , 9 9 ソルダレジスト層

3 8 A , 3 8 B , 3 8 C , 3 8 D , 9 8 A , 9 9 A , 1 1 1 ~ 1 1 7 , 1 2 1 ~ 1 2 4

開口部

30

4 1 , 4 2 絶縁層

4 5 , 4 6 , 4 8 , 5 1 , 5 2 , 5 4 , 5 6 , 5 7 , 5 9 , 6 1 , 6 3 ビア

4 7 , 5 3 , 5 8 , 6 2 配線

6 2 , 6 3 , 6 5 , 6 6 , 1 0 0 電極パッド

6 2 A , 6 3 A , 6 5 A , 6 6 A 接続面

7 1 ~ 7 3 , 1 3 6 ~ 1 3 8 貫通孔

8 4 金属ワイヤ

8 5 モールド樹脂

9 1 基板本体

9 3 , 9 4 パッド

40

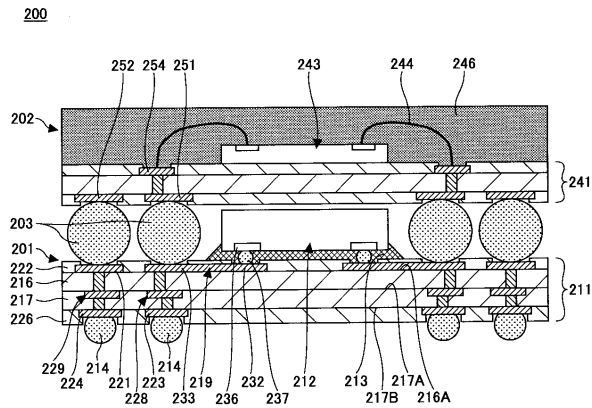
1 0 1 支持体

1 0 2 接着剤

1 4 1 貫通部

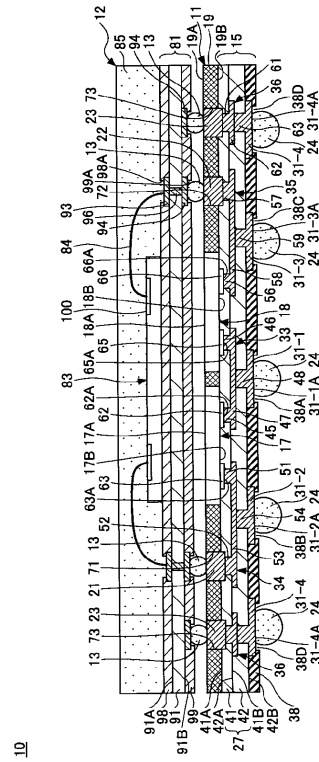
【図 1】

従来の電子装置の断面図



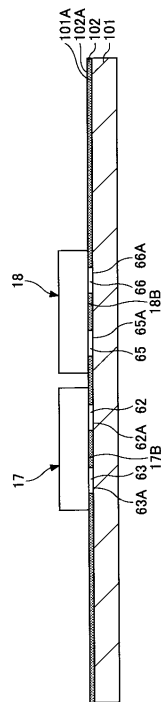
【図 2】

本発明の第1の実施の形態に係る電子装置の断面図



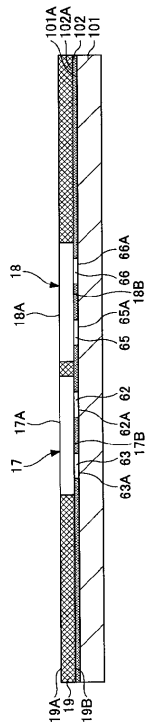
【図 3】

本発明の第1の実施の形態に係る半導体装置の製造工程(その1)を示す図



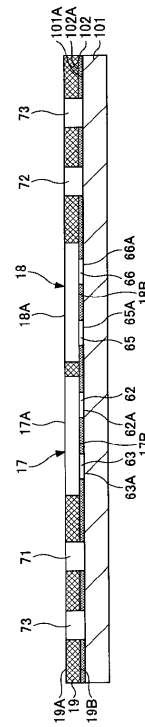
【 図 5 】

本発明の第1の実施の形態に係る半導体装置の製造工程(その3)を示す図



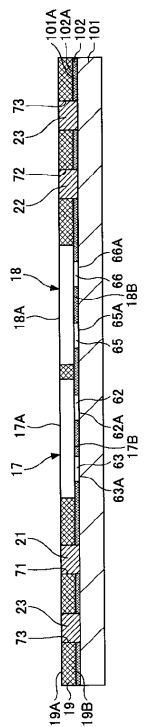
【 図 6 】

本発明の第1の実施の形態に係る半導体装置の製造工程(その4)を示す図



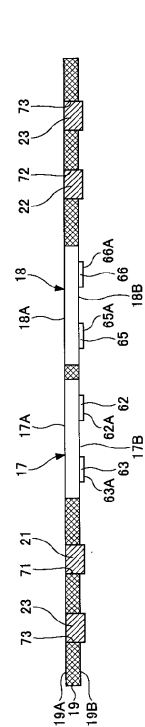
【圖 7】

本発明の第1の実施の形態に係る半導体装置の製造工程(その5)を示す図



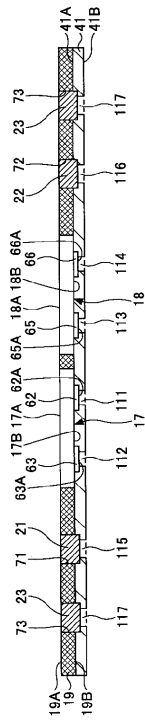
【 図 8 】

本発明の第1の実施の形態に係る半導体装置の製造工程(その6)を示す図



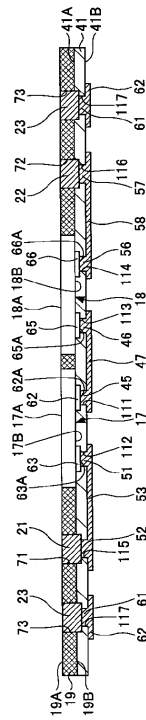
【図 9】

本発明の第1の実施の形態に係る半導体装置の製造工程(その7)を示す図



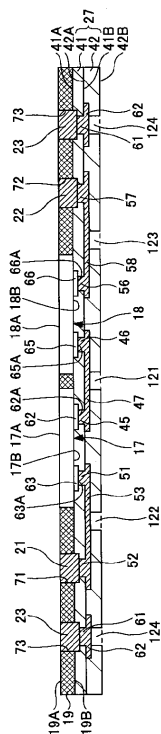
【図 10】

本発明の第1の実施の形態に係る半導体装置の製造工程(その8)を示す図



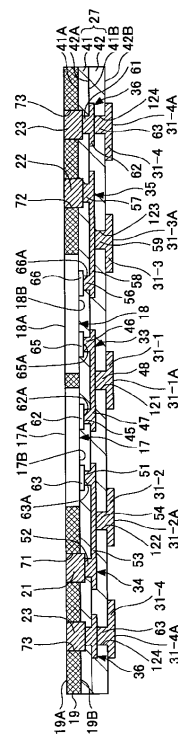
【図 11】

本発明の第1の実施の形態に係る半導体装置の製造工程(その9)を示す図



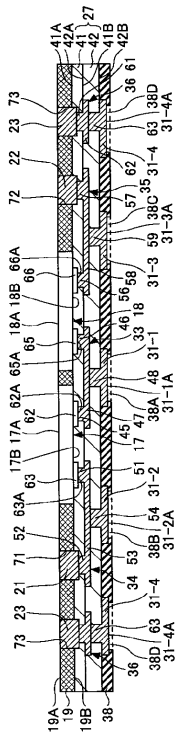
【図 12】

本発明の第1の実施の形態に係る半導体装置の製造工程(その10)を示す図



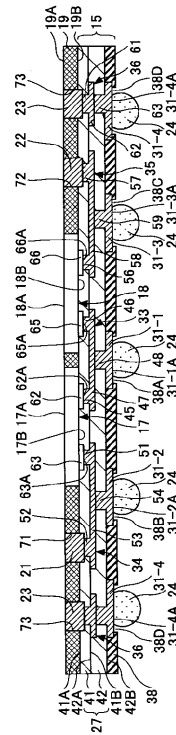
【図 13】

本発明の第1の実施の形態に係る半導体装置の製造工程(その11)を示す図



【図 14】

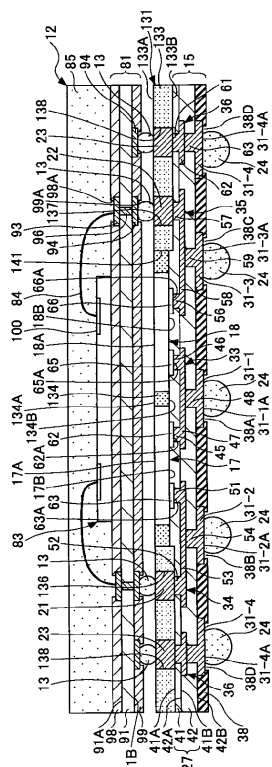
本発明の第1の実施の形態に係る半導体装置の製造工程(その12)を示す図



11

【図 15】

本発明の第2の実施の形態に係る電子装置の断面図

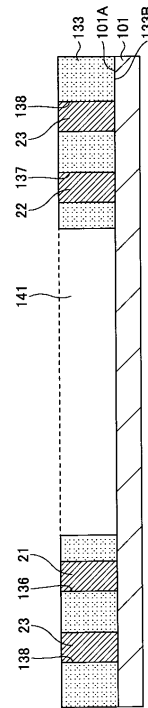
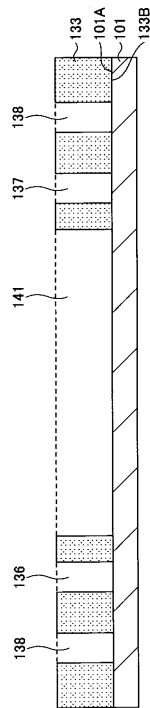


【図 17】

【図 18】

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その2)

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その3)

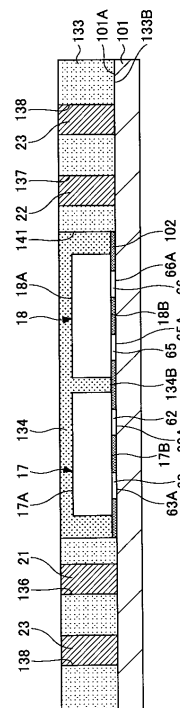
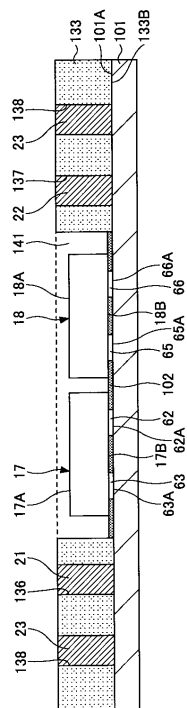


【図 19】

【図 20】

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その4)

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その5)

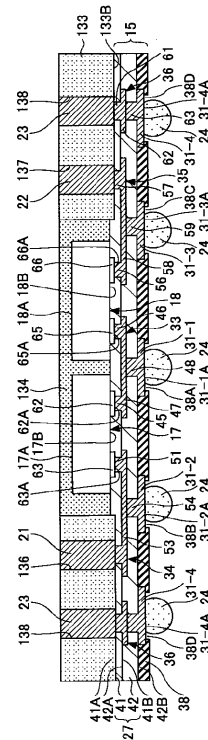
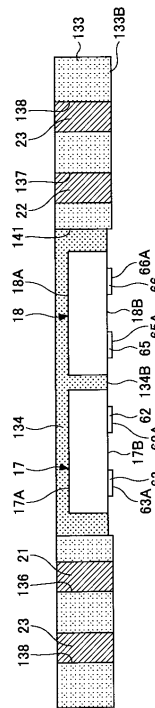


【 図 2 1 】

【 図 2 2 】

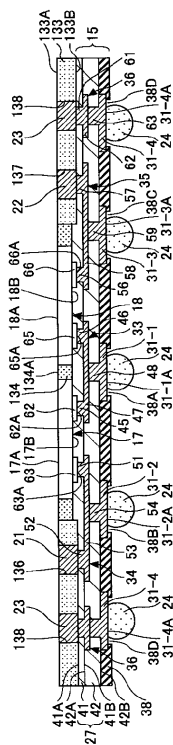
本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その6)

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その7)



【 図 2 3 】

本発明の第2の実施の形態に係る半導体装置の製造工程を示す図(その8)



フロントページの続き

(56)参考文献 特開2004-095836(JP,A)
特開2003-318323(JP,A)
特開2004-221418(JP,A)
特開2007-287803(JP,A)
特開2004-342862(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	25/065
H01L	25/07
H01L	25/10
H01L	25/11
H01L	25/18
H01L	23/12