СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1368983 A1

(51) 4 H 03 K 23/40

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

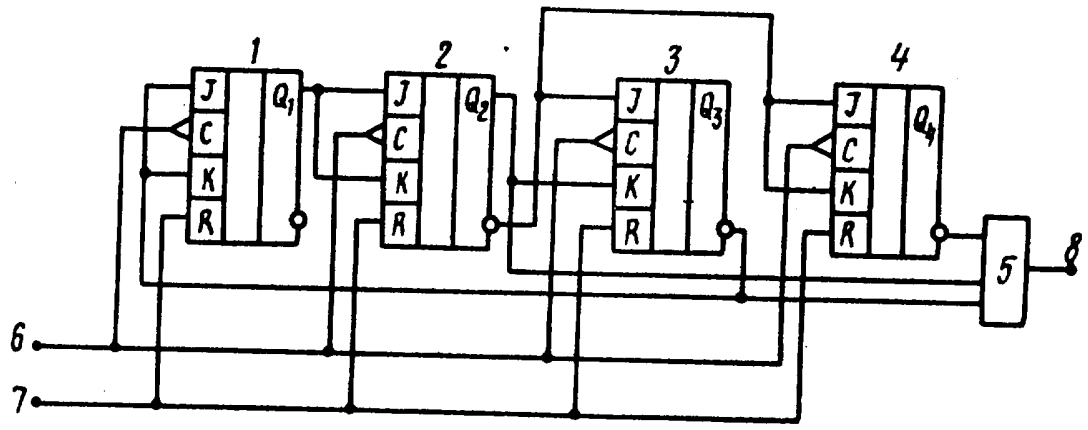
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4094096/24-21
(22) 18.07.86
(46) 23.01.88. Бюл. № 3
(72) Ю.А.Базалев и В.И.Мяснов
(53) 621.374(088.8)
(56) Авторское свидетельство СССР № 1225010, кл. H 03 K 23/40, 02.10.84.
Авторское свидетельство СССР № 1243130, кл. H 03 K 23/40, 7.01.85.

(54) СИНХРОННЫЙ ДЕЛИТЕЛЬ ЧАСТОТЫ НА 14

(57) Изобретение относится к импульсной технике и может быть использовано при построении хронизаторов, цифровых синтезаторов частоты и электромузыкальных инструментов. Цель изобретения - повышение быстродействия - достигается съемным выполнением синхронного делителя частоты и введением новых функциональных связей между съемными элементами. Предложенный делитель частоты содержит IK-триггеры 1-4. элемент И 5, тактовую шину 6 и шину 7 сброса. Работа делителя частоты на 14 определяется логическими уравнениями для I- и K-входов всех IK-триггеров и поясняется временными диаграммами, приведенными в описании изобретения. 2 ил.



Фиг.1

(19) SU (11) 1368983 A1

Изобретение относится к импульсной технике и может быть использовано, например, для построения хронизаторов, цифровых синтезаторов частоты и электромузыкальных инструментов.

Цель изобретения - повышение быстродействия - достигается тем, что в известном синхронном делителе частоты на 14, содержащем четыре IK-триггера и один элемент И, счетные входы всех IK-триггеров соединены с тактовой шиной, а R-входы - с шиной сброса, инверсный выход второго IK-триггера соединен с I-входом третьего IK-триггера и с первым входом, а прямой выход - с K-входом третьего IK-триггера и с первым входом элемента И, второй вход которого соединен с инверсным выходом третьего IK-триггера, в котором инверсный выход третьего IK-триггера соединен с I- и K-входами первого IK-триггера, прямой выход которого соединен с I- и K-входами второго IK-триггера, инверсный выход которого соединен с I- и K-входами четвертого IK-триггера, инверсный выход которого соединен с третьим входом элемента И, выход которого образует выходную шину устройства.

На фиг. 1 представлена электрическая функциональная схема синхронного делителя частоты на 14; на фиг. 2 - временные диаграммы, поясняющие его работу.

Синхронный делитель частоты на 14 содержит первый 1, второй 2, третий 3 и четвертый 4 IK-триггеры, элемент И 5, тактовую шину 6, шину 7 сброса. Счетные входы всех IK-триггеров 1-4 соединены с тактовой шиной 6, а R-входы с шиной 7 сброса. Прямой выход второго IK-триггера 2 соединен с первым входом элемента И 5 и с K-входом третьего IK-триггера 3, инверсный выход которого соединен с вторым входом элемента И 5 и с I- и K-входами первого IK-триггера 1, прямой выход которого соединен с I- и K-входами второго IK-триггера 2, инверсный вход которого соединен с I-входом третьего IK-триггера 3 и с I- и K-входами четвертого IK-триггера 4, инверсный выход которого соединен с третьим входом элемента И 5, выход которого образует выходную шину 8 переноса.

При такой схеме соединения элементов логические уравнения для I- и K-входов IK-триггеров 1-4 и сигнала П переноса имеют вид

$$I_1=\bar{Q}_3;\ I_2=Q_1;\ I_3=\bar{Q}_2;\ I_4=\bar{Q}_2;$$

$$K_1=\bar{Q}_3;\ K_2=Q_1;\ K_3=Q_2;\ K_4=\bar{Q}_2;$$

$$П=Q_2\bar{Q}_3\bar{Q}_4.$$

Работа синхронного делителя частоты на 14 на IK-триггерах, определяемая логическими уравнениями для I- и K-входов всех IK-триггеров 1-4 проходит в следующем порядке.

По сигналу "Сброс", поступающему в виде импульса по шине 7 сброса, все IK-триггеры 1-4 устанавливаются в исходное нулевое состояние, после чего состояния выходов равны (диаграммы Q_1, Q_2, Q_3, Q_4 при i = 0):

$$Q_1=0;\ Q_2=0;\ Q_3=0;\ Q_4=0;\ П=0.$$

На основании логических уравнений для I- и K-входов всех IK-триггеров 1-4 предлагаемого устройства состояния и I- и K-входов будут следующими:

$$I_1=\bar{Q}_3=1;\ I_2=Q_1=0;\ I_3=\bar{Q}_2=1;\ I_4=\bar{Q}_2=1.$$

$$K_1=\bar{Q}_3=1;\ K_2=Q_1=0;\ K_3=Q_2=0;\ K_4=\bar{Q}_2=1.$$

Поскольку IK-триггер по последнему входному тактовому импульсу при I=0 и K=0 не изменяет своего состояния, при I=1 и K=1 переключается в противоположное состояние, при I=1 и K=0 переключается в состояние логической единицы, а при I=0 и K=1 в состояние логического нуля, то по первому тактовому импульсу, поступившему по шине 6 после окончания действия сигнала "Сброс" по шине 7, первый 1, третий 3 и четвертый 4 IK-триггеры переключаются в состояние логической единицы, а второй IK-триггер 2 не изменяет своего состояния (диаграммы при i=1). При этом состояния выходов

$$Q_1=1;\ Q_2=0;\ Q_3=1;\ Q_4=1;\ П=0.$$

Изменяются и состояния входов:

$$I_1=0;\ I_2=1;\ I_3=1;\ I_4=1;$$

$K_1=0$; $K_2=1$; $K_3=0$; $K_4=1$.

В результате, по второму тактовому импульсу устройство переходит в свое второе состояние, которое характеризуется следующими значениями выходов и входов всех IK-триггеров 1-4 сигнала переноса П на выходе элемента И 5 (диаграммы при i=2):

$Q_1=1$; $Q_2=1$; $Q_3=1$; $Q_4=0$;

$I_1=0$; $I_2=1$; $I_3=0$; $I_4=0$;

$K_1=0$; $K_2=1$; $K_3=1$; $K_4=0$; $П = 0$.

В третьем такте (диаграммы при i=3) состояния выходов

$Q_1=1$; $Q_2=0$; $Q_3=0$; $Q_4=0$; $П = 0$.

Рассматривая и далее таким же образом работу устройства, получают все состояния входов и выходов при всех i. При i = 12 и i = 13 удовлетворяется условие совпадения сигналов Q_2, $\bar{Q}_3$, $\bar{Q}_4$. Поэтому сигнал переноса на выходе элемента U 5 в этих тактах П = 1, а его длительность $\tau_п = 2\tau$, где τ - длительность периода следования импульсов на шине 6.

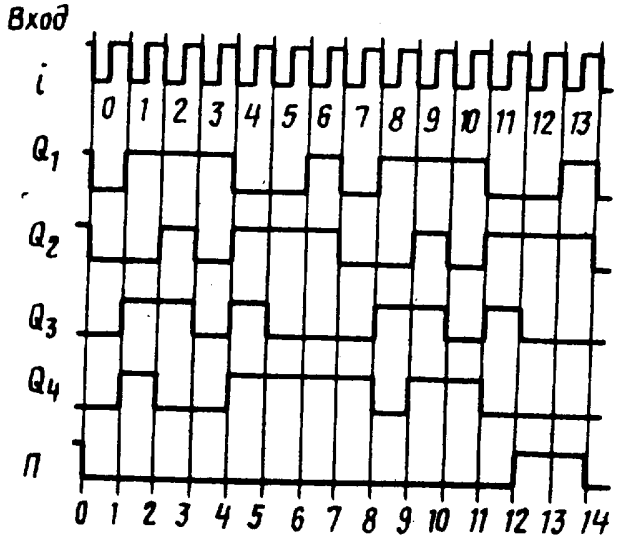
По пятнадцатому тактовому импульсу все IK-триггеры 1-4 возвращают в исходное нулевое состояние:

$Q_1=0$; $Q_2=0$; $Q_3=0$; $Q_4=0$; $П=Q_2\bar{Q}_3\bar{Q}_4=0$.

На этом заканчивается цикл работы синхронного делителя частоты на 14, далее его работа повторяется через каждые 14 тактовых импульсов.

Формула изобретения

Синхронный делитель частоты на 14, содержащий первый, второй, третий и четвертый IK-триггеры, C- и R-входы которых соединены соответственно с тактовой шиной и с шиной сброса, и элемент И, первый вход которого соединен с K-входом третьего IK-триггера, инверсный выход которого подключен к второму входу элемента И, и с прямым выходом второго IK-триггера, инверсный выход которого соединен с I-входом третьего IK-триггера, при этом I-входы первого, второго и четвертого IK-триггеров соединены с K-входами соответствующих IK-триггеров, отличающийся тем, что, с целью повышения быстродействия, инверсный выход третьего IK-триггера соединен с K-входом первого IK-триггера, прямой выход которого соединен с K-входом второго IK-триггера, инверсный выход которого соединен с K-входом четвертого IK-триггера, инверсный выход которого соединен с третьим входом элемента И.



Фиг. 2