

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5873755号  
(P5873755)

(45) 発行日 平成28年3月1日(2016.3.1)

(24) 登録日 平成28年1月22日(2016.1.22)

(51) Int.Cl.

F 1

H03K 17/687 (2006.01)

H03K 17/687

H03K 19/003 (2006.01)

H03K 19/003

F

Z

請求項の数 6 (全 52 頁)

(21) 出願番号 特願2012-108073 (P2012-108073)  
 (22) 出願日 平成24年5月10日 (2012.5.10)  
 (65) 公開番号 特開2012-257211 (P2012-257211A)  
 (43) 公開日 平成24年12月27日 (2012.12.27)  
 審査請求日 平成27年4月20日 (2015.4.20)  
 (31) 優先権主張番号 特願2011-108133 (P2011-108133)  
 (32) 優先日 平成23年5月13日 (2011.5.13)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 梅崎 敦司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 栗栖 正和

最終頁に続く

(54) 【発明の名称】半導体装置及び表示装置

## (57) 【特許請求の範囲】

## 【請求項 1】

シフトレジスタを有し、前記シフトレジスタは、フリップフロップを有し、第1乃至第5のトランジスタと、容量素子と、を有し、前記第1乃至第5のトランジスタは、Nチャネル型であり、前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、前記第5のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、前記第5のトランジスタのソース又はドレインの一方は、前記容量素子の第1の電極と電気的に接続され、前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

10

前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

20

前記第2のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続され、

前記容量素子の第2の電極は、前記第3の配線と電気的に接続されることを特徴とする半導体装置。

10

**【請求項2】**

シフトレジスタを有し、

前記シフトレジスタは、フリップフロップを有し、

第1乃至第5のトランジスタと、容量素子と、を有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子の第1の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

20

前記第3のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続され、

前記容量素子の第2の電極は、前記第3の配線と電気的に接続され、

前記第1のトランジスタのW/L (Wはチャネル幅、Lはチャネル長)は、前記第2のトランジスタのW/Lよりも大きく、

30

前記第1のトランジスタのW/Lは、前記第3のトランジスタのW/Lよりも大きく、

前記第1のトランジスタのW/Lは、前記第4のトランジスタのW/Lよりも大きく、

前記第1のトランジスタのW/Lは、前記第5のトランジスタのW/Lよりも大きいことを特徴とする半導体装置。

40

**【請求項3】**

シフトレジスタを有し、

前記シフトレジスタは、フリップフロップを有し、

第1乃至第5のトランジスタと、容量素子と、を有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソ

50

ース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子の第1の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続され、

前記容量素子の第2の電極は、前記第3の配線と電気的に接続され、

前記第2のトランジスタのW/L (Wはチャネル幅、Lはチャネル長)は、前記第4のトランジスタのW/Lよりも大きいことを特徴とする半導体装置。

【請求項4】

画素部と、駆動回路と、を有し、

前記画素部及び前記駆動回路は、同じ基板に設けられ、

前記駆動回路は、フリップフロップを有し、

第1乃至第5のトランジスタと、容量素子と、を有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子の第1の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

10

20

30

40

50

前記第5のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続され、

前記容量素子の第2の電極は、前記第3の配線と電気的に接続されることを特徴とする表示装置。

**【請求項5】**

画素部と、駆動回路と、を有し、

前記画素部及び前記駆動回路は、同じ基板に設けられ、

前記駆動回路は、フリップフロップを有し、

第1乃至第5のトランジスタと、容量素子と、を有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子の第1の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続され、

前記容量素子の第2の電極は、前記第3の配線と電気的に接続され、

前記第1のトランジスタのW/L (Wはチャネル幅、Lはチャネル長)は、前記第2のトランジスタのW/Lよりも大きく、

前記第1のトランジスタのW/Lは、前記第3のトランジスタのW/Lよりも大きく、

前記第1のトランジスタのW/Lは、前記第4のトランジスタのW/Lよりも大きく、

前記第1のトランジスタのW/Lは、前記第5のトランジスタのW/Lよりも大きいことを特徴とする表示装置。

**【請求項6】**

画素部と、駆動回路と、を有し、

前記画素部及び前記駆動回路は、同じ基板に設けられ、

前記駆動回路は、フリップフロップを有し、

第1乃至第5のトランジスタと、容量素子と、を有し、

前記第1乃至第5のトランジスタは、Nチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲ

10

20

30

40

50

ートと電気的に接続され、

前記第4のトランジスタのゲートは、前記第2のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのゲートと電気的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子の第1の電極と電気的に接続され、

前記第1のトランジスタのソース又はドレインの他方は、第1の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、前記第2の配線と電気的に接続され、

前記第5のトランジスタのソース又はドレインの他方は、第4の配線と電気的に接続され、

前記容量素子の第2の電極は、前記第3の配線と電気的に接続され、

前記第2のトランジスタのW/L (Wはチャネル幅、Lはチャネル長)は、前記第4のトランジスタのW/Lよりも大きいことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置及び表示装置に関する。

【背景技術】

【0002】

液晶テレビなどの大型表示装置の普及に伴い、より付加価値の高い表示装置の開発が進められている。特に、一導電型のトランジスタのみを用いて駆動回路を構成する技術開発が活発に進められている(特許文献1参照)。

【0003】

図23に、特許文献1に記載された駆動回路を示す。特許文献1の駆動回路は、トランジスタM1、トランジスタM2、トランジスタM3、トランジスタM4及び容量素子C1を有する。特許文献1では、信号OUTをハイレベルとする場合には、トランジスタM1のゲートを浮遊状態とし、容量素子C1の容量結合を用いてトランジスタM1のゲートの電位を電位VDDよりも高くするブートストラップ動作が行われている。また、トランジスタM1のゲートを浮遊状態とするために、トランジスタM1のゲートと接続されるトランジスタ(例えばトランジスタM4)のゲートとソースとの間の電位差(以下、Vgsと示す)を0[V]として、このトランジスタをオフにすることが行われている。

【0004】

また、信号OUTをロウレベルとする場合には、信号INをハイレベルとして、トランジスタM2及びトランジスタM3をオンにすることが行われている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-328643号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

トランジスタが仮にディブレッシュ型(ノーマリーオン型ともいう)である場合には、トランジスタのVgsを0[V]としても、トランジスタがオフにならない。よって、

10

20

30

40

50

信号 OUT をハイレベルとする場合において、トランジスタ M 3 及びトランジスタ M 4 がオフにならないため、トランジスタ M 1 のゲートを浮遊状態とすることはできない。トランジスタ M 1 のゲートを浮遊状態とすることはないと、ブートストラップ動作を正常に行うことができず、誤動作を起こすことがある。または、誤動作を起こさなくても、動作可能な駆動周波数の範囲が狭くなることがある。

【 0 0 0 7 】

また、信号 OUT をロウレベルとする場合において、表示装置の駆動回路の駆動電圧は大きいため、トランジスタ M 2 及びトランジスタ M 3 の V<sub>gs</sub> も大きくなる。よって、トランジスタの劣化が進み、やがて駆動回路が誤動作を起こすことがある。

【 0 0 0 8 】

そこで、本発明の一態様では、トランジスタが仮にディプレッション型であっても、安定して動作することができる半導体装置を提供することを課題の一とする。また、トランジスタの劣化を抑制することを課題の一とする。

【課題を解決するための手段】

【 0 0 0 9 】

開示する発明の一態様である半導体装置は、第 1 の電位を第 1 の配線に供給する機能を有する第 1 のトランジスタと、第 2 の電位を第 1 の配線に供給する機能を有する第 2 のトランジスタと、第 1 のトランジスタのゲートに第 1 のトランジスタがオンになるための第 3 の電位を供給した後、第 3 の電位の供給を止める機能を有する第 3 のトランジスタと、第 2 の電位を第 1 のトランジスタのゲートに供給する機能を有する第 4 のトランジスタと、第 1 の信号にオフセットを施した第 2 の信号を生成する機能を有する第 1 の回路と、を有する。そして、第 4 のトランジスタのゲートには、第 2 の信号が入力される。また第 2 の信号のロウレベルの電位は、第 2 の電位未満の電位である。

【 0 0 1 0 】

開示する発明の一態様である半導体装置は、第 1 の電位を第 1 の配線に供給する機能を有する第 1 のトランジスタと、第 2 の電位を第 1 の配線に供給する機能を有する第 2 のトランジスタと、第 1 のトランジスタのゲートに第 1 のトランジスタがオンになるための第 3 の電位を供給した後、第 3 の電位の供給を止める機能を有する第 3 のトランジスタと、第 2 の電位を第 1 のトランジスタのゲートに供給する機能を有する第 4 のトランジスタと、一方の電極に第 1 の信号が入力される容量素子と、容量素子の他方の電極に第 4 の電位を供給する機能を有する第 5 のトランジスタと、を有する。そして、第 4 のトランジスタのゲートに、容量素子の他方の電極と接続される。また、第 4 の電位は、第 2 の電位未満の電位である。

【 0 0 1 1 】

なお、上記半導体装置において、第 2 のトランジスタのゲートには、第 1 の信号が入力されてもよい。

【発明の効果】

【 0 0 1 2 】

本発明の一態様により、トランジスタが仮にディプレッション型であっても、トランジスタをオフにすることができます。また、トランジスタがオフのときのドレイン電流を小さくすることができます。よって、回路の誤動作を防止することができます。また、本発明の一態様により、トランジスタの V<sub>gs</sub> を小さくすることができ、トランジスタの劣化を抑制することができる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】本発明の一態様に係る半導体装置を説明するための図。

【図 2】本発明の一態様に係る半導体装置を説明するための図。

【図 3】本発明の一態様に係る半導体装置を説明するための図。

【図 4】本発明の一態様に係る半導体装置を説明するための図。

【図 5】本発明の一態様に係る半導体装置を説明するための図。

10

20

30

40

50

- 【図6】本発明の一態様に係る半導体装置を説明するための図。  
 【図7】本発明の一態様に係る半導体装置を説明するための図。  
 【図8】本発明の一態様に係る半導体装置を説明するための図。  
 【図9】本発明の一態様に係る半導体装置を説明するための図。  
 【図10】本発明の一態様に係る半導体装置を説明するための図。  
 【図11】本発明の一態様に係るシフトレジスタ回路を説明するための図。  
 【図12】本発明の一態様に係るシフトレジスタ回路を説明するための図。  
 【図13】本発明の一態様に係る表示装置を説明するための図。  
 【図14】本発明の一態様に係る酸化物材料の構造を説明する図。  
 【図15】本発明の一態様に係る酸化物材料の構造を説明する図。  
 【図16】本発明の一態様に係る酸化物材料の構造を説明する図。  
 【図17】本発明の一態様に係るトランジスタの構造を説明する図。  
 【図18】酸化物半導体層を用いたトランジスタ特性のグラフ。  
 【図19】トランジスタのオフ電流と測定時基板温度との関係を示す図。  
 【図20】本発明の一態様に係る電子機器を説明する図。  
 【図21】本発明の一態様に係る電子機器を説明する図。  
 【図22】本発明の一態様に係る半導体装置を説明するための図。  
 【図23】従来の駆動回路を説明する図。

## 【発明を実施するための形態】

## 【0014】

10

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

## 【0015】

## (実施の形態1)

本実施の形態では、入力信号にオフセットを施した信号を生成し、該信号によって駆動する半導体装置の一例について説明する。

## 【0016】

20

本実施の形態の半導体装置の構成について図1(A)を参照して説明する。図1(A)は、本実施の形態における半導体装置の回路図を示す。図1(A)の半導体装置は、回路100と、回路110と、を有する。回路100は、配線11、配線12、配線14及び回路110と接続される。また、回路110は、配線15、配線13、配線16及び回路100と接続される。なお、回路100及び回路110の構成に応じて、回路100及び回路110と接続される配線等は適宜変更すればよい。

## 【0017】

なお、明細書においては、XとYとが接続されている、と明示的に記載する場合は、XとYとが電気的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。

## 【0018】

30

配線13には電位VL1が供給される。電位VL1は所定の電位である。なお、配線13は電位VL1を伝達する機能を有する。

## 【0019】

配線14には電位VL2が供給される。電位VL2は所定の電位である。また、電位VL2は電位VL1未満の電位である。なお、配線14は電位VL2を伝達する機能を有する。

## 【0020】

配線15には電位VHが供給される。電位VHは所定の電位である。また、電位VHは電位VL1を超えた電位である。なお、配線15は電位VHを伝達する機能を有する。

## 【0021】

40

50

なお、配線 13、配線 14 及び配線 15 を電源線ともいう。また、電位 VL1、電位 VL2 及び電位 VH を電源電位ともいう。また、電位 VL1、電位 VL2 及び電位 VH は、例えば電源回路等から供給される。

【0022】

配線 11 には信号 IN が入力される。信号 IN は半導体装置の入力信号である。また、信号 IN はデジタル信号であり、信号 IN のハイレベルの電位は VH であり、信号 IN のロウレベルの電位は VL1 である。すなわち、配線 11 には電位 VH と電位 VL1 とが選択的に供給される。なお、配線 11 は信号 IN を伝達する機能を有する。

【0023】

配線 12 には信号 SE が入力される。信号 SE はオフセット電圧を取得するタイミングを制御するための信号である。また、信号 SE はデジタル信号であり、信号 SE のハイレベルの電位は VL2 を超えた電位であり、信号 SE のロウレベルの電位は VL2 又は VL2 未満の電位である。すなわち、配線 12 には、電位 VL2 を超えた電位と電位 VL2 又は VL2 未満の電位とが選択的に供給される。なお、配線 12 は信号 SE を伝達する機能を有する。

【0024】

配線 16 からは信号 OUT が outputされる。信号 OUT は半導体装置の出力信号である。また、信号 OUT はデジタル信号であり、信号 OUT のハイレベルの電位は VH であり、信号 OUT のロウレベルの電位は VL1 である。なお、配線 16 は信号 OUT を伝達する機能を有する。

10

20

【0025】

なお、配線 11、配線 12 及び配線 16 を信号線ともいう。また、信号 IN を入力信号、信号 SE を制御信号、信号 OUT を出力信号ともいう。

【0026】

回路 100 は、信号 IN にオフセットを施した信号 INO を生成する機能を有する。すなわち、回路 100 は、信号 IN の電位をオフセット電圧分だけ下げた信号 INO を生成する機能を有する。また、回路 100 は、信号 INO を回路 110 に出力する機能を有する。

【0027】

なお、信号 INO のロウレベルの電位は、配線 13 の電位 VL1 よりも低い電位である。また、信号 INO のハイレベルの電位は VL1 を超え、VH 未満の電位であることが好みしい。

30

【0028】

回路 110 は、信号 INO (回路 100 の出力信号) に応じて、信号 OUT をハイレベルとするかロウレベルとするかを選択する機能を有する。例えば、回路 110 がインバータ回路として機能する場合、回路 110 は、信号 INO がハイレベルであるときには信号 OUT をロウレベルとし、信号 INO がロウレベルであるときには信号 OUT をハイレベルとする機能を有する。また、回路 110 は、信号 INO に応じて、配線 15 の電位を配線 16 に出力するか、配線 13 の電位を配線 16 に出力するかを選択する機能を有する。例えば、回路 110 は、信号 INO がハイレベルである場合に配線 13 の電位を配線 16 に出力し、信号 INO がロウレベルである場合に配線 15 の電位を配線 16 に出力する機能を有する。また、回路 110 は、ブートストラップ動作によって、信号 OUT のハイレベルの電位を配線 15 の電位 VH と等しくする機能を有する。

40

【0029】

次に、回路 100 及び回路 110 の具体例について図 1 (A) を参照して説明する。

【0030】

回路 100 は、容量素子 101 及びトランジスタ 102 を有する。容量素子 101 の一方の電極は配線 11 と接続される。トランジスタ 102 の第 1 の端子 (ソース及びドレンの一方ともいう) は配線 14 と接続され、トランジスタ 102 の第 2 の端子は容量素子 101 の他方の電極と接続され、トランジスタ 102 のゲートは配線 12 と接続される。

50

## 【0031】

回路110は、トランジスタ111、トランジスタ112、トランジスタ113及びトランジスタ114を有する。トランジスタ111の第1の端子は配線15と接続され、トランジスタ111の第2の端子は配線16と接続される。トランジスタ112の第1の端子は配線13と接続され、トランジスタ112の第2の端子は配線16と接続され、トランジスタ112のゲートはトランジスタ114のゲートと接続される。トランジスタ113の第1の端子は配線15と接続され、トランジスタ113の第2の端子はトランジスタ111のゲートと接続され、トランジスタ113のゲートは配線15と接続される。トランジスタ114の第1の端子は配線13と接続され、トランジスタ114の第2の端子はトランジスタ111のゲートと接続され、トランジスタ114のゲートは容量素子101の他方の電極と接続される。なお、トランジスタ111のゲートと他のトランジスタ（例えばトランジスタ113、トランジスタ114等）の接続箇所をノードN1とする。

## 【0032】

容量素子101は、配線11とトランジスタ102の第2の端子との間の電位差を保持する機能を有する。よって、トランジスタ102の第2の端子が浮遊状態となる場合には、配線11に入力される信号に応じて、トランジスタ102の第2の端子の電位も変動する。すなわち、信号INに応じて、信号INOの電位も変動する。

## 【0033】

トランジスタ102は、配線14の電位VL2を容量素子101の他方の電極に供給する機能を有する。トランジスタ102が容量素子101の他方の電極に電位VL2を供給するタイミングは、配線12の信号SEによって制御される。

## 【0034】

なお、トランジスタ102は、電位VL1未満の電位を容量素子101の他方の電極に供給すればよい。具体的には、トランジスタ102は、トランジスタ114の第1の端子の電位未満の電位を、容量素子101の他方の電極に供給すればよい。

## 【0035】

トランジスタ111は、配線15の電位VHを配線16に供給する機能を有する。また、トランジスタ111は、ゲートと第2の端子との間の電位差を保持する機能を有する。よって、ノードN1が浮遊状態である場合には、配線16の電位が上昇すれば、ノードN1の電位も上昇する。

## 【0036】

なお、配線15に信号が入力される場合には、トランジスタ111は、配線15の信号を配線16に供給する機能を有する。

## 【0037】

トランジスタ112は、配線13の電位VL1を配線16に供給する機能を有する。トランジスタ112が電位VL1を配線16に供給するタイミングは、回路100から出力される信号INO（容量素子101の他方の電極の電位）によって制御される。

## 【0038】

トランジスタ113は、配線15の電位VHをトランジスタ111のゲートに供給する機能を有する。また、トランジスタ113は、トランジスタ111のゲートに電位VHを供給した後、トランジスタ111のゲートへの電位VHの供給を止める機能を有する。また、トランジスタ113は、トランジスタ111がオンになった後からトランジスタ113がオフになるまで、トランジスタ111のゲートに電位VHを供給する機能を有する。

## 【0039】

なお、トランジスタ113がトランジスタ111のゲートに供給する電位は、トランジスタ111がオンになる電位であればよい。

## 【0040】

トランジスタ114は、配線13の電位VL1をトランジスタ111のゲートに供給する機能を有する。トランジスタ114が電位VL1をトランジスタ111のゲートに供給するタイミングは、回路100から出力される信号INOによって制御される。

10

20

30

40

50

## 【0041】

なお、本実施の形態の半導体装置が有するトランジスタ（例えばトランジスタ102、トランジスタ111、トランジスタ112、トランジスタ113及びトランジスタ114）は同じ導電型である。本実施の形態では、本実施の形態の半導体装置が有するトランジスタがNチャネル型であるものとして説明する。

## 【0042】

次に、図1(A)の半導体装置の駆動方法の一例について、図1(B)を参照して説明する。図1(B)は、図1(A)の半導体装置の駆動方法を説明するためのタイミングチャートの一例である。

## 【0043】

10

図1(A)の半導体装置の駆動方法について期間T0と期間T1とに分けて説明する。

## 【0044】

期間T0は、容量素子101にオフセット電圧を保持させるための期間である。まず、信号INをロウレベルとして、容量素子101の一方の電極の電位をVL1とする。また、信号SEをハイレベルとして、トランジスタ102をオンにする。そして、配線14の電位VL2を容量素子101の他方の電極に供給し、容量素子101の他方の電極の電位をVL2とする。よって、容量素子101には、信号INのロウレベルの電位VL1と、トランジスタ102によって供給される配線14の電位VL2との差(VL1 - VL2)が保持される。この差(VL1 - VL2)がオフセット電圧に相当する。

## 【0045】

20

なお、期間T0においては、トランジスタ102はVL1未満の電位を容量素子101の他方の電極に供給すればよい。

## 【0046】

期間T1は、信号INにオフセットを施して信号INOを生成し、信号INOによって回路110を駆動するための期間である。まず、信号SEをロウレベルとして、トランジスタ102をオフにすることで、容量素子101の他方の電極を浮遊状態とする。容量素子101は、期間T0において電位差VL1 - VL2を保持しているため、信号INから電位差VL1 - VL2に応じた値を引いた信号である信号INOが生成される。よって、信号INがロウレベルになると、信号INOもロウレベルとなり、信号INOのロウレベルの電位はVL1未満の電位となる。また、信号INがハイレベルになると、信号INOもハイレベルとなり、信号INOのハイレベルの電位はVH未満の電位となる。

30

## 【0047】

期間T1における図1(A)の半導体装置の駆動方法について、信号INがハイレベルである場合とロウレベルである場合とに分けて説明する。

## 【0048】

期間T1において、信号INがハイレベルになると、信号INOもハイレベルとなるため、トランジスタ112及びトランジスタ114がオンになる。よって、配線13の電位VL1がトランジスタ112によって配線16に供給される。また、配線13の電位VL1がトランジスタ114によってノードN1に供給される。ノードN1には、トランジスタ113によって配線15の電位VHも供給されている。しかし、トランジスタ114のW(チャネル幅)/L(チャネル長)比をトランジスタ113のW/L比よりも十分に大きくしておけば、ノードN1の電位はトランジスタ111がオフになる程度の電位となるため、トランジスタ111はオフになる。よって、信号OUTはロウレベルとなり、その電位はVL1となる。

40

## 【0049】

一方、期間T1において、信号INがロウレベルになると、信号INOもロウレベルとなるため、トランジスタ112及びトランジスタ114がオフになる。ノードN1には、トランジスタ113によって配線15の電位VHが供給されるため、ノードN1の電位が上昇する。よって、トランジスタ111がオンになり、配線15の電位VHがトランジスタ111によって配線16に供給されるため、配線16の電位が上昇する。やがて、ノー

50

ドN1の電位が電位VHからトランジスタ113のしきい値電圧を引いた電位まで上昇すると、トランジスタ113がオフになり、ノードN1が浮遊状態となる。ノードN1が浮遊状態となつても、配線16の電位は上昇している。また、トランジスタ111のゲートと第2の端子との間には、トランジスタ113がオフになったときのノードN1と配線16との電位差が保持されている。よつて、配線16の電位の上昇に伴つて、ノードN1の電位がさらに上昇し、電位VHよりも高くなる。いわゆるブートストラップ動作である。よつて、信号OUTがハイレベルとなり、その電位はVHとなる。

#### 【0050】

なお、配線15に信号が入力されている場合、配線15の信号が配線16に出力される。例えは、配線15にクロック信号が入力される場合、信号INがロウレベルである期間では、クロック信号が配線15から配線16に出力される。

10

#### 【0051】

以上のとおり、信号OUTをハイレベルとする場合には、トランジスタ114のゲートの電位がVL1未満となるため、トランジスタ114のVgsを負の値とすることができます。よつて、仮にトランジスタ114がディプレッション型であつても、トランジスタ114をオフにすることができます。または、仮にトランジスタ114のVgsが0[V]の場合のドレイン電流が大きいトランジスタであつても、トランジスタ114のドレイン電流を小さくすることができます。よつて、トランジスタ111のゲートを浮遊状態とすることが可能、回路110の誤動作を防止することができます。

#### 【0052】

また、トランジスタ114と同様にトランジスタ112のVgsも負の値とすることができます。よつて、仮にトランジスタ112がディプレッション型であつても、トランジスタ112をオフにすることができます。または、仮にトランジスタ112のVgsが0[V]の場合のドレイン電流が大きいトランジスタであつても、トランジスタ112のドレイン電流を小さくすることができます。よつて、配線16から配線13に流れる電流を防止又は抑制することができるため、消費電力の削減を図ることができます。

20

#### 【0053】

また、信号OUTをロウレベルとする場合には、トランジスタ112及びトランジスタ114のゲートの電位はVH未満の電位となるため、トランジスタ112及びトランジスタ114のVgsを小さくすることができます。よつて、トランジスタ112及びトランジスタ114の劣化を抑制することができます。

30

#### 【0054】

以上、図1(A)の半導体装置の駆動方法について説明した。

#### 【0055】

次に、図1(A)とは異なる半導体装置について、図2(A)、図2(B)、図3(A)、図3(B)、図4(A)、図4(B)、図5(A)、図5(B)を参照して説明する。なお、以下では、図1(A)と異なる部分について説明する。

#### 【0056】

図2(A)に示すように、図1(A)の半導体装置において、配線14を省略し、トランジスタ102の第1の端子を配線13と接続してもよい。そして、期間T0において配線13に電位VL2を供給し、期間T1において配線13に電位VL1を供給してもよい。この場合でも、期間T0において容量素子101の他方の電極に電位VL2を供給することができるので、図1(A)の半導体装置と同様の動作を行うことができる。よつて、図1(A)の半導体装置と同様の効果を奏すことができる。また、配線14を省略することができるため、図1(A)の半導体装置と比較して配線の数を減らすことができる。

40

#### 【0057】

なお、図2(A)の半導体装置において、期間T0において配線13の電位を電位VL1のままとし、配線11の電位を電位VL1を超え、電位VH未満の電位としてもよい。この場合でも、期間T1において、信号INがロウレベルである場合に、容量素子101の他方の電極の電位を電位VL1未満とすることができますので、図1(A)の半導体装置

50

と同様の動作を行うことができる。よって、図1(A)の半導体装置と同様の効果を奏することができる。また、電源電位を一定とすることができるため、配線13に電位を供給する電源回路等の構成を簡単にすることができる。

#### 【0058】

図2(B)に示すように、図1(A)の半導体装置において、配線14を省略し、トランジスタ102の第1の端子を配線15と接続してもよい。そして、期間T0において配線15に電位VL2を供給し、期間T1において配線15に電位VHを供給してもよい。この場合でも、期間T0において容量素子101の他方の電極に電位VL2を供給することができるので、図1(A)の半導体装置と同様の動作を行うことができる。よって、図1(A)の半導体装置と同様の効果を奏することができる。また、配線14を省略することができるため、図1(A)の半導体装置と比較して配線の数を減らすことができる。

10

#### 【0059】

図3(A)に示すように、図1(A)の半導体装置において、配線14を省略し、トランジスタ102の第1の端子を配線12と接続し、トランジスタ102の第2の端子及びゲートを容量素子101の他方の電極と接続してもよい。そして、期間T0において信号SEをロウレベルとし、期間T1において信号SEをハイレベルとしてもよい。この場合でも、期間T0において容量素子101の他方の電極を電位VL1未満とすることができるので、図1(A)の半導体装置と同様の動作を行うことができる。よって、図1(A)の半導体装置と同様の効果を奏することができる。また、配線14を省略することができるため、図1(A)の半導体装置と比較して配線の数を減らすことができる。

20

#### 【0060】

図3(B)に示すように、図1(A)の半導体装置において、配線12及び配線14を省略し、トランジスタ102の第1の端子を配線13と接続し、トランジスタ102の第2の端子及びゲートを容量素子101の他方の電極と接続してもよい。そして、期間T0において配線13に電位VL2を供給し、期間T1において配線13に電位VL1を供給してもよい。この場合でも、期間T0において容量素子101の他方の電極を電位VL1未満とすることができるので、図1(A)の半導体装置と同様の動作を行うことができる。よって、図1(A)の半導体装置と同様の効果を奏することができる。また、配線12及び配線14を省略することができるため、図1(A)の半導体装置と比較して配線の数を減らすことができる。

30

#### 【0061】

図4(A)に示すように、図1(A)の半導体装置において、配線12及び配線14を省略し、トランジスタ102の第1の端子を配線15と接続し、トランジスタ102の第2の端子及びゲートを容量素子101の他方の電極と接続してもよい。そして、期間T0において配線15に電位VL2を供給し、期間T1において配線15に電位VHを供給してもよい。この場合でも、期間T0において容量素子101の他方の電極を電位VL1未満とすることができるので、図1(A)の半導体装置と同様の動作を行うことができる。よって、図1(A)の半導体装置と同様の効果を奏することができる。また、配線12及び配線14を省略することができるため、図1(A)の半導体装置と比較して配線の数を減らすことができる。

40

#### 【0062】

図4(B)に示すように、図1(A)の半導体装置において、トランジスタ112のゲートを配線11と接続してもよい。図4(B)の半導体装置では、トランジスタ112が配線13の電位VL1を配線16に供給するタイミングは信号INによって制御される。信号INは信号INOよりも立ち下がり時間及び立ち上がり時間が短いため、トランジスタ112のゲートが容量素子101の他方の電極と接続される場合と比較して、トランジスタ112がオン又はオフになるタイミングを早くすることができる。よって、配線13の電位VL1を配線16に供給するタイミングも早くなるため、信号OUTの立ち下がり時間を短くすることができる。また、トランジスタ112がオフになるタイミングが早くなると、配線15と配線13との間の貫通電流が生じる時間を短くすることができるため

50

、消費電力の削減を図ることができる。

【0063】

なお、図4(B)の半導体装置と同様に、図2(A)、図2(B)、図3(A)、図3(B)、及び図4(A)の半導体装置においても、トランジスタ112のゲートを配線11と接続してもよい。この場合でも、図4(B)の半導体装置と同様の効果を奏することができる。

【0064】

図5(A)に示すように、図1(A)の半導体装置において、第1の端子が配線13と接続され、第2の端子がトランジスタ111のゲートと接続され、ゲートが配線12と接続されたトランジスタ115を設けてもよい。トランジスタ115は、配線13の電位VL1をトランジスタ111のゲートに供給する機能を有する。トランジスタ115がトランジスタ111のゲートに電位VL1を供給するタイミングは、配線12の信号SEによって制御される。図5(A)の半導体装置では、期間T0において配線13の電位VL1をトランジスタ111のゲートに供給することができるため、半導体装置を初期化することができる。よって、半導体装置の誤動作を防止することができる。

【0065】

なお、図5(A)の半導体装置において、トランジスタ115の第1の端子を配線14と接続してもよい。この場合でも、トランジスタ115の第1の端子が配線13と接続される場合と同様の動作を行うことができる。

【0066】

なお、オフセット電圧を取得するタイミングと、初期化を行うタイミングとが異なる場合には、トランジスタ115のゲートを初期化用の信号が入力される配線と接続してもよい。

【0067】

なお、図2(A)、図2(B)、図3(A)、図3(B)、図4(A)及び図4(B)の半導体装置においても、第1の端子が配線13又は配線14と接続され、第2の端子がトランジスタ111のゲートと接続され、ゲートが配線12と接続されたトランジスタ115を設けてもよい。この場合でも、図5(A)の半導体装置と同様の効果を奏することができる。

【0068】

図5(B)に示すように、図1(A)の半導体装置において、トランジスタ113の第2の端子及びゲートを配線17と接続してもよい。配線17には、電位VHを供給してもよいし、電位VL1を超えて、電位VH未満の電位を供給してもよいし、信号を入力してもよい。配線17に入力する信号の例としては、信号INの反転信号がある。よって、配線11がインバータ回路を介して配線17と接続されてもよい。こうすれば、トランジスタ114がオンになるとき、トランジスタ113がオフになるため、配線15と配線13との間に電流が流れることを防止することができる。よって、消費電力の削減を図ることができる。また、トランジスタ113のW/L比よりも、トランジスタ114のW/L比を十分に大きくする必要がなくなるため、トランジスタのサイズを小さくすることができる。

【0069】

なお、図2(A)、図2(B)、図3(A)、図3(B)、図4(A)、図4(B)及び図5(A)の半導体装置においても、トランジスタ113の第2の端子及びゲートを配線17と接続してもよい。この場合でも、図5(B)の半導体装置と同様の効果を奏することができる。

【0070】

図22(A)に示すように、図1(A)の半導体装置において、配線14を省略し、トランジスタ102の第1の端子を配線13と接続し、一方の電極が配線12と接続され且つ他方の電極が容量素子101の他方の電極と接続される容量素子103を設けてもよい。容量素子103は配線12と容量素子101の他方の電極との間の電位差を保持する機

10

20

30

40

50

能を有する。また、図22(A)の半導体装置では、トランジスタ102は配線13の電位VL1を容量素子101の他方の電極に供給する機能を有する。図22(A)の半導体装置では、期間T0において、容量素子101の一方の電極にはロウレベルの信号INが入力され、容量素子101の他方の電極には配線13の電位VL1がトランジスタ102によって供給される。その後、信号SEがハイレベルからロウレベルになると、トランジスタ102がオフになり、且つ容量素子101の他方の電極の電位は容量素子103の容量結合によって電位VL1から下がる。よって、期間T0において容量素子101の他方の電極を電位VL1未満とすることができます。したがって、図1(A)の半導体装置と同様の動作を行うことができる。また、配線14を省略することができるため、図1(A)の半導体装置と比較して配線の数を減らすことができる。また、電位VL2を必要としないため、電源電位の数を減らすことができる。10

#### 【0071】

図22(B)に示すように、図22(A)の半導体装置において、トランジスタ102の第1の端子を配線11と接続してもよい。この場合でも、期間T0において、ロウレベルの信号INをトランジスタ102によって容量素子101の他方の電極に供給することができるため、図22(A)の半導体装置と同様の動作を行うことができる。よって、図22(A)の半導体装置と同様の効果を奏することができる。

#### 【0072】

なお、図22(A)及び図22(B)の半導体装置において、容量素子103を省略してもよい。この場合には、容量素子103の代わりに、トランジスタ102のゲートと第2の端子との間の寄生容量を用いるとよい。20

#### 【0073】

なお、図22(A)及び図22(B)の半導体装置において、容量素子103の一方の電極を配線12とは異なる新たな配線と接続してもよい。この配線に入力する信号は、期間T0において信号SEがハイレベルからロウレベルになった後に、ハイレベルからロウレベルになる信号であることが好ましい。こうすれば、トランジスタ102がオフになった後に、容量素子101の他方の電極の電位を下げることができる。また、ロウレベルからハイレベルになるタイミングは、信号SEがハイレベルである期間であることが好ましい。30

#### 【0074】

なお、図2(A)、図2(B)、図3(A)、図3(B)、図4(A)、図4(B)、図5(A)及び図5(B)の半導体装置においても、配線14を省略し、トランジスタ102の第1の端子を配線11又は配線13と接続し、一方の電極が配線12と接続され且つ他方の電極が容量素子101の他方の電極と接続される容量素子103を設けてもよい。

#### 【0075】

図示はしないが、図2(A)、図2(B)、図3(A)、図3(B)、図4(A)、図4(B)、図5(A)、図5(B)、図22(A)及び図22(B)の半導体装置において、トランジスタ111のゲートと第2の端子との間に容量素子を接続してもよい。こうすれば、配線16とノードN1との間の容量値を大きくすることができる。よって、トランジスタ111のゲートと第2の端子との間に容量素子が設けられていない場合と比較して、信号INがロウレベルである期間においてノードN1をより高くすることができる。つまり、トランジスタ111のVgsを大きくすることができる。よって、トランジスタ111のドレン電流を大きくすることができ、信号OUTの立ち上がり時間を短くすることができる。

#### 【0076】

図示はしないが、図2(A)、図2(B)、図3(A)、図3(B)、図4(A)、図4(B)、図5(A)、図5(B)、図22(A)及び図22(B)の半導体装置において、容量素子101としてMOS容量を用いてもよい。この場合、MOS容量として用い

10

20

30

40

50

るトランジスタのゲートを配線 11 と接続し、トランジスタのソース又はドレインをトランジスタ 102 の第 2 の端子と接続することが好ましい。こうすれば、配線 11 の電位はトランジスタ 102 の第 2 の端子の電位よりも高いため、単位面積当たりの容量値を大きくすることができる。

【0077】

以上、図 1 (A) とは異なる構成の半導体装置について説明した。

【0078】

なお、トランジスタ 111 の W / L 比が大きいほど、信号 OUT の立ち上がり時間を短くすることができる。よって、トランジスタ 111 の W / L 比は、半導体装置が有するトランジスタの中で一番大きいことが好ましい。すなわち、トランジスタ 111 の W / L 比は、トランジスタ 102 の W / L 比、トランジスタ 112 の W / L 比、トランジスタ 113 の W / L 比、及びトランジスタ 114 の W / L 比よりも大きいことが好ましい。  
10

【0079】

なお、トランジスタ 112 は配線 16 と接続された負荷に電位を供給するのに対し、トランジスタ 114 はトランジスタ 111 のゲートに電位を供給する。また、トランジスタ 112 の W / L 比が大きいほど、信号 OUT の立ち下がり時間を短くすることができる。よって、トランジスタ 112 の W / L 比は、トランジスタ 114 の W / L 比よりも大きいことが好ましい。

【0080】

なお、トランジスタ 102 は期間 T0 において容量素子 101 の他方の電極に電荷を供給すればよいので、トランジスタ 102 の W / L 比を大きくする必要はない。よって、トランジスタ 102 の W / L 比は、トランジスタ 112 又はトランジスタ 114 の W / L 比よりも小さいことが好ましい。  
20

【0081】

なお、容量素子 101 の容量値がトランジスタ 112 のゲート容量及びトランジスタ 114 のゲート容量の和よりも大きいほど、信号 INO の振幅電圧を信号 IN の振幅電圧に近づけることができる。よって、容量素子 101 の容量値は、トランジスタ 112 のゲート容量及びトランジスタ 114 のゲート容量の和よりも大きいことが好ましい。また、容量素子 101 の一方の電極がトランジスタのゲート電極と同じ材料であり、容量素子 101 の他方の電極がトランジスタのソース電極又はドレイン電極と同じ材料である場合、容量素子 101 の一方の電極と他方の電極とが重なる面積は、トランジスタ 112 のゲートとソースとが重なる面積、トランジスタ 112 のゲートとドレインとが重なる面積、トランジスタ 114 のゲートとソースとが重なる面積、及びトランジスタ 114 のゲートとドレインとが重なる面積の和よりも大きいことが好ましい。  
30

【0082】

なお、期間 T0 において、配線 13 に電位 VL1 を供給せずに、配線 13 を浮遊状態としてもよい。または、期間 T0 において、配線 15 に電位 VH を供給せずに、配線 15 を浮遊状態としてもよい。こうすれば、期間 T0 における誤動作を防止することができる。

【0083】

なお、期間 T1 において、配線 14 に電位 VL2 を供給せずに、配線 14 を浮遊状態としてもよい。  
40

【0084】

なお、信号 IN がハイレベルとなる期間において、ロウレベルとなる信号を配線 15 に入力してもよい。こうすれば、トランジスタ 114 がオンになるとき、トランジスタ 113 がオフになるため、配線 15 と配線 13 との間に電流が流れることを防止することができる。よって、消費電力の削減を図ることができる。また、トランジスタ 113 の W / L 比よりも、トランジスタ 114 の W / L 比を十分に大きくする必要がなくなるため、トランジスタのサイズを小さくすることができる。

【0085】

本実施の形態は、他の実施の形態等と適宜組み合わせて実施することが可能である。

## 【0086】

(実施の形態2)

本実施の形態では、本発明の一態様である半導体装置をシフトレジスタ回路が有するフリップフロップ回路に用いる場合について説明する。なお、本実施の形態では、実施の形態1と異なる部分について説明する。

## 【0087】

本実施の形態の半導体装置について、図6(A)を参照して説明する。図6(A)は、本実施の形態における半導体装置の回路図を示す。図6(A)の半導体装置は、トランジスタ111の第1の端子が配線23と接続され、トランジスタ113のゲートが配線21と接続され、容量素子101の一方の電極が配線22と接続されるところが、図1(A)の半導体装置と異なる。

10

## 【0088】

配線21には信号IN1が入力される。信号IN1は、半導体装置の入力信号であり、スタートパルスとして機能する信号である。例えば、信号IN1はデジタル信号であり、信号IN1のハイレベルの電位はVHであり、信号IN1のロウレベルの電位はVL1である。なお、配線21は信号IN1を伝達する機能を有する。

## 【0089】

配線22には信号IN2が入力される。信号IN2は、半導体装置の入力信号であり、リセット信号として機能する信号である。例えば、信号IN2はデジタル信号であり、信号IN2のハイレベルの電位はVHであり、信号IN2のロウレベルの電位はVL1である。なお、配線22は信号IN2を伝達する機能を有する。

20

## 【0090】

配線23には信号CKが入力される。信号CKは半導体装置の入力信号である。例えば、信号CKはデジタル信号であり、信号CKのハイレベルの電位はVHであり、信号CKのロウレベルの電位はVL1である。また、信号CKは、ハイレベルとロウレベルとを繰り返すクロック信号である。なお、配線23は信号CKを伝達する機能を有する。

## 【0091】

なお、配線21、配線22及び配線23を信号線とも呼ぶ。特に、配線23をクロック信号線とも呼ぶ。

## 【0092】

30

次に、図6(A)の半導体装置の駆動方法の一例について、図7を参照して説明する。図7は、図6(A)の半導体装置の駆動方法を説明するためのタイミングチャートの一例である。

## 【0093】

期間T0では、信号IN2をロウレベルとして、容量素子101の一方の電極の電位をVL1とする。また、信号SEをハイレベルとして、トランジスタ102をオンにする。そして、配線14の電位VL2を容量素子101の他方の電極に供給し、容量素子101の他方の電極の電位をVL2とする。よって、容量素子101には、信号IN2のロウレベルの電位VL1と、トランジスタ102によって供給される配線14の電位VL2との差(VL1 - VL2)が保持される。この差(VL1 - VL2)がオフセット電圧に相当する。

40

## 【0094】

期間T1では、信号SEをロウレベルとして、トランジスタ102をオフにすることでき、容量素子101の他方の電極を浮遊状態とする。容量素子101は、期間T0において電位差VL1 - VL2を保持しているため、信号IN2から電位差VL1 - VL2に応じた値を引いた信号である信号IN2Oが生成される。よって、信号IN2がロウレベルになると、信号IN2Oもロウレベルとなり、信号IN2Oのロウレベルの電位はVL1未満の電位となる。また、信号IN2がハイレベルになると、信号IN2Oもハイレベルとなり、信号IN2Oのハイレベルの電位はVH未満の電位となる。

## 【0095】

50

期間 T 1 における図 6 ( A ) の半導体装置の駆動方法について、期間 T a 、期間 T b 、期間 T c 及び期間 T d に分けて説明する。

【 0 0 9 6 】

期間 T a において、信号 I N 2 がロウレベルになるため、信号 I N 2 O もロウレベルとなり、トランジスタ 1 1 2 及びトランジスタ 1 1 4 がオフになる。また、信号 I N 1 がハイレベルになるため、トランジスタ 1 1 3 がオンになる。よって、配線 1 5 の電位 V H がノード N 1 に供給されるため、ノード N 1 の電位が上昇する。ノード N 1 の電位が上昇すると、トランジスタ 1 1 1 がオンになり、配線 2 3 の信号 C K が配線 1 6 に供給される。期間 T a では信号 C K はロウレベルであるため、信号 O U T はロウレベルになり、その電位は V L 1 となる。また、ノード N 1 の電位が V H からトランジスタ 1 1 3 のしきい値電圧を引いた電位まで上昇すると、トランジスタ 1 1 3 がオフになる。よって、ノード N 1 は浮遊状態になる。また、トランジスタ 1 1 3 がオフになったときのノード N 1 と配線 1 6 との間の電位差がトランジスタ 1 1 1 のゲートと第 2 の端子との間に保持される。  
10

【 0 0 9 7 】

期間 T b において、信号 I N 2 がロウレベルのままなので、信号 I N 2 O もロウレベルのままとなり、トランジスタ 1 1 2 及びトランジスタ 1 1 4 がオフのままになる。また、信号 I N 1 がロウレベルになるため、トランジスタ 1 1 3 はオフのままになる。よって、ノード N 1 は浮遊状態のままとなる。また、ノード N 1 の電位は期間 T a における電位を保っているので、トランジスタ 1 1 1 はオンのままになり、配線 2 3 の信号 C K が配線 1 6 に供給されたままになる。期間 T b では、信号 C K がハイレベルになるため、配線 1 6 の電位は上昇する。このとき、トランジスタ 1 1 1 のゲートと第 2 の端子との間には、期間 T a におけるノード N 1 と配線 1 6 との間の電位差が保持されている。よって、配線 1 6 の電位に伴って、ノード N 1 の電位がさらに上昇し、V H よりも高くなる。よって、信号 O U T がハイレベルとなり、その電位は V H となる。  
20

【 0 0 9 8 】

期間 T c では、信号 I N 2 がハイレベルになり、信号 I N 2 O がハイレベルになるため、トランジスタ 1 1 2 及びトランジスタ 1 1 4 がオンになる。よって、配線 1 3 の電位 V L 1 がトランジスタ 1 1 2 によって配線 1 6 に供給され、さらにトランジスタ 1 1 4 によってノード N 1 に供給される。また、信号 I N 1 はロウレベルのままなので、トランジスタ 1 1 3 はオフのままになる。よって、ノード N 1 の電位は V L 1 となり、トランジスタ 1 1 1 はオフになる。よって、信号 O U T はロウレベルとなり、その電位は V L 1 となる。  
30

【 0 0 9 9 】

期間 T d では、信号 I N 2 がロウレベルになり、信号 I N 2 O がロウレベルになるため、トランジスタ 1 1 2 及びトランジスタ 1 1 4 はオフになる。また、信号 I N 1 がロウレベルのままなので、トランジスタ 1 1 3 はオフのままになる。よって、ノード N 1 は期間 T c における電位 V L 1 を維持し、トランジスタ 1 1 1 はオフになる。また、配線 1 6 は期間 T c における電位 V L 1 を維持するため、信号 O U T はロウレベルのままになる。

【 0 1 0 0 】

以上のとおり、信号 I N 2 をロウレベルとする場合には、トランジスタ 1 1 4 のゲートの電位が V L 1 未満となるため、トランジスタ 1 1 4 の V g s を負の値とすることができます。よって、仮にトランジスタ 1 1 4 がディプレッション型であっても、トランジスタ 1 1 4 をオフにすることができる。または、仮にトランジスタ 1 1 4 の V g s が 0 [ V ] の場合のドレイン電流が大きいトランジスタであっても、トランジスタ 1 1 4 のドレイン電流を小さくすることができる。よって、トランジスタ 1 1 1 のゲートを浮遊状態とすることができる、回路 1 1 0 の誤動作を防止することができる。  
40

【 0 1 0 1 】

また、信号 I N 2 をハイレベルとする場合には、トランジスタ 1 1 2 及びトランジスタ 1 1 4 のゲートの電位は V H 未満の電位となるため、トランジスタ 1 1 2 及びトランジスタ 1 1 4 の V g s を小さくすることができる。よって、トランジスタ 1 1 2 及びトランジ  
50

スタ 1 1 4 の劣化を抑制することができる。

【 0 1 0 2 】

以上、図 6 ( A ) の半導体装置の駆動方法について説明した。

【 0 1 0 3 】

次に、図 6 ( A ) とは異なる半導体装置について、図 6 ( B ) 、図 8 ( A ) 、図 8 ( B ) 、図 9 ( A ) 、図 9 ( B ) 及び図 10 ( A ) を参照して説明する。なお、また、以下では、図 6 ( A ) と異なる部分について説明する。

【 0 1 0 4 】

図 6 ( B ) に示すように、図 6 ( A ) の半導体装置において、トランジスタ 1 1 3 の第 1 の端子を配線 2 1 と接続してもよい。図 6 ( B ) の半導体装置では、期間 T a において、トランジスタ 1 1 3 は配線 2 1 の信号 I N 1 をノード N 1 に供給する。期間 T a では信号 I N 1 がハイレベルであるため、ノード N 1 の電位が上昇する。そして、ノード N 1 の電位が V H からトランジスタ 1 1 3 のしきい値電圧を引いた値になると、トランジスタ 1 1 3 がオフになる。また、期間 T b 、期間 T c 及び期間 T d では、トランジスタ 1 1 3 がオフとなる。よって、図 6 ( A ) の半導体装置と同様の動作を行うことができる。したがって、図 6 ( A ) の半導体装置と同様の効果を奏することができる。また、配線 1 5 を省略することができるため、図 6 ( A ) の半導体装置と比較して配線の数を減らすことができる。

【 0 1 0 5 】

図 8 ( A ) に示すように、図 6 ( B ) の半導体装置において、回路 1 0 0 を配線 2 2 の代わりに、配線 2 1 に接続してもよい。図 8 ( A ) の半導体装置では、回路 1 0 0 の配線 2 1 の信号 I N 1 にオフセットを施し、信号 I N 1 にオフセットを施した信号 I N 1 0 をトランジスタ 1 1 3 のゲートに供給する。容量素子 1 0 1 の一方の電極は配線 2 1 と接続され、容量素子 1 0 1 の他方の電極はトランジスタ 1 1 3 のゲートと接続される。トランジスタ 1 0 2 の第 1 の端子は配線 1 4 と接続され、トランジスタ 1 0 2 の第 2 の端子は容量素子 1 0 1 の他方の電極と接続され、トランジスタ 1 0 2 のゲートは配線 1 2 と接続される。また、容量素子 1 0 1 は配線 2 1 とトランジスタ 1 1 3 のゲートとの間の電位差を保持する機能を有し、トランジスタ 1 0 2 は配線 1 4 の電位 V L 1 をトランジスタ 1 1 3 のゲートに供給する機能を有する。図 8 ( A ) の半導体装置では、トランジスタ 1 1 3 の V g s を負の値とすることができます。よって、ノード N 1 に供給される電荷量を気にせずに、トランジスタ 1 1 3 の W / L 比を大きくすることができます。よって、期間 T a において、ノード N 1 の電位が所定の電位に達するまでの時間を短くすることができ、駆動周波数を高くすることができます。

【 0 1 0 6 】

図 8 ( B ) に示すように、図 6 ( B ) の半導体装置において、回路 1 0 0 を配線 2 2 に設け、さらに配線 2 1 にも設けてよい。図 8 ( B ) では、配線 2 2 に設けられた回路 1 0 0 、該回路 1 0 0 が有する容量素子 1 0 1 及びトランジスタ 1 0 2 を、各々、回路 1 0 0 A 、容量素子 1 0 1 A 、トランジスタ 1 0 2 A と示す。また、配線 2 1 に設けられた回路 1 0 0 、該回路 1 0 0 が有する容量素子 1 0 1 及びトランジスタ 1 0 2 を、各々、回路 1 0 0 B 、容量素子 1 0 1 B 、トランジスタ 1 0 2 B と示す。回路 1 0 0 A は図 6 ( A ) に示した回路 1 0 0 と同様であり、回路 1 0 0 B は図 8 ( A ) に示した回路 1 0 0 と同様であるため、その説明を省略する。図 8 ( B ) の半導体装置では、図 6 ( B ) の半導体装置と同様の効果、及び図 8 ( A ) の半導体装置と同様の効果を奏することができる。

【 0 1 0 7 】

図 9 ( A ) に示すように、図 6 ( A ) の半導体装置において、トランジスタ 1 1 2 のゲートを配線 2 4 と接続してもよい。配線 2 4 には信号 I N 3 が入力される。配線 2 4 は信号 I N 3 を伝達する機能を有する。信号 I N 3 はデジタル信号であり、信号 I N 3 のハイレベルの電位は V H であり、信号 I N 3 のロウレベルは V L 1 である。また、信号 I N 3 としては、信号 C K の反転信号であるクロック信号又は信号 C K から位相がずれたクロック信号等がある。図 9 ( A ) の半導体装置では、期間 T d において、トランジスタ 1 1 2

10

20

30

40

50

がオンとオフとを繰り返すため、配線 13 の電位 V<sub>L</sub>1 を配線 16 に定期的に供給することができ、配線 16 の電位を V<sub>L</sub>1 に維持しやすくすることができる。

【0108】

なお、図 6 (B)、図 8 (A) 及び図 8 (B) の半導体装置においても、トランジスタ 112 のゲートを配線 24 と接続してもよい。この場合でも、図 9 (A) の半導体装置と同様の効果を奏することができる。

【0109】

なお、図 6 (A)、図 6 (B)、図 8 (A) 及び図 8 (B) の半導体装置において、第 1 の端子が配線 13 と接続され、第 2 の端子が配線 16 と接続され、ゲートが配線 24 と接続されたトランジスタを設けてもよい。この場合でも、図 9 (A) の半導体装置と同様の効果を奏することができる。

10

【0110】

図 9 (B) に示すように、図 6 (A) の半導体装置において、第 1 の端子が配線 23 と接続され、第 2 の端子が配線 25 と接続され、ゲートがトランジスタ 111 のゲートと接続されたトランジスタ 116 を設けてもよい。トランジスタ 116 は、配線 23 の信号 C<sub>K</sub> を配線 25 に供給する機能を有する。トランジスタ 116 が配線 25 に配線 23 の信号 C<sub>K</sub> を供給するタイミングは、ノード N1 の電位によって制御される。また、トランジスタ 116 は、配線 25 とノード N1 との間の電位差を保持する機能を有する。また、配線 25 からは信号 OUT が outputされる。配線 25 は信号 OUT を伝達する機能を有する。なお、図 9 (B) では、配線 16 から出力される信号 OUT を信号 OUTA と示し、配線 25 から出力される信号 OUT を信号 OUTB と示す。信号 OUTA は、信号 OUTB と同様のタイミングでハイレベルとロウレベルとが反転する信号である。図 9 (B) の半導体装置では、信号 OUTA と信号 OUTB との一方をシフトレジスタの転送用の信号として用い、信号 OUTA と信号 OUTB との他方を負荷等の駆動用の信号として用いることができる。よって、図 9 (B) の半導体装置をフリップフロップ回路に用いることにより、大きな負荷を駆動する場合でも、正常に動作することができる。

20

【0111】

なお、図 6 (B)、図 8 (A)、図 8 (B) 及び図 9 (A) の半導体装置においても、第 1 の端子が配線 23 と接続され、第 2 の端子が配線 25 と接続され、ゲートがトランジスタ 111 のゲートと接続されたトランジスタ 116 を設けてもよい。この場合でも、図 9 (B) の半導体装置と同様の効果を奏することができる。

30

【0112】

図 10 (A) に示すように、図 6 (A) の半導体装置において、信号 IN2 を生成するための回路 120 を設けてもよい。回路 120 は、ノード N1、配線 12 及び容量素子 101 の一方の電極と接続される。回路 120 は、ノード N1 及び配線 12 の信号 SE に応じた信号 IN2 を生成し、信号 IN2 を容量素子 101 の一方の電極に出力する機能を有する。例えば、回路 120 は、信号 SE がハイレベルである場合にノード N1 の電位に関わらず、信号 IN2 をロウレベルとする。また、回路 120 は、信号 SE がロウレベルである場合に、ノード N1 の電位が高いとき (期間 T<sub>a</sub>、期間 T<sub>b</sub> 等) に信号 IN2 をロウレベルとし、ノード N1 の電位が低いとき (期間 T<sub>c</sub>、期間 T<sub>d</sub> 等) に信号 IN2 をハイレベルとする。すなわち、回路 120 は、NOR 回路としての機能を有する。

40

【0113】

なお、回路 120 は、ノード N1 の代わりに、配線 16 と接続されてもよい。

【0114】

なお、図 6 (B)、図 8 (A)、図 8 (B)、図 9 (A) 及び図 9 (B) の半導体装置においても、信号 IN2 を生成するための回路 120 を設けてもよい。

【0115】

図示はしないが、図 6 (A)、図 6 (B)、図 8 (A)、図 8 (B)、図 9 (A)、図 9 (B) 及び図 10 (A) の半導体装置において、図 2 (A) の半導体装置と同様にトランジスタ 102 の第 2 の端子を配線 13 と接続してもよい。この場合でも、図 2 (A) の

50

半導体装置と同様の効果を奏する。

【0116】

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図2(B)の半導体装置と同様に、トランジスタ102の第2の端子を配線15と接続してもよい。この場合でも、図2(B)の半導体装置と同様の効果を奏する。

【0117】

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図3(A)の半導体装置と同様に、トランジスタ102の第1の端子を配線12と接続し、トランジスタ102のゲートをトランジスタ102の第2の端子と接続してもよい。この場合でも、図3(A)の半導体装置と同様の効果を奏する。

10

【0118】

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図3(B)の半導体装置と同様に、トランジスタ102の第1の端子を配線13と接続し、トランジスタ102のゲートをトランジスタ102の第2の端子と接続してもよい。この場合でも、図3(B)の半導体装置と同様の効果を奏する。

【0119】

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図4(A)の半導体装置と同様に、トランジスタ102の第1の端子を配線15と接続し、トランジスタ102のゲートをトランジスタ102の第2の端子と接続してもよい。この場合でも、図4(A)の半導体装置と同様の効果を奏する。

20

【0120】

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図4(B)の半導体装置と同様に、トランジスタ112のゲートを容量素子101の一方の電極と接続してもよい。この場合でも、図4(B)の半導体装置と同様の効果を奏する。

【0121】

30

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図5(A)の半導体装置と同様に、第1の端子が配線13と接続され、第2の端子がトランジスタ111のゲートと接続され、ゲートが配線12と接続されるトランジスタ115を設けてもよい。この場合でも、図5(A)の半導体装置と同様の効果を奏する。

【0122】

図示はしないが、図6(A)、図6(B)、図8(A)、図8(B)、図9(A)、図9(B)及び図10(A)の半導体装置において、図22(A)及び図22(B)の半導体装置と同様に、配線14を省略し、トランジスタ102の第1の端子を配線22又は配線13と接続し、一方の電極が配線12と接続され且つ他方の電極が容量素子101の他方の電極と接続される容量素子103を設けてもよい。この場合でも、図22(A)及び図22(B)の半導体装置と同様の効果を奏する。

40

【0123】

以上、図6(A)とは異なる構成の本実施の形態の半導体装置について説明した。

【0124】

次に、回路120の具体例について説明する。

【0125】

図10(B)は、回路120の回路図を示す。回路120は、トランジスタ121、トランジスタ122及びトランジスタ123を有する。トランジスタ121の第1の端子は配線15と接続され、トランジスタ121の第2の端子は容量素子101の一方の電極と

50

接続され、トランジスタ 121 のゲートは配線 15 と接続される。トランジスタ 122 の第1の端子は配線 13 と接続され、トランジスタ 122 の第2の端子は容量素子 101 の一方の電極と接続され、トランジスタ 122 のゲートはノード N1 と接続される。トランジスタ 123 の第1の端子は配線 13 と接続され、トランジスタ 123 の第2の端子は容量素子 101 の一方の電極と接続され、トランジスタ 123 のゲートは配線 12 と接続される。

【0126】

トランジスタ 121 は配線 15 の電位 VH を容量素子 101 の一方の電極に供給する機能を有する。トランジスタ 122 は配線 13 の電位 VL1 を容量素子 101 の一方の電極に供給する機能を有する。トランジスタ 123 は配線 13 の電位 VL1 を容量素子 101 の一方の電極に供給する機能を有する。なお、トランジスタ 122 が配線 13 の電位 VL1 を容量素子 101 の一方の電極に供給するタイミングは、ノード N1 の電位によって制御される。トランジスタ 123 が配線 13 の電位 VL1 を容量素子 101 の一方の電極に供給するタイミングは、配線 12 の信号 SE によって制御される。

【0127】

期間 T0 においては、信号 SE がハイレベルになるため、トランジスタ 123 がオンになる。よって、トランジスタ 122 のオン又はオフに関わらず、配線 13 の電位 VL1 がトランジスタ 123 によって容量素子 101 の一方の電極に供給されるため、信号 IN2 はロウレベルになる。

【0128】

期間 T1 においては、信号 SE がロウレベルになるため、トランジスタ 123 がオフになる。よって、ノード N1 の電位が高くなり、トランジスタ 122 がオンになる場合には、配線 13 の電位 VL1 がトランジスタ 122 によって容量素子 101 の一方の電極に供給されるため、信号 IN2 がロウレベルになる。一方、ノード N1 の電位が低くなり、トランジスタ 122 がオフになる場合には、配線 13 の電位 VL1 が容量素子 101 の一方の電極に供給されないため、信号 IN2 がハイレベルになる。

【0129】

なお、図 10 (C) に示すように、図 10 (B) の回路 120 において、トランジスタ 124、トランジスタ 125 及びトランジスタ 126 を設けてもよい。トランジスタ 124 の第1の端子は配線 15 と接続され、トランジスタ 124 の第2の端子は容量素子 101 の一方の電極と接続され、トランジスタ 124 のゲートはトランジスタ 121 の第2の端子、トランジスタ 122 の第2の端子及びトランジスタ 123 の第2の端子と接続される。トランジスタ 125 の第1の端子は配線 13 と接続され、トランジスタ 125 の第2の端子は容量素子 101 の一方の電極と接続され、トランジスタ 125 のゲートはノード N1 と接続される。トランジスタ 126 の第1の端子は配線 13 と接続され、トランジスタ 126 の第2の端子は容量素子 101 の一方の電極と接続され、トランジスタ 126 のゲートは配線 12 と接続される。図 10 (C) の半導体装置では、ブートストラップ動作を用いて、信号 IN2 のハイレベルの電位を VH とすることができます、また信号 IN2 のロウレベルの電位を VL1 とすることができます。

【0130】

なお、図 10 (C) の回路 120 において、配線 15 の代わりに、配線 23 を用いてもよい。すなわち、トランジスタ 121 の第1の端子、トランジスタ 121 のゲート及びトランジスタ 124 の第1の端子を配線 23 と接続してもよい。こうすれば、期間 Td において、信号 IN2 をハイレベルとロウレベルとを繰り返す信号とすることができます。よって、トランジスタ 112 及びトランジスタ 114 がオンになる時間を短くすることができるため、トランジスタ 112 及びトランジスタ 114 の劣化を抑制することができます。

【0131】

以上、回路 120 の具体例について説明した。

【0132】

なお、期間 Td の全て又は期間 Td の一部において、信号 IN2 をハイレベルとすれば

10

20

30

40

50

、トランジスタ 112 及びトランジスタ 114 がオンになる。よって、配線 13 の電位がトランジスタ 112 によって配線 16 に供給され、さらにトランジスタ 114 によってノード N1 に供給される。よって、期間 Td においても、配線 16 及びノード N1 の電位を VL1 に維持しやすくなる。

【0133】

本実施の形態は、他の実施の形態等と適宜組み合わせて実施することが可能である。

【0134】

(実施の形態 3)

本実施の形態では、実施の形態 2 において説明した半導体装置をフリップフロップ回路として用いたシフトレジスタ回路について説明する。なお、本実施の形態では、実施の形態 1、2 と異なる部分について説明する。 10

【0135】

本実施の形態のシフトレジスタ回路について、図 11 を参照して説明する。図 11 は、本実施の形態におけるシフトレジスタ回路の回路図を示す。図 11 のシフトレジスタ回路は、N (N は自然数) 個のフリップフロップ回路 200 を有する。ただし、図 11 には、1 段目乃至 3 段目のフリップフロップ回路 200 (フリップフロップ回路 200\_1、フリップフロップ回路 200\_2、フリップフロップ回路 200\_3 と示す) のみを示す。

【0136】

なお、図 11 のシフトレジスタ回路では、フリップフロップ回路 200 として、図 6 (A) の半導体装置が用いられている。ただし、フリップフロップ回路 200 には、図 6 (A) の半導体装置に限定されず、実施の形態 2 における半導体装置を適宜用いることが可能である。 20

【0137】

図 11 のシフトレジスタ回路の接続関係について説明する。i (i は 2 乃至 N - 1 のいずれか一) 段目のフリップフロップ回路 200 は、i 段目の配線 31 (配線 31\_i と示す)、i - 1 段目の配線 31 (配線 31\_i-1 と示す)、i + 1 段目の配線 31 (配線 31\_i+1 と示す)、配線 32、配線 33、配線 34、配線 35 と配線 36 の一方、及び配線 37 と接続される。具体的には、i 段目のフリップフロップ回路 200 において、配線 16 が i 段目の配線 31 と接続され、配線 21 が i - 1 段目の配線 31 と接続され、配線 22 が i + 1 段目の配線 31 と接続される。また、配線 15 が配線 32 と接続され、配線 13 が配線 33 と接続され、配線 14 が配線 34 と接続され、配線 23 が配線 35 と配線 36 の一方と接続され、配線 12 が配線 37 と接続される。なお、1 段目のフリップフロップ回路 200 では、配線 21 が配線 38 と接続されるところが、i 段目のフリップフロップ回路 200 と異なる。 30

【0138】

配線 31 からは信号 OUT が出力され、配線 31 は信号 OUT を伝達する機能を有する。

【0139】

配線 32 には電位 VH が供給され、配線 32 は電位 VH を伝達する機能を有する。

【0140】

配線 33 には電位 VL1 が供給され、配線 33 は電位 VL1 を伝達する機能を有する。 40

【0141】

配線 34 には電位 VL2 が供給され、配線 34 は電位 VL2 を伝達する機能を有する。

【0142】

配線 35 には信号 CK1 が入力され、配線 35 は信号 CK1 伝達する機能を有する。また、配線 36 には信号 CK2 が入力され、信号 CK2 を伝達する機能を有する。信号 CK1 及び信号 CK2 は、信号 CK と同様の信号である。ただし、信号 CK1 及び信号 CK2 は、互いに反転した信号、または互いに位相が異なる信号である。

【0143】

配線 37 には信号 SE が入力され、配線 37 は信号 SE を伝達する機能を有する。 50

## 【0144】

配線38には信号S Pが入力され、配線38は信号S Pを伝達する機能を有する。信号S Pはシフトレジスタ回路のスタートパルスである。また、信号S Pは、ハイレベルの電位がV Hであり、ロウレベルの電位がV L 1であるデジタル信号である。

## 【0145】

次に、図11のシフトレジスタ回路の駆動方法の一例について、図12を参照して説明する。図12は、図11のシフトレジスタ回路の駆動方法を説明するためのタイミングチャートの一例を示す。なお、図12では、1段目のフリップフロップ回路200の信号OUT、2段目のフリップフロップ回路200の信号OUT、N段目のフリップフロップ回路200の信号OUTを、各々、信号OUT1、信号OUT2、信号OUTNと示す。

10

## 【0146】

期間T0においては、信号S Eはハイレベルになる。よって、1段目乃至N段目のフリップフロップ回路200のそれぞれは、実施の形態2で説明した期間T0における動作を行う。

## 【0147】

期間T1においては、信号S Eがロウレベルになる。よって、1段目乃至N段目のフリップフロップ回路200のそれぞれは、実施の形態2で説明した期間T1における動作を行う。具体的には、i-1段目のフリップフロップ回路200の信号OUTがハイレベルになると、i段目のフリップフロップ回路200は実施の形態2で説明した期間Taにおける動作を行う。よって、i段目のフリップフロップ回路200の信号OUTはロウレベルとなる。その後、信号CK1及び信号CK2が反転すると、i段目のフリップフロップ回路200は実施の形態2で説明した期間Tbにおける動作を行う。よって、i段目のフリップフロップ回路200の信号OUTはハイレベルとなる。その後、信号CK1及び信号CK2が反転し、且つi+1段目のフリップフロップ回路200の信号OUTがハイレベルになると、i段目のフリップフロップ回路200は実施の形態2で説明した期間Tcにおける動作を行う。よって、i段目のフリップフロップ回路200の信号OUTがロウレベルとなる。その後、再びi-1段目のフリップフロップ回路200の信号OUTがハイレベルになるまで、i段目のフリップフロップ回路200は実施の形態2で説明した期間Tdにおける動作を行う。よって、i段目のフリップフロップ回路200の信号OUTはロウレベルを維持する。

20

## 【0148】

図11のシフトレジスタ回路は、フリップフロップ回路200として図6(A)の半導体装置を用いているため、図6(A)の半導体装置と同様の効果を奏することができる。

## 【0149】

以上、図11のシフトレジスタ回路の駆動方法について説明した。

## 【0150】

なお、図11のシフトレジスタ回路において、配線37を省略し、各フリップフロップ回路200において配線12を配線38と接続してもよい。こうすれば、配線の数を減らすことができる。また、容量素子101にオフセット電圧を定期的に保持することができる。

30

## 【0151】

なお、フリップフロップ回路200として図9(A)の半導体装置を用いる場合、配線23を配線35と接続するときには、配線24を配線36と接続することが好ましい。こうすれば、配線数の増加を抑制することができる。

## 【0152】

なお、フリップフロップ回路として図9(B)の半導体装置を用いる場合、配線25を配線31と接続し、配線16を負荷と接続することが好ましい。こうすれば、負荷の影響を受けない配線25の信号OUTBによって他の段のフリップフロップ回路200を駆動することができるため、シフトレジスタ回路を安定して駆動させることができる。

## 【0153】

40

50

本実施の形態は、他の実施の形態等と適宜組み合わせて実施することが可能である。

【0154】

(実施の形態4)

本実施の形態では、実施の形態3のシフトレジスタ回路を駆動回路として用いた表示装置について説明する。

【0155】

また、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0156】

表示装置に用いる表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を適用することができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。10

【0157】

図13(A)において、第1の基板4001上に設けられた画素部4002を囲むようにして、シール材4005が設けられ、第2の基板4006によって封止されている。図13(A)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に走査線駆動回路4004、信号線駆動回路4003が実装されている。また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018a (Flexible printed circuit)、FPC4018bから供給されている。20

【0158】

図13(B)及び図13(C)において、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。図13(B)及び図13(C)においては、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に信号線駆動回路4003が実装されている。図13(B)及び図13(C)においては、別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。30

【0159】

また図13(B)及び図13(C)においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0160】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG(Chip On Glass)方法、ワイヤボンディング方法、或いはTAB(Tape Automated Bonding)方法などを用いることができる。図13(A)は、COG方法により信号線駆動回路4003、走査線駆動回路4004を実装する例であり、図13(B)は、COG方法により信号線駆動回路4003を実装する例であり、図13(C)は、TAB方法により信号線駆動回路4003を実装する例である。40

【0161】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。

【0162】

10

20

30

40

50

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPCもしくはTABテープもしくはTCPが取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0163】

また、第1の基板上に設けられた画素部は、トランジスタを複数有している。

【0164】

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いる。これらの液晶材料は、条件により、コレステリック相、スマクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

10

【0165】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いると良い。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理が不要となる。このため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることができる。

20

【0166】

また、液晶材料の固有抵抗は、 $1 \times 10^9 \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20で測定した値とする。

【0167】

液晶表示装置に設けられる保持容量の大きさは、画素部に配置されるトランジスタのリーケ電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。

30

【0168】

液晶表示装置には、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いる。

【0169】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV モードなどを用いることができる。

40

【0170】

また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方に向に分子を倒すよう工夫されているマルチドメインあるいはマルチドメイン設計といわれ

50

る方法を用いることができる。

#### 【0171】

また、表示装置において、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

#### 【0172】

また、画素部における表示方式は、プログレッシブ方式やインターレース方式等を用いることができる。また、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青を表す）の三色に限定されない。例えば、RGBW（Wは白を表す）、又はRGBに、イエロー、シアン、マゼンタ等を一色以上追加したものがある。なお、色要素のドット毎にその表示領域の大きさが異なっていてもよい。ただし、開示する発明は、カラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置に適用することもできる。

#### 【0173】

また、表示装置に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子を適用することができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

#### 【0174】

有機EL素子では、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。当該メカニズムから、このような発光素子は電流励起型の発光素子と呼ばれる。

#### 【0175】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

#### 【0176】

また、表示装置として、電子インクを駆動させる電子ペーパーを提供することも可能である。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

#### 【0177】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

#### 【0178】

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

#### 【0179】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、

10

20

30

40

50

この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0180】

なお、マイクロカプセル中の第1の粒子および第2の粒子には、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0181】

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0182】

本実施の形態で述べた表示装置に実施の形態3のシフトレジスタ回路を適用することでき、仮にトランジスタがディプレッション型であっても安定した駆動ができる表示装置を提供することができる。

【0183】

本実施の形態は、他の実施の形態等と適宜組み合わせて実施することが可能である。

【0184】

(実施の形態5)

本実施の形態では、実施の形態1の半導体装置、実施の形態2の半導体装置、実施の形態3のシフトレジスタ回路及び実施の形態4の表示装置に用いることができるトランジスタについて説明する。

【0185】

<酸化物半導体について>

以下では、酸化物半導体について詳述する。

【0186】

酸化物半導体は、用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0187】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0188】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In - Zn 系酸化物、Sn - Zn 系酸化物、Al - Zn 系酸化物、Zn - Mg 系酸化物、Sn - Mg 系酸化物、In - Mg 系酸化物、In - Ga 系酸化物、三元系金属の酸化物である In - Ga - Zn 系酸化物 (IGZOとも表記する)、In - Al - Zn 系酸化物、In - Sn - Zn 系酸化物、Sn - Ga - Zn 系酸化物、Al - Ga - Zn 系酸化物、Sn - Al - Zn 系酸化物、In - Hf - Zn 系酸化物、In - La - Zn 系酸化物、In - Ce - Zn 系酸化物、In - Pr - Zn 系酸化物、In - Nd - Zn 系酸化物、In - Sm - Zn 系酸化物、In - Eu - Zn 系酸化物、In - Gd - Zn 系酸化物

10

20

30

40

50

、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0189】

In-Ga-Zn系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、かつ、電界効果移動度が高い特徴を有している。また、In-Sn-Zn系酸化物半導体材料を用いたトランジスタは、In-Ga-Zn系の酸化物半導体材料を用いたトランジスタよりも電界効果移動度を三倍以上にすることができます、かつ、しきい値電圧を正にしやすい特徴を有している。これらの半導体材料は、本発明の一態様における半導体装置を構成するトランジスタに用いることのできる好適な材料の一つである。

10

【0190】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0191】

また、酸化物半導体として、 $InMO_3(ZnO)_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。

20

【0192】

例えば、 $In:Ga:Zn = 1:1:1$  ( $= 1/3:1/3:1/3$ ) あるいは $In:Ga:Zn = 2:2:1$  ( $= 2/5:2/5:1/5$ ) の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In:Sn:Zn = 1:1:1$  ( $= 1/3:1/3:1/3$ )、 $In:Sn:Zn = 2:1:3$  ( $= 1/3:1/6:1/2$ ) あるいは $In:Sn:Zn = 2:1:5$  ( $= 1/4:1/8:5/8$ ) の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0193】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【0194】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0195】

なお、例えば、In、Ga、Znの原子数比が $In:Ga:Zn = a:b:c$  ( $a+b+c=1$ ) である酸化物の組成が、原子数比が $In:Ga:Zn = A:B:C$  ( $A+B+C=1$ ) の酸化物の組成の近傍であるとは、 $a$ 、 $b$ 、 $c$ が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$  を満たすことをいい、 $r$ は、例えば、0.05とすればよい。他の酸化物でも同様である。

40

【0196】

また、酸化物半導体層としては、電子供与体(ドナー)となる水分又は水素などの不純物が低減されて高純度化されることが好ましい。具体的には、高純度化された酸化物半導体層は、二次イオン質量分析法(SIMS: Secondary Ion Mass S

50

pectrometry)による水素濃度の測定値が、 $5 \times 10^{-9} / \text{cm}^3$  以下、好ましくは $5 \times 10^{-8} / \text{cm}^3$  以下、より好ましくは $5 \times 10^{-7} / \text{cm}^3$  以下、更に好ましくは $1 \times 10^{-6} / \text{cm}^3$  以下である。また、ホール効果測定により測定できる酸化物半導体層のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$  未満、好ましくは $1 \times 10^{12} / \text{cm}^3$  未満、更に好ましくは $1 \times 10^{11} / \text{cm}^3$  未満である。

#### 【0197】

ここで、酸化物半導体層中の、水素濃度の分析について触れておく。半導体層中の水素濃度測定は、二次イオン質量分析法で行う。SIMS分析は、その原理上、試料表面近傍や、材質が異なる層との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、層中における水素濃度の厚さ方向の分布をSIMSで分析する場合、対象となる層が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる層の厚さが小さい場合、隣接する層内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該層が存在する領域における、水素濃度の極大値又は極小値を、当該層中の水素濃度として採用する。更に、当該層が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

#### 【0198】

スパッタリング法を用いて酸化物半導体層を作製する場合には、ターゲット中の水素濃度のみならず、チャンバー内に存在する水、水素を極力低減しておくことが重要である。具体的には、当該形成以前にチャンバー内をベークする、チャンバー内に導入されるガス中の水、水素濃度を低減する、及びチャンバーからガスの排気する排気系における逆流を防止するなどを行うことが効果的である。

#### 【0199】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

#### 【0200】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるために、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

#### 【0201】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することができる。具体的には、平均面粗さ( $R_a$ )が $1 \text{ nm}$ 以下、好ましくは $0.3 \text{ nm}$ 以下、より好ましくは $0.1 \text{ nm}$ 以下の表面上に形成するとよい。

#### 【0202】

なお、 $R_a$ は、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

#### 【0203】

##### 【数1】

$$R_a = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

#### 【0204】

なお、上記において、 $S_0$ は、測定面(座標 $(x_1, y_1)$ 、 $(x_1, y_2)$ 、 $(x_2, y_1)$ 、 $(x_2, y_2)$ で表される4点によって囲まれる長方形の領域)の面積を指し、 $Z_0$ は測定面の平均高さを指す。 $R_a$ は原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

10

20

30

40

50

## 【0205】

酸化物半導体膜は、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

## 【0206】

好ましくは、酸化物半導体膜は、CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor）膜とする。

## 【0207】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

## 【0208】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

## 【0209】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

## 【0210】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

## 【0211】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

## 【0212】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

## 【0213】

なお、スパッタリング法を用いてCAAC-OS膜を成膜する場合には、雰囲気中の酸素ガス比が高い方が好ましい。例えば、アルゴン及び酸素の混合ガス雰囲気中でスパッタリング法を行う場合には、酸素ガス比を30%以上とすることが好ましく、40%以上とすることがより好ましい。雰囲気中からの酸素の補充によって、CAACの結晶化が促進されるからである。

## 【0214】

また、スパッタリング法を用いてCAAC-OS膜を成膜する場合には、CAAC-OS膜が成膜される基板を150℃以上に加熱しておくことが好ましく、170℃以上に加

10

20

30

40

50

熱しておくことがより好ましい。基板温度の上昇に伴って、C A A Cの結晶化が促進されるからである。

【0215】

また、C A A C - O S 膜に対して、窒素雰囲気中又は真空中において熱処理を行った後には、酸素雰囲気中又は酸素と他のガスとの混合雰囲気中において熱処理を行うことが好ましい。先の熱処理で生じる酸素欠損を後の熱処理における雰囲気中からの酸素供給によって復元することができるからである。

【0216】

また、C A A C - O S 膜が成膜される膜表面（被成膜面）は平坦であることが好ましい。C A A C - O S 膜は、当該被成膜面に概略垂直となるc軸を有するため、当該被成膜面に存在する凹凸は、C A A C - O S 膜における結晶粒界の発生を誘発することになるからである。よって、C A A C - O S 膜が成膜される前に当該被成膜表面に対して化学機械研磨（Chemical Mechanical Polishing: CMP）などの平坦化処理を行うことが好ましい。また、当該被成膜面の平均ラフネスは、0.5 nm以下であることが好ましく、0.3 nm以下であることがより好ましい。

10

【0217】

次いで、C A A C に含まれる結晶構造の一例について図14乃至図16を用いて詳細に説明する。なお、特に断りがない限り、図14乃至図16は上方向をc軸方向とし、c軸方向と直交する面をa b面とする。なお、単に上半分、下半分という場合、a b面を境にした場合の上半分、下半分をいう。また、図14において、丸で囲まれたOは4配位のOを示し、二重丸で囲まれたOは3配位のOを示す。

20

【0218】

図14(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子（以下4配位のO）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図14(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図14(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図14(A)に示す小グループは電荷が0である。

【0219】

図14(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子（以下3配位のO）と、近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図14(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図14(B)に示す構造をとりうる。図14(B)に示す小グループは電荷が0である。

30

【0220】

図14(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図14(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図14(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図14(C)に示す小グループは電荷が0である。

【0221】

図14(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図14(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図14(D)に示す小グループは電荷が+1となる。

40

【0222】

図14(E)に、2個のZnを含む小グループを示す。図14(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図14(E)に示す小グループは電荷が-1となる。

【0223】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0224】

50

ここで、これらの小グループ同士が結合する規則について説明する。図14(A)に示す6配位のInの上半分の3個のOは下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは上方向にそれぞれ3個の近接Inを有する。図14(B)に示す5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。図14(C)に示す4配位のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。その理由を以下に示す。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、または4配位の金属原子(Zn)のいずれかと結合することになる。

#### 【0225】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

#### 【0226】

図15(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図15(B)に、3つの中グループで構成される大グループを示す。なお、図15(C)は、図15(B)の層構造をc軸方向から観察した場合の原子配列を示す。

#### 【0227】

図15(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図15(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図15(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

#### 【0228】

図15(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

#### 【0229】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図14(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

#### 【0230】

10

20

30

40

50

具体的には、図15(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶( $In_2SnZn_3O_8$ )を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7$  ( $ZnO$ )<sub>m</sub> (mは0または自然数。)とする組成式で表すことができる。

【0231】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物、などを用いた場合も同様である。

【0232】

例えば、図16(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

【0233】

図16(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0234】

図16(B)に3つの中グループで構成される大グループを示す。なお、図16(C)は、図16(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0235】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0236】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図16(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0237】

<チャネルが酸化物半導体層に形成されるトランジスタについて>

チャネルが酸化物半導体層に形成されるトランジスタについて図17(A)～(D)を参照して説明する。なお、図17(A)～(D)は、トランジスタの構造例を示す断面模式図である。

【0238】

図17(A)に示すトランジスタは、導電層601(a)と、絶縁層602(a)と、酸化物半導体層603(a)と、導電層605a(a)と、導電層605b(a)と、絶縁層606(a)と、導電層608(a)と、を含んでいる。

【0239】

導電層601(a)は、被素子形成層600(a)の上に設けられている。

【0240】

10

20

30

40

50

絶縁層 602 (a) は、導電層 601 (a) の上に設けられている。

【0241】

酸化物半導体層 603 (a) は、絶縁層 602 (a) を介して導電層 601 (a) に重畠する。

【0242】

導電層 605a (a) 及び導電層 605b (a) のそれぞれは、酸化物半導体層 603 (a) の上に設けられ、酸化物半導体層 603 (a) に電気的に接続されている。

【0243】

絶縁層 606 (a) は、酸化物半導体層 603 (a)、導電層 605a (a)、及び導電層 605a (b) の上に設けられている。 10

【0244】

導電層 608 (a) は、絶縁層 606 (a) を介して酸化物半導体層 603 (a) に重畠する。

【0245】

なお、必ずしも導電層 601 (a) 及び導電層 608 (a) の一方を設けなくてもよい。また、導電層 608 (a) を設けない場合には、絶縁層 606 (a) を設けなくてもよい。

【0246】

図 17 (B) に示すトランジスタは、導電層 601 (b) と、絶縁層 602 (b) と、酸化物半導体層 603 (b) と、導電層 605a (b) と、導電層 605b (b) と、絶縁層 606 (b) と、導電層 608 (b) と、を含んでいる。 20

【0247】

導電層 601 (b) は、被素子形成層 600 (b) の上に設けられている。

【0248】

絶縁層 602 (b) は、導電層 601 (b) の上に設けられている。

【0249】

導電層 605a (b) 及び導電層 605b (b) のそれぞれは、絶縁層 602 (b) の一部の上に設けられている。

【0250】

酸化物半導体層 603 (b) は、導電層 605a (b) 及び導電層 605b (b) の上に設けられ、導電層 605a (b) 及び導電層 605b (b) に電気的に接続されている。また、酸化物半導体層 603 (b) は、絶縁層 602 (b) を介して導電層 601 (b) に重畠する。 30

【0251】

絶縁層 606 (b) は、酸化物半導体層 603 (b)、導電層 605a (b)、及び導電層 605b (b) の上に設けられている。

【0252】

導電層 608 (b) は、絶縁層 606 (b) を介して酸化物半導体層 603 (b) に重畠する。

【0253】

なお、必ずしも導電層 601 (b) 及び導電層 608 (b) の一方を設けなくてもよい。導電層 608 (b) を設けない場合には、絶縁層 606 (b) を設けなくてもよい。 40

【0254】

図 17 (C) に示すトランジスタは、導電層 601 (c) と、絶縁層 602 (c) と、酸化物半導体層 603 (c) と、導電層 605a (c) と、導電層 605b (c) と、を含んでいる。

【0255】

酸化物半導体層 603 (c) は、領域 604a (c) 及び領域 604b (c) を含んでいる。領域 604a (c) 及び領域 604b (c) は、互いに離間し、それぞれドーパントが添加された領域である。なお、領域 604a (c) 及び領域 604b (c) の間の領 50

域がチャネル形成領域になる。酸化物半導体層 603(c) は、被素子形成層 600(c) の上に設けられる。なお、必ずしも領域 604a(c) 及び領域 604b(c) を設けなくてもよい。

【0256】

導電層 605a(c) 及び導電層 605b(c) は、酸化物半導体層 603(c) の上に設けられ、酸化物半導体層 603(c) に電気的に接続されている。また、導電層 605a(c) 及び導電層 605b(c) の側面は、テーパ状である。

【0257】

また、導電層 605a(c) は、領域 604a(c) の一部に重畳するが、必ずしもこれに限定されない。導電層 605a(c) を領域 604a(c) の一部に重畳させることにより、導電層 605a(c) 及び領域 604a(c) の間の抵抗値を小さくすることができる。また、導電層 605a(c) に重畳する酸化物半導体層 603(c) の領域の全てが領域 604a(c) でもよい。

【0258】

また、導電層 605b(c) は、領域 604b(c) の一部に重畳するが、必ずしもこれに限定されない。導電層 605b(c) を領域 604b(c) の一部に重畳させることにより、導電層 605b(c) 及び領域 604b(c) の間の抵抗を小さくすることができる。また、導電層 605b(c) に重畳する酸化物半導体層 603(c) の領域の全てが領域 604b(c) でもよい。

【0259】

絶縁層 602(c) は、酸化物半導体層 603(c)、導電層 605a(c)、及び導電層 605b(c) の上に設けられている。

【0260】

導電層 601(c) は、絶縁層 602(c) を介して酸化物半導体層 603(c) に重畳する。絶縁層 602(c) を介して導電層 601(c) と重畳する酸化物半導体層 603(c) の領域がチャネル形成領域になる。

【0261】

また、図 17(D) に示すトランジスタは、導電層 601(d) と、絶縁層 602(d) と、酸化物半導体層 603(d) と、導電層 605a(d) と、導電層 605b(d) と、を含んでいる。

【0262】

導電層 605a(d) 及び導電層 605b(d) は、被素子形成層 600(d) の上に設けられる。また、導電層 605a(d) 及び導電層 605b(d) の側面は、テーパ状である。

【0263】

酸化物半導体層 603(d) は、領域 604a(d) 及び領域 604b(d) と、を含んでいる。領域 604a(d) 及び領域 604b(d) は、互いに離間し、それぞれドーパントが添加された領域である。また、領域 604a(d) 及び領域 604b(d) の間の領域がチャネル形成領域になる。酸化物半導体層 603(d) は、例えば導電層 605a(d)、導電層 605b(d)、及び被素子形成層 600(d) の上に設けられ、導電層 605a(d) 及び導電層 605b(d) に電気的に接続される。なお、必ずしも領域 604a(d) 及び領域 604b(d) を設けなくてもよい。

【0264】

領域 604a(d) は、導電層 605a(d) に電気的に接続されている。

【0265】

領域 604b(d) は、導電層 605b(d) に電気的に接続されている。

【0266】

絶縁層 602(d) は、酸化物半導体層 603(d) の上に設けられている。

【0267】

導電層 601(d) は、絶縁層 602(d) を介して酸化物半導体層 603(d) に重

10

20

30

40

50

置する。絶縁層 602 (d) を介して導電層 601 (d) と重畠する酸化物半導体層 603 (d) の領域がチャネル形成領域になる。

【0268】

さらに、図 17 (A) 乃至図 17 (D) に示す各構成要素について説明する。

【0269】

被素子形成層 600 (a) 乃至被素子形成層 600 (d) としては、例えば絶縁層、又は絶縁表面を有する基板などを用いることができる。また、予め素子が形成された層を被素子形成層 600 (a) 乃至被素子形成層 600 (d) として用いることもできる。

【0270】

導電層 601 (a) 乃至導電層 601 (d) のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する層をゲート電極又はゲート配線ともいう。

【0271】

導電層 601 (a) 乃至導電層 601 (d) としては、例えばモリブデン、マグネシウム、チタン、クロム、タンタル、タンゲステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料、又はこれらを主成分とする合金材料の層を用いることができる。また、導電層 601 (a) 乃至導電層 601 (d) の形成に適用可能な材料の層の積層により、導電層 601 (a) 乃至導電層 601 (d) を構成することもできる。

【0272】

絶縁層 602 (a) 乃至絶縁層 602 (d) のそれぞれは、トランジスタのゲート絶縁層としての機能を有する。

【0273】

絶縁層 602 (a) 乃至絶縁層 602 (d) としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、酸化ハフニウム層、又は酸化ランタン層を用いることができる。また、絶縁層 602 (a) 乃至絶縁層 602 (d) に適用可能な材料の層の積層により絶縁層 602 (a) 乃至絶縁層 602 (d) を構成することもできる。

【0274】

また、絶縁層 602 (a) 乃至絶縁層 602 (d) としては、例えば元素周期表における第 13 族元素及び酸素元素を含む材料の絶縁層を用いることができる。例えば、酸化物半導体層 603 (a) 乃至酸化物半導体層 603 (d) が第 13 族元素を含む場合に、酸化物半導体層 603 (a) 乃至酸化物半導体層 603 (d) に接する絶縁層として第 13 族元素を含む絶縁層を用いることにより、該絶縁層と酸化物半導体層との界面の状態を良好にすることもできる。

【0275】

第 13 族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量 (原子%) よりアルミニウムの含有量 (原子%) が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量 (原子%) がアルミニウムの含有量 (原子%) 以上の物質のことをいう。例えば、 $Al_2O_x$  ( $x = 3 +$  、  $x$  は 0 より大きく 1 より小さい値)、 $Ga_2O_x$  ( $x = 3 +$  、  $x$  は 0 より大きく 1 より小さい値)、又は  $Ga_xAl_{2-x}O_{3+}$  ( $x$  は 0 より大きく 2 より小さい値、  $x$  は 0 より大きく 1 より小さい値) で表記される材料を用いることもできる。

【0276】

また、絶縁層 602 (a) 乃至絶縁層 602 (d) に適用可能な材料の層の積層により絶縁層 602 (a) 乃至絶縁層 602 (d) を構成することもできる。例えば、複数の  $Ga_2O_x$  で表記される酸化ガリウムを含む層の積層により絶縁層 602 (a) 乃至絶縁層 602 (d) を構成してもよい。また、 $Ga_2O_x$  で表記される酸化ガリウムを含む絶縁層及び  $Al_2O_x$  で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層 602

10

20

30

40

50

(a) 乃至絶縁層 602 (d) を構成してもよい。

【0277】

また、トランジスタのチャネル長 30 nm としたとき、酸化物半導体層 603 (a) 乃至酸化物半導体層 603 (d) の厚さを例えば 5 nm 程度にしてもよい。このとき、酸化物半導体層 603 (a) 乃至酸化物半導体層 603 (d) が CAC の酸化物半導体層であれば、トランジスタにおける短チャネル効果を抑制することができる。

【0278】

領域 604a (c)、領域 604b (c)、領域 604a (d)、及び領域 604b (d) は、N型又はP型の導電型を付与するドーパントが添加され、トランジスタのソース又はドレインとしての機能を有する。ドーパントとしては、例えば元素周期表における 13 族の元素（例えば硼素など）、元素周期表における 15 族の元素（例えば窒素、リン、及び砒素の一つ又は複数）、及び希ガス元素（例えばヘリウム、アルゴン、及びキセノンの一つ又は複数）の一つ又は複数を用いることができる。なお、トランジスタのソースとしての機能を有する領域をソース領域ともいい、トランジスタのドレインとしての機能を有する領域をドレイン領域ともいう。領域 604a (c)、領域 604b (c)、領域 604a (d)、及び領域 604b (d) にドーパントを添加することにより導電層との接続抵抗を小さくすることができるため、トランジスタを微細化することができる。

【0279】

導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) のそれぞれは、トランジスタのソース又はドレインとしての機能を有する。なお、トランジスタのソースとしての機能を有する層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する層をドレイン電極又はドレイン配線ともいう。

【0280】

導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) としては、例えばアルミニウム、マグネシウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンゲステンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層により、導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) を構成することができる。また、導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) に適用可能な材料の層の積層により、導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) を構成することもできる。例えば、銅、マグネシウム、及びアルミニウムを含む合金材料の層と銅を含む層の積層により、導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) を構成することができる。

【0281】

また、導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) としては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム、酸化スズ、酸化亜鉛、インジウムスズ酸化物、又はインジウム亜鉛酸化物を用いることができる。なお、導電層 605a (a) 乃至導電層 605a (d)、及び導電層 605b (a) 乃至導電層 605b (d) に適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0282】

絶縁層 606 (a) 及び絶縁層 606 (b) としては、絶縁層 602 (a) 乃至絶縁層 602 (d) に適用可能な材料の層を用いることができる。また、絶縁層 606 (a) 及び絶縁層 606 (b) に適用可能な材料の積層により、絶縁層 606 (a) 及び絶縁層 606 (b) を構成してもよい。例えば、酸化シリコン層、酸化アルミニウム層などにより絶縁層 606 (a) 及び絶縁層 606 (b) を構成してもよい。例えば、酸化アルミニウム層を用いることにより、酸化物半導体層 603 (a) 及び酸化物半導体層 603 (b)

10

20

30

40

50

への不純物(水)の侵入抑制効果をより高めることができ、また、酸化物半導体層603(a)及び酸化物半導体層603(b)中の酸素の脱離抑制効果を高めることができる。

【0283】

導電層608(a)及び導電層608(b)のそれぞれは、トランジスタのゲートとしての機能を有する。なお、トランジスタが導電層601(a)及び導電層608(a)の両方、又は導電層601(b)及び導電層608(b)の両方を含む構造である場合、導電層601(a)及び導電層608(a)の一方、又は導電層601(b)及び導電層608(b)の一方を、バックゲート、バックゲート電極、又はバックゲート配線ともいう。ゲートとしての機能を有する導電層を、チャネル形成層を介して複数設けることにより、トランジスタの閾値電圧を制御しやすくすることができる。

10

【0284】

導電層608(a)及び導電層608(b)としては、例えば導電層601(a)乃至導電層601(d)に適用可能な材料の層を用いることができる。また、導電層608(a)及び導電層608(b)に適用可能な材料の層の積層により導電層608(a)及び導電層608(b)を構成してもよい。

【0285】

また、絶縁層602(a)乃至絶縁層602(d)に適用可能な材料の積層によりチャネル保護層としての機能を有する絶縁層を構成してもよい。

【0286】

また、被素子形成層600(a)乃至被素子形成層600(d)の上に下地層を形成し、該下地層の上にトランジスタを形成してもよい。このとき、下地層としては、例えば絶縁層602(a)乃至絶縁層602(d)に適用可能な材料の層を用いることができる。また、絶縁層602(a)乃至絶縁層602(d)に適用可能な材料の積層により下地層を構成してもよい。例えば、酸化アルミニウム層及び酸化シリコン層の積層により下地層を構成することにより、下地層に含まれる酸素が酸化物半導体層603(a)乃至酸化物半導体層603(d)を介して脱離するのを抑制することができる。

20

【0287】

また、酸化物半導体層603(a)乃至酸化物半導体層603(d)に接する絶縁層中の酸素を過剰にすることにより、酸化物半導体層603(a)乃至酸化物半導体層603(d)に供給されやすくなる。よって、酸化物半導体層603(a)乃至酸化物半導体層603(d)中、又は当該絶縁層と酸化物半導体層603(a)乃至酸化物半導体層603(d)の界面における酸素欠陥を低減することができるため、酸化物半導体層603(a)乃至酸化物半導体層603(d)のキャリア密度をより低減することができる。また、これに限定されず、製造過程により酸化物半導体層603(a)乃至酸化物半導体層603(d)に含まれる酸素を過剰にした場合であっても、酸化物半導体層603(a)乃至酸化物半導体層603(d)に接する上記絶縁層により、酸化物半導体層603(a)乃至酸化物半導体層603(d)からの酸素の脱離を抑制することができる。

30

【0288】

<酸化物半導体層にチャネルが形成されるトランジスタの特性について>

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体層を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5atomic%以上含まれる元素をいう。

40

【0289】

In、Sn、Znを主成分とする酸化物半導体層の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

【0290】

例えば、図18(A)～(C)は、In、Sn、Znを主成分とし、チャネル長Lが3μm、チャネル幅Wが10μmである酸化物半導体層と、厚さ100nmのゲート絶縁層

50

を用いたトランジスタの特性である。なお、 $V_d$  は 10 V とした。

【0291】

図 18 (A) は基板を意図的に加熱せずにスパッタリング法で In、Sn、Zn を主成分とする酸化物半導体層を形成したときのトランジスタ特性である。このとき電界効果移動度は  $18.8 \text{ cm}^2 / \text{V sec}$  が得られている。一方、基板を意図的に加熱して In、Sn、Zn を主成分とする酸化物半導体層を形成すると電界効果移動度を向上させることが可能となる。図 18 (B) は基板を 200 に加熱して In、Sn、Zn を主成分とする酸化物半導体層を形成したときのトランジスタ特性を示すが、電界効果移動度は  $32.2 \text{ cm}^2 / \text{V sec}$  が得られている。

【0292】

電界効果移動度は、In、Sn、Zn を主成分とする酸化物半導体層を形成した後に熱処理をすることによって、さらに高めることができる。図 18 (C) は、In、Sn、Zn を主成分とする酸化物半導体層を 200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は  $34.5 \text{ cm}^2 / \text{V sec}$  が得られている。

【0293】

また、基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を  $1 \text{ aA} / \mu\text{m}$  以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅  $1 \mu\text{m}$ あたりの電流値を示す。

【0294】

図 19 に、トランジスタのオフ電流と測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値（1000 / T）を横軸としている。

【0295】

図 19 に示すように、基板温度が 125 の場合には  $0.1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-1} \text{ A} / \mu\text{m}$ ) 以下、85 の場合には  $10 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-20} \text{ A} / \mu\text{m}$ ) 以下であった。電流値の対数が温度の逆数に比例することから、室温（27）の場合には  $0.1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-22} \text{ A} / \mu\text{m}$ ) 以下であると予想される。従って、オフ電流を 125 において  $1 \text{ aA} / \mu\text{m}$  ( $1 \times 10^{-18} \text{ A} / \mu\text{m}$ ) 以下に、85 において  $10 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-19} \text{ A} / \mu\text{m}$ ) 以下に、室温において  $1 \text{ zA} / \mu\text{m}$  ( $1 \times 10^{-21} \text{ A} / \mu\text{m}$ ) 以下にすることができる。

【0296】

本実施の形態のトランジスタを実施の形態 1 及び実施の形態 2 において述べた半導体装置に用いることにより、半導体装置を安定して動作させることができる。特に、本実施の形態のトランジスタをトランジスタ 102 に用いることにより、トランジスタ 102 のオフ電流を小さくすることができる。よって、容量素子 101 から失われる電荷量を小さくすることができ、容量素子 101 にオフセット電圧を保持する回数を減らすことができる。

【0297】

本実施の形態は、他の実施の形態等と適宜組み合わせて実施することが可能である。

【0298】

(実施の形態 6)

本実施の形態においては、上記実施の形態で説明した半導体装置、シフトレジスタ回路又は表示装置等を具備する電子機器の例について説明する。

【0299】

図 20 (A) は携帯型遊戯機であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、記録媒体読込部 9672、等を有する。図 2

10

20

30

40

50

0 ( A ) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有する。なお、図 20 ( A ) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有する。

【 0 3 0 0 】

図 20 ( B ) はデジタルカメラであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、シャッターボタン 9676、受像部 9677、等を有する。図 20 ( B ) に示すデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有する。なお、図 20 ( B ) に示すデジタルカメラが有する機能はこれに限定されず、様々な機能を有する。

10

【 0 3 0 1 】

図 20 ( C ) はテレビ受像器であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、等を有する。図 20 ( C ) に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有する。なお、図 20 ( C ) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有する。

20

【 0 3 0 2 】

図 20 ( D ) は、電子計算機（パーソナルコンピュータ）用途のモニター（PCモニターともいう）であり、筐体 9630、表示部 9631 等を有する。図 20 ( D ) に示すモニターは、ウインドウ型表示部 9653 が表示部 9631 にある例について示している。なお、説明のために表示部 9631 にウインドウ型表示部 9653 を示したが、他のシンボル、例えばアイコン、画像等であってもよい。パーソナルコンピュータ用途のモニターでは、入力時にのみ画像信号が書き換えられる場合が多く、上記実施の形態における表示装置の駆動方法を適用する際に好適である。なお、図 20 ( D ) に示すモニターが有する機能はこれに限定されず、様々な機能を有する。

【 0 3 0 3 】

30

図 21 ( A ) はコンピュータであり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、接続端子 9636、ポインティングデバイス 9681、外部接続ポート 9680 等を有する。図 21 ( A ) に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有する。なお、図 21 ( A ) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有する。

【 0 3 0 4 】

次に、図 21 ( B ) は携帯電話であり、筐体 9630、表示部 9631、スピーカ 9633、操作キー 9635、マイクロフォン 9638 等を有する。図 21 ( B ) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有する。なお、図 21 ( B ) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有する。

40

【 0 3 0 5 】

次に、図 21 ( C ) は電子ペーパー（E-bookともいう）であり、筐体 9630、表示部 9631、操作キー 9632 等を有する。図 21 ( C ) に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は

50

時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有する。なお、図21（C）に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有する。別の電子ペーパーの構成について図21（D）に示す。図21（D）に示す電子ペーパーは、図21（C）の電子ペーパーに太陽電池9651、及びバッテリー9652を附加した構成について示している。表示部9631として反射型の表示装置を用いる場合、比較的明るい状況下での使用が予想され、太陽電池9651による発電、及びバッテリー9652での充電を効率よく行うことができ、好適である。なおバッテリー9652としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

## 【0306】

10

本実施の形態において述べた電子機器に、実施の形態1の半導体装置、実施の形態2の半導体装置、実施の形態3のシフトレジスタ回路又は実施の形態4の表示装置を適用することで、仮にトランジスタがディプレッション型であっても駆動可能な電子機器を提供することができる。

## 【0307】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

## 【符号の説明】

## 【0308】

1 1 配線

20

1 2 配線

1 3 配線

1 4 配線

1 5 配線

1 6 配線

1 7 配線

2 1 配線

2 2 配線

2 3 配線

2 4 配線

30

2 5 配線

3 1 配線

3 1\_i 配線

3 1\_i - 1 配線

3 2 配線

3 3 配線

3 4 配線

3 5 配線

3 6 配線

3 7 配線

40

3 8 配線

1 0 0 回路

1 0 1 容量素子

1 0 2 トランジスタ

1 0 3 容量素子

1 1 0 回路

1 1 1 トランジスタ

1 1 2 トランジスタ

1 1 3 トランジスタ

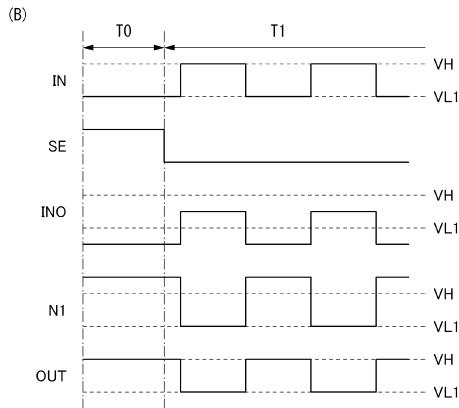
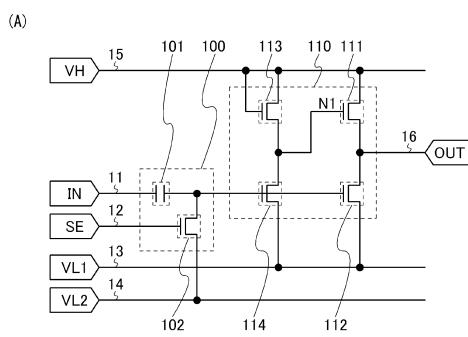
1 1 4 トランジスタ

50

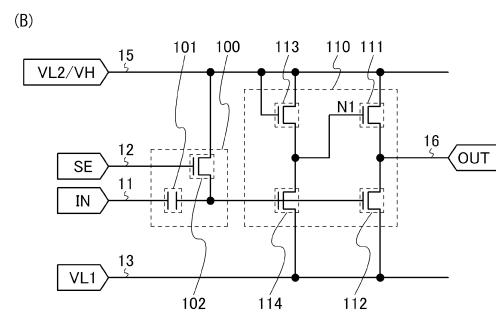
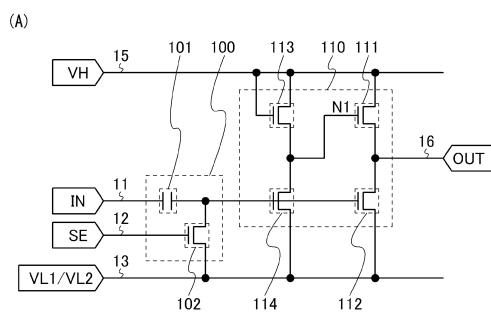
1 1 5	トランジスタ	
1 1 6	トランジスタ	
1 2 0	回路	
1 2 1	トランジスタ	
1 2 2	トランジスタ	
1 2 3	トランジスタ	
1 2 4	トランジスタ	
1 2 5	トランジスタ	
1 2 6	トランジスタ	
2 0 0	フリップフロップ回路	10
2 0 0 _ 1	フリップフロップ回路	
2 0 0 _ 2	フリップフロップ回路	
2 0 0 _ 3	フリップフロップ回路	
6 0 0	被素子形成層	
6 0 1	導電層	
6 0 2	絶縁層	
6 0 3	酸化物半導体層	
6 0 6	絶縁層	
6 0 8	導電層	
1 0 0 A	回路	20
1 0 0 B	回路	
1 0 1 A	容量素子	
1 0 1 B	容量素子	
1 0 2 A	トランジスタ	
1 0 2 B	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	30
4 0 0 6	基板	
4 0 1 8	F P C	
4 0 1 8 a	F P C	
4 0 1 8 b	F P C	
6 0 4 a	領域	
6 0 4 b	領域	
6 0 5 a	導電層	
6 0 5 b	導電層	
9 6 3 0	筐体	
9 6 3 1	表示部	40
9 6 3 2	操作キー	
9 6 3 3	スピーカ	
9 6 3 5	操作キー	
9 6 3 6	接続端子	
9 6 3 8	マイクロフォン	
9 6 5 1	太陽電池	
9 6 5 2	バッテリー	
9 6 5 3	ウインドウ型表示部	
9 6 7 2	記録媒体読込部	
9 6 7 6	シャッターボタン	50

9 6 7 7	受像部	
9 6 8 0	外部接続ポート	
9 6 8 1	ポインティングデバイス	
I N	信号	
I N O	信号	
I N 1	信号	
I N 1 O	信号	
I N 2	信号	
I N 2 O	信号	
I N 3	信号	10
S E	信号	
O U T	信号	
O U T A	信号	
O U T B	信号	
O U T 1	信号	
O U T 2	信号	
O U T N	信号	
V H	電位	
V D D	電位	
V L 1	電位	20
V L 2	電位	
N 1	ノード	
T 0	期間	
T 1	期間	
T a	期間	
T b	期間	
T c	期間	
T d	期間	
C K	信号	
C K 1	信号	30
C K 2	信号	
S P	信号	
M 1	トランジスタ	
M 2	トランジスタ	
M 3	トランジスタ	
M 4	トランジスタ	
C 1	容量素子	

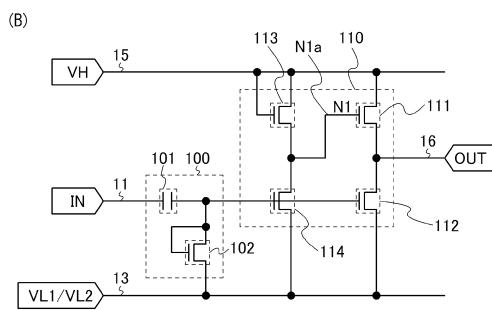
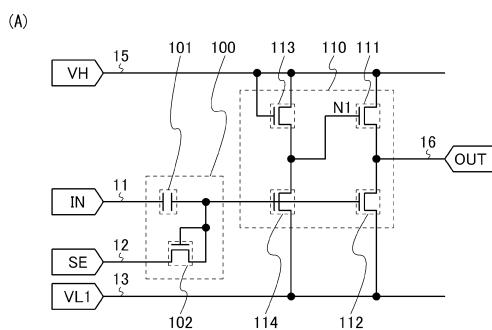
【図1】



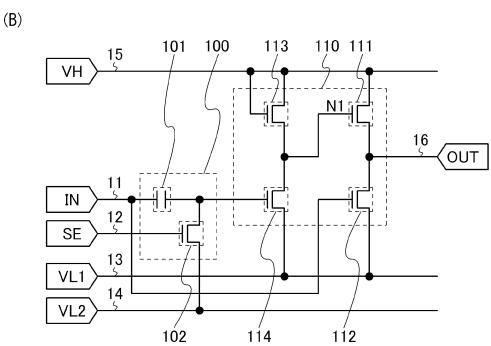
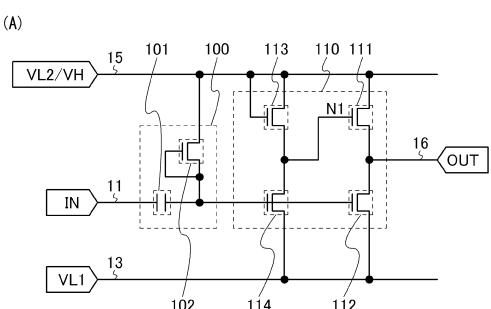
【図2】



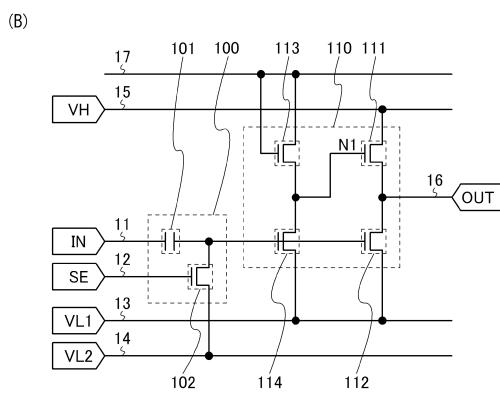
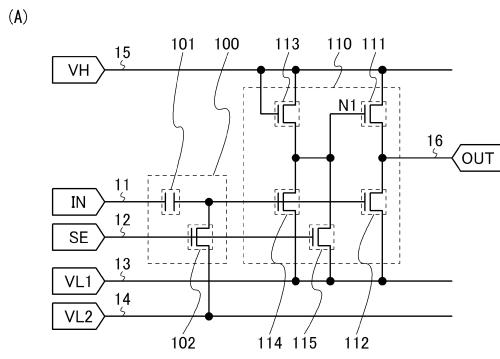
【図3】



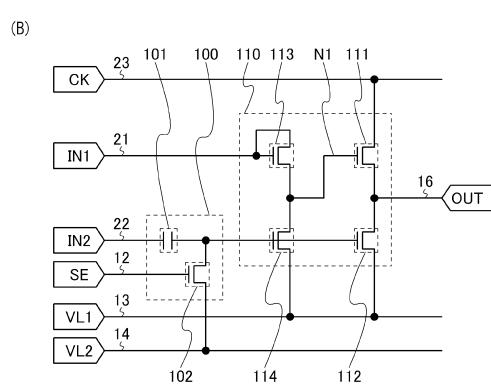
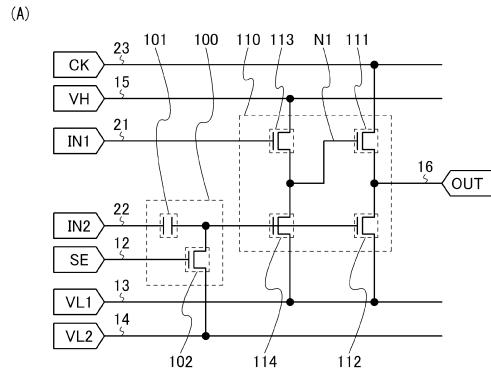
【図4】



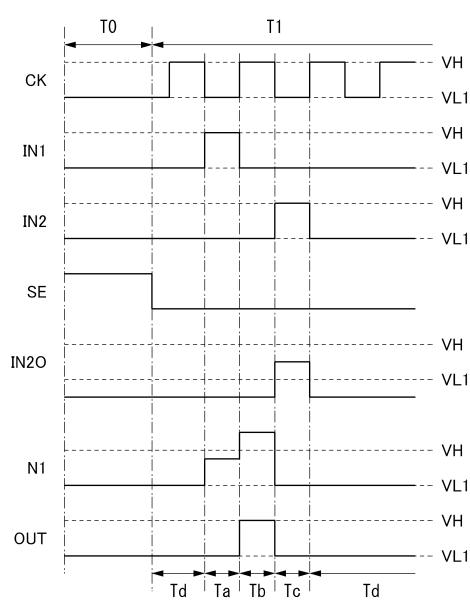
【図5】



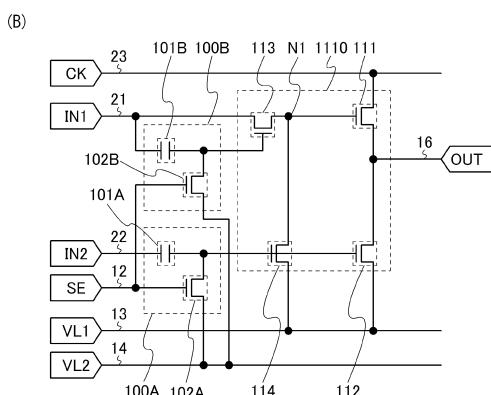
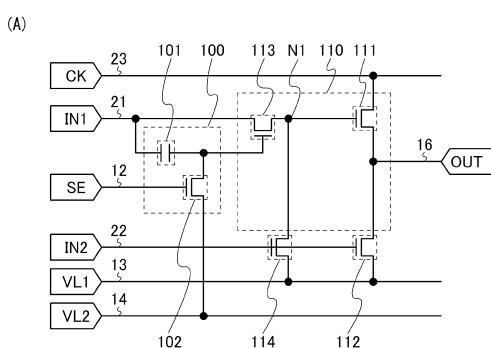
【図6】



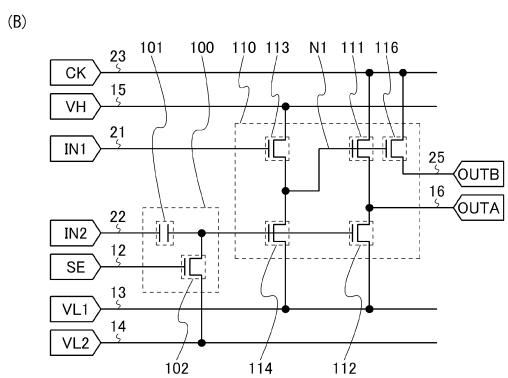
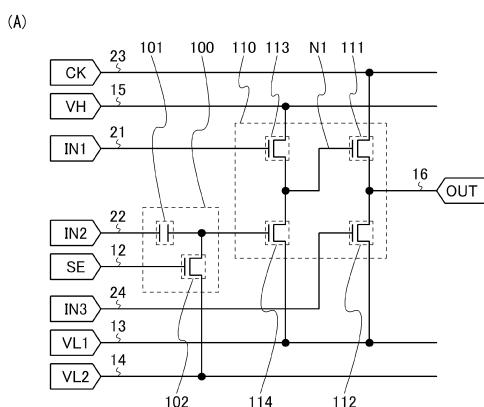
【図7】



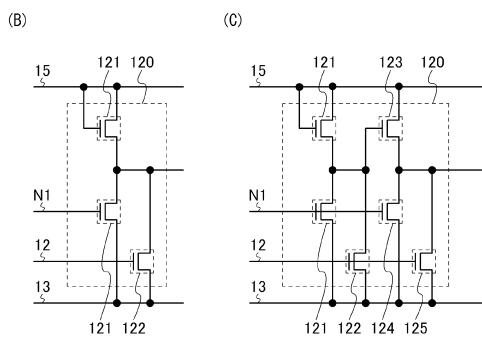
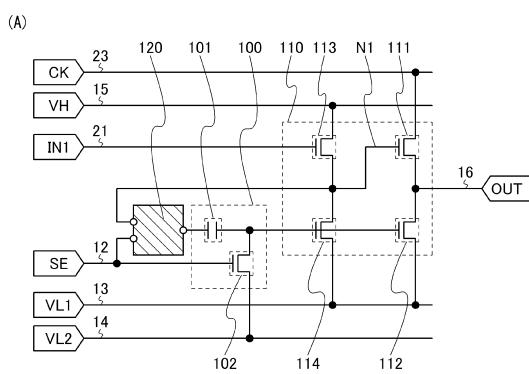
【図8】



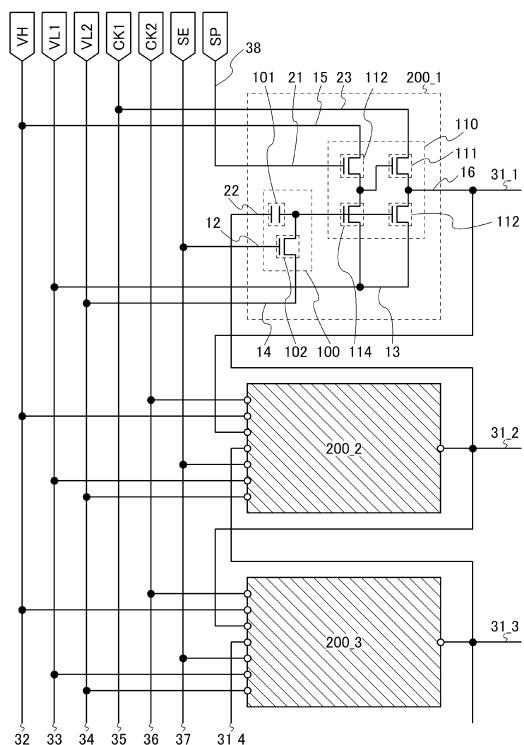
【図9】



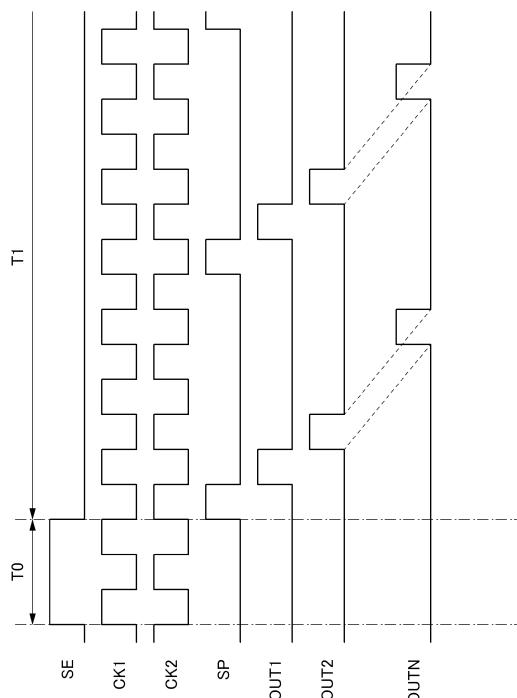
【図10】



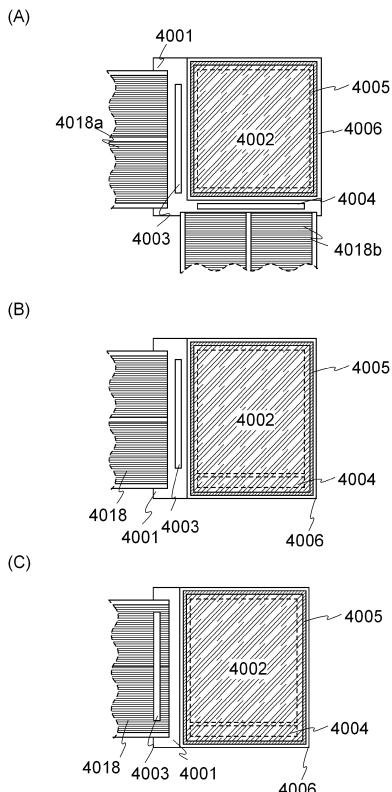
【図11】



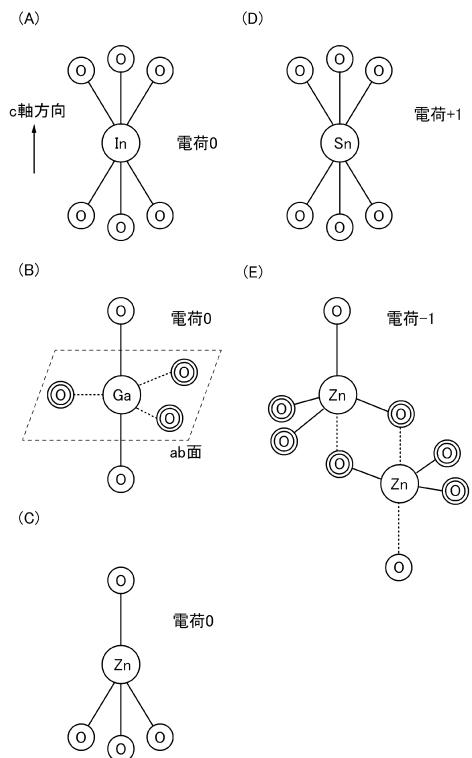
【図12】



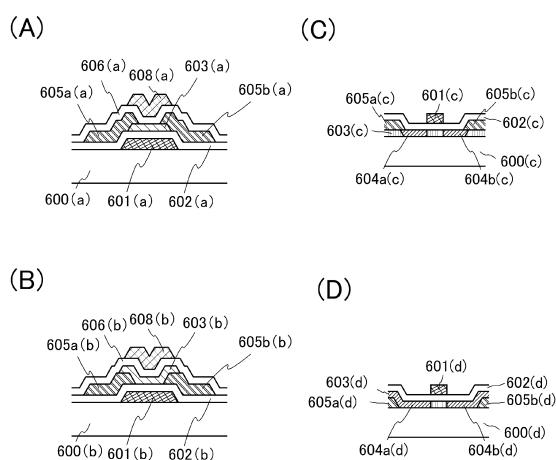
【図13】



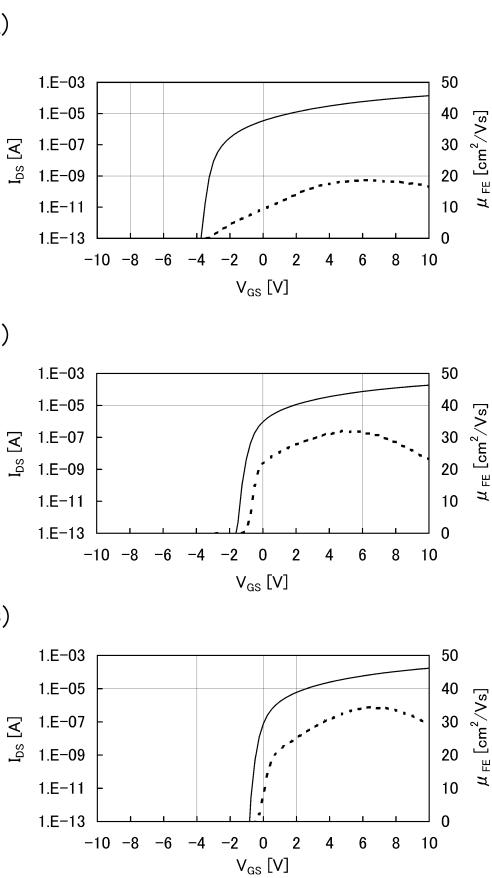
【図14】



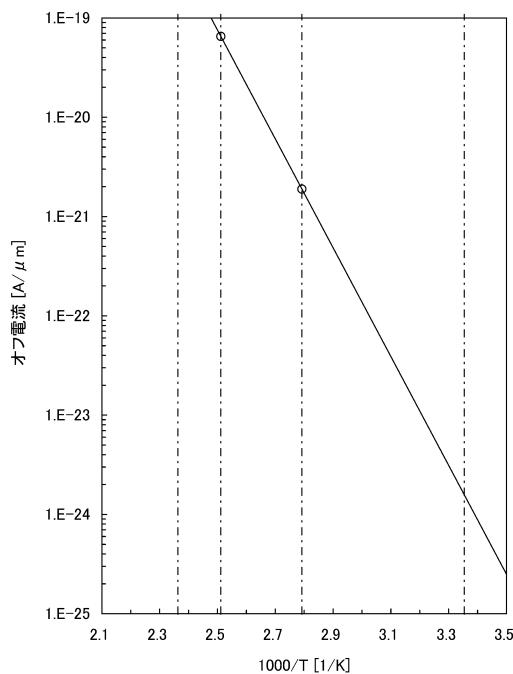
【図17】



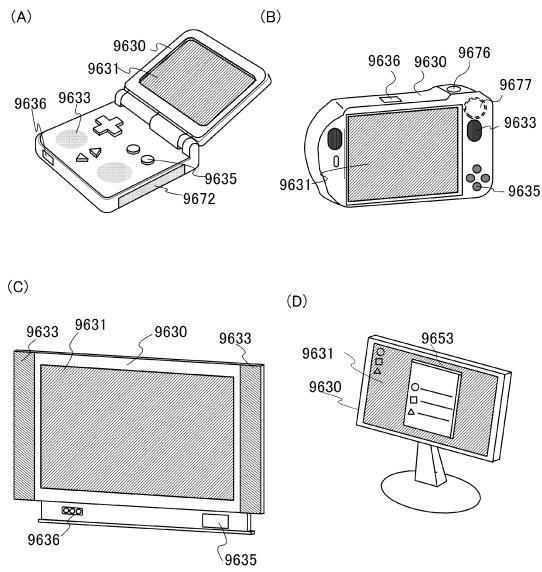
【図18】



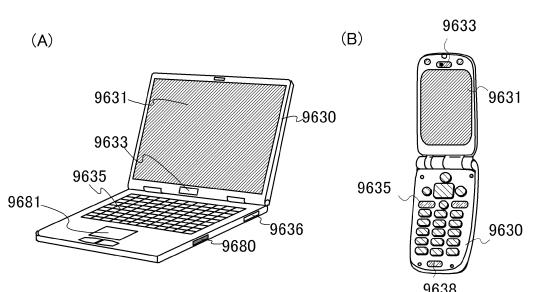
【図19】



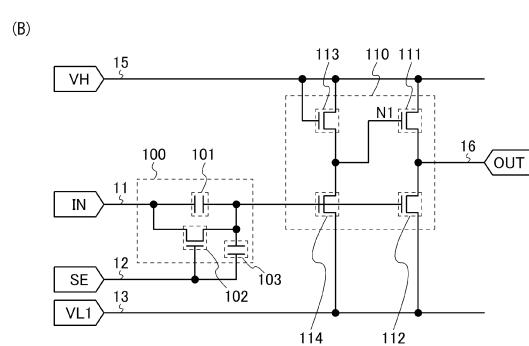
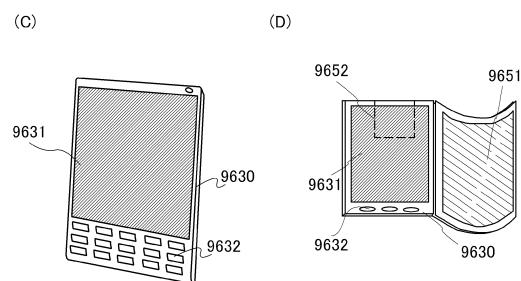
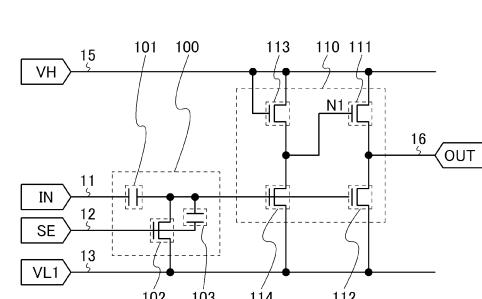
【図20】



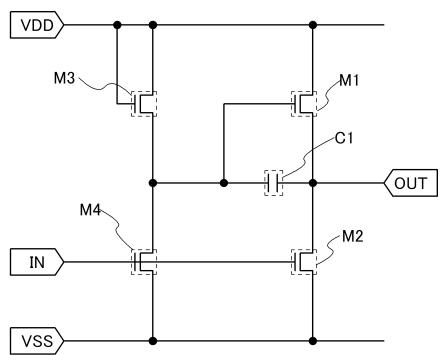
【図21】



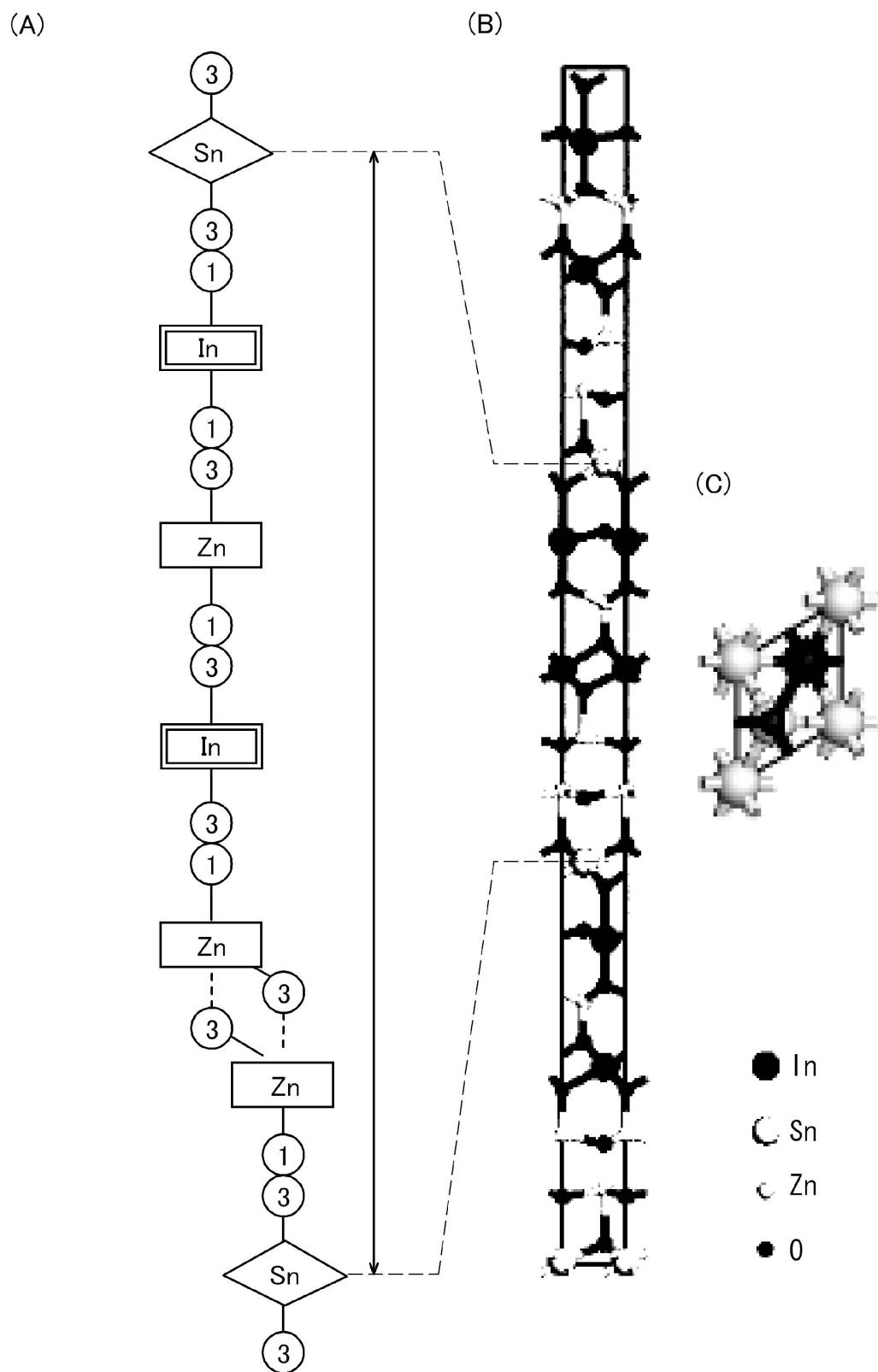
【 図 2 2 】



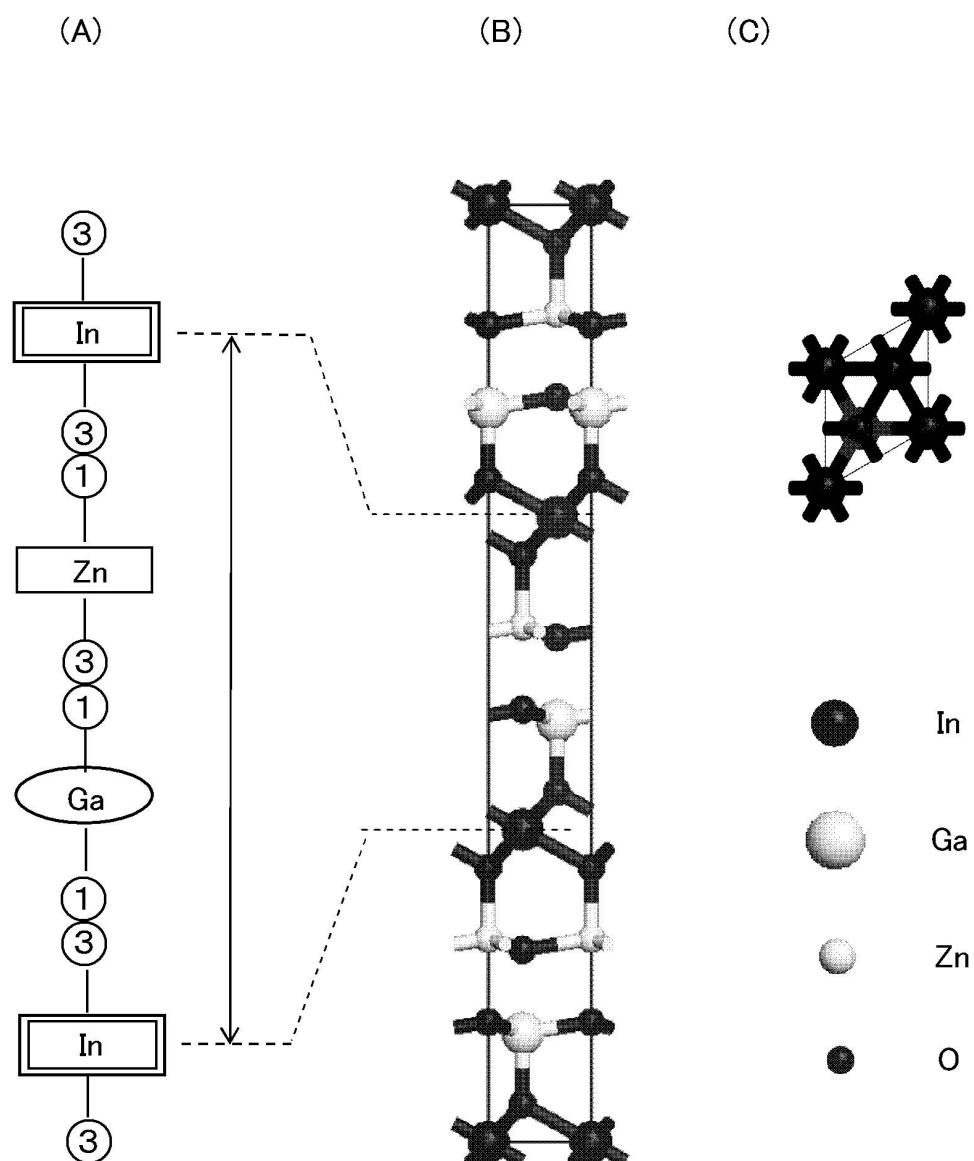
【図23】



【図15】



【図16】



---

フロントページの続き

(56)参考文献 特開2008-009418(JP,A)  
特開2002-328643(JP,A)  
特開2009-094927(JP,A)  
特開2009-017076(JP,A)  
特開2010-063155(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70  
H03K 19/003