



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년04월04일 10-0702869 2007년03월28일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1999-0038531 1999년09월10일 2004년09월09일	(65) 공개번호 (43) 공개일자	10-2000-0023051 2000년04월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장      98-258936      1998년09월11일      일본(JP)

(73) 특허권자      가부시키키가이샤 히타치세이사쿠쇼  
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자      하시모토타카시  
일본국사이타마켄이루마시미즈몬다이190-9

쿠로다켄이치  
일본국도쿄도타치카와켄스나가와쵸6-29-28

슈쿠리쇼우지  
일본국도쿄도코가네이시마에하라쵸3-40-1

(74) 대리인      이종일

(56) 선행기술조사문헌  
1019970067852 \*  
\* 심사관에 의하여 인용된 문헌

심사관 : 정병홍

전체 청구항 수 : 총 17 항

(54) 반도체집적회로장치의 제조방법

(57) 요약

본 발명은 DRAM(Dynamic Random Access Memory)과 로직LSI를 혼재시킨 반도체집적회로장치의 제조방법에 있어서, DRAM의 메모리셀 선택용 MISFET의 게이트전극(8A)(워드선(WL))을 형성하는 영역의 상부에만 질화실리콘막을 남기고, 로직LSI를 구성하는 MISFET의 게이트전극의 상부 및 SRAM의 메모리셀을 구성하는 게이트전극의 상부에는 질화실리콘막을 남기지 않도록 한 후, 상기 질화실리콘막(9)과 포토레지스트막을 마스크로 이용한 에칭에서 게이트전극(워드선(WL)) 및 게이트전극을 동시에 패턴형성함으로써, DRAM의 콘택트홀형성프로세스(게이트-SAC)와 로직LSI의 콘택트홀형성프로세스(L-SAC)를 양립시키는 기술이 개시된다.

대표도

도 6

## 특허청구의 범위

### 청구항 1.

제1 MISFET와 용량 소자를 직렬로 접속한 DRAM의 메모리 셀이 행열 형상으로 배치된 제1 메모리 셀 영역과 논리 LSI를 구성하는 제2 MISFET가 복수 형성된 제2 회로 영역을 가지는 반도체 집적회로 장치의 제조 방법으로서;

- (a) 상기 제 1 메모리 셀 영역에 제1 절연층이 선택적으로 형성된 상기 제 1 MISFET의 게이트 전극을 형성하고, 상기 제 2 회로 영역에 상기 제 2 MISFET의 게이트 전극을 형성하는 공정과;
- (b) 상기 제 1 MISFET의 게이트 전극 및 상기 제 2 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하는 공정과;
- (c) 상기 (b) 공정후 상기 반도체 기판의 주면상에 제2 절연층을 형성한 후, 상기 제 2 절연층의 상부에 제3 절연층을 형성하고, 상기 제 3 절연층을 연마해 평탄화하는 공정과;
- (d) 상기 제 1 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에, 상기 제 1 MISFET의 게이트 전극에 대해서 자기정합으로 제1 구멍을 형성함으로써, 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출하는 공정과;
- (e) 상기 제 2 MISFET의 게이트 전극의 상부를 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제2 구멍을 형성함으로써, 상기 제 2 MISFET의 게이트 전극의 표면을 노출하고, 상기 제 2 MISFET의 소스 또는 드레인의 상부를 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제3 구멍을 형성함으로써, 상기 제 2 MISFET의 소스 또는 드레인의 표면을 노출하는 공정을 포함하고;

상기 제 1 구멍을 형성하는 공정에서는 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭 한 후, 상기 제 2 절연층을 이방적으로 에칭함으로써, 상기 제 1 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하고,

상기 제 2 및 제3 구멍을 형성하는 공정에서는, 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭함으로써 제거하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

### 청구항 2.

청구항 1에 있어서,

상기(a) 공정에 있어서, 상기 제 1 메모리 셀 영역의 상기 제 1 도체층상에 제1 절연층이 선택적으로 형성된 후, 상기 제 1 도체층이 패터닝되어 상기 제 1 MISFET의 게이트 전극 및 상기 제 2 MISFET의 게이트 전극이 형성되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

### 청구항 3.

제1 MISFET와 용량 소자를 직렬로 접속 한 메모리 셀이 행열 형상으로 배치된 제1 메모리 셀 영역과 제2 MISFET가 복수 형성된 제2 회로 영역을 가지는 반도체 집적회로 장치의 제조 방법으로서;

- (a) 반도체 기관의 주면상에 제1 도체층을 형성한 후, 상기 제 2 회로 영역의 상기 제 1 도체층을 선택적으로 패터닝 함으로써, 상기 제 2 회로 영역에 상기 제 2 MISFET의 게이트 전극을 형성하고, 상기 제 1 메모리 셀 영역에 상기 제 1 도체층을 남기는 공정과;
- (b) 상기 반도체 기관의 주면상에 제1 절연층을 형성한 후, 상기 제 1 메모리 셀 영역의 상기 제 1 절연층 및 상기 제 1 도체층을 선택적으로 패터닝함으로써, 상기 제 1 메모리 셀 영역에 상기 제 1 절연층으로 덮인 상기 제 1 MISFET의 게이트 전극을 형성하고, 상기 제 2 회로 영역에 상기 제 1 절연층을 남기는 공정과;
- (c) 상기 반도체 기관의 주면상에 제2 절연층을 형성한 후, 상기 제 2 절연층의 상부에 제3 절연층을 형성하고 상기 제 3 절연층을 연마해 평탄화하는 공정과;
- (d) 상기 제 1 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에, 상기 제 1 MISFET의 게이트 전극에 대해서 자기정합으로 제1 구멍을 형성함으로써 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출하는 공정과;
- (e) 상기 제 2 MISFET의 게이트 전극의 상부를 덮는 상기 제 3 절연층, 상기 제 2 절연층 및 상기 제 1 절연층에 제2 구멍을 형성함으로써, 상기 제 2 MISFET의 게이트 전극의 표면을 노출하고 상기 제 2 MISFET의 소스 또는 드레인의 상부를 덮는 상기 제 3 절연층, 상기 제 2 절연층 및 상기 제 1 절연층에 제3 구멍을 형성함으로써 상기 제 2 MISFET의 소스 또는 드레인의 표면을 노출하는 공정을 포함하고;

상기 제 1 구멍을 형성하는 공정은, 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭한 후, 상기 제 2 절연층을 이방적으로 에칭함으로써, 상기 제 1 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하고,

상기 제 2, 3 구멍을 형성하는 공정은, 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭한 후, 상기 제 2 절연층 및 제1 절연층을 에칭함으로써 제거하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

#### 청구항 4.

청구항 3에 있어서,

상기(b) 공정 전에 상기 제 2 MISFET의 소스 또는 드레인의 표면에 실리사이드층을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

#### 청구항 5.

제1 MISFET와 용량 소자를 직렬로 접속 한 메모리 셀이 행열 형상으로 배치된 제1 메모리 셀 영역과 제2 MISFET가 복수 형성된 제2 회로 영역을 가지는 반도체 집적회로 장치의 제조방법으로서;

- (a) 반도체 기관의 주면상에 제1 도체층을 형성한 후, 상기 제 1 도체층을 패터닝 함으로써 상기 제 2 회로 영역에 상기 제 2 MISFET의 게이트 전극을 형성하고 상기 제 1 메모리 셀 영역에 상기 제 1 도체층을 남기는 공정과;
- (b) 상기 제 2 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하는 공정과;
- (c) 상기 제 2 MISFET의 게이트 전극의 양측의 상기 반도체 기관에 상기 제 2 MISFET의 소스, 드레인을 구성하는 반도체 영역을 형성하는 공정과;

(d) 상기 반도체 기관의 주면상에 고용점 금속층을 형성한 후 상기 반도체 기관을 열처리함으로써, 상기 제 2 MISFET의 게이트 전극 및 소스, 드레인의 표면과 상기 제 1 메모리 셀 영역에 남은 상기 제 1 도체층의 표면에 실리사이드층을 형성하는 공정과;

(e) 상기 반도체 기관의 주면상에 제1 절연층을 형성한 후, 상기 제 1 메모리 셀 영역의 상기 제 1 절연층 및 상기 제 1 도체층을 선택적으로 패터닝함으로써 상기 제 1 메모리 셀 영역에 상기 제 1 절연층에서 덮인 상기 제 1 MISFET의 게이트 전극을 형성하고 상기 제 2 회로 영역에 상기 제 1 절연층을 남기는 공정과;

(f) 상기 반도체 기관의 주면상에 제2 절연층을 형성한 후, 상기 제 2 절연층의 상부에 제3 절연층을 형성하고 상기 제 3 절연층을 연마해 평탄화하는 공정과;

(g) 상기 제 1 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에, 상기 제 1 MISFET의 게이트 전극에 대해서 자기 정합으로 제1 구멍을 형성함으로써 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출하는 공정과;

(h) 상기 제 2 MISFET의 게이트 전극의 상부를 덮는 상기 제 3 절연층, 상기 제 2 절연층 및 제1 절연층에 제2 구멍을 형성함으로써, 상기 제 2 MISFET의 게이트 전극의 표면을 노출하고 상기 제 2 MISFET의 소스 또는 드레인의 상부를 덮는 상기 제 3 절연층, 상기 제 2 절연층 및 제1 절연층에 제3 구멍을 형성함으로써, 상기 제 2 MISFET의 소스 또는 드레인의 표면을 노출하는 공정을 포함하고;

상기 제 1 구멍을 형성하는 공정은 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭한 후, 상기 제 2 절연층을 이방적으로 에칭함으로써, 상기 제 1 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하고,

상기 제 2, 3 구멍을 형성하는 공정은, 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭한 후, 상기 제 2 절연층 및 제1 절연층을 에칭함으로써 제거하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

## 청구항 6.

청구항 3 또는 청구항 5에 있어서,

상기 제 1 절연층 및 상기 제 2 절연층은 질화 실리콘계의 절연막이며, 상기 제 3 절연층은 산화 실리콘계의 절연막인 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

## 청구항 7.

청구항 3 또는 청구항 5에 있어서,

상기 제 2, 3 구멍을 형성하는 공정에 있어서 상기 제 2 절연층 및 제1 절연층을 제거하는 에칭 공정은 상기 반도체 기관에 대한 상기 제 2 절연층 및 제1 절연층의 에칭 레이트가 커지는 조건으로 실시하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

## 청구항 8.

제1 MISFET와 용량 소자를 직렬로 접속 한 메모리 셀이 행렬 형상으로 배치된 제1 메모리 셀 영역과 논리 LSI를 구성하는 제2 MISFET가 복수 형성된 제2 회로 영역을 가지는 반도체 집적회로 장치의 제조 방법으로서;

- (a) 반도체 기관의 주면상에 제1 도체층을 형성한 후 상기 제 2 회로 영역의 상기 제 1 도체층을 선택적으로 패터닝함으로써 상기 제 2 회로 영역에 상기 제 2 MISFET의 게이트 전극을 형성하고 상기 제 1 메모리 셀 영역에 상기 제 1 도체층을 남기는 공정과;
- (b) 상기 제 2 MISFET의 소스 또는 드레인 영역을 형성하는 공정과;
- (c) 상기 제 1 메모리 셀 영역에 남겨진 상기 제 1 도체층의 표면, 상기 제 2 MISFET의 게이트 전극 및 소스 또는 드레인 영역의 표면에 실리사이드층을 형성하는 공정과;
- (d) 상기 제 1 메모리 셀 영역의 상기 제 1 도체층을 선택적으로 패터닝함으로써, 상기 제 1 메모리 셀 영역에 상기 제 1 MISFET의 게이트 전극을 형성하는 공정과;
- (e) 상기 (d) 공정후, 상기 제 1 MISFET의 소스 또는 드레인 영역을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

## 청구항 9.

청구항 8에 있어서,

또한,

- (f) 상기 (d) 공정후, 상기 반도체 기관의 주면상에 제1 절연층을 형성한 후, 상기 제 1 절연층의 상부에 제2 절연층을 형성하고, 상기 제 2 절연층을 연마해 평탄화하는 공정과;
- (g) 상기 제 1 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 제 2 절연층 및 상기 제 1 절연층에, 상기 제 1 MISFET의 게이트 전극에 대해서 자기 정합으로 제1 구멍을 형성함으로써, 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출하는 공정과;
- (e) 상기 제 2 MISFET의 게이트 전극의 상부를 덮는 상기 제 2 절연층 및 상기 제 1 절연층에 제2 구멍을 형성함으로써, 상기 제 2 MISFET의 게이트 전극의 표면을 노출하는 공정을 더 포함하고,

상기 제 1 구멍을 형성하는 공정은, 상기 제 1 절연층에 대한 상기 제 2 절연층의 에칭 레이트가 커지는 조건으로 상기 제 2 절연층을 에칭한 후, 상기 제 1 절연층을 이방적으로 에칭함으로써, 상기 제 1 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하고,

상기 제 2 구멍을 형성하는 공정은, 상기 제 1 절연층에 대한 상기 제 2 절연층의 에칭 레이트가 커지는 조건으로 상기 제 2 절연층을 에칭한 후, 상기 제 1 절연층을 에칭함으로써 제거하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

## 청구항 10.

제1 MISFET가 복수 형성된 제1회로영역과 제2 MISFET가 복수 형성된 제2 회로 영역을 가지는 반도체 집적회로 장치의 제조 방법으로서;

- (a) 반도체 기관의 주면상에 제1 도체층을 형성한 후, 상기 제 1 도체층을 패터닝 함으로써, 상기 제 2 회로 영역에 상기 제 2 MISFET의 게이트 전극을 형성하고, 상기 제 1회로영역에 상기 제 1 도체층을 남기는 공정과;
- (b) 상기 제 2 MISFET의 게이트 전극의 측벽에 사이드 월 스페이서를 형성하는 공정과;
- (c) 상기 제 2 MISFET의 게이트 전극의 양측의 상기 반도체 기관에, 상기 제 2 MISFET의 소스, 드레인을 구성하는 반도체 영역을 형성하는 공정과;

(d) 상기 (a)~(c) 공정후, 상기 반도체 기판의 주면상에 제1 절연층을 형성하고, 상기 제 1회로영역의 상기 제 1 도체층을 선택적으로 패터닝함으로써, 상기 제 1회로영역에 상기 제 1 MISFET의 게이트 전극을 형성하고, 상기 제 2 회로 영역에 상기 제 1 절연층을 남기는 공정과;

(e) 상기 제 1 MISFET의 게이트 전극의 양측의 상기 반도체 기판에, 상기 제 1 MISFET의 소스, 드레인을 구성하는 반도체 영역을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

## 청구항 11.

청구항 10에 있어서,

또한,

(f) 상기 반도체 기판의 주면상에 제2 절연층을 형성하고, 상기 제 2 절연층의 상부에 제3 절연층을 형성한 후, 상기 제 3 절연층을 연마해 평탄화하는 공정과;

(g) 상기 제 1 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제1 구멍을 형성함으로써, 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출하는 공정과;

(h) 상기 제 1 구멍의 내부를 포함한 상기 제 3 절연층의 상부에 제2 도체층을 형성한 후, 상기 제 3 절연층의 상부의 상기 제 2 도체층을 선택적으로 제거해 상기 제 1 구멍의 내부에만 남기는 공정을 더 포함하는 것을 특징으로 하는 반도체집적 회로장치의 제조방법.

## 청구항 12.

청구항 10에 있어서,

또한,

(f) 상기 반도체 기판의 주면상에 층간절연층을 형성한 후, 상기 층간절연층을 연마해 평탄화하는 공정과;

(g) 상기 제 1 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 층간절연층에 제1 구멍을 형성함으로써, 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출하는 공정과;

(h) 상기 제 1 구멍의 내부를 포함한 상기 층간절연층의 상부에 제2 도체층을 형성한 후, 상기 층간절연층의 상부의 상기 제 2 도체층을 선택적으로 제거해 상기 제 1 구멍의 내부에만 남기는 공정을 더 포함하는 것을 특징으로 하는 반도체집적 회로장치의 제조방법.

## 청구항 13.

청구항 11에 있어서,

상기 제 1 구멍을 형성하는 공정은 상기 제 2 절연층에 대한 상기 제 3 절연층의 에칭 레이트가 커지는 조건으로 상기 제 3 절연층을 에칭한 후, 상기 제 2 절연층을 이방적으로 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

## 청구항 14.

청구항 12에 있어서,

상기 제 2 절연층을 이방적으로 에칭함으로써, 상기 제 1 MISFET의 게이트 전극의 측벽에 사이드 월 스페이스를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

## 청구항 15.

청구항 11에 있어서,

상기 제 1 절연층 및 상기 제 2 절연층은 질화 실리콘계의 절연막이며, 상기 제 3 절연층은 산화 실리콘계의 절연막인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

## 청구항 16.

청구항 10에 있어서,

상기 제 1 회로영역은, 상기 제 1 MISFET와 용량 소자를 직렬로 접속 한 메모리 셀이 행열 형상으로 배치된 메모리 셀 영역인 것을 특징으로 하는 반도체집적회로장치의 제조방법.

## 청구항 17.

청구항 11에 있어서,

또한,

(i) 상기 (h) 공정후, 상기 제 2 MISFET의 게이트 전극의 사이의 스페이스 영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제2 구멍을 형성함으로써, 상기 제 2 MISFET의 소스 또는 드레인의 표면을 노출하는 공정을 포함하는 것을 특징으로 하는 반도체집적회로장치의 제조방법.

## 청구항 18.

삭제

## 청구항 19.

삭제

## 청구항 20.

삭제

## 청구항 21.

삭제

## 청구항 22.

삭제

## 청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치의 제조기술에 관한 것으로, 특히 DRAM(Dynamic Random Access Memory)과 로직LSI를 혼재시킨 반도체집적회로장치의 제조에 알맞는 유효한 기술에 관한 것이다.



대표적인 메모리LSI인 DRAM은 최근들어 메모리셀의 미세화에 따른 정보축적용 용량소자의 축적전하량이 감소되는 것을 보완하고자 정보축적용 용량소자를 메모리셀 선택용 MISFET의 상방에 배치시키는, 이른바 적층콘텐서구조를 채용하고 있다.

한편, 고성능 로직LSI에 있어서는, MISFET의 소스, 드레인과 배선을 접속시키는 콘택트홀의 미세화에 따른 저항증대를 억제하는 대책으로서, 소스, 드레인의 표면에  $\text{CoSi}_2$ (코발트실리사이드)와  $\text{TiSi}_2$ (티탄실리사이드)와 같은 고용점금속실리사이드층을 형성하는, 이른바 실리사이드이션(silicidation)기술의 채용이 권장되고 있다.

본 발명자는 상기와 같은 DRAM과 로직LSI를 동일반도체기판상에 형성시키는, 이른바 시스템LSI의 개발을 추진하고 있다.

상기 시스템LSI의 일부를 구성하는 DRAM은, 비트선의 신호지연대책으로서 비트선을 W(텅스텐) 등의 고용점금속을 주체로 하는 저저항의 금속재료로 구성함과 동시에, 배선의 형성공정을 줄이기 위한 대책으로서 비트선 및 주변회로의 첫번째 층의 배선을 로직LSI의 첫번째 층의 배선과 동일공정으로 형성한다.

또한, 이 DRAM은 정보축적용 용량소자의 축적전하량을 확보하기 위한 대책으로서 비트선의 상방에 정보축적용 용량소자를 배치하여 용량소자의 입체화를 추진함과 동시에, 용량절연막을  $\text{Ta}_2\text{O}_5$ (산화탄탈)와 같은 고유전체재료로 구성한다.

또한, 이 DRAM은 좁게 피치화된 메모리셀 선택용 MISFET의 게이트전극의 공간에 비트선과 기관(소스 또는 드레인)을 접속시키기 위한 콘택트홀을 형성할 때, 게이트전극의 상부와 측벽을 질화실리콘막으로 덮은 후, 그 상부에 산화실리콘막을 퇴적시키고, 산화실리콘막과 질화실리콘막의 에칭속도차를 이용하여 상기 콘택트홀을 게이트전극에 대해 자기정합적으로 형성시키는, 이른바 게이트·셀프얼라인·콘택트(Gate-Self Align Contact; 이하, 게이트-SAC이라 한다)기술을 채용한다.

한편, 상기 시스템LSI의 다른 일부를 구성하는 로직LSI는, 고속동작을 추진하기 위해 MISFET의 소스, 드레인의 표면에 저저항의 고용점금속실리사이드층을 형성하는 실리사이드이션기술을 채용한다.

또한, 이 로직LSI는 소자의 미세화와 접합용량의 감소를 목적으로 한 소스, 드레인의 면적축소에 대응하기 위해 소스, 드레인 및 첫번째 층의 배선을 접속시키는 콘택트홀을 소자분리영역에 대해 자기정합적으로 형성하는, 이른바 LOCOS·셀프얼라인·콘택트(Locos-Self Align Contact; 이하, L-SAC라 한다)기술을 채용한다.

상기 L-SAC기술은 MISFET형성 후에 그 상부를 질화실리콘막으로 덮고, 이 질화실리콘막의 상부에 산화실리콘막을 퇴적시킨다. 소스, 드레인의 상부에 콘택트홀을 형성하려면 우선 질화실리콘막을 스톱퍼로 이용하여 산화실리콘막을 에칭한 후, 그 하부의 질화실리콘막을 에칭하여 소스, 드레인을 노출시킨다. 이 때, 질화실리콘막을 비교적 얇은 막두께로 형성함으로써 오버에칭시에 소자분리영역의 산화실리콘막이 깎이는 양을 감소시킬 수 있다.

### 발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 DRAM과 로직LSI를 동일반도체기판상에 형성시키는 시스템LSI의 제조공정에 있어서는 다음과 같은 과제를 해결해야만 한다.

즉, DRAM의 메모리셀을 구성하는 메모리셀 선택용 MISFET의 게이트전극의 공간에 게이트-SAC기술을 이용하여 자기정합적으로 콘택트홀을 형성하기 위해서는 게이트전극의 상부와 측벽을 질화실리콘막으로 덮을 필요가 있다. 이 경우의 게이트가공공정은, 반도체기판상에 게이트전극용 도전막을 형성하고, 계속해서 그 상부에 질화실리콘막을 형성한 후, 포토레지스트막을 마스크로 한 에칭으로 질화실리콘막과 그 하층의 게이트전극용 도전막을 패터닝함으로써 메모리셀 선택용 MISFET의 게이트전극과 로직LSI의 MISFET의 게이트전극을 동시에 형성시키는 공정이다.

그런데, 상기공정에서는, MISFET의 상부에 형성된 산화실리콘막을 에칭하여 메모리셀 선택용 MISFET의 소스 또는 드레인의 상부, 로직LSI의 MISFET의 게이트전극 및 소스, 드레인의 상부에 콘택트홀을 형성할 때, 로직LSI의 MISFET의 게이트전극 상부에 구멍을 뚫을 수 없다는 문제가 생긴다. 즉, 로직LSI의 MISFET의 게이트전극상에는 상술한 게이트-SAC용 질화실리콘막 뿐만 아니라 L-SAC용 질화실리콘막도 형성되기 때문에 이들 두개층의 질화실리콘막을 에칭하여 게이트전극상에 콘택트홀을 형성하고자 하면, 소스, 드레인 상부의 에칭이 과잉되어 소자분리영역의 산화실리콘막이 깊게

깍임으로써 접합누설전류가 증가하는 심각한 문제가 초래된다. 또한, 소자분리영역의 깍임을 적게 하기 위해서는, 소스, 드레인 상부의 에칭량을 적게 하면 게이트전극상의 에칭량이 부족하기 때문에 콘택트홀의 바닥부가 게이트전극에 미치지 못한다는 문제가 생긴다.

또한, 상기와 같은 문제를 극복하기 위해 게이트전극 상부의 콘택트홀과 소스, 드레인 상부의 콘택트홀을 별도 공정으로 형성하는 방법도 생각할 수 있는데, 이 대책은 공정수가 증가될 뿐 아니라 미세화된 MISFET에 있어서는 게이트전극상의 콘택트홀과 소스, 드레인상의 콘택트홀의 정합여유를 확보할 수 없다는 문제가 생기게 된다.

본 발명의 목적은, DRAM과 로직LSI를 혼재시킨 반도체집적회로장치의 제조에 있어서, DRAM의 게이트-SAC기술과 로직LSI의 L-SAC기술을 양립시킬 수 있는 기술을 제공하는 데 있다.

본 발명의 상기 및 그 밖의 목적과 신규한 특징은, 본 명세서의 기술(記述) 및 첨부도면을 보면 명확하게 알 수 있다.

본원에 있어서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하자면 다음과 같다.

본 발명의 반도체집적회로장치의 제조방법은, (a) 반도체기판의 주면의 제 1 영역에 제 1 도체층으로 이루어진 복수의 제 1 게이트전극과 상기 제 1 게이트전극을 덮는 제 1 절연층을 형성하고, 상기 반도체기판의 주면의 제 2 영역에 상기 제 1 도체층으로 이루어진 복수의 제 2 게이트전극을 형성하고, 상기 반도체기판의 주면의 제 3 영역에 복수의 반도체영역을 형성하는 공정, (b) 상기 반도체기판의 주면상에 제 2 절연층을 형성하고, 상기 제 2 절연층의 상부에 제 3 절연층을 형성하는 공정, (c) 상기 제 1 영역에 형성된 상기 복수의 제 1 게이트전극 사이의 제 1 공간영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 1 구멍을 형성함으로써, 상기 제 1 공간영역의 상기 반도체기판의 표면을 노출시키는 공정, 및 (d) 상기 제 2 영역에 형성된 상기 복수의 제 2 게이트전극을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 2 구멍을 형성함으로써, 상기 제 2 게이트전극의 표면을 노출시키고, 상기 제 3 영역에 형성된 상기 복수의 반도체영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 3 구멍을 형성함으로써, 상기 반도체영역의 표면을 노출시키는 공정을 포함하며, 상기 공정(a)에 있어서, 상기 복수의 제 2 게이트전극의 상부에는 상기 제 1 절연층을 형성하지 않고, 상기 공정(c)에 있어서, 상기 제 1 구멍을 상기 제 1 게이트전극에 대해 자기정합으로 형성시킨다.

또한, 본 발명의 반도체집적회로장치의 제조방법은, 제 1 MISFET와 용량소자를 직렬로 접속시킨 메모리셀이 행렬상으로 배치된 제 1 메모리셀영역과, 제 2 MISFET가 복수형성된 제 2 회로영역을 갖는 반도체집적회로장치의 제조방법으로서,

(a) 반도체기판의 주면상에 제 1 도체층을 형성시킨 후, 상기 제 2 회로영역의 상기 제 1 도체층을 선택적으로 패터닝함으로써, 상기 제 2 회로영역에 상기 제 2 MISFET의 게이트전극을 형성하고, 상기 제 1 메모리셀영역에 상기 제 1 도체층을 남기는 공정,

(b) 상기 반도체기판의 주면상에 제 1 절연층을 형성시킨 후, 상기 제 1 메모리셀영역의 상기 제 1 절연층 및 상기 제 1 도체층을 선택적으로 패터닝함으로써, 상기 제 1 메모리셀영역에 상기 제 1 절연층으로 덮여진 상기 제 1 MISFET의 게이트전극을 형성하고, 상기 제 2 회로영역에 상기 제 1 절연층을 남기는 공정,

(c) 상기 반도체기판의 주면상에 제 2 절연층을 형성시킨 후, 상기 제 2 절연층의 상부에 제 3 절연층을 형성하는 공정,

(d) 상기 제 1 MISFET의 게이트전극 사이의 공간영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에, 상기 제 1 MISFET의 게이트전극에 대해 자기정합으로 제 1 구멍을 형성함으로써 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출시키는 공정,

(e) 상기 제 2 MISFET의 게이트전극의 상부를 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 2 구멍을 형성함으로써 상기 제 2 MISFET의 게이트전극의 표면을 노출시키고, 상기 제 2 MISFET의 소스 또는 드레인의 상부를 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 3 구멍을 형성함으로써 상기 제 2 MISFET의 소스 또는 드레인의 표면을 노출시키는 공정을 포함하고 있다.

또한, 본 발명의 반도체집적회로장치의 제조방법은, 제 1 MISFET와 용량소자를 직렬로 접속시킨 메모리셀이 행렬상으로 배치된 제 1 메모리셀영역과, 제 2 MISFET가 복수형성된 제 2 회로영역을 갖는 반도체집적회로장치의 제조방법으로서,

(a) 반도체기판의 주면상에 제 1 도체층을 형성시킨 후, 상기 제 1 도체층을 패터닝함으로써 상기 제 2 회로영역에 상기 제 2 MISFET의 게이트전극을 형성하고, 상기 제 1 메모리셀영역에 상기 제 1 도체층을 남기는 공정,

- (b) 상기 제 2 MISFET의 게이트전극의 측벽에 사이드월스페이서(side wall spacer)를 형성하는 공정,
- (c) 상기 제 2 MISFET의 게이트전극 양측의 상기 반도체기판에, 상기 제 2 MISFET의 소스, 드레인을 구성하는 반도체영역을 형성하는 공정,
- (d) 상기 반도체기판의 주면상에 고용점금속층을 형성시킨 후, 상기 반도체기판을 열처리함으로써 상기 제 2 MISFET의 게이트전극 및 소스, 드레인의 표면과, 상기 제 1 메모리셀영역에 남은 상기 제 1 도체층의 표면에 실리라이드층을 형성하는 공정,
- (e) 상기 반도체기판의 주면상에 제 1 절연층을 형성시킨 후, 상기 제 1 메모리셀영역의 상기 제 1 절연층 및 상기 제 1 도체층을 선택적으로 패터닝함으로써, 상기 제 1 메모리셀영역에 상기 제 1 절연층으로 덮여진 상기 제 1 MISFET의 게이트전극을 형성하고, 상기 제 2 회로영역에 상기 제 1 절연층을 남기는 공정,
- (f) 상기 반도체기판의 주면상에 제 2 절연층을 형성시킨 후, 상기 제 2 절연층의 상부에 제 3 절연층을 형성하는 공정,
- (g) 상기 제 1 MISFET의 게이트전극 사이의 공간영역을 덮는 상기 제 3 절연층 및 상기 제 2 절연층에, 상기 제 1 MISFET의 게이트전극에 대해 자기정합으로 제 1 구멍을 형성함으로써 상기 제 1 MISFET의 소스 또는 드레인의 표면을 노출시키는 공정,
- (h) 상기 제 2 MISFET의 게이트전극의 상부를 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 2 구멍을 형성함으로써, 상기 제 2 MISFET의 게이트전극의 표면을 노출시키고, 상기 제 2 MISFET의 소스 또는 드레인의 상부를 덮는 상기 제 3 절연층 및 상기 제 2 절연층에 제 3 구멍을 형성함으로써, 상기 제 2 MISFET의 소스 또는 드레인의 표면을 노출시키는 공정을 포함하고 있다.

## 발명의 구성

이하, 본 발명의 실시예에 대한 구성 및 작용을 첨부한 도면을 참조하여 상세하게 설명하기로 한다. 또한, 실시예를 설명하기 위한 전체도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙여 그 반복설명은 생략하였다.

### 실시예 1

본 실시예는, 반도체기판 주면의 제 1 영역에 DRAM을 배치하고, 제 2 영역에 로직LSI를 배치하고, 제 3 영역에 SRAM을 배치한 시스템LSI의 제조방법에 적용된 것이다.

도 1에서 보는 바와 같이, 시스템LSI의 일부를 구성하는 DRAM의 메모리셀(MC)은, 워드선(WL)( $WL_{n-1}$ ,  $WL_n$ ,  $WL_{n+1}$ ...)과 비트선(BL)의 교차부에 배치된 한개의 메모리셀 선택용 MISFET(Qs) 및 이것에 직렬로 접속된 한개의 정보축적용 용량소자(C)에 의해 구성되어 있다. n채널형 MISFET로 구성된 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 한쪽은 정보축적용 용량소자(C)와 전기적으로 접속되며, 다른 한쪽은 비트선(BL)과 전기적으로 접속되어 있다. 워드선(WL)의 한쪽 끝은 주변회로의 워드드라이버(WD)에 접속되며, 비트선(BL)의 한쪽 끝은 마찬가지로 주변회로의 센스앰프(SA)에 접속되어 있다.

도 2에서 보는 바와 같이, 시스템LSI의 다른 일부를 구성하는 SRAM의 메모리셀(MC)은, 한쌍의 상보성 데이터선(데이터선(DL), 데이터선/(바)(DL))과 워드선(WL)의 교차부에 배치된 한쌍의 구동용 MISFET(Qd<sub>1</sub>, Qd<sub>2</sub>), 한쌍의 부하용 MISFET(Qp<sub>1</sub>, Qp<sub>2</sub>) 및 한쌍의 전송용 MISFET(Qt<sub>1</sub>, Qt<sub>2</sub>)에 의해 구성되어 있다. 구동용 MISFET(Qd<sub>1</sub>, Qd<sub>2</sub>) 및 전송용 MISFET(Qt<sub>1</sub>, Qt<sub>2</sub>)는 n채널형 MISFET로 구성되며, 부하용 MISFET(Qp<sub>1</sub>, Qp<sub>2</sub>)는 p채널형 MISFET로 구성되어 있다.

SRAM의 메모리셀(MC)을 구성하는 상기 여섯개의 MISFET 중에서 구동용 MISFET(Qd<sub>1</sub>) 및 부하용 MISFET(Qp<sub>1</sub>)는, CMOS인버터(INV<sub>1</sub>)을 구성하고, 구동용 MISFET(Qd<sub>2</sub>) 및 부하용 MISFET(Qp<sub>2</sub>)는 CMOS인버터(INV<sub>2</sub>)를 구성하고 있다. 이들 한쌍의 CMOS인버터(INV<sub>1</sub>, INV<sub>2</sub>)의 상호입출력단자(축적노드(A, B))는, 1비트의 정보를 기억하는 정보축적부

로서의 플립플롭회로(flip-flop circuit)를 구성하고 있다. 이 플립플롭회로 한쪽의 입출력단자(축적노드(A))는, 전송용 MISFET( $Q_{t1}$ )의 소스영역과 전기적으로 접속되며, 다른쪽의 입출력단자(축적노드(B))는 전송용 MISFET( $Q_{t2}$ )의 소스영역과 전기적으로 접속되어 있다.

상기 전송용 MISFET( $Q_{t1}$ )의 드레인영역은 데이터선(DL)에 접속되며, 전송용 MISFET( $Q_{t2}$ )의 드레인영역은 데이터선/(DL)에 접속되어 있다. 또한, 플립플롭회로의 한끝(부하용 MISFET( $Q_{p1}$ ,  $Q_{p2}$ ))의 각 소스영역은 전원전압( $V_{cc}$ )에 접속되며, 다른끝(구동용 MISFET( $Q_{d1}$ ,  $Q_{d2}$ ))의 각 소스영역은 기준전압( $V_{ss}$ )에 접속되어 있다.

도시하지는 않았지만, 시스템LSI의 다른 일부를 구성하는 로직LSI는, n채널형 MISFET 및 p채널형 MISFET에 의해 구성되어 있다. 또한, DRAM과 SRAM을 동일기판상에 형성하는 기술에 대해서는, 예를들어 본 출원인에 의해 미국에 1996년 7월 16일자 출원된 Serial No. 682,243인 USP5,780,910에 기재되어 있으며, 특히 도 24~도 39의 제 2 실시예에 상세하게 기재되어 있다.

다음으로, 상기 시스템LSI의 제조방법의 한 예를 도 3~도 28(반도체기판의 단면도)을 이용하여 공정순서대로 설명한다. 또한, 이들 도에 있어서, 좌측의 영역은 DRAM형성영역의 일부(메모리셀만을 나타냄), 중앙의 영역은 로직LSI형성영역의 일부(n채널형 MISFET만을 나타냄), 우측의 영역은 SRAM형성영역의 일부(구동용 MISFET 및 부하용 MISFET의 각 일부만을 나타냄)를 나타내고 있다.

본 실시예의 시스템LSI를 제조하려면, 우선 도 3에서 보는 바와 같이 예를들어, p형의 단결정실리콘으로 이루어진 반도체기판(1)의 주면에 소자분리홈(2)을 형성한 후, 반도체기판(1)의 일부에 p형 불순물(예를들어 붕소), 다른 일부에 n형 불순물(예를들어 인)을 이온주입하여 p형 웰(well)(3) 및 n형 웰(4)을 형성한다. 계속해서, 반도체기판(1)을 열처리함으로써 p형 웰(3) 및 n형 웰(4)의 활성영역의 표면에 게이트산화막(5)을 형성한다. 상기 소자분리홈(2)은 소자분리영역의 반도체기판(1)을 에칭하여 홈을 형성한 후, 반도체기판(1) 상에 CVD법으로 산화실리콘막(6)을 퇴적시키고, 이 산화실리콘막(6)을 CMP(화학적기계적연마)법으로 평탄화시켜 홈의 내부에만 남김으로써 형성한다.

다음으로, 도 4에서 보는 바와 같이 게이트산화막(5)의 상부에 게이트전극용 도전막(8)을 형성시킨 후, 그 상부에 CVD법으로 막두께가 200nm정도인 질화실리콘막(9)을 퇴적시킨다. 게이트전극용 도전막(8)은 예를들어, CVD법으로 퇴적시킨 막두께가 100nm정도인 다결정실리콘막과 막두께가 100nm정도인 텅스텐실리사이드막의 적층막(폴리사이드막)으로 구성된다. 다결정실리콘막에는 n형 불순물(예를들어 비소)을 도프한다. 또한, n채널형 MISFET와 p채널형 MISFET를 이중 게이트구조로 하는 경우에는, 불순물을 포함하지 않는 다결정실리콘막을 퇴적시킨 후, n채널형 MISFET형성영역의 다결정실리콘막에 n형 불순물(예를들어 비소)을 도프하고, p채널형 MISFET형성영역의 다결정실리콘막에 p형 불순물(예를들어 붕소)을 도프한다. 또한, 게이트전극용 도전막(8)은 상기 폴리사이드막 외에 예를들어, 다결정실리콘막과 질화텅스텐막, 및 텅스텐막의 적층막(폴리메탈막) 등으로 구성될 수도 있다.

다음으로, 도 5에서 보는 바와 같이 포토레지스트막을 마스크로 한 에칭으로 DRAM형성영역의 질화실리콘막(9)을 패터닝함으로써, 후에 형성되는 게이트전극(8A)(워드선(WL))과 동일패턴의 질화실리콘막(9)을 형성한다. 또한, 이 공정에서는, 후공정에서 게이트전극상에 콘택트홀을 형성하는 영역의 질화실리콘막(9)도 선택적으로 제거한다.

다음으로, 도 6에서 보는 바와 같이 질화실리콘막(9) 및 포토레지스트막(10)을 마스크로 한 에칭으로 전극용 도전막(8)을 패터닝함으로써, DRAM의 메모리셀 선택용 MISFET( $Q_s$ )의 게이트전극(8A)(워드선(WL)), 로직LSI의 n채널형 MISFET( $Q_n$ )의 게이트전극(8B), SRAM의 구동용 MISFET( $Q_d$ )의 게이트전극(8C) 및 부하용 MISFET( $Q_p$ )의 게이트전극(8D)을 형성한다. 또한, DRAM의 워드선(WL)의 한쪽 단부(端部)(도 6의 화살표로 나타낸 배선인출영역)는 미리 상기 도 5에 나타낸 공정으로 질화실리콘막(9)을 제거해 두고, 게이트가공시에는 포토레지스트막(10)으로 덮어둡으로써 그 상부에 질화실리콘막(9)이 남지 않도록 한다(도 6).

이와 같이, 본 실시예의 제조방법은, DRAM의 메모리셀 선택용 MISFET의 게이트전극(8A)(워드선(WL))의 상부(워드선(WL)의 배선인출영역을 제외)에만 질화실리콘막(9)을 남기고, 로직LSI를 구성하는 MISFET의 게이트전극(8B)의 상부 및 SRAM의 메모리셀을 구성하는 게이트전극(8C, 8D)의 상부에는 질화실리콘막(9)을 남기지 않도록 한다.

다음으로, 도 7에서 보는 바와 같이 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써 메모리셀 선택용 MISFET( $Q_s$ )의 소스, 드레인을 구성하는 n형 반도체영역(11)을 형성함과 동시에 n채널형 MISFET( $Q_n$ )의 게이트전극(8B) 양측의

p형 웰(3)에 n<sup>-</sup>형 반도체영역(12)을 형성한다. 계속해서 n형 웰(4)에 p형 불순물(예를들어 붕소)을 이온주입함으로써 부하용 MISFET(Qp)의 게이트전극(8D) 양측의 n형 웰(4)에 p<sup>-</sup>형 반도체영역(13)을 형성한다. 여기까지의 공정에 의해 DRAM의 메모리셀 선택용 MISFET(Qs)가 대략적으로 완성된다.

다음으로, 도 8에서 보는 바와 같이 반도체기판(1)상에 CVD법으로 퇴적시킨 질화실리콘막을 이방성(異方性) 에칭으로 가공함으로써, 게이트전극(8A~8D)의 측벽에 질화실리콘막으로 이루어진 사이드월스페이서(15)를 형성한다. 계속해서 로직LSI형성영역의 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써 n채널형 MISFET(Qn)의 게이트전극(8B) 양측의 p형 웰(3)에 n<sup>+</sup>형 반도체영역(16)을 형성한다. 또한, SRAM형성영역의 n형 웰(4)에 p형 불순물(예를들어 붕소)을 이온주입함으로써 부하용 MISFET(Qp)의 게이트전극(8D) 양측의 n형 웰(4)에 p<sup>+</sup>형 반도체영역(17)을 형성한다. 여기까지의 공정에 의해, n<sup>-</sup>형 반도체영역(12) 및 n<sup>+</sup>형 반도체영역(16)으로 이루어진 LDD(Lightly Doped Drain)구조의 소스, 드레인을 갖는 로직LSI의 n채널형 MISFET(Qn)과, p<sup>-</sup>형 반도체영역(13) 및 p<sup>+</sup>형 반도체영역(17)로 이루어진 LDD구조의 소스, 드레인을 갖는 SRAM의 부하용 MISFET(Qp)가 대략적으로 완성된다.

다음으로, 도 9에서 보는 바와 같이 반도체기판(1)의 표면을 불산(弗酸)계의 에칭액으로 얇게 에칭하여, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11)), n채널형 MISFET(Qn)의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)) 및 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17))을 노출시킨 후, 반도체기판(1) 상에 CVD법으로 퇴적시킨 막두께 5~10nm정도의 얇은 산화실리콘막(19)을 에칭함으로써, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11))의 상부에 산화실리콘막(19)을 남기고, n채널형 MISFET(Qn)의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)) 및 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17)) 표면의 산화실리콘막(19)을 제거한다. 또한, 이 얇은 산화실리콘막(19)은 반도체기판(1)을 열산화함으로써 형성할 수 있다.

다음으로, 도 10에서 보는 바와 같이 반도체기판(1) 상에 스퍼터링(sputtering)법으로 Co(코발트)막(20a)을 퇴적시킨 후, 반도체기판(1)을 열처리함으로써, n채널형 MISFET(Qn)의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)) 및 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17))의 표면에 Co실리사이드층(20)을 형성한다. 이 때, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11))의 표면은 산화실리콘막(19)으로 덮여있기 때문에 Co실리사이드층(20)은 형성되지 않는다.

이와 같이, 본 실시예의 제조방법은 로직LSI를 구성하는 MISFET(n채널형 MISFET(Qn))의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)), SRAM의 메모리셀을 구성하는 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17))의 표면에 Co실리사이드층(20)을 형성함으로써, 이들 소스, 드레인을 저저항화하여 로직LSI 및 SRAM의 고속동작을 실현시킨다. 한편, DRAM의 메모리셀을 구성하는 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 표면에는 Co실리사이드층(20)을 형성시키지 않음으로써 메모리셀의 누설전류를 감소시켜 리프레시(refresh)특성이 저하되는 것을 방지한다. 또한, 상기 실리사이드층은 Co 이외의 고용점금속(예를들어 Ti)을 이용하여 형성할 수도 있다.

다음으로, 도 11에서 보는 바와 같이 반도체기판(1) 상에 CVD법으로 막두께 100nm정도인 질화실리콘막(21)을 퇴적시키고, 계속해서 질화실리콘막(21)의 상부에 CVD법으로 막두께 600nm정도의 산화실리콘막(22)을 퇴적시킨 후, 산화실리콘막(22)의 표면을 CMP법으로 평탄화시킨다.

다음으로, 도 12에서 보는 바와 같이 포토레지스트막(23)을 마스크로 한 에칭에서 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11)) 상부의 산화실리콘막(22)을 제거한다. 이 에칭은, 산화실리콘막(22) 하층의 질화실리콘막(21)이 제거되는 것을 방지하기 위하여 산화실리콘막(22)을 질화실리콘막(21)에 대해 높은 선택비로 에칭하는 가스를 사용하여 실시한다.

다음으로, 도 13에서 보는 바와 같이 상기 포토레지스트막(23)을 마스크로 한 에칭에서 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11)) 상부의 질화실리콘막(21)을 제거하고, 계속해서 그 하부의 얇은 산화실리콘막(19)을 제거함으로써 소스, 드레인(n형 반도체영역(11))의 한쪽 상부에 콘택트홀(24)을 형성하고, 다른쪽 상부에 콘택트홀(25)을 형성한다.

상기와 같은 질화실리콘막(21)의 에칭은 반도체기판(1)의 깎임량을 최소화하기 위해 질화실리콘막(21)을 산화실리콘막이나 실리콘에 대해 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 또한, 이 에칭은 질화실리콘막(21)을 이방적으로 에

칭한다는 조건으로 실시하여 게이트전극(8A)(워드선(WL))의 측벽에 질화실리콘막(21)을 남기도록 한다. 이로써, 게이트전극(8A)(워드선(WL))의 공간보다도 미세한 지름을 갖는 콘택트홀(24, 25)이 게이트전극(8A)(워드선(WL))에 대해 자기정합으로 형성된다.

다음으로, 도 14에서 보는 바와 같이 콘택트홀(24, 25)의 내부에 플러그(26)를 형성한다. 플러그(26)는 산화실리콘막(22)의 상부에 n형 불순물(예를들어 비소)을 도포한 막두께 300nm정도의 다결정실리콘막을 CVD법으로 퇴적시킨 후, 이 다결정실리콘막을 CMP법으로 평탄화시켜 콘택트홀(24, 25)의 내부에만 남김으로써 형성한다.

다음으로, 도 15에서 보는 바와 같이 산화실리콘막(22)의 상부에 막두께 200nm정도의 산화실리콘막(27)을 CVD법으로 퇴적시킨 후, 반도체기판(1)을 불활성가스 분위기 중에서 열처리한다. 이 열처리에 의해 플러그(26)를 구성하는 다결정실리콘막 속의 n형 불순물이 콘택트홀(24, 25)의 바닥부에서 메모리셀 선택용 MISFET(Qn)의 n형 반도체영역(11)(소스, 드레인) 내로 확산되기 위해 n형 반도체영역(11)이 저저항화된다.

다음으로, 도 16에서 보는 바와 같이 포토레지스트막을 마스크로 하여 산화실리콘막(27)을 에칭함으로써, 콘택트홀(24)의 상부에 쓰루 홀(through hole)(30)을 형성한다. 계속해서, 도 17에서 보는 바와 같이 포토레지스트막을 마스크로 하여 산화실리콘막(27) 및 산화실리콘막(22)을 에칭한 후, 질화실리콘막(21)을 에칭함으로써 워드선(WL)의 배선인출영역 상부에 콘택트홀(31)을 형성하고, n채널형 MISFET(Qn)의 게이트전극(8B) 및 n<sup>+</sup>형 반도체영역(16)의 상부에 콘택트홀(32, 33)을 형성하여, 구동용 MISFET(Qd)의 게이트전극(8C) 및 부하용 MISFET(Qp)의 p<sup>+</sup>형 반도체영역(17)에 걸쳐있는 영역에 콘택트홀(34)을 형성한다.

상기와 같은 산화실리콘막(27) 및 산화실리콘막(22)의 에칭은, 하층의 질화실리콘막(21)이 제거되는 것을 방지하기 위하여 산화실리콘막(27, 22)을 질화실리콘막(21)에 대해 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 또한, 질화실리콘막(21)의 에칭은 소자분리홈(2)에 채워진 산화실리콘막(6)과 반도체기판(1)의 깎임량을 최소로 하기 위해 질화실리콘막(21)을 산화실리콘막(6, 22)에 대해 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 이로써, 콘택트홀(33)이 소자분리홈(2)에 대해 자기정합으로 형성된다.

상기와 같은 제조방법에 의하면, 로직LSI를 구성하는 n채널형 MISFET(Qn)의 게이트전극(8B) 상부에 질화실리콘막(9)이 없기 때문에 게이트전극(8B) 상부의 콘택트홀(32)과 n<sup>+</sup>형 반도체영역(16) 상부의 콘택트홀(33)을 동시에 형성할 수 있다. 또한, SRAM의 메모리셀을 구성하는 구동용 MISFET(Qd)의 게이트전극(8C) 상부에도 질화실리콘막(9)이 없기 때문에, 상기 콘택트홀(32, 33)을 형성할 때 구동용 MISFET(Qd)의 게이트전극(8C) 및 부하용 MISFET(Qp)의 p<sup>+</sup>형 반도체영역(17)에 걸쳐있는 영역에 콘택트홀(34)을 동시형성할 수 있다.

다음으로, 도 18에서 보는 바와 같이 쓰루 홀(30) 및 콘택트홀(31~34)의 내부에 플러그(36)를 형성한다. 플러그(36)는 산화실리콘막(27)의 상부에 질화티탄막 및 텅스텐막을 CVD법으로 퇴적시킨 후, 이들 막을 CMP법으로 평탄화시켜 쓰루 홀(30) 및 콘택트홀(31~34)의 내부에만 남김으로써 형성한다.

다음으로, 도 19에서 보는 바와 같이 산화실리콘막(27)의 상부에 CVD법(또는 스퍼터링법)으로 막두께 100nm 정도인 텅스텐막을 퇴적시킨 후, 이 텅스텐막을 패터닝함으로써 쓰루 홀(30)의 상부에 비트선(BL)을 형성하고, 콘택트홀(31~34)의 상부에 배선(37~40)을 형성한다.

다음으로, 도 20에서 보는 바와 같이 비트선(BL) 및 배선(37~40)의 상부에 막두께 300nm 정도인 산화실리콘막(41)을 CVD법으로 퇴적시킨 후, 포토레지스트막을 마스크로 하여 산화실리콘막(41) 및 산화실리콘막(27)을 에칭함으로써 콘택트홀(25)의 상부에 쓰루 홀(42)을 형성한다. 계속해서, 상기 콘택트 홀(24, 25)의 내부에 플러그(26)를 형성하였을 때와 동일한 방법으로 쓰루 홀(42)의 내부에 다결정실리콘막으로 이루어진 플러그(43)를 형성한다.

다음으로, 도 21에서 보는 바와 같이 산화실리콘막(41)의 상부에 막두께 200nm 정도인 질화실리콘막(44)을 CVD법으로 퇴적시킨 후, 포토레지스트막을 마스크로 한 에칭에서 DRAM형성영역 이외의 영역의 질화실리콘막(44)을 제거한다. DRAM형성영역에 남겨진 상기 질화실리콘막(44)은 후술할 정보축적용 용량소자(C)의 하부전극(47)을 형성하는 공정에서 산화실리콘막(45)을 에칭할 때의 에칭스토퍼로서 사용된다.

다음으로, 도 22에서 보는 바와 같이 질화실리콘막(44)의 상부에 CVD법으로 산화실리콘막(45)을 퇴적시킨 후, 포토레지스트막을 마스크로 하여 산화실리콘막(45) 및 질화실리콘막(44)을 에칭함으로써, 쓰르우 홀(42)의 상부에 요(凹)홈(46)을 형성한다. 정보축적용 용량소자(C)의 하부전극(47)은, 이 요홈(46)의 내벽을 따라 형성되기 때문에 하부전극(47)의 표면적을 크게하여 축적전하량을 늘리기 위해서는 산화실리콘막(45)의 두꺼운 막두께(예를들어 1.3 $\mu$ m정도)로 퇴적시킨다.

다음으로, 도 23에서 보는 바와 같이 요홈(46)의 내부를 포함하는 산화실리콘막(45)의 상부에 n형 불순물(예를들어 인)을 도포한 막두께 60nm 정도인 다결정실리콘막(47a)을 CVD법으로 퇴적시킨다. 이 다결정실리콘막(47a)은 정보축적용 용량소자(C)의 하부전극재료로서 사용된다. 계속해서, 다결정실리콘막(47a)의 상부에 막두께 300nm정도인 스핀 온 글래스(spin on glass)막(48)을 스핀도포한 후, 이 스핀 온 글래스막(48)을 에치백(또는 CMP법에 의한 평탄화)하여 요홈(46)의 내부에만 남긴다.

다음으로, 도 24에서 보는 바와 같이 DRAM형성영역 이외의 영역의 다결정실리콘막(47a)을 포토레지스트막(49)으로 덮고, 산화실리콘막(45) 상부의 다결정실리콘막(47a)을 에칭으로 제거함으로써, 요홈(46)의 내벽을 따라 하부전극(47)을 형성한다. 또한, 하부전극(47)은 다결정실리콘 이외의 도전재료, 예를들어 텅스텐, 루테튬 등의 고용점금속이나, 산화루테튬, 산화이리듐 등의 도전성 금속산화물을 이용하여 형성할 수도 있다. 또한, 하부전극(47)의 표면을 거칠게 함으로써 그 표면적을 더욱 크게할 수도 있다.

다음으로, 도 25에서 보는 바와 같이 요홈(46)과 인접하는 요홈(46)의 간격사이에 남겨진 산화실리콘막(45), 및 요홈(46) 내부의 스핀 온 글래스막(48)을 불산계인 에칭액으로 제거한 후, 포토레지스트막을 마스크로 한 에칭으로 DRAM형성영역 이외의 영역의 다결정실리콘막(47a)을 제거함으로써 통모양의 하부전극(47)이 완성된다. 요홈(46)간 간격의 산화실리콘막(45)의 바닥부에는 질화실리콘막(44)이 형성되어 있기 때문에, 산화실리콘막(45)을 습식에칭(wet etching)할 때 하층의 산화실리콘막(41)이 에칭되는 일이 없다. 또한, 이 때 DRAM형성영역 이외의 영역의 산화실리콘막(45) 상에는 다결정실리콘막(47a)이 형성되어 있기 때문에 이 영역의 산화실리콘막(45)이 에칭되는 일도 없다.

다음으로, 도 26에서 보는 바와 같이 하부전극(47)의 상부에 막두께 14nm정도의 얇은 산화탄탈막(50)을 CVD법으로 퇴적시키고, 계속해서 산화탄탈막(50)의 상부에 예를들어 CVD법과 스퍼터링법을 병용하여 질화티탄막을 퇴적시킨 후, 포토레지스트막을 마스크로 한 에칭으로 질화티탄막 및 산화탄탈막(50)을 패터닝함으로써 질화티탄막으로 이루어진 상부전극(51)과, 산화탄탈막(50)으로 이루어진 용량절연막과, 다결정실리콘막(47a)으로 이루어진 하부전극(47)으로 구성된 DRAM의 정보축적용 용량소자(C)가 완성된다. 또한, 정보축적용 용량소자(C)의 용량절연막은 예를들어 BST, STO, BaTiO<sub>3</sub>(티탄산바륨), PbTiO<sub>3</sub>(티탄산납), PZT(PbZr<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>), PLT(PbLa<sub>x</sub>Ti<sub>1-x</sub>O<sub>3</sub>), PLZT 등의 금속산화물로 이루어진 고(강)유전체재료로 구성될 수도 있다. 또한, 상부전극(51)은 질화티탄 이외의 도전재료, 예를들어 텅스텐 등을 이용하여 형성할 수도 있다. 또한, 정보축적용 용량소자(C)를 상기했던 경우 이외의 형상, 예를들어 핀모양 등으로 할 수도 있다.

다음으로, 도 27에서 보는 바와 같이 정보축적용 용량소자(C)의 상부에 막두께 600nm정도인 산화실리콘막(52)을 CVD법으로 퇴적시킨 후, 포토레지스트막을 마스크로 하여 산화실리콘막(52) 및 그 하층의 산화실리콘막(45, 41)을 에칭함으로써 첫번째 층의 배선(38) 상부에 쓰르우 홀(53)을 형성한다.

다음으로, 도 28에서 보는 바와 같이 쓰르우 홀(53)의 내부에 플러그(54)를 형성한 후, 산화실리콘막(52)의 상부에 두번째 층의 배선(55~57)을 형성한다. 플러그(54)는 예를들어 산화실리콘막(52)의 상부에 CVD법으로 질화티탄막과 W막을 퇴적시킨 후, 이들 막을 에칭하여 쓰르우 홀(53)의 내부에만 남김으로써 형성한다. 또한, 두번째 층의 배선(55~57)은 산화실리콘막(52)의 상부에 스퍼터링법으로 막두께 50nm정도인 Ti막, 막두께 500nm정도인 Al(알루미늄)막, 막두께 50nm정도인 Ti막 및 막두께 50nm정도인 질화티탄막을 순서대로 퇴적시킨 후, 포토레지스트막을 마스크로 한 드라이에칭으로 이들 막을 패터닝하여 형성한다.

도시하는 것은 생략하였지만, 그 후 두번째 층의 배선(55~57) 상부에 층간절연막을 매개로 1~2층 정도의 배선을 형성하고, 또한 그 상부에 내수성이 높은 치밀한 패시베이션(passivation)막(예를들어 플라스마 CVD법으로 퇴적시킨 산화실리콘막과 질화실리콘막으로 이루어진 두층의 절연막)을 형성함으로써 본 실시예의 시스템LSI가 대략적으로 완성된다.

이와 같이 본 실시예의 제조방법은, DRAM의 메모리셀 선택용 MISFET의 게이트전극(8A)(워드선(WL))을 형성하는 영역의 상부에만 질화실리콘막(9)을 남긴 후, 이 질화실리콘막(9)과 포토레지스트막(10)을 마스크로 이용한 에칭으로 게이트전극(8A)(워드선(WL))과 로직LSI 및 SRAM의 게이트전극(8B~8C)을 동시에 패터닝형성한다.



이로써, 로직LSI를 구성하는 n채널형 MISFET(Qn)의 게이트전극(8B) 상부의 콘택트홀(32)과 n<sup>+</sup>형 반도체영역(16)(소스 또는 드레인) 상부의 콘택트홀(33)을 동시에 형성할 수 있다.

또한, 본 실시예의 제조방법은 상부에 질화실리콘막(9)을 갖는 게이트전극(8A)(위드선(WL))의 가공과, 상부에 질화실리콘막(9)을 갖지 않는 게이트전극(8B~8D)의 가공을 동시에 실시하기 위해 공정의 증가도 거의 무시할 수 있다.

## 실시예 2

본 실시예에 의한 시스템LSI의 제조방법을 도 29~도 39(반도체기판의 단면도)를 참조하여 공정순서대로 설명하기로 한다. 또한, 이들 도면에 있어서 좌측영역은 DRAM형성영역의 일부(메모리셀만을 나타냄), 중앙영역은 로직LSI형성영역의 일부(n채널형 MISFET만을 나타냄), 우측영역은 SRAM형성영역의 일부(구동용 MISFET 및 부하용 MISFET의 각 일부만을 나타냄)를 나타내고 있다.

우선, 도 29에서 보는 바와 같이 상기 실시예 1과 동일한 방법으로 반도체기판(1)의 주면에 소자분리홈(2), p형 웰(3) 및 n형 웰(4)을 형성하고, 계속해서 p형 웰(3) 및 n형 웰(4)의 활성영역의 표면에 게이트산화막(5)을 형성한 후, 게이트산화막(5)의 상부에 폴리사이드막이나 폴리메탈막 등으로 이루어진 게이트전극용 도전막(8)을 형성한다.

다음으로, 도 30에서 보는 바와 같이 포토레지스트막(60)을 마스크로 한 에칭으로 게이트전극용 도전막(8)을 패터닝함으로써, 로직LSI의 n채널형 MISFET(Qn)의 게이트전극(8B), SRAM의 구동용 MISFET(Qd)의 게이트전극(8C) 및 부하용 MISFET(Qp)의 게이트전극(8D)을 형성한다. 이 때, DRAM형성영역의 게이트전극용 도전막(8)은 패터닝하지 않고 포토레지스트막(60)으로 덮어둔다.

다음으로, 도 31에서 보는 바와 같이 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써, n채널형 MISFET(Qn)의 게이트전극(8B) 양측의 p형 웰(3)에 n<sup>-</sup>형 반도체영역(12)을 형성하고, n형 웰(4)에 p형 불순물(예를들어 붕소)을 이온주입함으로써 부하용 MISFET(Qp)의 게이트전극(8D) 양측의 n형 웰(4)에 p<sup>-</sup>반도체영역(13)을 형성한다.

다음으로 도 32에서 보는 바와 같이 반도체기판(1) 상에 CVD법으로 퇴적시킨 질화실리콘막을 이방성etching으로 가공함으로써, 게이트전극(8B~8D)의 측벽에 질화실리콘막으로 이루어진 사이드월스페이서(15)를 형성한다. 계속해서, 로직LSI형성영역의 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써, n채널형 MISFET(Qn)의 게이트전극(8B) 양측의 p형 웰(3)에 n<sup>+</sup>형 반도체영역(16)을 형성한다. 또한, SRAM형성영역의 n형 웰(4)에 p형 불순물(예를들어 붕소)을 이온주입함으로써 부하용 MISFET(Qp)의 게이트전극(8D) 양측의 n형 웰(4)에 p<sup>+</sup>형 반도체영역(17)을 형성한다. 여기까지의 공정에 의해 로직LSI의 n채널형 MISFET(Qn) 및 SRAM의 부하용 MISFET(Qp)이 완성된다.

다음으로, 도 33에서 보는 바와 같이 반도체기판(1)의 표면을 불산계인 에칭액으로 얇게 에칭함으로써 n채널형 MISFET(Qn)의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)) 및 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17))을 노출시킨 후, 상기 실시예 1과 동일한 방법으로 이들 소스, 드레인의 표면에 Co실리사이드층(20)을 형성한다.

다음으로, 도 34에서 보는 바와 같이 반도체기판(1) 상에 CVD법으로 막두께 100nm정도인 질화실리콘막(61)을 퇴적시킨 후, 우선 포토레지스트막을 마스크로 한 에칭으로 질화실리콘막(61)을 패터닝하고, 계속해서 상기 포토레지스트막을 제거한 후 질화실리콘막(61)을 마스크로 한 에칭으로 게이트전극용 도전막(8)을 패터닝함으로써, DRAM형성영역에 메모리셀 선택용 MISFET(Qs)의 게이트전극(8A)(위드선(WL))을 형성한다.

다음으로, 도 35에서 보는 바와 같이 DRAM형성영역의 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인을 구성하는 n형 반도체영역(11)을 형성한다. 여기까지의 공정에 의해 DRAM의 메모리셀 선택용 MISFET(Qs)가 대략적으로 완성된다.

다음으로, 도 36에서 보는 바와 같이 반도체기판(1) 상에 CVD법으로 막두께 50nm정도인 질화실리콘막(63)을 퇴적시키고, 계속해서 질화실리콘막(63)의 상부에 CVD법으로 막두께 600nm정도인 산화실리콘막(22)을 퇴적시킨 후, 산화실리콘막(22)의 표면을 CMP법으로 평탄화시킨다.



다음으로, 도 37에서 보는 바와 같이 상기 실시예 1과 동일한 방법으로 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11)) 상부의 산화실리콘막(22)을 에칭한 후, 그 하부의 질화실리콘막(63, 61)을 에칭함으로써 소스, 드레인(n형 반도체영역(11))의 한쪽 상부에 콘택트홀(64)을 형성하고, 다른쪽 상부에 콘택트홀(65)을 형성한다.

상기 산화실리콘막(22)의 에칭은 산화실리콘막(22) 하층의 질화실리콘막(63, 61)이 제거되는 것을 방지하기 위해, 산화실리콘막(22)을 질화실리콘막(63, 61)에 대해 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 또한, 질화실리콘막(63, 61)의 에칭은 반도체기판(1)의 깎임량을 최소로 하기 위해 질화실리콘막(63, 61)을 실리콘이나 산화실리콘막에 대해 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 또한, 이 에칭은 질화실리콘막(63)을 이방적으로 에칭한다는 조건에서 실시하여, 게이트전극(8A)(워드선(WL))의 측벽에 질화실리콘막(63)을 남기도록 한다. 이로써, 콘택트홀(64, 65)이 게이트전극(8A)(워드선(WL))에 대해 자기정합으로 형성된다.

다음으로, 도 38에서 보는 바와 같이 상기 실시예 1과 동일한 방법으로 콘택트홀(64, 65)의 내부에 다결정실리콘막으로 이루어진 플러그(66)를 형성한 후, 산화실리콘막(22)의 상부에 막두께 200nm정도인 산화실리콘막(27)을 CVD법으로 퇴적시키고, 반도체기판(1)을 불활성가스 분위기 중에서 열처리함으로써 메모리셀 선택용 MISFET(Qs)의 n형 반도체영역(11)(소스, 드레인)을 저저항화한다.

다음으로, 도 39에서 보는 바와 같이 포토레지스트막을 마스크로 하여 산화실리콘막(27)을 에칭함으로써, 콘택트홀(64)의 상부에 쓰르우 홀(30)을 형성한다. 계속해서, 포토레지스트막을 마스크로 하여 산화실리콘막(27) 및 산화실리콘막(22)을 에칭한 후, 질화실리콘막(63, 61)을 에칭함으로써 워드선(WL)의 배선인출영역의 상부에 콘택트홀(31)을 형성하고, n채널형 MISFET(Qn)의 게이트전극(8B) 및  $n^+$ 형 반도체영역(16)의 상부에 콘택트홀(32, 33)을 형성하여, 구동용 MISFET(Qd)의 게이트전극(8C) 및 부하용 MISFET(Qp)의  $p^+$ 형 반도체영역(17)에 걸쳐있는 영역에 콘택트홀(34)을 형성한다.

상기와 같은 산화실리콘막(27) 및 산화실리콘막(22)의 에칭은 하층의 질화실리콘막(63, 61)이 제거되는 것을 방지하게 위해 산화실리콘막(27, 22)을 질화실리콘막(63, 61)에 대하여 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 또한, 질화실리콘막(63, 61)의 에칭은 소자분리홈(2)에 채워진 산화실리콘막(6)이나 반도체기판(1)의 깎임량을 최소로 하기 위해 질화실리콘막(63, 61)을 실리콘이나 산화실리콘막에 대하여 높은 선택비로 에칭하는 가스를 사용하여 실시한다. 이로써, 콘택트홀(33)이 소자분리홈(2)에 대하여 자기정합으로 형성된다. 그 후의 공정은 상기 실시예 1과 거의 동일하다.

이와 같이 본 실시예의 제조방법은, DRAM형성영역에 있어서 콘택트홀(64, 65)을 게이트전극(8A)(워드선(WL))에 대하여 자기정합으로 형성하기(게이트-SAC)위한 질화실리콘막(61, 63)과, 로직LSI형성영역에 있어서 콘택트홀(33)을 소자분리홈(2)에 대하여 자기정합으로 형성하기(L-SAC)위한 질화실리콘막(61, 63)을 공유한다. 이로써, 로직LSI를 구성하는 n채널형 MISFET(Qn)의 게이트전극(8B) 상부와  $n^+$ 형 반도체영역(16)의 상부에 거의 동일한 막두께의 질화실리콘막(61, 63)이 존재할 수 있도록 게이트전극(8B) 상부의 콘택트홀(32)과  $n^+$ 형 반도체영역(16) 상부의 콘택트홀(33)을 동시에 형성할 수 있다.

또한, SRAM의 메모리셀을 구성하는 구동용 MISFET(Qd)의 게이트전극(8C) 상부에도 질화실리콘막(61, 63)이 존재할 수 있도록 상기 콘택트홀(32, 33)을 형성할 때 구동용 MISFET(Qd)의 게이트전극(8C) 및 부하용 MISFET(Qp)의  $p^+$ 형 반도체영역(17)에 걸쳐있는 영역에 콘택트홀(34)을 동시형성할 수 있다.

또한, 본 실시예의 제조방법은 로직LSI를 구성하는 n채널형 MISFET(Qn)의 게이트전극(8B)의 상부와 측벽에 비교적 두꺼운 질화실리콘막(61, 63)이 존재할 수 있도록 콘택트홀(33)이 소자분리홈(2)에 대해서 뿐만 아니라 게이트전극(8B)에 대해서도 자기정합으로 형성된다.

### 실시예 3

본 실시예에 의한 시스템LSI의 제조방법을 도 40~도 47(반도체기판의 단면도)을 참조하여 공정순서대로 설명하기로 한다. 또한, 이들 도면에 있어서, 좌측영역은 DRAM형성영역의 일부(메모리셀만을 나타냄), 중앙영역은 로직LSI형성영역의 일부(n채널형 MISFET만을 나타냄), 우측영역은 SRAM형성영역의 일부(구동용 MISFET 및 부하용 MISFET의 각 일부만을 나타냄)를 나타내고 있다.

우선, 도 40에서 보는 바와 같이 상기 실시예 1, 2와 동일한 방법으로 반도체기판(1)의 주면에 소자분리홈(2), p형 웰(3) 및 n형 웰(4)을 형성하고, 계속해서 p형 웰(3) 및 n형 웰(4)의 활성영역의 표면에 게이트산화막(5)을 형성한 후, 게이트산화막(5)의 상부에 n형 불순물(예를들어 비소)을 도포한 다결정실리콘막(7)을 CVD법으로 퇴적시킨다. 또한, n채널형 MISFET와 p채널형 MISFET를 이중게이트구조로 하는 경우에는 불순물을 포함하지 않는 다결정실리콘막(7)을 퇴적시킨 후, n채널형 MISFET형성영역의 다결정실리콘막(7)에 n형 불순물(예를들어 비소)을 도포하고, p채널형 MISFET형성영역의 다결정실리콘막(7)에 p형 불순물(예를들어 붕소)을 도포한다.

다음으로, 도 41에서 보는 바와 같이 포토레지스트막(70)을 마스크로 한 에칭으로 다결정실리콘막(7)을 패터닝함으로써, 로직LSI의 n채널형 MISFET(Qn)의 게이트전극(7B), SRAM의 구동용 MISFET(Qd)의 게이트전극(7C) 및 부하용 MISFET(Qp)의 게이트전극(7D)을 형성한다. 이 때, DRAM형성영역의 다결정실리콘막(7)은 패터닝하지 않고 포토레지스트막(70)으로 덮어둔다.

다음으로, 도 42에서 보는 바와 같이 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써, n채널형 MISFET(Qn)의 게이트전극(7B) 양측의 p형 웰(3)에 n<sup>-</sup>형 반도체영역(12)을 형성하고, n형 웰(4)에 p형 불순물(예를들어 붕소)을 이온주입함으로써 부하용 MISFET(Qp)의 게이트전극(7D) 양측의 n형 웰(4)에 p<sup>-</sup>형 반도체영역(13)을 형성한다.

계속해서, 반도체기판(1) 상에 CVD법으로 퇴적시킨 질화실리콘막을 이방성etching으로 가공하여 게이트전극(7B~7D)의 측벽에 질화실리콘막으로 이루어진 사이드월스페이스(15)를 형성한 후, 로직LSI형성영역의 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써, n채널형 MISFET(Qn)의 게이트전극(7B) 양측의 p형 웰(3)에 n<sup>+</sup>형 반도체영역(16)을 형성한다. 또한, SRAM형성영역의 n형 웰(4)에 p형 불순물(예를들어 붕소)을 이온주입함으로써, 부하용 MISFET(Qp)의 게이트전극(7D) 양측의 n형 웰(4)에 p<sup>+</sup>형 반도체영역(17)을 형성한다.

다음으로, 도 43에서 보는 바와 같이 반도체기판(1)의 표면을 불산계의 에칭액으로 얇게 에칭하여 n채널형 MISFET(Qn)의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)) 및 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17))을 노출시킨 후, 반도체기판(1) 상에 스퍼터링법으로 Co막(20a)을 퇴적시킨다.

다음으로, 도 44에서 보는 바와 같이 반도체기판(1)을 열처리한다. 이로써, n채널형 MISFET(Qn)의 소스, 드레인(n<sup>+</sup>형 반도체영역(16)) 및 부하용 MISFET(Qp)의 소스, 드레인(p<sup>+</sup>형 반도체영역(17))의 표면에 Co실리사이드층(20)이 형성된다. 또한, 이와 동시에 로직LSI의 n채널형 MISFET(Qn)의 게이트전극(7B), SRAM의 구동용 MISFET(Qd)의 게이트전극(7C) 및 부하용 MISFET(Qp)의 게이트전극(7D)을 구성하는 다결정실리콘막(7)의 각 표면과, DRAM형성영역에 남겨진 다결정실리콘막(7)의 표면에 Co실리사이드층(20)이 형성된다. 여기까지의 공정에 의해, 다결정실리콘막(7)과 Co실리사이드층(20)으로 이루어진 폴리사이드구조의 게이트전극(7B)을 갖는 n채널형 MISFET(Qn) 및 다결정실리콘막(7)과 Co실리사이드층(20)으로 이루어진 폴리사이드구조의 게이트전극(7D)을 갖는 부하용 MISFET(Qp)가 대략적으로 완성된다.

다음으로, 도 45에서 보는 바와 같이 반도체기판(1) 상에 CVD법으로 질화실리콘막(61)을 퇴적시킨 후, 우선 포토레지스트막을 마스크로 한 에칭으로 질화실리콘막(61)을 패터닝하고, 계속해서 상기 포토레지스트막을 제거한 후, 질화실리콘막(61)을 마스크로 한 에칭으로 DRAM형성영역의 Co실리사이드층(20) 및 다결정실리콘막(7)을 패터닝함으로써, 메모리셀 선택용 MISFET(Qs)의 게이트전극(7A) (워드선(WL))을 형성한다.

계속해서, DRAM형성영역의 p형 웰(3)에 n형 불순물(예를들어 인)을 이온주입함으로써, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인을 구성하는 n형 반도체영역(11)을 형성한다. 여기까지의 공정에 의해, 다결정실리콘막(7)과 Co실리사이드층(20)으로 이루어진 폴리사이드구조의 게이트전극(7A)을 갖는 DRAM의 메모리셀 선택용 MISFET(Qs)가 대략적으로 완성된다.

다음으로, 도 46에서 보는 바와 같이 반도체기판(1) 상에 CVD법으로 질화실리콘막(63)을 퇴적시키고, 계속해서 질화실리콘막(63)의 상부에 CVD법으로 산화실리콘막(22)을 퇴적시킨 후, 산화실리콘막(22)의 표면을 CMP법으로 평탄화시킨다.

다음으로, 도 47에서 보는 바와 같이 상기 실시예 2와 동일한 방법으로 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(11))의 상부에 콘택트홀(64, 65)을 형성하고, 계속해서 그 내부에 다결정실리콘막으로 이루어진 플러그(66)를 형성한 후, 포토레지스트막을 마스크로 하여 산화실리콘막(27) 및 산화실리콘막(22)을 에칭하고, 또한 질화실리콘막(63, 61)을 에칭함으로써 워드선(WL)의 배선인출영역의 상부에 콘택트홀(31)을 형성하고, n채널형 MISFET(Qn)의 게이트전

극(8B) 및  $n^+$ 형 반도체영역(16)의 상부에 콘택트홀(32, 33)을 형성하고, 구동용 MISFET(Qd)의 게이트전극(8C) 및 부하용 MISFET(Qp)의  $p^+$ 형 반도체영역(17)에 걸쳐있는 영역에 콘택트홀(34)을 형성한다. 그 후의 공정은 상기 실시예 2와 거의 동일하다.

본 실시예에 의하면, 상기 실시예 2와 동일한 효과를 얻을 수 있음과 동시에, 폴리사이드구조의 게이트전극(7A~7D)의 형성과, 소스, 드레인( $n^+$ 형 반도체영역(16),  $p^+$ 형 반도체영역(17)) 표면의 실리사이드화를 동시에 실시하기 때문에 공정을 간략화시킬 수 있다.

이상, 본 발명자들이 실시한 발명을 발명의 실시예에 기초하여 구체적으로 설명하였는데, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위 내에서 다양하게 변경가능하다.

### 발명의 효과

본원에 있어서 개시되는 발명중, 대표적인 발명에 의해 얻을 수 있는 효과를 간단하게 설명하면 다음과 같다.

본 발명에 의하면, DRAM과 로직LSI를 혼재시킨 반도체집적회로장치의 제조에 있어서, DRAM의 게이트-SAC기술과 로직LSI의 L-SAC기술을 양립시킬 수 있기 때문에, 대용량의 DRAM과 고성능의 로직LSI를 혼재시킨 시스템LSI를 높은 생산성으로 제조할 수 있게된다.

### 도면의 간단한 설명

도 1은 본 발명의 실시예 1에 의한 시스템LSI의 일부를 구성하는 DRAM의 등가회로도이다.

도 2는 본 발명의 실시예 1에 의한 시스템LSI의 일부를 구성하는 SRAM의 등가회로도이다.

도 3은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 4는 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 5는 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 6은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 7은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 8은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 9는 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 10은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 11은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 12는 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 13은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 14는 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 15는 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 16은 본 발명의 실시예 1에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

[illegible]

도 44는 본 발명의 실시예 3에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 45는 본 발명의 실시예 3에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 46은 본 발명의 실시예 3에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

도 47은 본 발명의 실시예 3에 의한 시스템LSI의 제조방법을 나타내는 반도체기판의 요부단면도이다.

<도면의 주요부분에 대한 부호의 설명>

1 : 반도체기판 2 : 소자분리홈

3 : p형 웰(well) 4 : n형 웰

5 : 게이트산화막

6, 19, 22, 27, 41, 45, 52 : 산화실리콘막

7, 47a : 다결정실리콘막 7A~7D, 8A~8D : 게이트전극

8 : 게이트전극용 도전막 9, 21, 44, 61, 63 : 질화실리콘막

10, 23, 49, 60, 70 : 포토레지스트막

11 : n형 반도체영역 12 : n<sup>-</sup>형 반도체영역

13 : p<sup>-</sup>형 반도체영역

15 : 사이드월스페이서(side wall spacer)

16 : n<sup>+</sup>형 반도체영역 17 : p<sup>+</sup>형 반도체영역

20 : 코발트실리사이드층 20a : Co(코발트)실리사이드층

24, 25, 31~34, 64, 65 : 콘택트홀

26, 43, 54, 66 : 플러그 30, 42, 53 : 쓰루 홀(through hole)

37~40, 55~57 : 배선 46 : 요(凹)홈

47 : 하부전극 48 : 스핀 온 글래스(spin on glass)막

50 : 산화탄탈막 51 : 상부전극

A, B : 축적노드 BL : 비트선

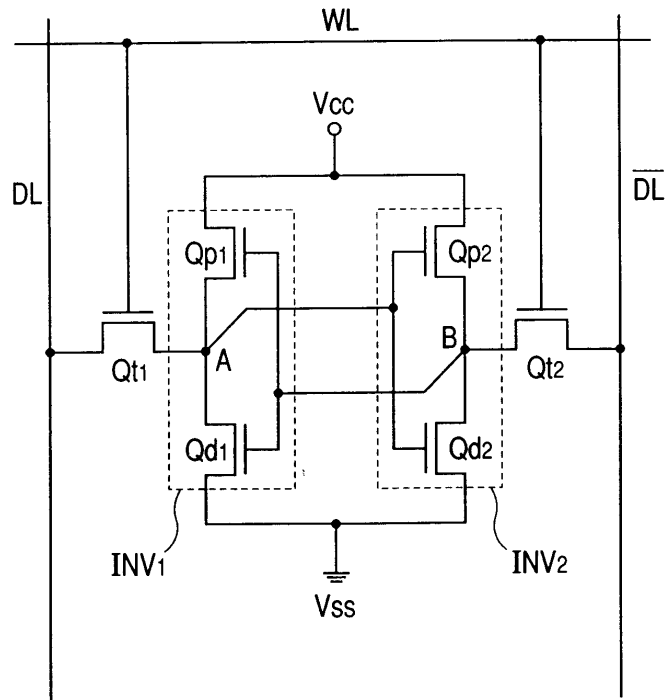
C : 정보축적용 용량소자 DL : 데이터선

MC : 메모리셀 NV<sub>1</sub>, NV<sub>2</sub> : CMOS인버터

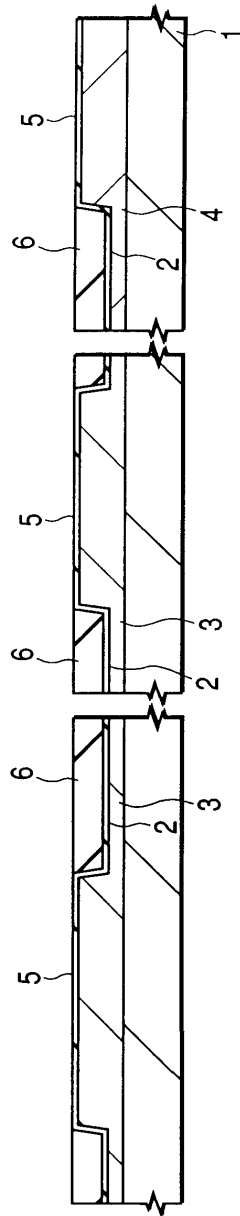
Qd<sub>1</sub>, Qd<sub>2</sub> : 구동용 MISFET Qp<sub>1</sub>, Qp<sub>2</sub> : 부하용 MISFET



도면2

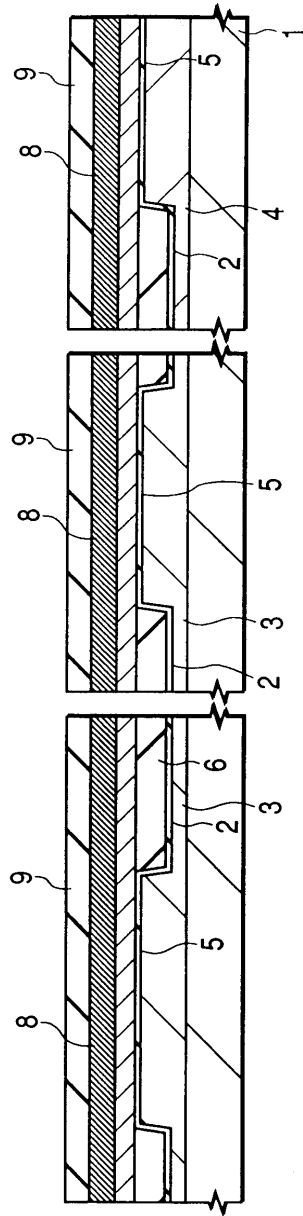


도면3

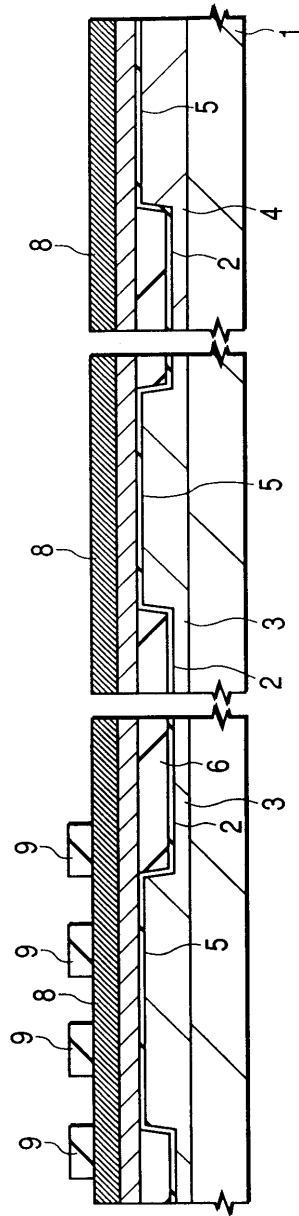




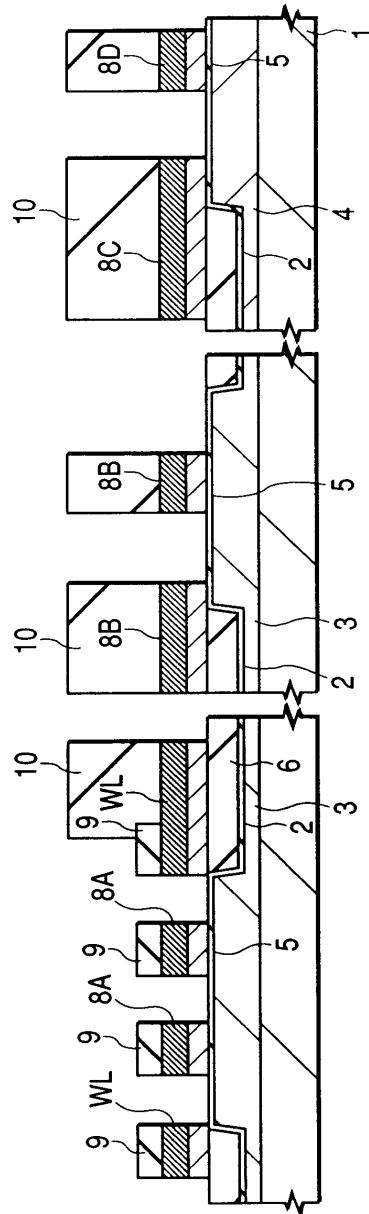
도면4



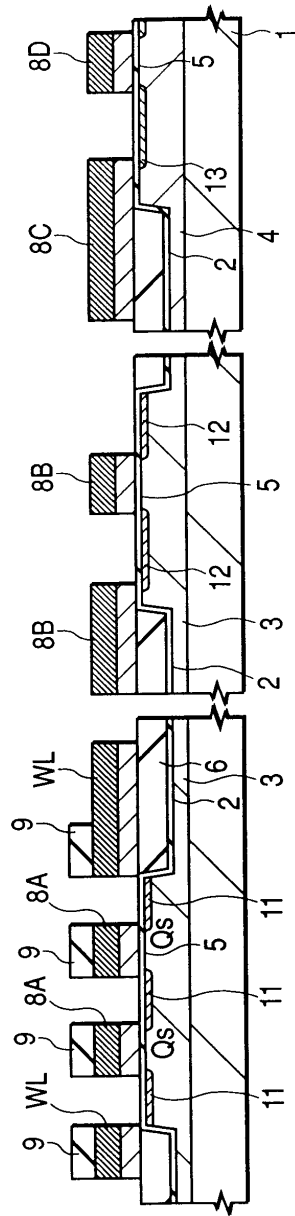
도면5



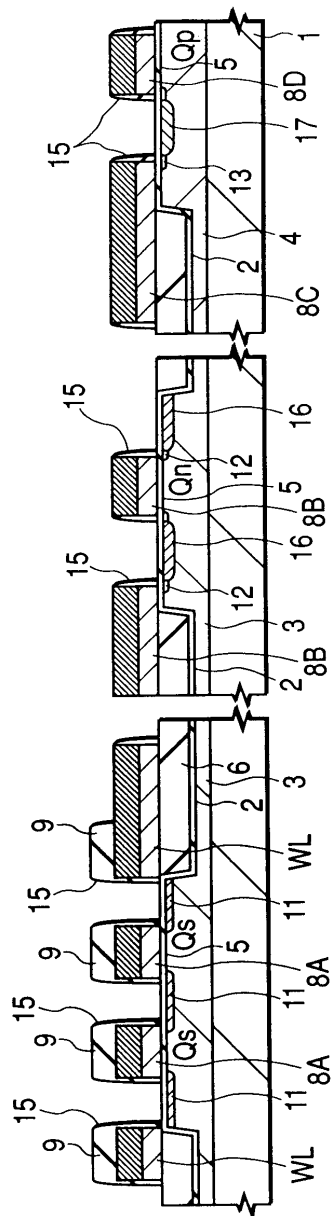
도면6



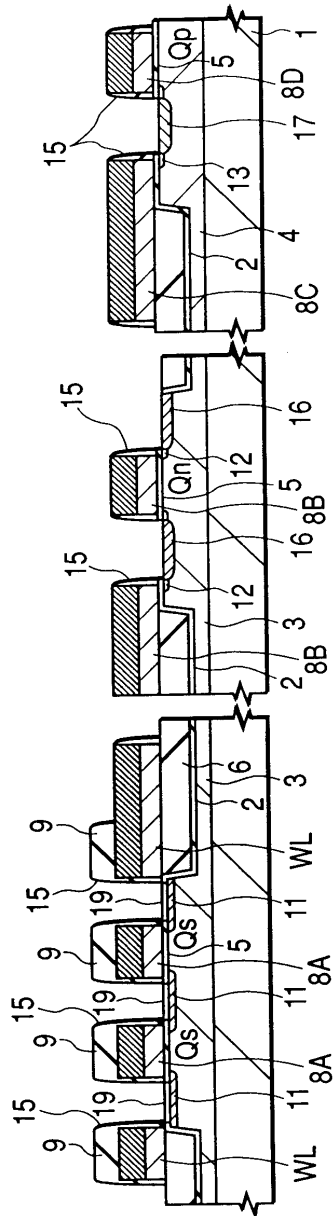
도면7



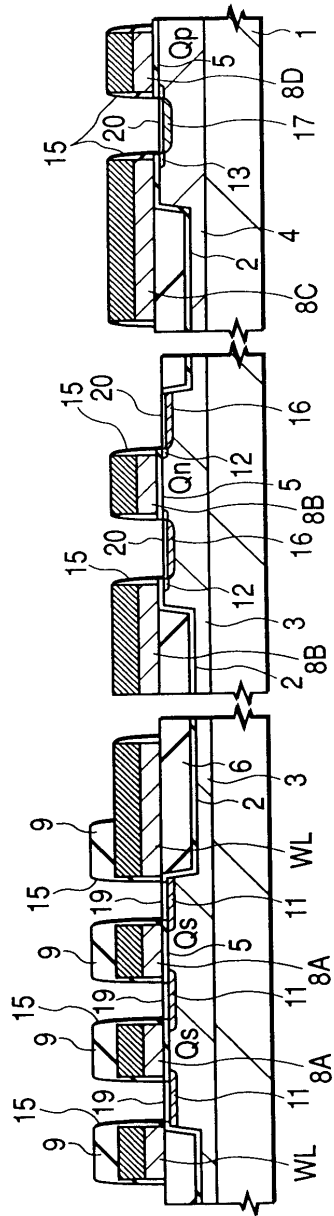
도면8



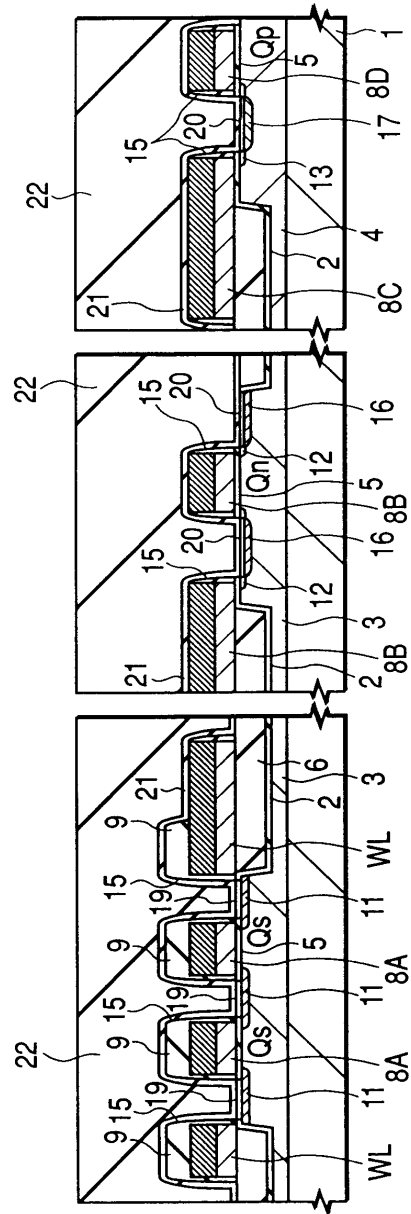
도면9



도면10

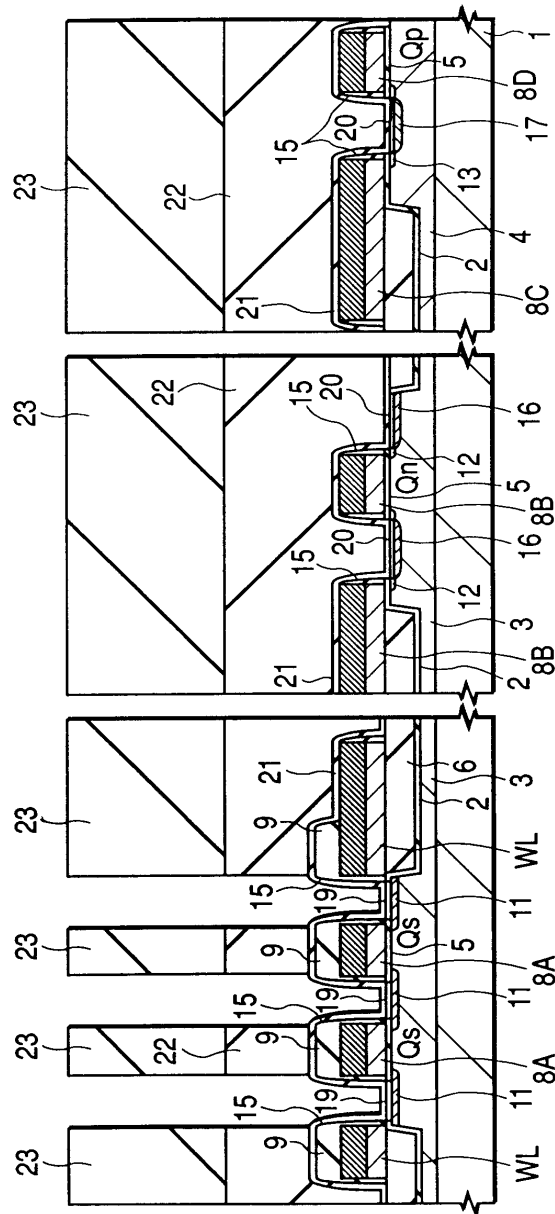


도면11

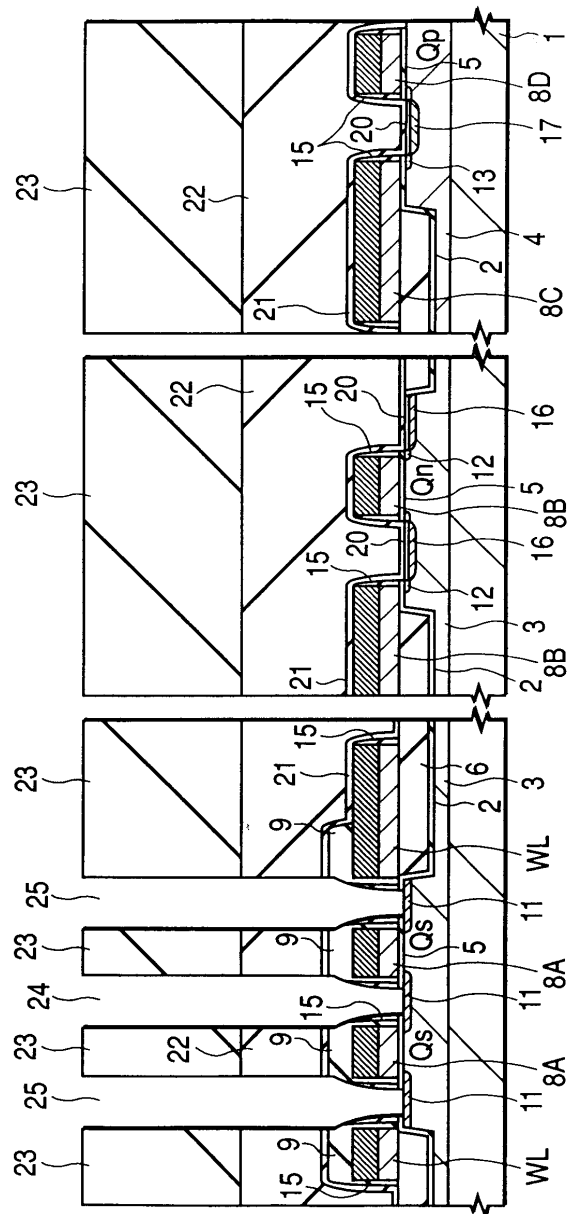




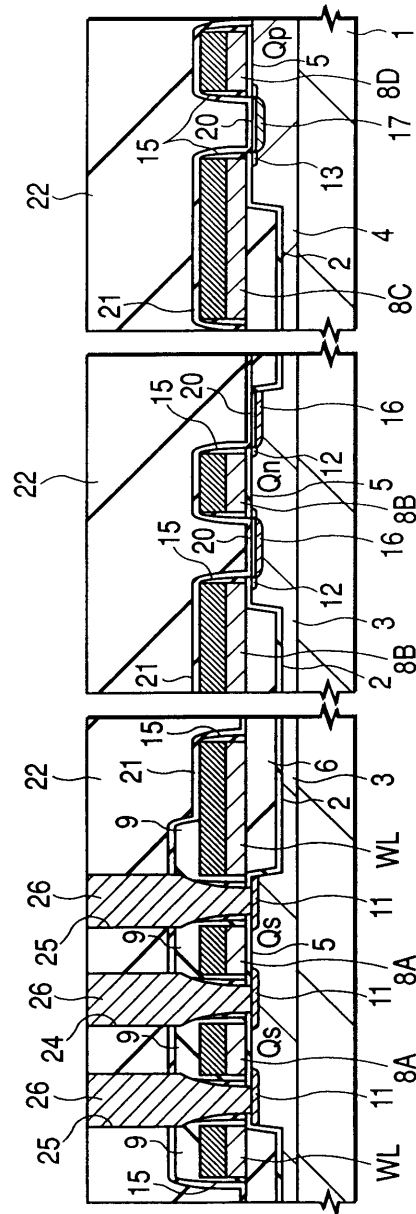
도면12



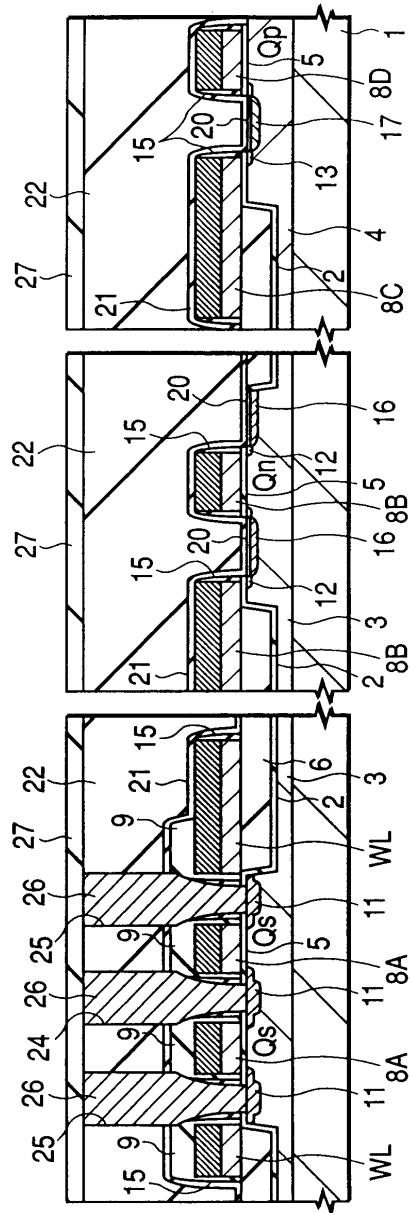
도면13



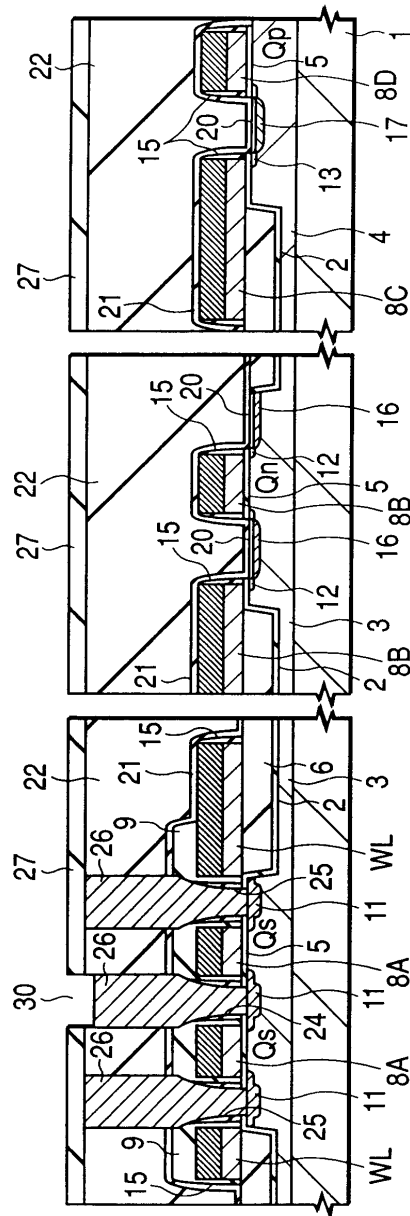
도면14



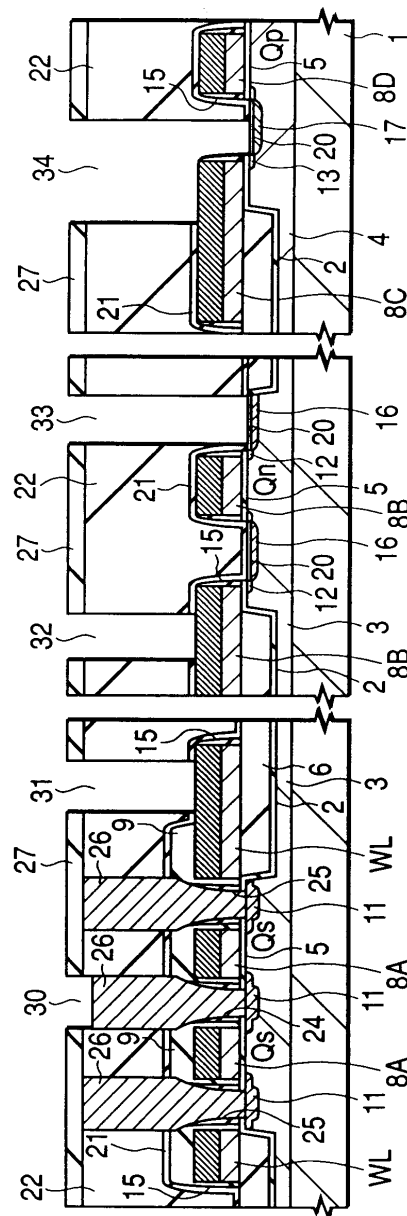
도면15



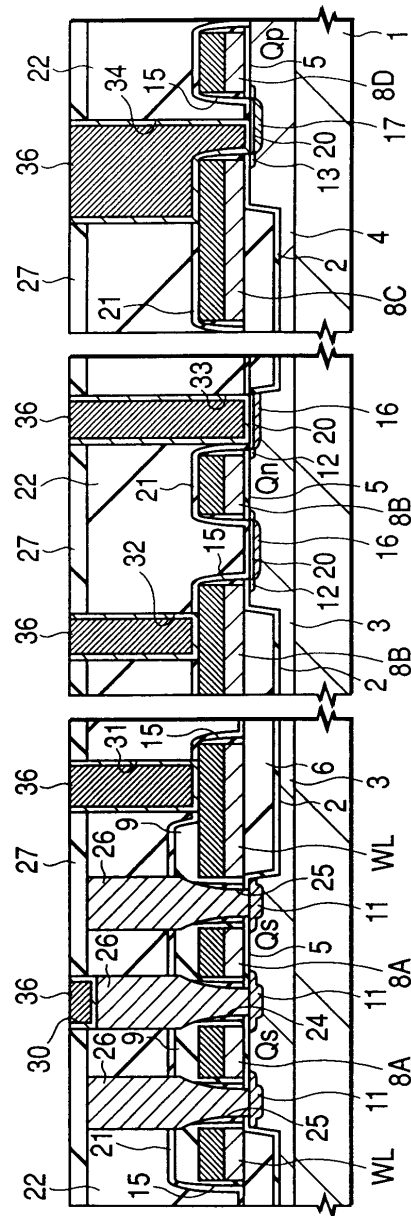
도면16



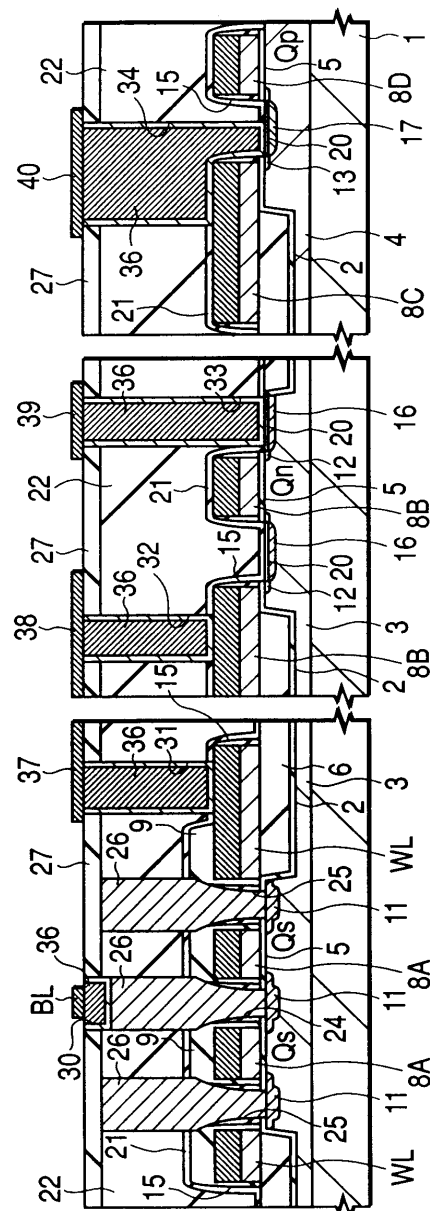
도면17



도면18

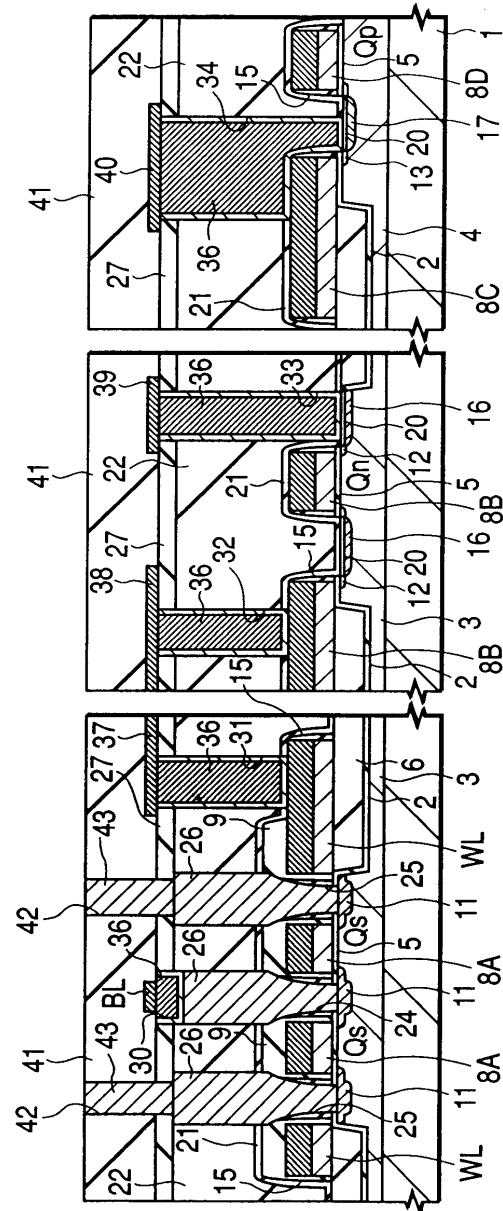


도면19

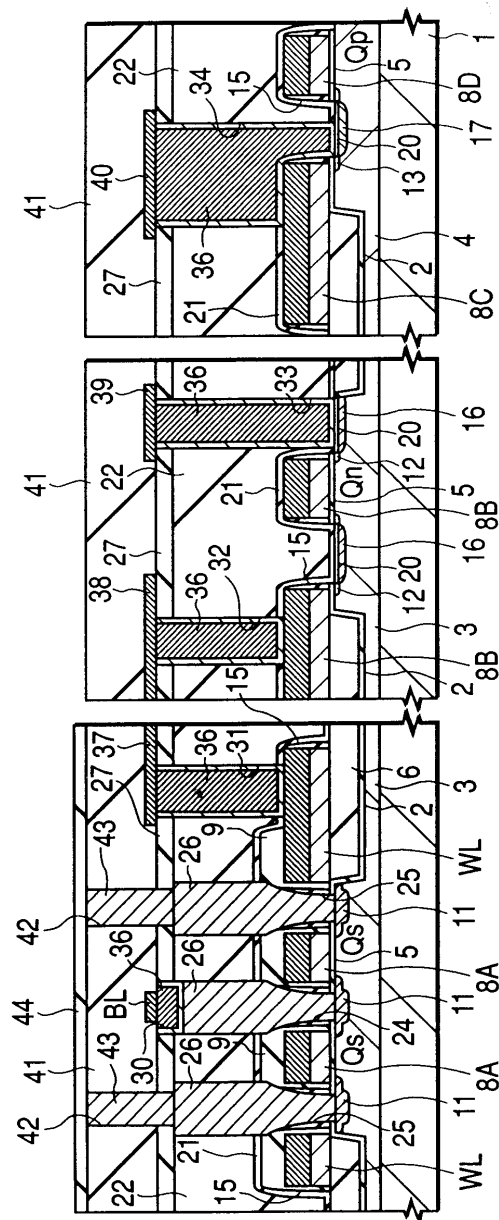




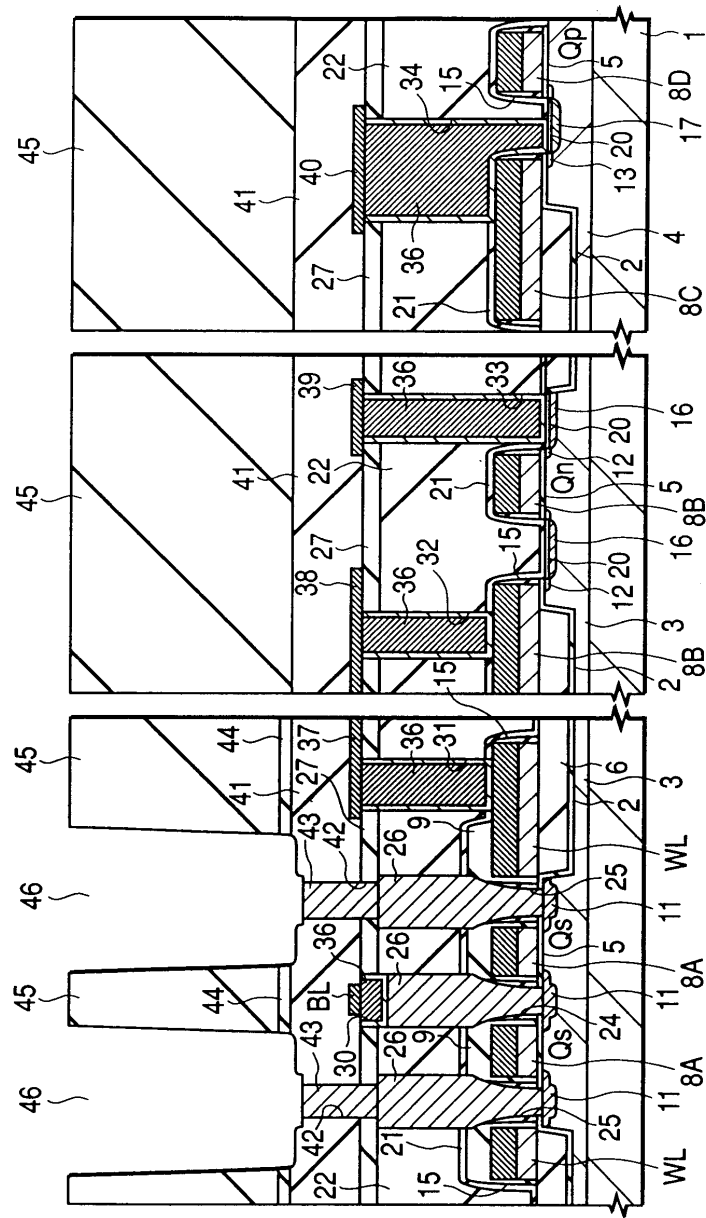
도면20



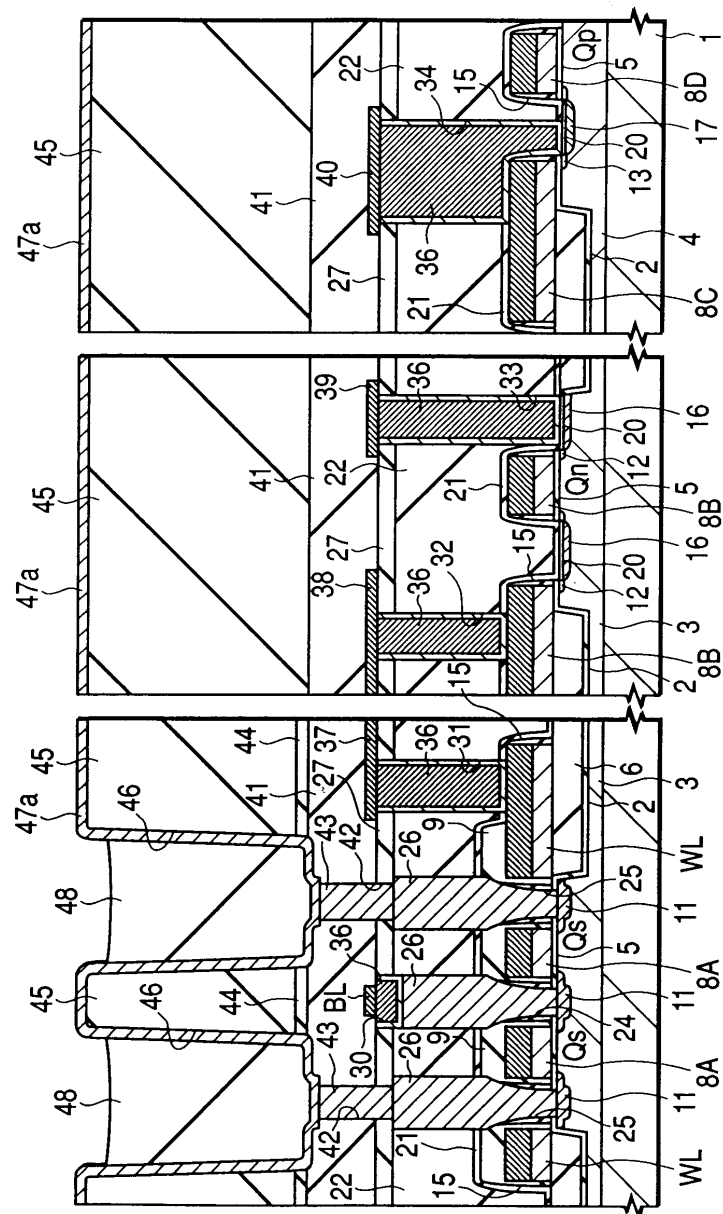
도면21



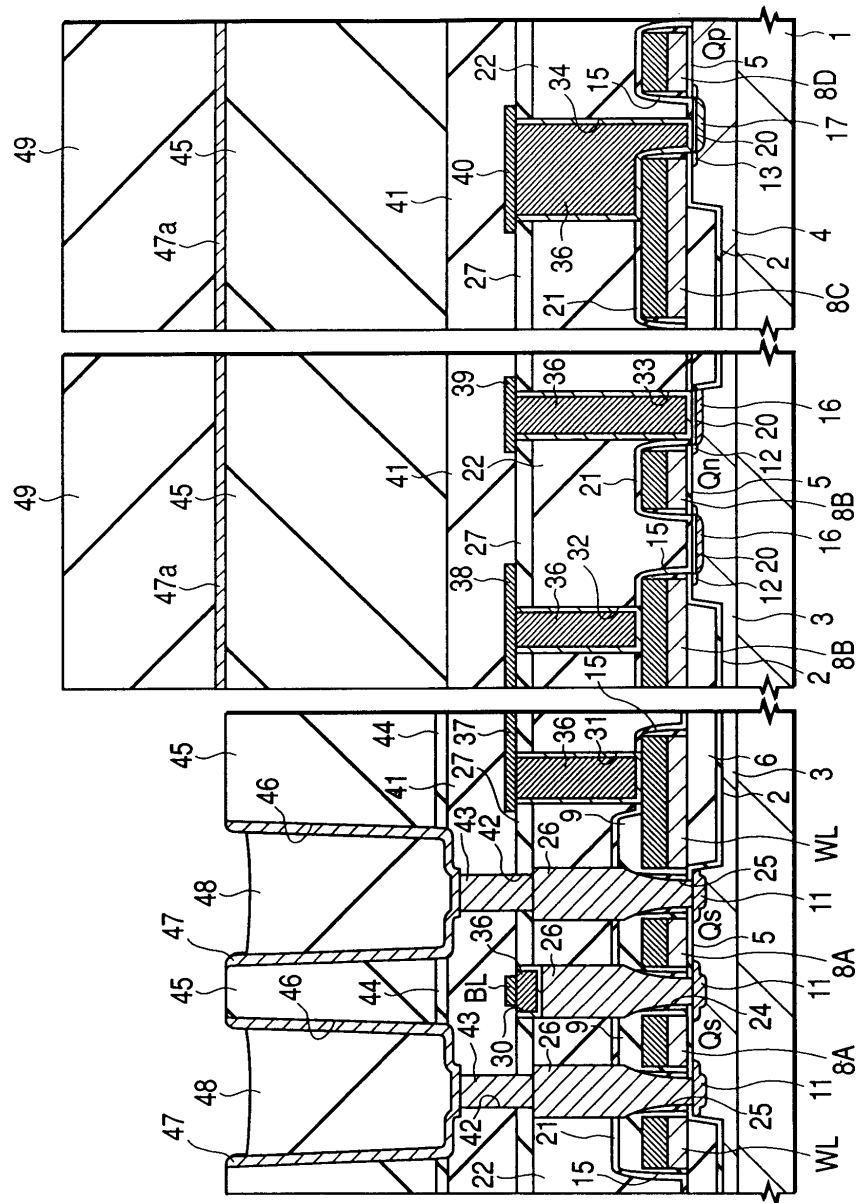
도면22



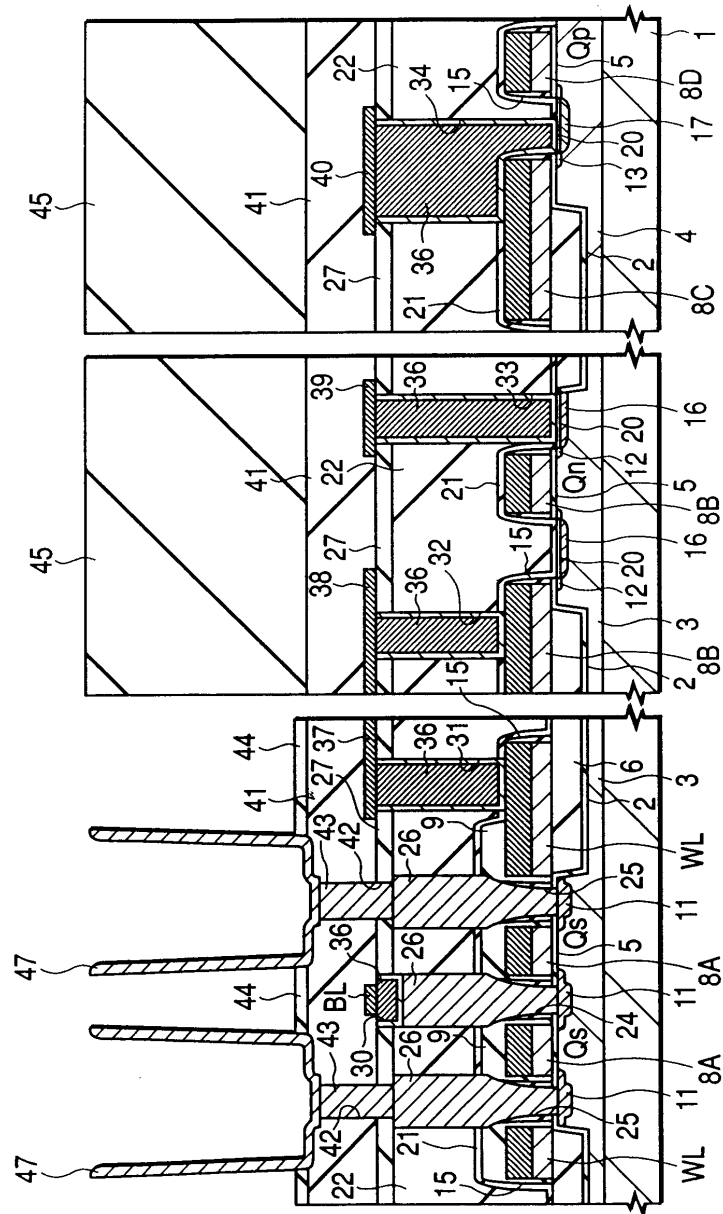
도면23



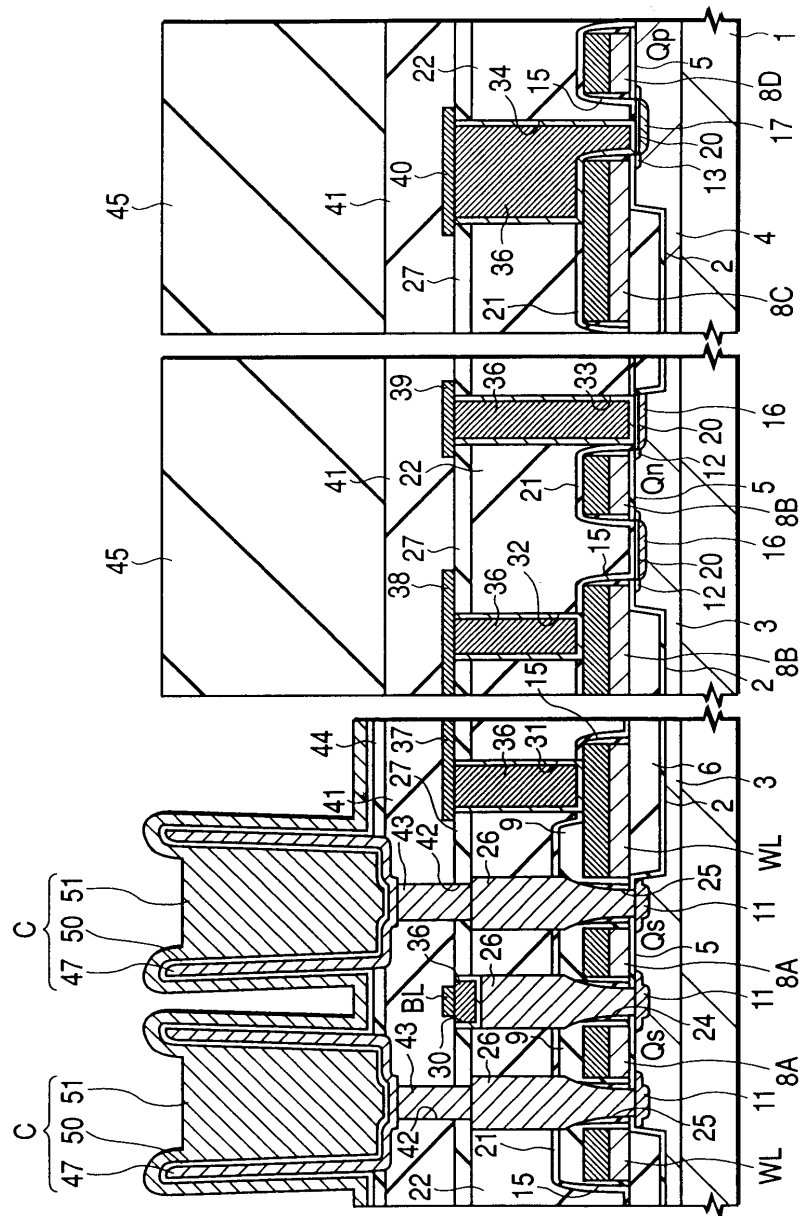
도면24



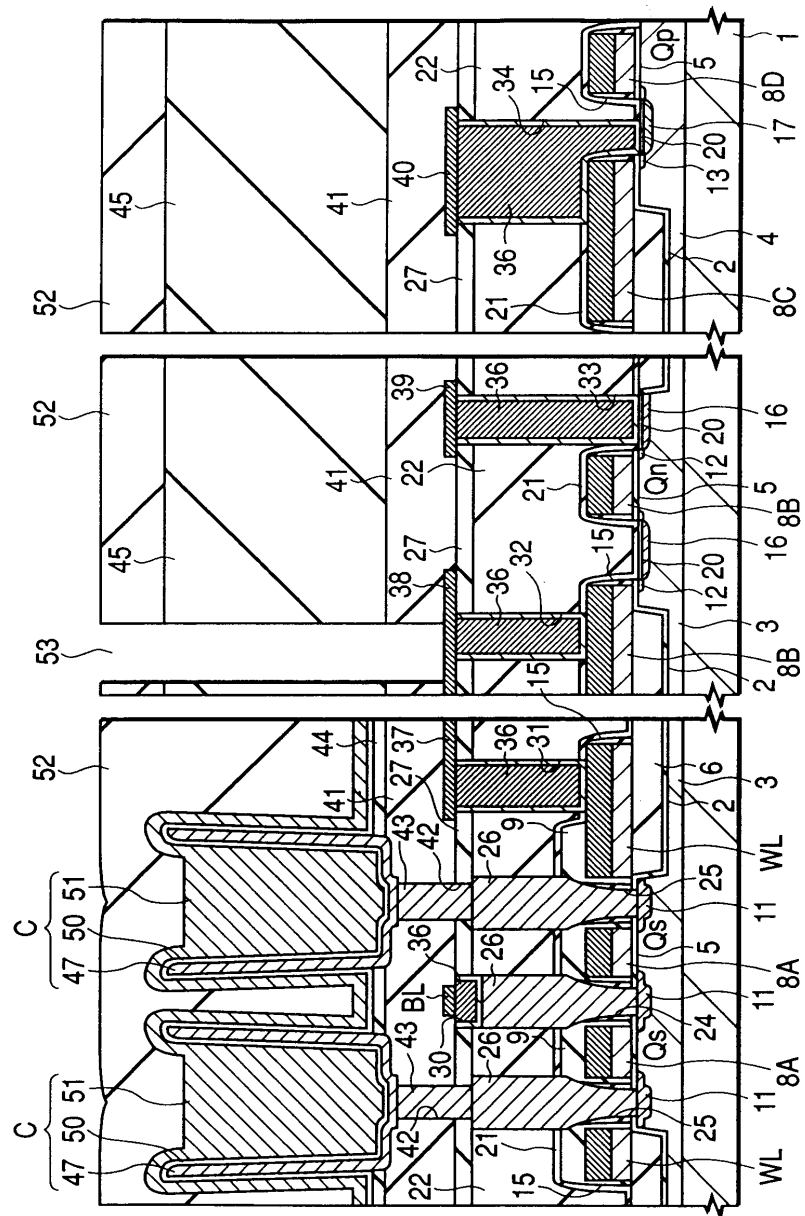
도면25



도면26

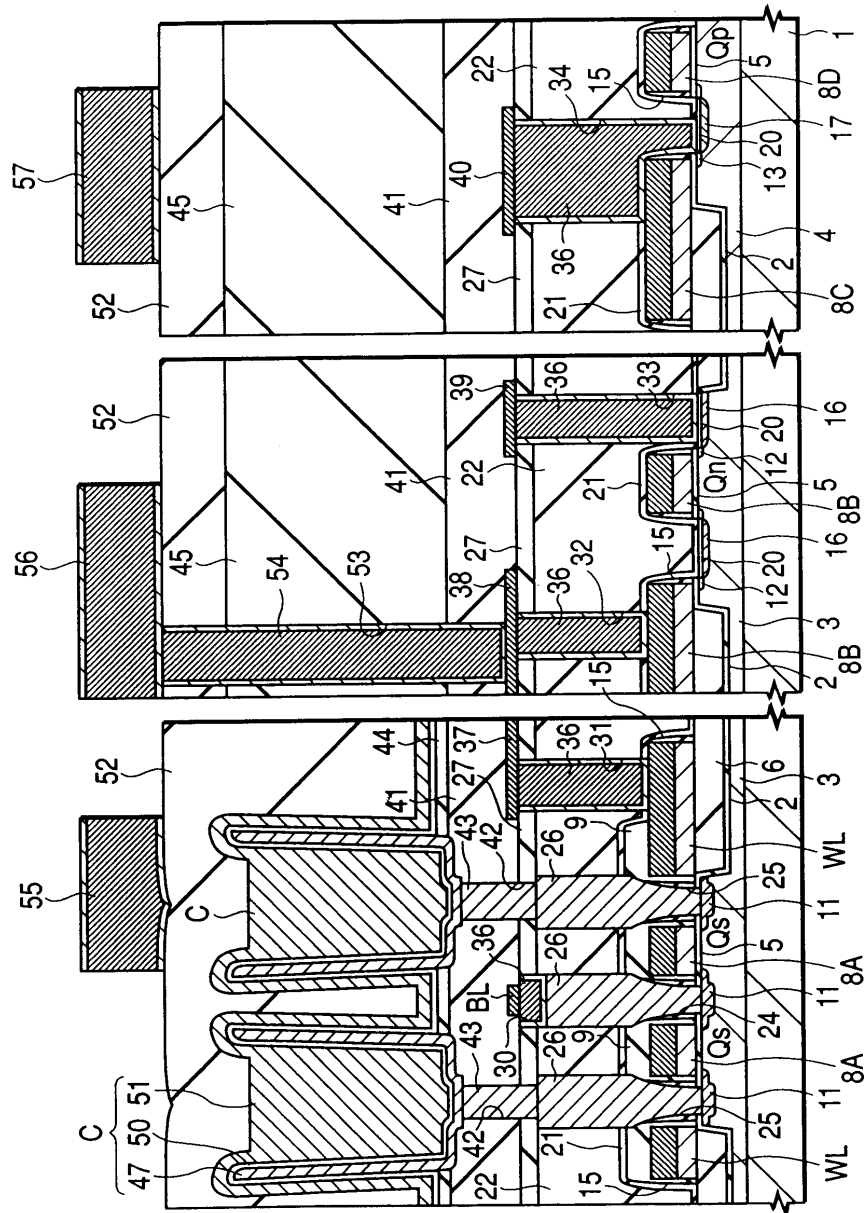


도면27

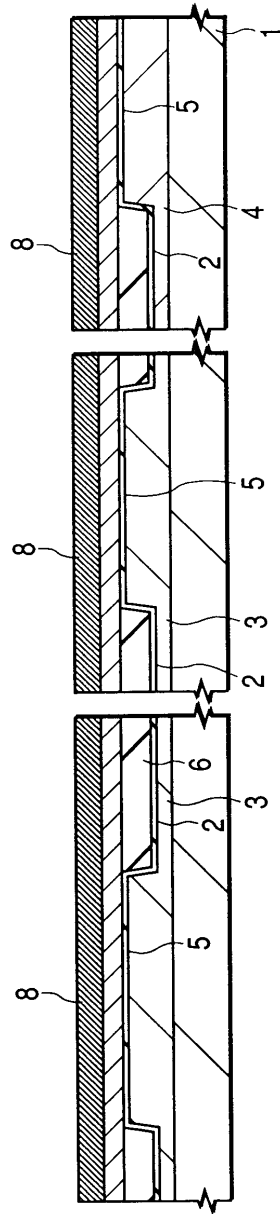




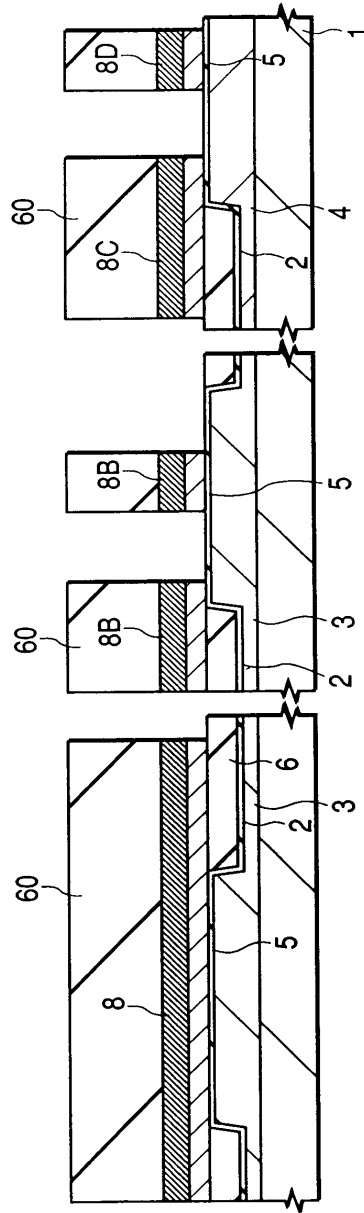
도면28



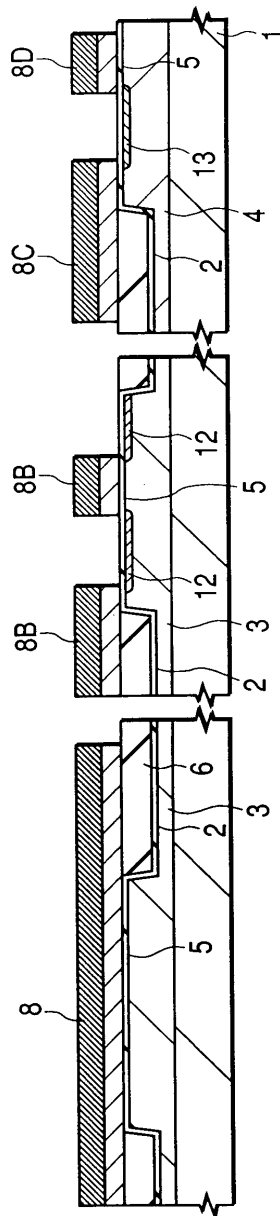
도면29



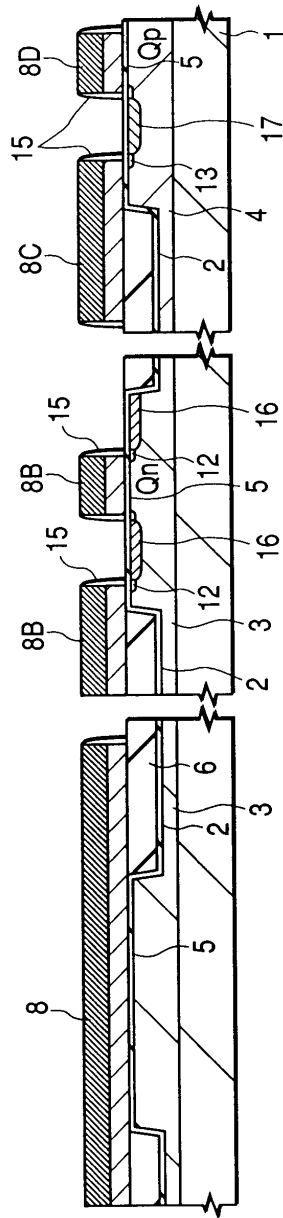
도면30



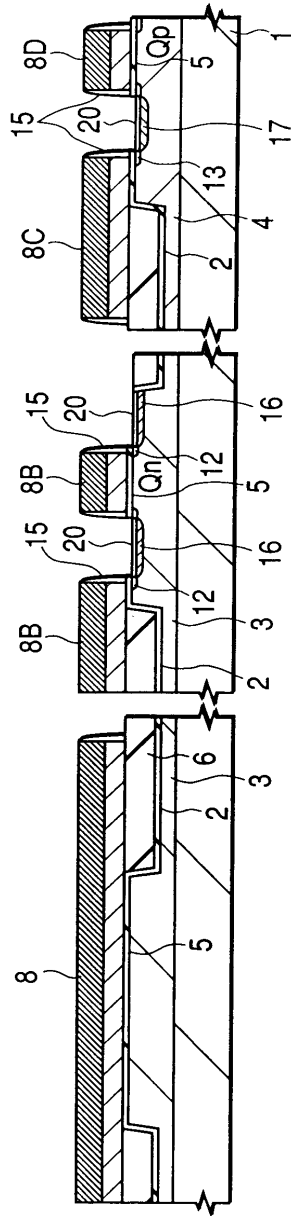
도면31



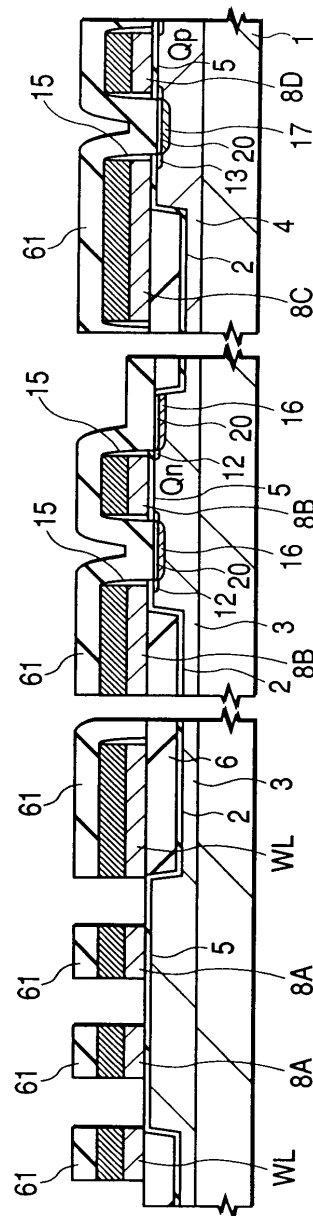
도면32



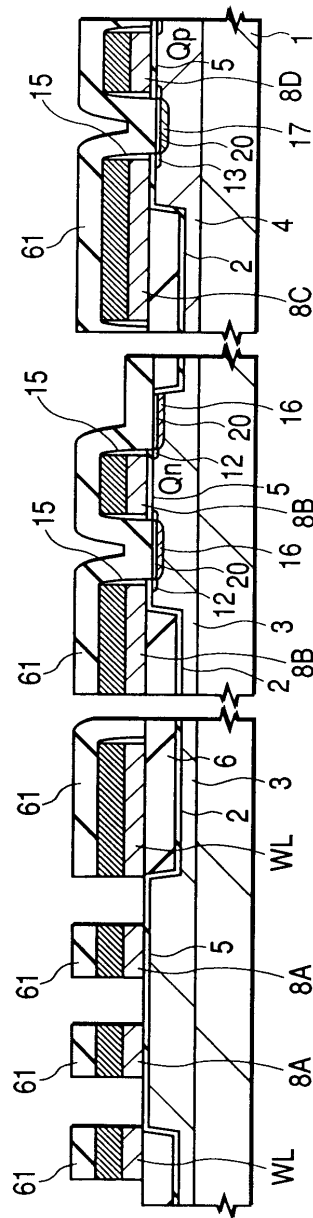
도면33



도면34

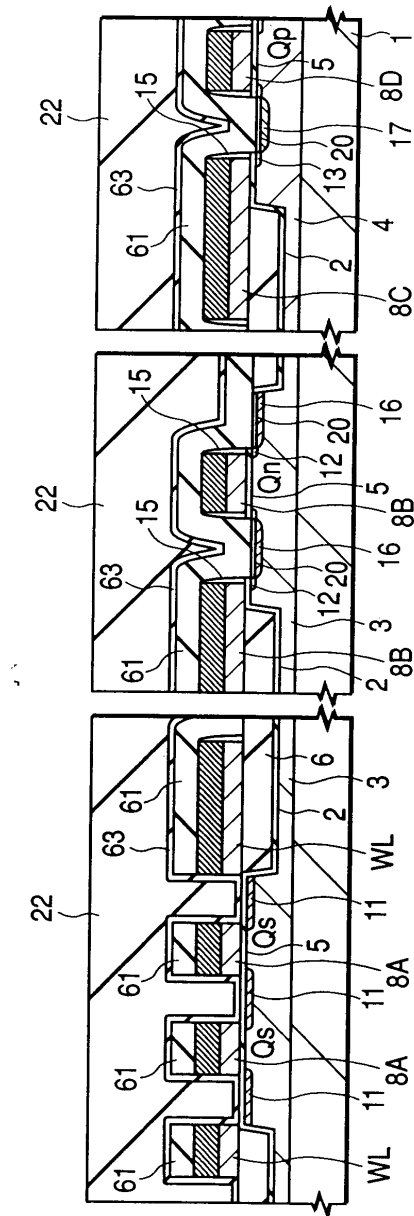


도면35

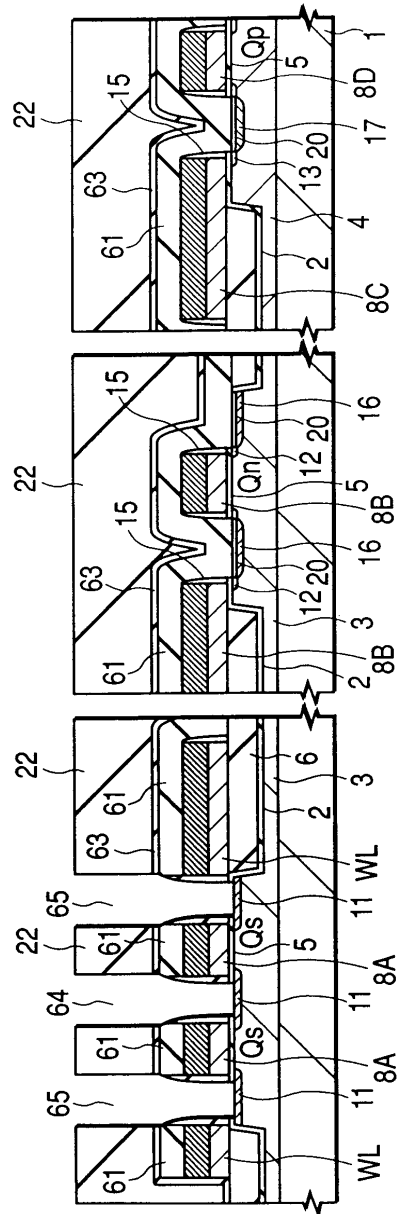




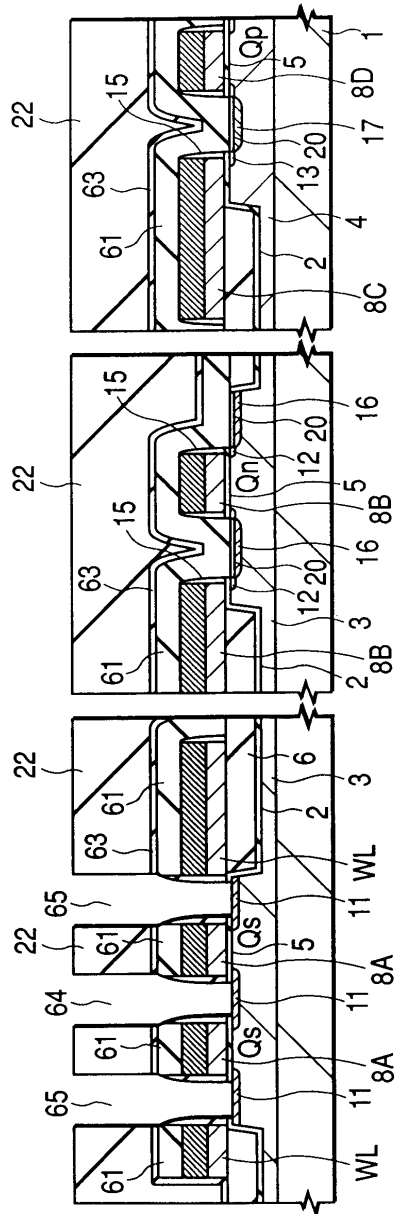
도면36



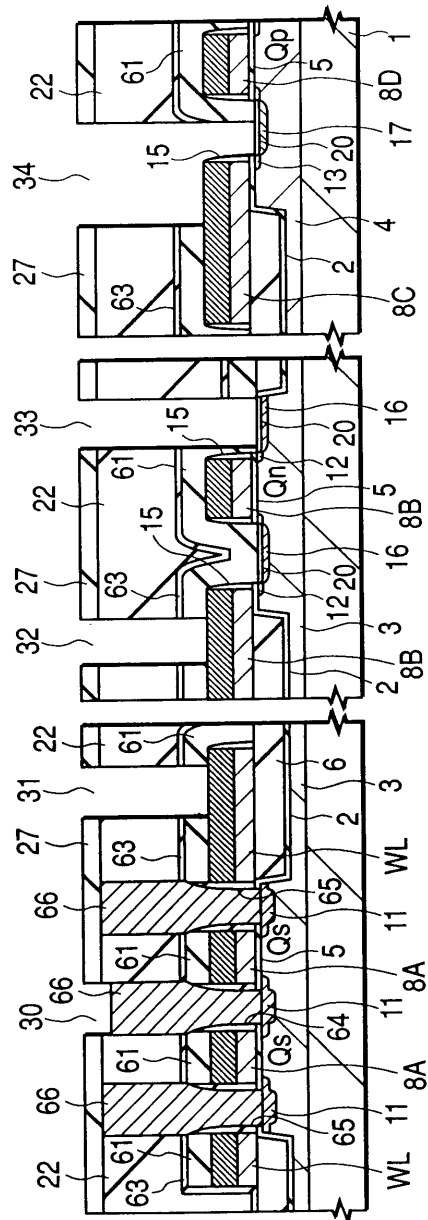
도면37



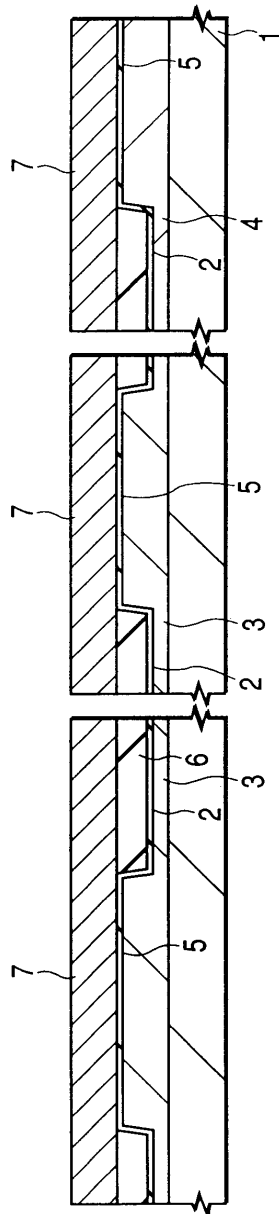
도면38



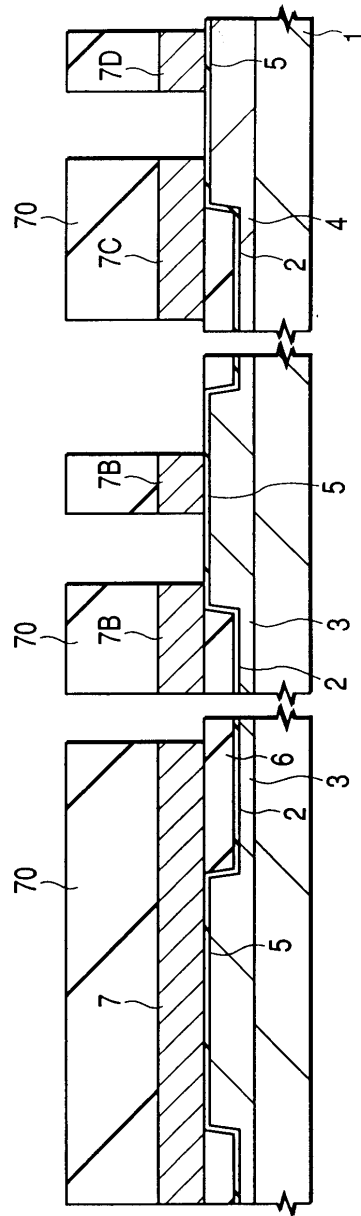
도면39



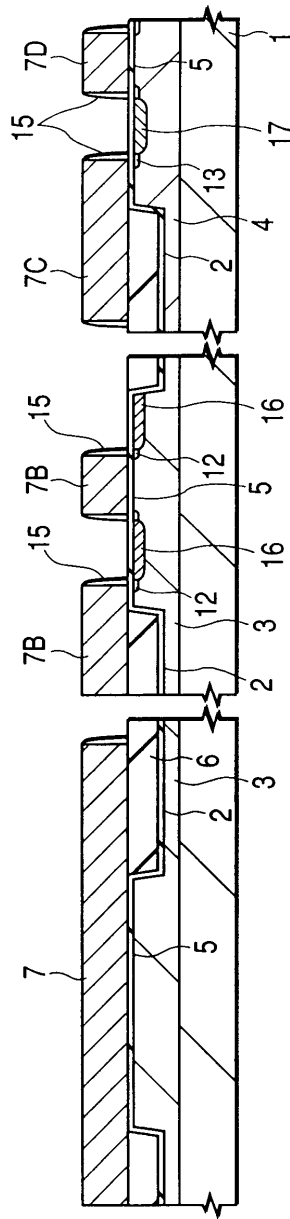
도면40



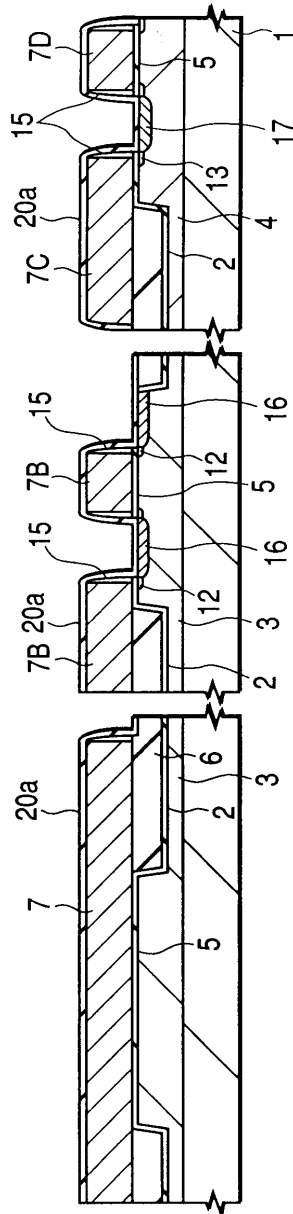
도면41



도면42

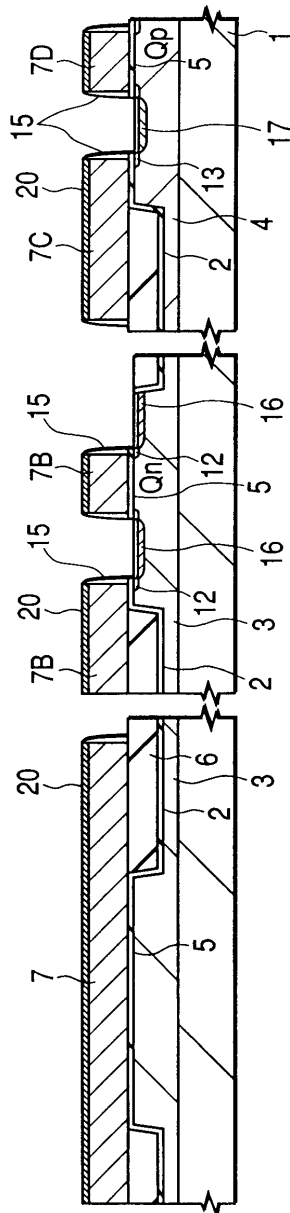


도면43

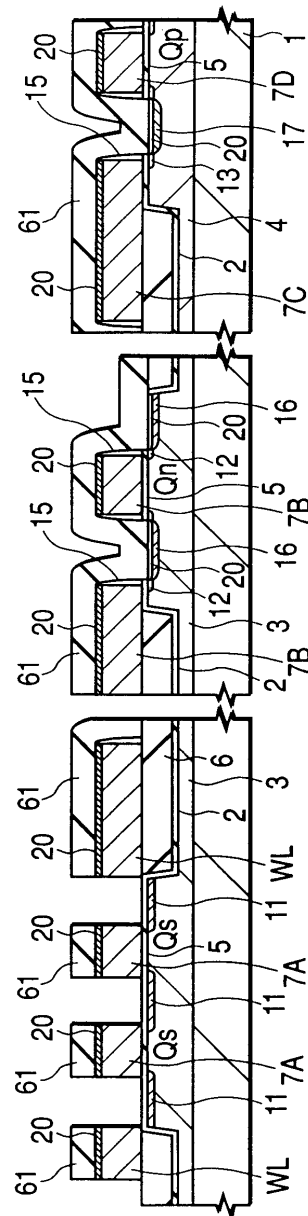




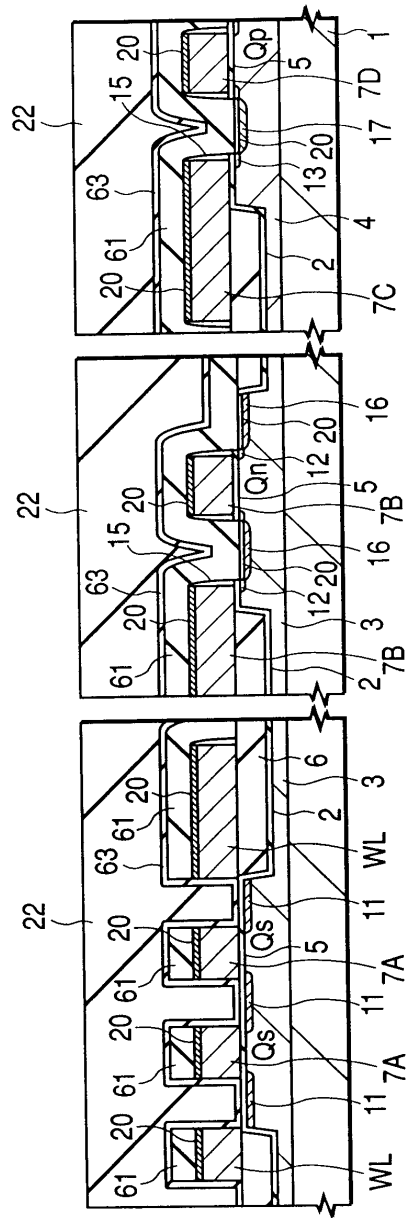
도면44



도면45



도면46



도면47

