(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0036665
(43) 공개일자 2025년03월14일

(51) 국제특허분류(Int. Cl.)
H04L 25/03 (2006.01) *H04L 25/02* (2006.01)
H04L 25/49 (2006.01) *H04L 7/00* (2006.01)
(52) CPC특허분류
H04L 25/03878 (2013.01)
H04L 25/026 (2013.01)
(21) 출원번호 10-2024-0083374
(22) 출원일자 2024년06월26일
심사청구일자 2024년06월26일
(30) 우선권주장
1020230118782 2023년09월07일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
권영욱
서울특별시 강남구 개포로20길 49(개포동, 파크타운)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

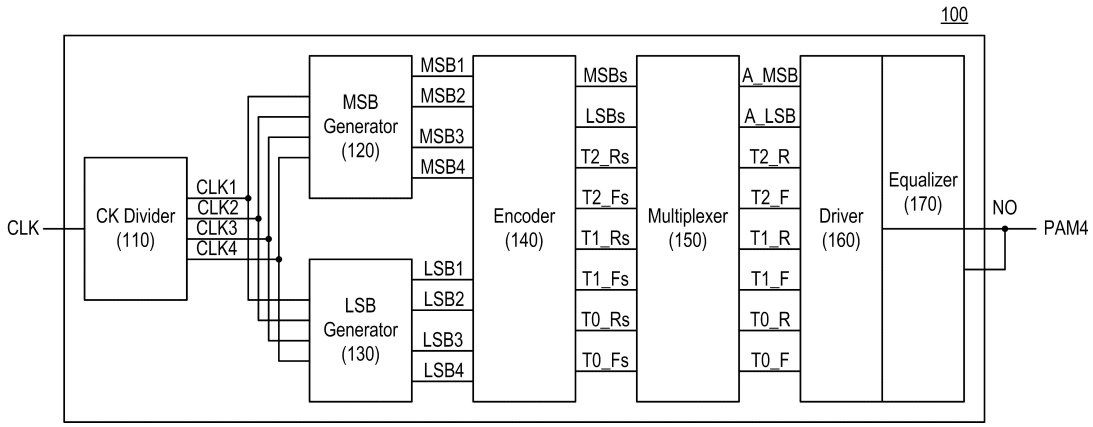
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **FFE를 이용한 PAM-4 송신기 및 송수신기**

(57) 요 약

본 출원의 일 실시예로, 출력 노드에 연결되고, MSB(most significant bit) 및 LSB(least significant bit)를 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호로 상기 출력 노드에 구동하도록 구성되는 드라이버 및 상기 출력 노드에 연결되고, 제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하도록 구성되는 등화기를 포함하고, 상기 등화기는, 상기 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 상기 제1 동작 전압 보다 더 큰 레벨을 갖는 제2 동작 전압을 상기 출력 노드에 인가하는 것에 기초하여 상기 감쇠를 보상하고, 상기 제1 레벨에서 상기 제2 레벨로의 천이가 하강 천이인 경우, 상기 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 상기 감쇠를 보상하는 송신기이다.

대 표 도



(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 7/0008 (2013.01)

(72) 발명자
심진철
서울특별시 성북구 삼선교로8길 16(삼선동1가)
박승우
서울특별시 마포구 마포대로 195(아현동, 마포 래미안 푸르지오)
김성철
서울특별시 동대문구 왕산로 122 (용두동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711199384
과제번호	RS-2023-00281047
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	국가반도체연구실(NSL)핵심기술개발
연구과제명	차세대 초고속 고효율 인터페이스 IP 개발
과제수행기관명	고려대학교 산학협력단
연구기간	2023.08.01 ~ 2027.12.31

명 세 서

청구범위

청구항 1

출력 노드에 연결되고, MSB(most significant bit) 및 LSB(least significant bit)를 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호로 상기 출력 노드에 구동하도록 구성되는 드라이버; 및

상기 출력 노드에 연결되고, 제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하도록 구성되는 등화기를 포함하고,

상기 등화기는,

상기 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 상기 제1 동작 전압 보다 더 큰 레벨을 갖는 제2 동작 전압을 상기 출력 노드에 인가하는 것에 기초하여 상기 감쇠를 보상하고,

상기 제1 레벨에서 상기 제2 레벨로의 천이가 하강 천이인 경우, 상기 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 상기 감쇠를 보상하는 송신기.

청구항 2

제1항에 있어서,

상기 등화기는:

상기 상승 천이에 대한 보상 동작을 수행하는 상승 등화기; 및

상기 하강 천이에 대한 보상 동작을 수행하는 하강 등화기를 포함하는 송신기.

청구항 3

제2항에 있어서,

상기 상승 등화기는:

제1 노드 및 제2 노드에 연결된 커패시터;

드레인이 상기 제1 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제1 P형 트랜지스터;

드레인이 상기 제2 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제2 P형 트랜지스터;

드레인이 상기 제1 노드에 연결되고, 소스가 접지되는 제1 N형 트랜지스터; 및

소스가 상기 제2 노드에 연결되고, 드레인이 상기 출력 노드에 연결되는 제3 P형 트랜지스터를 포함하는 송신기.

청구항 4

제3항에 있어서,

상기 상승 천이가 아닐 때, 상기 제1 P형 트랜지스터 및 상기 제3 P형 트랜지스터가 턴 오프되고 상기 제2 P형 트랜지스터 및 상기 N형 트랜지스터가 턴 온됨에 따라 상기 커패시터에 상기 제1 동작 전압이 충전되고,

상기 상승 천이일 때 상기 제2 P형 트랜지스터 및 상기 N형 트랜지스터가 턴 오프되고 상기 제1 P형 트랜지스터 및 상기 제3 P형 트랜지스터가 턴 온됨에 따라 상기 출력 노드에 상기 제2 동작 전압이 인가되는 송신기.

청구항 5

제2항에 있어서,

상기 하강 등화기는:

제3 노드에 연결되고, 접지로 상기 등화 전류를 흘리는 등화 전류원;

드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제2 N형 트랜지스터;

드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제3 N형 트랜지스터;

소스가 상기 제3 노드에 연결되는 제4 N형 트랜지스터; 및

드레인에 상기 제1 동작 전압이 인가되고, 소스가 상기 제4 N형 트랜지스터의 소스에 연결되는 제5 N형 트랜지스터를 포함하는 송신기.

청구항 6

제5항에 있어서,

상기 하강 천이일 때, 상기 제3 N형 트랜지스터 내지 상기 제5 N형 트랜지스터가 턴 오프되고 상기 제2 N형 트랜지스터가 턴 온됨에 따라 상기 출력 노드로부터 상기 등화 전류가 빠져나가고,

상기 상승 천이 및 상기 하강 천이가 아닐 때, 상기 제2 N형 트랜지스터 및 상기 제3 N형 트랜지스터가 턴 오프되고 상기 제4 N형 트랜지스터 및 상기 제5 N형 트랜지스터가 턴 온됨에 따라 상기 등화 전류가 유지되는 송신기.

청구항 7

제1항에 있어서,

상기 MSB 및 상기 LSB를 복수의 위상에 대하여 인코딩하여, 인코딩 신호를 출력하도록 구성되는 인코더,

여기서 상기 인코딩 신호는 상기 상승 천이에 대한 복수의 제1 써모미터(thermometer) 신호 및 상기 하강 천이에 대한 복수의 제2 써모미터 신호를 포함하고; 및

상기 복수의 제1 써모미터 신호 및 상기 복수의 제2 써모미터 신호의 UI(unit interval)를 감소시키는 병합 동작을 수행하도록 구성되는 멀티플렉서를 더 포함하는 송신기.

청구항 8

제7항에 있어서,

상기 멀티플렉서는 상기 병합 동작에 따른 복수의 병합된 제1 써모미터 신호 및 복수의 병합된 제2 써모미터 신호를 상기 등화기에 출력하고,

상기 등화기는 상기 복수의 병합된 제1 써모미터 신호 및 복수의 병합된 제2 써모미터 신호에 기초하여 상기 상승 천이 또는 상기 하강 천이에 따른 보상 동작을 수행하는 송신기.

청구항 9

제7항에 있어서,

상기 복수의 위상에 대한 복수의 클록 신호를 생성하도록 구성되는 클록 분배기;

상기 복수의 클록 신호에 기초하여, 상기 복수의 위상 별로 상기 MSB를 생성하고, 상기 MSB를 상기 인코더에 출

력하도록 구성되는 MSB 생성기; 및

상기 복수의 클록 신호에 기초하여, 상기 복수의 위상 별로 상기 LSB를 생성하고, 상기 LSB를 상기 인코더에 출력하도록 구성되는 LSB 생성기를 더 포함하는 송신기.

청구항 10

출력 노드에 연결되고, MSB(most significant bit) 및 LSB(least significant bit)를 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호로 상기 출력 노드에 구동하도록 구성되는 드라이버; 및

상기 출력 노드에 연결되고, 제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하도록 구성되는 상승 등화기 및 하강 등화기를 포함하고,

상기 상승 등화기는:

제1 노드 및 제2 노드에 연결된 커패시터;

드레인이 상기 제1 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제1 P형 트랜지스터;

드레인이 상기 제2 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제2 P형 트랜지스터;

드레인이 상기 제1 노드에 연결되고, 소스가 접지되는 제1 N형 트랜지스터; 및

소스가 상기 제2 노드에 연결되고, 드레인이 상기 출력 노드에 연결되는 제3 P형 트랜지스터를 포함하고,

상기 하강 등화기는:

제3 노드에 연결되고, 접지로 등화 전류를 흘리는 등화 전류원;

드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제2 N형 트랜지스터;

드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제3 N형 트랜지스터;

소스가 상기 제3 노드에 연결되는 제4 N형 트랜지스터; 및

드레인에 상기 제1 동작 전압이 인가되고, 소스가 상기 제4 N형 트랜지스터의 소스에 연결되는 제5 N형 트랜지스터를 포함하는 송신기.

청구항 11

출력 노드를 통해 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호를 송신하도록 구성되는 송신기; 및

상기 송신기와 채널을 통해 연결되고, 상기 PAM-4 신호를 수신하도록 구성되는 수신기를 포함하고,

상기 송신기는,

제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하되,

상기 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 상기 제1 동작 전압 보다 더 큰 레벨을 갖는 제2 동작 전압을 상기 출력 노드에 인가하는 것에 기초하여 상기 감쇠를 보상하고,

상기 제1 레벨에서 상기 제2 레벨로의 천이가 하강 천이인 경우, 상기 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 상기 감쇠를 보상하는 송수신기.

청구항 12

제11항에 있어서,

상기 수신기는 상기 제1 동작 전압으로 종단되는(terminated) 송수신기.

발명의 설명

기 술 분 야

[0001] 본 출원은 FFE(feed-forward equalizer)를 이용한 PAM-4(pulse amplitude modulation-4) 송신기 및 송수신기에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 데이터 통신을 위해서 두 가지 데이터 변조 레벨을 가지는 NRZ(non-return to zero) 신호법이 사용될 수 있다. NRZ 신호법은 송수신기의 구조가 간단하지만 1UI(unit interval) 동안 1비트의 데이터만 전송할 수 있다. 따라서, NRZ 신호법은 고속 데이터 전송 시 채널의 영향을 많이 받아 고속 송수신기 구현에 어려움이 있다. NRZ 신호법의 단점을 보완하기 위해, 네 개의 데이터 변조 레벨을 가지고 1UI에 2비트를 보낼 수 있는 PAM-4(pulse-amplitude modulation-4) 신호법이 사용될 수 있다. PAM-4 신호법은 NRZ 신호법에 비해 네 개의 레벨 간의 간격을 1/3배로 감소시킬 수 있다.

[0003] 한편, 기존의 고속 단일 채널 입출력 회로에서는 신호 전송 시 채널 감쇄로 인한 신호 간 간섭을 제거하기 위해 선변형 감소 등화기가 적용될 수 있다. 선변형 감소 등화기는 구현이 간단하나, 채널 보상 후 전체 전압 레벨이 줄어드는 단점이 있어 수신단에서 에러 확률이 높아지는 문제가 있다. 상술한 PAM-4 신호법에 선변형 감소 등화기 적용 시, 전체 전압 레벨이 NRZ에 비해 줄어드는 문제가 더 두드러질 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 출원은 상술한 과제를 해결하기 위한 것으로서, 본 출원의 목적은 데이터 전압 마진을 증가시킬 수 있는 FFE를 이용한 PAM-4 송신기 및 송수신기를 제공하는 데 있다.

과제의 해결 수단

[0005] 본 출원의 일 실시예로, 출력 노드에 연결되고, MSB(most significant bit) 및 LSB(least significant bit)를 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호로 상기 출력 노드에 구동하도록 구성되는 드라이버 및 상기 출력 노드에 연결되고, 제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하도록 구성되는 등화기를 포함하고, 상기 등화기는, 상기 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 상기 제1 동작 전압 보다 더 큰 레벨을 갖는 제2 동작 전압을 상기 출력 노드에 인가하는 것에 기초하여 상기 감쇠를 보상하고, 상기 제1 레벨에서 상기 제2 레벨로의 천이가 하강 천이인 경우, 상기 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 상기 감쇠를 보상하는 송신기이다.

[0006] 예를 들어, 상기 등화기는 상기 상승 천이에 대한 보상 동작을 수행하는 상승 등화기 및 상기 하강 천이에 대한 보상 동작을 수행하는 하강 등화기를 포함할 수 있다.

[0007] 예를 들어, 상기 상승 등화기는 제1 노드 및 제2 노드에 연결된 커패시터, 드레인이 상기 제1 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제1 P형 트랜지스터, 드레인이 상기 제2 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제2 P형 트랜지스터, 드레인이 상기 제1 노드에 연결되고, 소스가 접지되는 제1 N형 트랜지스터 및 소스가 상기 제2 노드에 연결되고, 드레인이 상기 출력 노드에 연결되는 제3 P형 트랜지스터를 포함할 수 있다.

[0008] 예를 들어, 상기 상승 천이가 아닐 때, 상기 제1 P형 트랜지스터 및 상기 제3 P형 트랜지스터가 턴 오프되고 상기 제2 P형 트랜지스터 및 상기 N형 트랜지스터가 턴 온됨에 따라 상기 커패시터에 상기 제1 동작 전압이 충전되고, 상기 상승 천이일 때 상기 제2 P형 트랜지스터 및 상기 N형 트랜지스터가 턴 오프되고 상기 제1 P형 트랜지스터 및 상기 제3 P형 트랜지스터가 턴 온됨에 따라 상기 출력 노드에 상기 제2 동작 전압이 인가될 수 있다.

[0009] 예를 들어, 상기 하강 등화기는, 제3 노드에 연결되고, 접지로 상기 등화 전류를 흘리는 등화 전류원, 드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제2 N형 트랜지스터, 드레인이 상기 출력 노드에

연결되고, 소스가 상기 제3 노드에 연결되는 제3 N형 트랜지스터, 소스가 상기 제3 노드에 연결되는 제4 N형 트랜지스터 및 드레인에 상기 제1 동작 전압이 인가되고, 소스가 상기 제4 N형 트랜지스터의 소스에 연결되는 제5 N형 트랜지스터를 포함할 수 있다.

[0010] 예를 들어, 상기 하강 천이일 때, 상기 제3 N형 트랜지스터 내지 상기 제5 N형 트랜지스터가 턴 오프되고 상기 제2 N형 트랜지스터가 턴 온됨에 따라 상기 출력 노드로부터 상기 등화 전류가 빠져나가고, 상기 상승 천이 및 상기 하강 천이가 아닐 때, 상기 제2 N형 트랜지스터 및 상기 제3 N형 트랜지스터가 턴 오프되고 상기 제4 N형 트랜지스터 및 상기 제5 N형 트랜지스터가 턴 온됨에 따라 상기 등화 전류가 유지될 수 있다.

[0011] 예를 들어, 상기 MSB 및 상기 LSB를 복수의 위상에 대하여 인코딩하여, 인코딩 신호를 출력하도록 구성되는 인코더, 여기서 상기 인코딩 신호는 상기 상승 천이에 대한 복수의 제1 써모미터(thermometer) 신호 및 상기 하강 천이에 대한 복수의 제2 써모미터 신호를 포함하고 및 상기 복수의 제1 써모미터 신호 및 상기 복수의 제2 써모미터 신호의 UI(unit interval)를 감소시키는 병합 동작을 수행하도록 구성되는 멀티플렉서를 더 포함할 수 있다.

[0012] 예를 들어, 상기 멀티플렉서는 상기 병합 동작에 따른 복수의 병합된 제1 써모미터 신호 및 복수의 병합된 제2 써모미터 신호를 상기 등화기에 출력하고, 상기 등화기는 상기 복수의 병합된 제1 써모미터 신호 및 복수의 병합된 제2 써모미터 신호에 기초하여 상기 상승 천이 또는 상기 하강 천이에 따른 보상 동작을 수행할 수 있다.

[0013] 예를 들어, 상기 복수의 위상에 대한 복수의 클록 신호를 생성하도록 구성되는 클록 분배기, 상기 복수의 클록 신호에 기초하여, 상기 복수의 위상 별로 상기 MSB를 생성하고, 상기 MSB를 상기 인코더에 출력하도록 구성되는 MSB 생성기 및 상기 복수의 클록 신호에 기초하여, 상기 복수의 위상 별로 상기 LSB를 생성하고, 상기 LSB를 상기 인코더에 출력하도록 구성되는 LSB 생성기를 더 포함할 수 있다.

[0014] 본 출원의 일 실시예로, 출력 노드에 연결되고, MSB(most significant bit) 및 LSB(least significant bit)를 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호로 상기 출력 노드에 구동하도록 구성되는 드라이버 및 상기 출력 노드에 연결되고, 제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하도록 구성되는 상승 등화기 및 하강 등화기를 포함하고, 상기 상승 등화기는, 제1 노드 및 제2 노드에 연결된 커패시터, 드레인이 상기 제1 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제1 P형 트랜지스터, 드레인이 상기 제2 노드에 연결되고, 소스에 상기 제1 동작 전압이 인가되는 제2 P형 트랜지스터, 드레인이 상기 제1 노드에 연결되고, 소스가 접지되는 제1 N형 트랜지스터 및 소스가 상기 제2 노드에 연결되고, 드레인이 상기 출력 노드에 연결되는 제3 P형 트랜지스터를 포함하고, 상기 하강 등화기는, 제3 노드에 연결되고, 접지로 등화 전류를 흘리는 등화 전류원, 드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제2 N형 트랜지스터, 드레인이 상기 출력 노드에 연결되고, 소스가 상기 제3 노드에 연결되는 제3 N형 트랜지스터, 소스가 상기 제3 노드에 연결되는 제4 N형 트랜지스터 및 드레인에 상기 제1 동작 전압이 인가되고, 소스가 상기 제4 N형 트랜지스터의 소스에 연결되는 제5 N형 트랜지스터를 포함할 수 있다.

[0015] 본 출원의 일 실시예로, 출력 노드를 통해 4개의 레벨을 갖는 PAM-4(pulse amplitude modulation-4) 신호를 송신하도록 구성되는 송신기 및 상기 송신기와 채널을 통해 연결되고, 상기 PAM-4 신호를 수신하도록 구성되는 수신기를 포함하고, 상기 송신기는, 제1 동작 전압에 기초하여 상기 PAM-4 신호의 감쇠를 보상하되, 상기 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 상기 제1 동작 전압 보다 더 큰 레벨을 갖는 제2 동작 전압을 상기 출력 노드에 인가하는 것에 기초하여 상기 감쇠를 보상하고, 상기 제1 레벨에서 상기 제2 레벨로의 천이가 하강 천이인 경우, 상기 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 상기 감쇠를 보상하는 송수신기이다.

[0016] 예를 들어, 상기 수신기는 상기 제1 동작 전압으로 종단될 수 있다.

발명의 효과

[0017] 본 출원에 의하면, 데이터 전압 마진을 증가시킬 수 있는 FFE를 이용한 PAM-4 송신기 및 송수신기가 제공될 수 있다.

도면의 간단한 설명

[0018] 도 1은 몇몇 예시적 실시예들에 따른 송신기를 도시한 것이다.

도 2는 도 1의 보상 동작을 설명하기 위한 타이밍도이다.

도 3은 몇몇 예시적 실시예들에 따른 등화기의 블록도이다.

도 4는 몇몇 예시적 실시예들에 따른 도 3의 상승 등화기의 회로도이다.

도 5 내지 도 6은 도 4의 상승 등화기의 동작을 도시한 것이다.

도 7은 몇몇 예시적 실시예들에 따른 도 3의 하강 등화기의 회로도이다.

도 8 내지 도 10은 도 7의 하강 등화기의 동작을 도시한 것이다.

도 11은 바이너리 인코딩 방식에서 PAM-4 신호의 천이를 도시한 것이다.

도 12 내지 도 14는 몇몇 예시적 실시예들에 따른 써모미터 인코딩 방식에서 PAM-4 신호의 천이를 도시한 것이다.

도 15는 몇몇 예시적 실시예들에 따른 송수신기를 도시한 것이다.

도 16 내지 도 17은 예시적인 PAM-4 아이 다이어그램(eye diagram)을 도시한 것이다.

도 18은 예시적인 경우들에 따른 PAM-4 아이 다이어그램을 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하에서, 본 출원의 기술 분야에서 통상의 지식을 가진 자가 본 출원을 용이하게 실시할 수 있을 정도로, 본 출원의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0020] 도 1은 몇몇 예시적 실시예들에 따른 송신기(100)를 도시한 것이다.

[0021] 도 1을 참조하면, 몇몇 예시적 실시예들에 따른 송신기(100)는 클록 분배기(110), MSB(most significant bit) 생성을 위한 MSB 생성기(120), LSB(least significant bit) 생성을 위한 LSB 생성기(130), 인코더(140), 멀티플렉서(150), 드라이버(160) 및 등화기(170)를 포함할 수 있다.

[0022] 클록 분배기(110)는 입력 클록 신호(CLK)로부터 복수의 위상에 대한 복수의 클록 신호(CLK1~CLK4)를 생성하도록 구성될 수 있다. 예를 들어, 클록 분배기(110)는 4개의 위상을 갖는 복수의 클록 신호(CLK1~CLK4)를 출력할 수 있으며, 각 클록 신호는 서로 90n(여기서, n은 자연수임)의 위상차를 가질 수 있다. 복수의 클록 신호(CLK1~CLK4)는 MSB 생성기(120) 및 LSB 생성기(130)에 동일하게 인가될 수 있다.

[0023] 여러 위상을 갖는 복수의 클록 신호(CLK1~CLK4)를 통해, 송신기(100)의 동작 속도가 향상될 수 있다. 구체적으로는, 후술할 인코더(140)의 느린 동작 속도가 향상될 수 있다.

[0024] MSB 생성기(120) 및 LSB 생성기(130)는 클록 분배기(110)로부터 복수의 클록 신호(CLK1~CLK4)를 수신하고, 수신한 복수의 클록 신호(CLK1~CLK4)에 기초하여, MSB 또는 LSB를 생성할 수 있다. MSB 및 LSB는 2비트의 신호를 구성하게 되며, 2비트의 신호는 결국 송신기(100)를 통해 4개의 레벨을 갖는 PAM-4 신호로 변환 및 출력된다.

[0025] MSB 생성기(120)는 복수의 위상 별로 MSB를 생성하고, MSB를 인코더(140)에 출력하도록 구성될 수 있다. 예를 들어, 제1 MSB(MSB1)는 제1 클록 신호(CLK1)의 위상을 갖고, 제2 MSB(MSB2)는 제2 클록 신호(CLK2)의 위상을 갖고, 제3 MSB(MSB3)는 제1 클록 신호(CLK1)의 위상을 갖고, 제4 MSB(MSB4)는 제4 클록 신호의 위상을 가질 수 있다.

[0026] LSB 생성기(130)는 복수의 위상 별로 LSB를 생성하고, LSB를 인코더(140)에 출력하도록 구성될 수 있다. 예를 들어, 제1 LSB(LSB1)는 제1 클록 신호(CLK1)의 위상을 갖고, 제2 LSB(LSB2)는 제2 클록 신호(CLK2)의 위상을 갖고, 제3 LSB(LSB3)는 제3 클록 신호(CLK3)의 위상을 갖고, 제4 LSB(LSB4)는 제4 클록 신호(CLK4)의 위상을 가질 수 있다.

[0027] 인코더(140)는 MSB 생성기(120) 및 LSB 생성기(130)와 연결되며, MSB 및 LSB를 복수의 위상에 대하여 인코딩하여, 인코딩 신호를 출력하도록 구성될 수 있다. 인코더(140)를 통해, 인코딩 신호와 복수의 MSB(MSBs) 및 복수의 LSB(LSBs)가 함께 출력될 수 있다.

[0028] 인코딩 신호는 상승 천이에 대한 복수의 제1 써모미터(thermometer) 신호(T0_Rs, T1_Rs, T2_Rs) 및 하강 천이에 대한 복수의 제2 써모미터 신호(T0_Fs, T1_Fs, T2_Fs)를 포함할 수 있다.

[0029] 본 출원에서, 써모미터 신호는 2개의 비트로 신호를 표현하는 바이너리(binary) 신호와 달리, 3개의 비트로 신

호를 표현한다. 즉, PAM-4 변조에서, 써모미터 신호는 PAM-4 신호의 4개의 레벨을 표현하게 된다. 도 1에서, T0, T1, T2는 각각 3개의 비트 중 하나에 대응할 수 있다.

[0030] 또한, 각 천이에 대한 써모미터 신호를 구분하기 위하여, 편의상 상승 천이에 대한 써모미터 신호는 제1 써모미터 신호로 정의되고, 하강 천이에 대한 써모미터 신호는 제2 써모미터 신호로 정의될 수 있다.

[0031] 또한, 본 출원에서 천이는 PAM-4 신호의 4개의 레벨 중 서로 다른 레벨 간의 신호 천이를 의미한다. 임의의 두 레벨을 제1 레벨 및 제2 레벨로 정의할 때, 제1 레벨 보다 제2 레벨이 높을 경우는 상승 천이이고, 제1 레벨 보다 제2 레벨이 낮을 경우는 하강 천이이다.

[0032] 복수의 제1 써모미터 신호(T0_Rs, T1_Rs, T2_Rs) 및 복수의 제2 써모미터 신호(T0_Fs, T1_Fs, T2_Fs)는 클록 분배기(110)로부터 출력되는 복수의 클록 신호(CLK1~CLK4)의 위상에 대응하는 개수를 가질 수 있다. 예를 들어, 제1-1 써모미터 신호(T0_Rs)는 서로 다른 위상을 갖는 4개의 신호들로 구성될 수 있고, 마찬가지로 제2-1 써모미터 신호(T0_Fs)도 서로 다른 위상을 갖는 4개의 신호들로 구성될 수 있다.

[0033] 멀티플렉서(150)는 복수의 제1 써모미터 신호(T0_Rs, T1_Rs, T2_Rs) 및 복수의 제2 써모미터 신호(T0_Fs, T1_Fs, T2_Fs)의 UI(unit interval)를 감소시키는 병합 동작을 수행하도록 구성될 수 있다. 본 출원의 멀티플렉서(150)는 시리얼라이저(serializer)로 칭해질 수도 있다. 병합 동작을 통해, 멀티플렉서(150)의 출력 신호는 입력 신호의 N배(여기서, N은 자연수임)의 데이터 속도(즉, 주파수)를 가지게 된다. 예를 들어, 4:1 멀티플렉서(150)로 구현될 경우, 출력 신호는 4배의 데이터 속도를 가질 수 있다.

[0034] 예를 들어, 멀티플렉서(150)를 통해 복수의 MSB(MSBs)는 병합된 MSB(A_MSB)로 변환되고, 복수의 LSB(LSBs)는 병합된 LSB(A_LSB)로 변환된다. 또한, 복수의 제1-1 써모미터 신호(T0_Rs), 복수의 제2-1 써모미터 신호(T0_Fs), 복수의 제1-2 써모미터 신호(T1_Rs), 복수의 제2-2 써모미터 신호(T1_Fs), 복수의 제1-3 써모미터 신호(T2_Rs) 및 복수의 제2-3 써모미터 신호(T2_Fs)들도 각각이 병합된 써모미터 신호들(T0_R, T0_F, T1_R, T1_F, T2_R, T2_F)로 변환된다.

[0035] 결국, 멀티플렉서(150)는 병합 동작에 따른 복수의 병합된 제1 써모미터 신호(T0_R, T1_R, T2_R) 및 복수의 병합된 제2 써모미터 신호(T0_F, T1_F, T2_F)를 등화기(170)에 출력할 수 있다.

[0036] 한편, 상술한 실시예들에 따라 인코딩이 멀티플렉서(150)의 입력단에 연결될 경우, 병합 동작 이전에 인코딩이 수행됨에 따라, PAM-4 신호는 시간적 에러가 발생하지 않도록 마진을 갖게될 수 있다.

[0037] 드라이버(160)는 출력 노드(NO)에 연결되고, MSB 및 LSB, 구체적으로는 병합된 MSB(A_MSB) 및 병합된 LSB(A_LSB)를 PAM-4 신호로 출력 노드(NO)에 구동하도록 구성될 수 있다.

[0038] 등화기(170)는 출력 노드(NO)에 연결되고, 제1 동작 전압(VDD)에 기초하여 PAM-4 신호의 감쇠를 보상하도록 구성될 수 있다. 여기서, 제1 동작 전압(VDD)은 송신기(100)의 동작 전압일 수 있다.

[0039] 몇몇 예시적 실시예들에 따라, 등화기(170)는 FFE(feed-forward equalizer)(또는, 선변형 등화기)로 구현될 수 있다.

[0040] 등화기(170)는 멀티플렉서(150)로부터 출력된 복수의 병합된 제1 써모미터 신호 및 복수의 병합된 제2 써모미터 신호에 기초하여 상승 천이 또는 하강 천이에 따른 보상 동작을 수행할 수 있다.

[0041] 몇몇 예시적 실시예들에 따라, 등화기(170)는 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 제1 동작 전압(VDD) 보다 더 큰 레벨을 갖는 제2 동작 전압을 출력 노드(NO)에 인가하는 것에 기초하여 감쇠를 보상할 수 있다. 예를 들어, 상승 천이에 대한 감쇠 보상 동작은, 전하 펌프(charge pump)에 기반하여 수행될 수 있다.

[0042] 또는, 등화기(170)는 제1 레벨에서 제2 레벨로의 천이가 하강 천이인 경우, 출력 노드(NO)로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 감쇠를 보상할 수 있다.

[0043] 상술한 실시예들에 따르면, 상승 천이의 경우 기본 동작 전압인 제1 동작 전압(VDD) 보다 더 큰 레벨을 갖는 제2 동작 전압을 통해 감쇠가 전압 상승 방향으로 보상될 수 있다. 또한, 하강 천이의 경우 출력 노드(NO)로부터 등화 전류를 빼냄에 따라 감쇠가 전압 하강 방향으로 보상될 수 있다. 즉, 전체 신호 높이가 유지될 수 있다.

[0044] PAM-4 변조에서는, 등화기(170)의 세기를 키우게될 경우 전체 신호 높이와 각 전압 레벨 사이의 폭이 줄어들 수 있는데, 이 경우 수신단에서 에러 발생 빈도가 증가하고 샘플링 마진이 감소할 수 있다. 반면, 본 출원에 따라

상승 천이에서 큰 레벨의 전압으로 감소가 보상될 경우, 전체 신호 높이가 줄어드는 것이 방지될 수 있다. 따라서, 높은 데이터 전송 속도가 유지될 수 있으며, 높은 데이터 정확도가 보장될 수 있다. 또한, 전체 신호의 마진이 줄어들지 않으므로, 수신단에서 낮은 데이터 에러 발생 비율을 갖는 샘플링 구간이 넓어질 수 있다.

[0045] 도 2는 도 1의 보상 동작을 설명하기 위한 타이밍도이다.

[0046] 도 2를 참조하면, 임의의 시점의 제1 데이터(DAT1)는 t1 내지 t3에서 하이 레벨을 가지며, 제1 데이터(DAT1)가 하나의 UI만큼 지연된 제2 데이터(DAT2)는 t2 내지 t4에서 하이 레벨을 가진다. 즉, t1 내지 t2 동안 상승 천이가 일어나고, t3 내지 t4 동안 하강 천이가 일어난다. 제1 데이터(DAT1)와 제2 데이터(DAT2)가 갖는 레벨은 상술한 PAM-4 레벨들 중 하나를 가질 수 있다.

[0047] 이때, 상승 신호(RIS)는 제1 데이터(DAT1)와 제2 데이터(DAT2)의 바(bar) 신호의 곱으로 정의될 수 있고, 하강 신호(FAL)는 제1 데이터(DAT1)의 바 신호와 제2 데이터(DAT2)의 곱으로 정의될 수 있다. 상승 신호(RIS)는 상술한 도 1의 멀티플렉서(150)로부터 출력된 복수의 병합된 제1 써모미터 신호 중 하나일 수 있고, 하강 신호(FAL)는 상술한 도 1의 멀티플렉서(150)로부터 출력된 복수의 병합된 제2 써모미터 신호 중 하나일 수 있다. 상승 신호(RIS) 및 하강 신호(FAL)는 등화기(170)의 보상 동작에 사용된다.

[0048] 다시 도 2로 돌아와서, 결국 상술한 실시예들에 따라 상승 천이 및 하강 천이에 대한 감쇠 보상이 수행될 경우, 제1 데이터(DAT1)는 기존의 하이 레벨 전압 보다 A1만큼 더 증가된 레벨을 가지게 되며, 기존의 로우 레벨 전압보다 A2만큼 더 하강된 레벨을 가지게 된다. 결국, 제1 데이터(DAT1)는 데이터 천이를 강조하는 방향으로 변화되므로, 전체 신호 높이가 감소되지 않고도 보상 동작이 수행될 수 있다.

[0049] 도 3은 몇몇 예시적 실시예들에 따른 등화기의 블록도이다.

[0050] 도 3을 참조하면, 몇몇 예시적 실시예들에 따른 등화기(170)는 상승 등화기(171) 및 하강 등화기(172)를 포함할 수 있다.

[0051] 상승 등화기(171)는 상승 천이에 대한 보상 동작을 수행할 수 있다. 몇몇 예시적 실시예들에 따라, 상승 등화기(171)는 제1 동작 전압(VDD) 보다 더 큰 레벨을 갖는 제2 동작 전압을 송신기(100)의 출력 노드에 인가하는 것에 기초하여 감쇠를 보상할 수 있다.

[0052] 하강 등화기(172)는 하강 천이에 대한 보상 동작을 수행할 수 있다. 몇몇 예시적 실시예들에 따라, 하강 등화기(172)는 송신기(100)의 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 감쇠를 보상할 수 있다.

[0053] 이하에서는, 상승 등화기(171) 및 하강 등화기(172)에 대한 구체적인 실시예들이 설명될 것이다.

[0054] 도 4는 몇몇 예시적 실시예들에 따른 도 3의 상승 등화기의 회로도이다.

[0055] 도 4를 참조하면, 몇몇 예시적 실시예들에 따른 상승 등화기(171)는 커패시터(CAP), 제1 P형 트랜지스터(PT1), 제2 P형 트랜지스터(PT2), 제3 P형 트랜지스터(PT3) 및 제1 N형 트랜지스터(NT1)를 포함한다.

[0056] 커패시터(CAP)는 상승 천이에서의 감쇠 보상을 위한 전압을 충방전하기 위하여 제1 노드(N1) 및 제2 노드(N2)에 연결된다.

[0057] 제1 노드(N1)에는 제1 P형 트랜지스터(PT1) 및 제1 N형 트랜지스터(NT1)가 연결되고, 제2 노드(N2)에는 제2 P형 트랜지스터(PT2) 및 제3 P형 트랜지스터(PT3)가 연결된다.

[0058] 제1 P형 트랜지스터(PT1)는 드레인이 제1 노드(N1)에 연결되고, 소스에 제1 동작 전압(VDD)이 인가된다. 또한, 제1 P형 트랜지스터(PT1)의 게이트에는 상승 신호(RIS)의 바 신호인 상승바 신호(RISB)가 인가된다.

[0059] 제2 P형 트랜지스터(PT2)는 드레인이 제2 노드(N2)에 연결되고, 소스에 제1 동작 전압(VDD)이 인가된다. 또한, 제1 P형 트랜지스터(PT1)의 게이트에는 상승 신호(RIS)가 인가된다.

[0060] 제1 N형 트랜지스터(NT1)는 드레인이 제1 노드(N1)에 연결되고, 소스가 접지된다. 또한, 제1 N형 트랜지스터(NT1)의 게이트에는 상승바 신호(RISB)가 인가된다.

[0061] 제3 P형 트랜지스터(PT3)는 소스가 제2 노드(N2)에 연결되고, 드레인이 출력 노드에 연결된다. 또한, 제3 P형 트랜지스터(PT3)의 게이트에는 상승바 신호(RISB)가 인가된다.

[0062] 도 5 내지 도 6은 도 4의 상승 등화기의 동작을 도시한 것이다.

[0063] 먼저 도 5를 참조하면, 상승 신호(RIS)가 로우 레벨을 가질 때, 즉 상승바 신호(RISB)가 하이 레벨을 가질 경우, 상승 천이가 아닌 상황이다.

[0064] 상승 천이가 아닐 때, 제1 P형 트랜지스터(PT1) 및 제3 P형 트랜지스터(PT3)가 턴 오프되고 제2 P형 트랜지스터(PT2) 및 N형 트랜지스터가 턴 온됨에 따라 커패시터(CAP)에 제1 동작 전압(VDD)이 충전된다. 즉, 제1 노드(N1) 및 제2 노드(N2)의 양 단 전압은 제1 동작 전압(VDD)일 수 있다.

[0065] 다음으로 도 6을 참조하면, 상승 신호(RIS)가 하이 레벨을 가질 때, 즉 상승바 신호(RISB)가 로우 레벨을 가질 경우, 상승 천이인 상황이다.

[0066] 상승 천이일 때, 제2 P형 트랜지스터(PT2) 및 N형 트랜지스터가 턴 오프되고 제1 P형 트랜지스터(PT1) 및 제3 P형 트랜지스터(PT3)가 턴 온됨에 따라 출력 노드에 제2 동작 전압이 인가된다. 이때, 커패시터(CAP)의 양 단에 충전된 제1 동작 전압(VDD)과, 제1 P형 트랜지스터(PT1)의 턴 온으로 인한 제1 동작 전압(VDD)이 함께 출력 노드에 인가될 수 있다.

[0067] 즉, 출력 노드에는 제1 동작 전압(VDD) 보다 큰 제2 동작 전압이 인가되는 것이다.

[0068] 결국, 상승 등화기(171)는 전하를 커패시터(CAP)에 저장한 후, 상승 천이의 데이터를 보상할 때 기본적인 동작 전압 이상의 전압을 만들어냄으로써 채널 감쇠를 보상할 수 있다.

[0069] 도 7은 몇몇 예시적 실시예들에 따른 도 3의 하강 등화기의 회로도이다.

[0070] 도 7을 참조하면, 몇몇 예시적 실시예들에 따른 하강 등화기(172)는 등화 전류원(FIS), 제2 N형 트랜지스터(NT2), 제3 N형 트랜지스터(NT3), 제4 N형 트랜지스터(NT4) 및 제5 N형 트랜지스터(NT5)를 포함할 수 있다.

[0071] 등화 전류원(FIS)은 제3 노드(N3)에 연결되고, 접지로 등화 전류를 흘릴 수 있다. 예를 들어, 등화 전류는 하강 천이에서의 감쇠 보상을 위한 특정 전류 값으로 설정될 수 있다.

[0072] 제2 N형 트랜지스터(NT2)는 드레인이 제1 출력 노드(TXP)에 연결되고, 소스가 제3 노드(N3)에 연결된다. 또한, 제2 N형 트랜지스터(NT2)의 게이트에는 하강 신호(FAL)가 인가된다. 또한, 이하에서 출력 노드는 송신기(100)가 2개의 채널(예, 차동 채널)에 연결될 때 각 채널에 대응하는 제1 출력 노드(TXP) 및 제2 출력 노드(TXN)를 포함할 수 있다.

[0073] 제1 출력 노드(TXP)에는 제1 저항(R1)을 통해 제1 동작 전압(VDD)이 인가될 수 있다.

[0074] 제3 N형 트랜지스터(NT3)는 드레인이 제2 출력 노드(TXN)에 연결되고, 소스가 제3 노드(N3)에 연결된다. 또한, 제2 N형 트랜지스터(NT2)의 게이트에는 상승 신호(RIS)가 인가된다.

[0075] 제2 출력 노드(TXN)에는 제2 저항(R2)을 통해 제1 동작 전압(VDD)이 인가될 수 있다.

[0076] 제4 N형 트랜지스터(NT4) 및 제5 N형 트랜지스터(NT5)는 캐스코드 구조로 연결될 수 있다. 제4 N형 트랜지스터(NT4)는 소스가 제3 노드(N3)에 연결되고, 드레인이 제5 N형 트랜지스터(NT5)의 소스에 연결된다. 또한, 제4 N형 트랜지스터(NT4)의 게이트에는 하강 신호(FAL)의 바 신호인 하강바 신호(FALB)가 인가된다.

[0077] 제5 N형 트랜지스터(NT5)는 드레인에 제1 동작 전압(VDD)이 인가되고, 소스가 제4 N형 트랜지스터(NT4)의 소스에 연결된다. 또한, 제5 N형 트랜지스터(NT5)의 게이트에는 상승바 신호(RISB)가 인가된다.

[0078] 도 8 내지 도 10은 도 7의 하강 등화기의 동작을 도시한 것이다.

[0079] 먼저 도 8을 참조하면, 하강 신호(FAL)가 하이 레벨일 때, 즉 하강 천이일 때, 하강바 신호(FALB)와 상승바 신호(RISB)는 로우 레벨을 가진다. 따라서, 제3 N형 트랜지스터 내지 제5 N형 트랜지스터(NT3~NT5)가 턴 오프되고 제2 N형 트랜지스터(NT2)가 턴 온됨에 따라 제1 출력 노드(TXP)로부터 등화 전류가 빠져나간다. 즉, 제1 출력 노드(TXP)의 전압은 감소한다.

[0080] 다음으로, 도 9를 참조하면, 상승 신호(RIS)가 하이 레벨일 때, 즉 상승 천이일 경우, 제2 N형 트랜지스터(NT2), 제4 N형 트랜지스터(NT4) 및 제5 N형 트랜지스터(NT5)가 턴 오프되고 제3 N형 트랜지스터(NT3)가 턴 온됨에 따라 제2 출력 노드(TXN)로부터 등화 전류가 빠져나간다. 즉, 제2 출력 노드(TXN)의 전압은 감소한다.

[0081] 마지막으로, 도 10을 참조하면, 상승 천이 및 하강 천이가 아닐 때, 즉 상승바 신호(RISB) 및 하강바 신호(FALB)가 모두 하이 레벨일 때, 제2 N형 트랜지스터(NT2) 및 제3 N형 트랜지스터(NT3)가 턴 오프되고 제4 N형 트랜지스터(NT4) 및 제5 N형 트랜지스터(NT5)가 턴 온됨에 따라 등화 전류가 유지된다.

[0082] 즉, 상술한 실시예들에 따르면, 하강 등화기(172)는 하강 천이 상황에서 출력 노드의 전압을 감소시킴으로써, 전체 신호 레벨이 감소되지 않도록 할 수 있다. 또한, 하강 천이가 없을 때는, 하강 등화기(172)는 등화 전류원(FIS)이 정상적으로 동작하도록 전류 경로를 유지할 수 있다.

[0083] 도 11은 바이너리 인코딩 방식에서 PAM-4 신호의 천이를 도시한 것이고, 도 12 내지 도 14는 몇몇 예시적 실시예들에 따른 써모미터 인코딩 방식에서 PAM-4 신호의 천이를 도시한 것이다.

[0084] 먼저 도 11을 참조하면, 도시된 바와 같이 하강 천이(또는 상승 천이)가 일어날 때 1개 레벨의 천이가 보상되어야 한다. 바이너리 인코딩 방식의 경우 4개의 레벨을 2개의 비트로 표현하게 되므로, MSB에서 2개 레벨의 하강 천이가 요구되며 LSB에서 1개 레벨의 상승 천이가 요구된다. 즉, MSB와 LSB가 겹치게 됨에 따라, 보상 동작이 중복적으로 필요하다.

[0085] 반면, 도 12 내지 도 14를 참조하면, 2개의 천이 상태를 갖는 3레벨 천이(도 12)에서 각 써모미터 코드(T0~T2)는 1개 레벨의 하강 천이가 요구되므로, 각 천이는 서로 중첩되지 않는다. 또한, 4개의 천이 상태를 갖는 2레벨 천이(도 13)에서 각 써모미터 코드(T1~T2)도 1개 레벨의 하강 천이가 요구되므로, 각 천이는 서로 중첩되지 않는다. 마찬가지로, 6개의 천이 상태를 갖는 1레벨 천이(도 14)에서는 하나의 써모미터 코드(T2)에 대한 1개 레벨의 하강 천이가 요구될 뿐이다.

[0086] 즉, 상술한 실시예들(도 1 내지 도 10)에 따르면, 본 출원의 송신기는 써모미터 인코딩 방식에 따라 신호를 인코딩하게 되므로, 겹치는 보상 없이 에너지 효율적으로 동작 가능하다.

[0087] 도 15는 몇몇 예시적 실시예들에 따른 송수신기를 도시한 것이다.

[0088] 도 15를 참조하면, 몇몇 예시적 실시예들에 따른 송수신기(200)는 송신기(210) 및 수신기(220)를 포함한다.

[0089] 송신기(210)는 출력 노드를 통해 4개의 레벨을 갖는 PAM-4 신호를 송신하도록 구성된다.

[0090] 몇몇 예시적 실시예들에 따라, 송신기(210)는 상술한 실시예들(도 1 내지 도 10)에 따라 구현될 수 있다. 몇몇 예시적 실시예들에 따라, 송신기(210)는 제1 동작 전압(VDD)에 기초하여 PAM-4 신호의 감쇠를 보상하되, 4개의 레벨 중 제1 레벨에서 제2 레벨로의 천이가 상승 천이인 경우, 제1 동작 전압(VDD) 보다 더 큰 레벨을 갖는 제2 동작 전압을 출력 노드에 인가하는 것에 기초하여 감쇠를 보상할 수 있다. 또한, 송신기(210)는 제1 레벨에서 제2 레벨로의 천이가 하강 천이인 경우, 출력 노드로부터 등화 전류를 빼내는 경로를 형성하는 것에 기초하여 감쇠를 보상할 수 있다.

[0091] 수신기(220)는 송신기(210)와 채널을 통해 연결되고, PAM-4 신호를 수신하도록 구성될 수 있다. 예를 들어, 수신기(220)는 차동 채널들(CH1, CH2)을 통해 송신기(210)와 연결되어, 차동 PAM-4 신호를 수신할 수 있다.

[0092] 수신기(220)는 수신한 PAM-4 신호를 디코딩할 수 있다. 예를 들어, 수신기(220)는 PAM-4 신호와 기준 전압들의 비교 동작을 통해 원본 데이터를 디코딩할 수 있다.

[0093] 몇몇 예시적 실시예들에 따라, 수신기(220)는 제1 동작 전압(VDD)으로 종단될 수 있다(terminated). 예를 들어, 수신기(220)는 제1 동작 전압(VDD)이 인가되는 종단 저항들(R3, R4)를 통해 종단될 수 있다. 수신기(220)가 동작 전압에서 종단될 경우, 고속 입출력 인터페이스에서 동작 가능하다.

[0094] 상술한 실시예들에 따르면, 본 출원의 송수신기(200)는 수신기(220)가 동작 전압에서 종단됨에 따라 고속 데이터 송수신에 사용되더라도, PAM-4 신호 스윙을 줄이지 않고 데이터 마진을 보상 가능하다.

[0095] 도 16 내지 도 17은 예시적인 PAM-4 아이 다이어그램(eye diagram)을 도시한 것이다.

[0096] 도 16은 송신기에 등화기가 적용되지 않을 경우의 아이 다이어그램으로써, 감쇠가 보상되지 않음에 따라 아이 다이어그램의 오프닝(opening)과 마진이 열화된 것을 확인할 수 있다.

[0097] 반면, 도 17은 송신기에 상술한 실시예들에 따른 등화기가 적용된 경우의 아이 다이어그램으로써, 감쇠가 보상됨에 따라 아이 다이어그램의 오프닝과 마진이 개선됨을 확인할 수 있다.

[0098] 도 18은 예시적인 경우들에 따른 PAM-4 아이 다이어그램을 도시한 것이다.

[0099] 도 18을 참조하면, 본 출원의 실시예들에 따른 등화기가 적용되지 않은 케이스 2에 비하여, 본 출원의 실시예들에 따른 등화기가 적용된 케이스 1의 경우 전체적인 PAM-4 신호의 레벨이 더 높은 것을 확인할 수 있다.

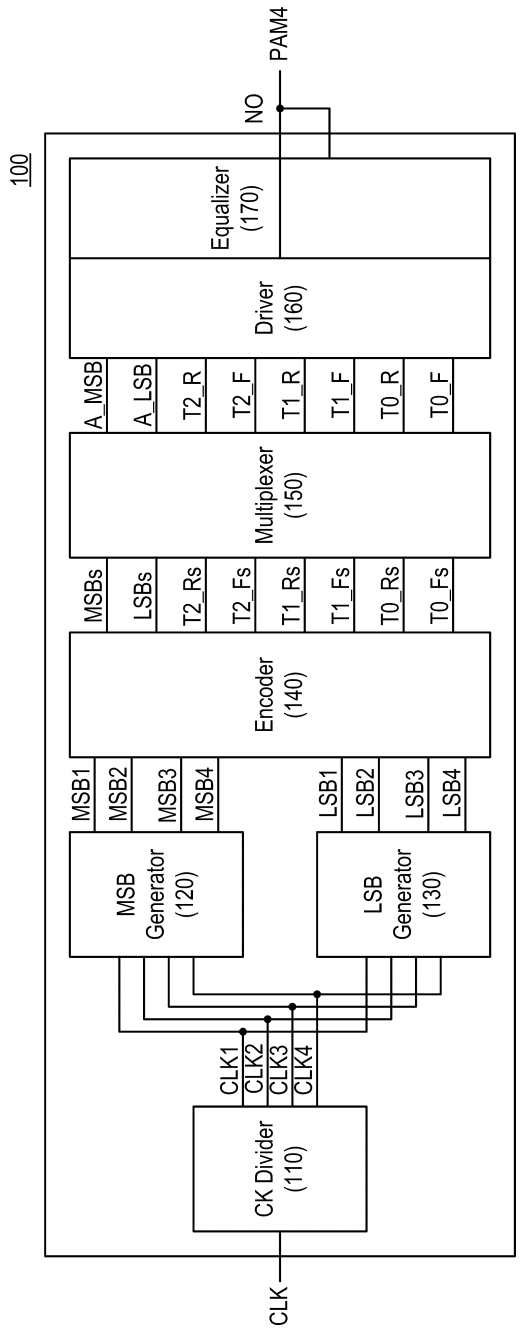
[0100] 따라서, 상술한 실시예들에 따른 송신기 및 송수신기를 통해, PAM-4 신호의 스윙을 줄이지 않고도 감쇠가 보상

될 수 있다.

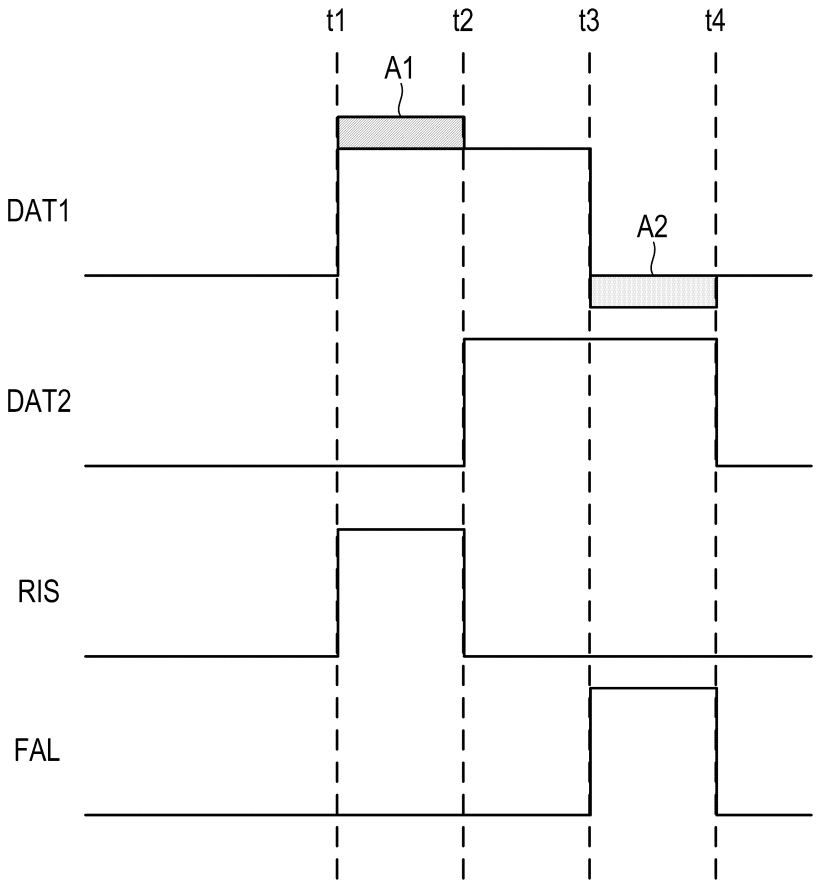
[0101] 상술한 내용은 본 출원을 실시하기 위한 구체적인 실시 예들이다. 본 출원은 상술한 실시 예들 이외에도, 단순하게 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 출원은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 출원의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 본 출원의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

도면

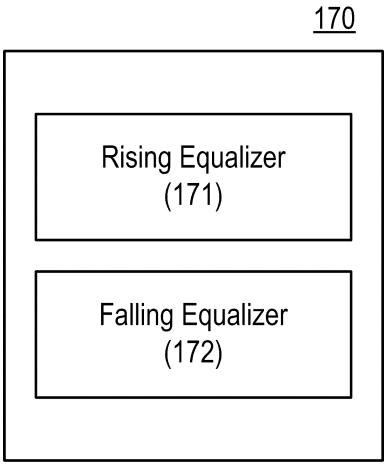
도면1



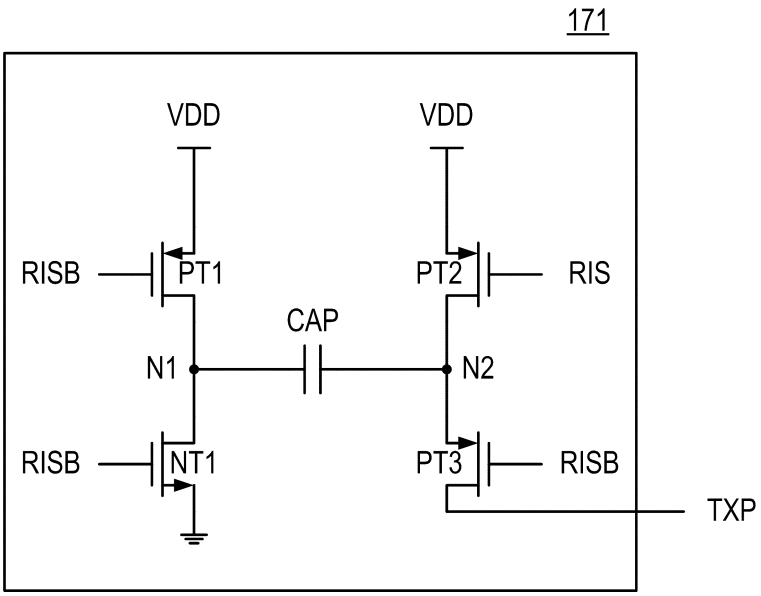
도면2


t1
t2
t3
t4
A1
A2
DAT1
DAT2
RIS
FAL

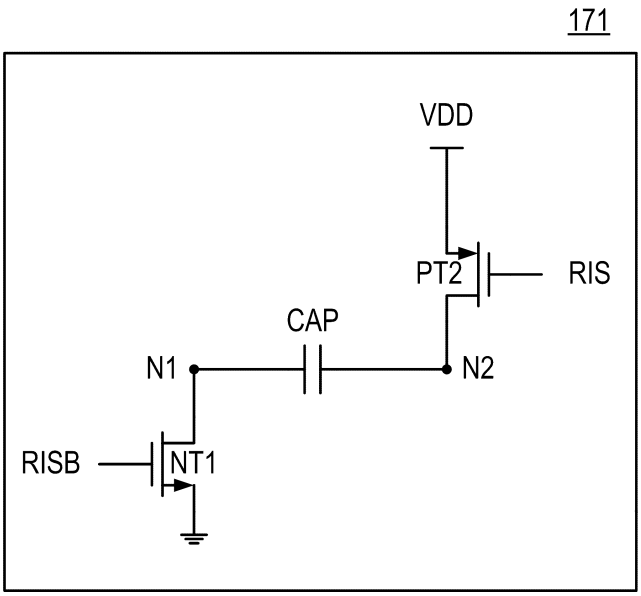
도면3


170
Rising Equalizer
(171)
Falling Equalizer
(172)

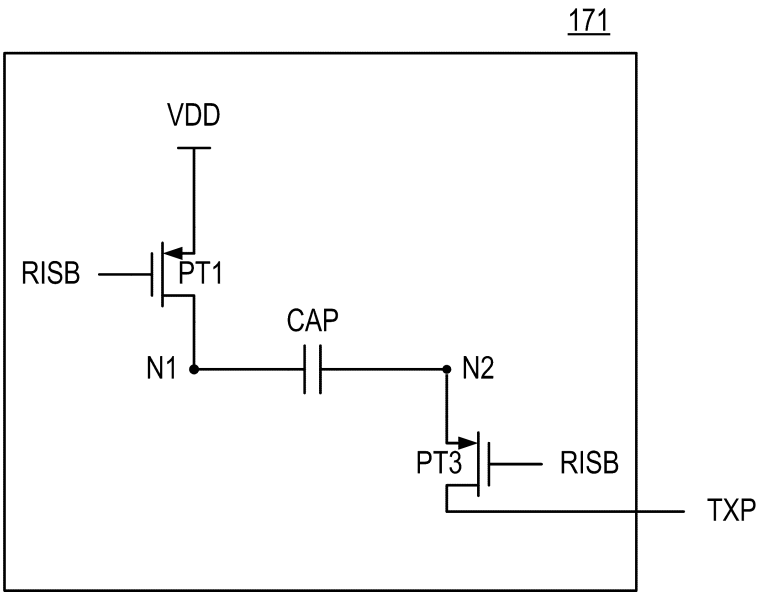
도면4


171
VDD
VDD
RISB
PT1
PT2
RIS
CAP
N1
N2
RISB
NT1
PT3
RISB
TXP

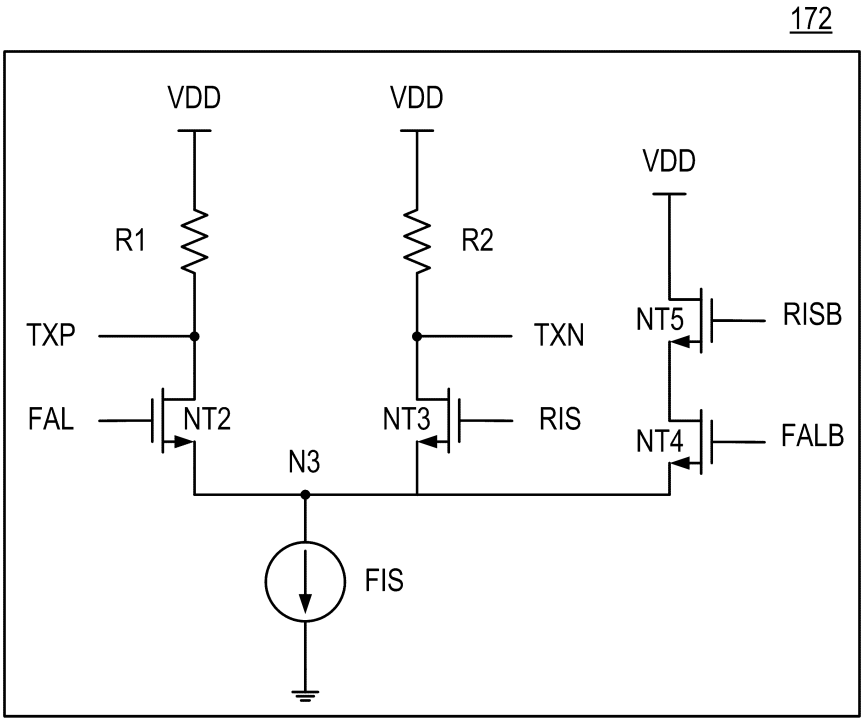
도면5


171
VDD
PT2
RIS
CAP
N1
N2
RISB
NT1

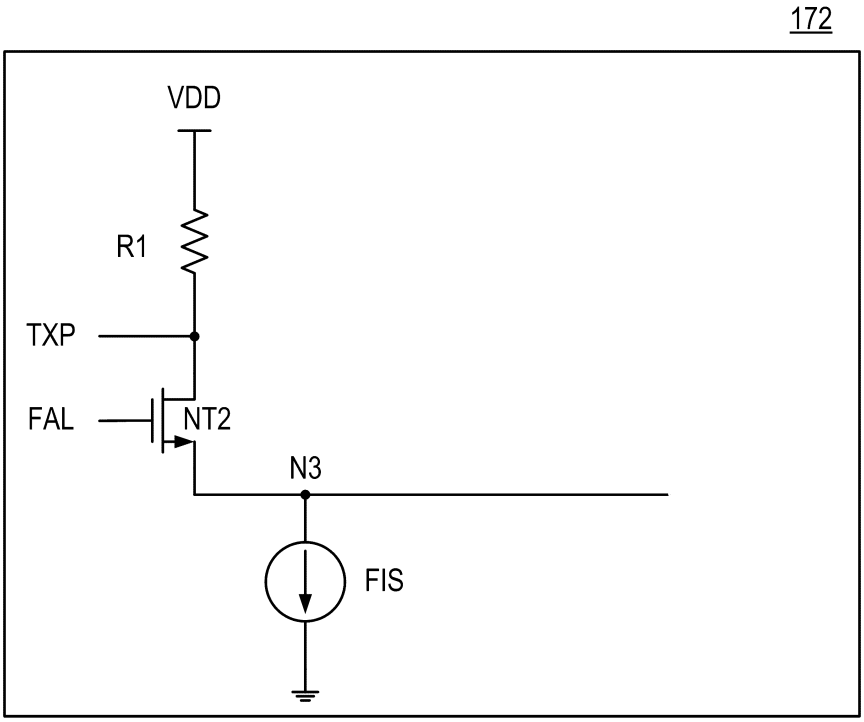
도면6


171
VDD
RISB
PT1
CAP
N1
N2
PT3
RISB
TXP

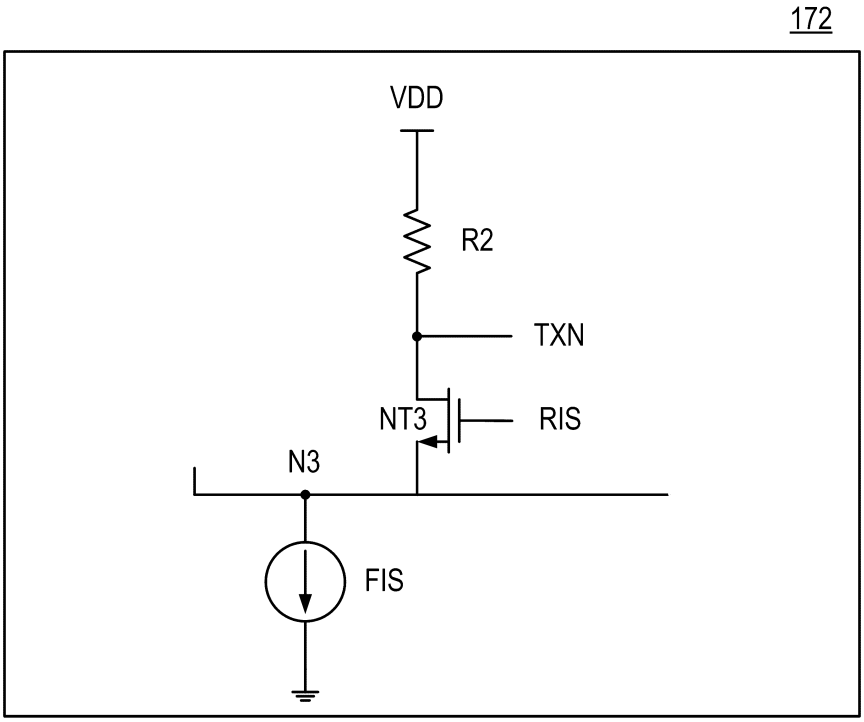
도면7


172
VDD
VDD
VDD
R1
R2
NT5
RISB
TXP
TXN
FAL
NT2
NT3
RIS
NT4
FALB
N3
FIS

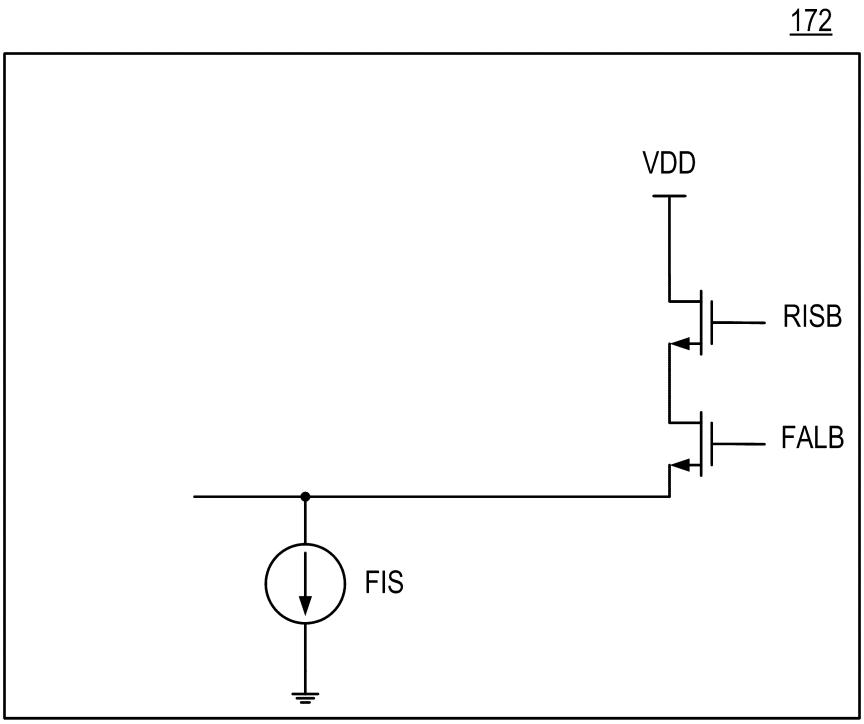
도면8



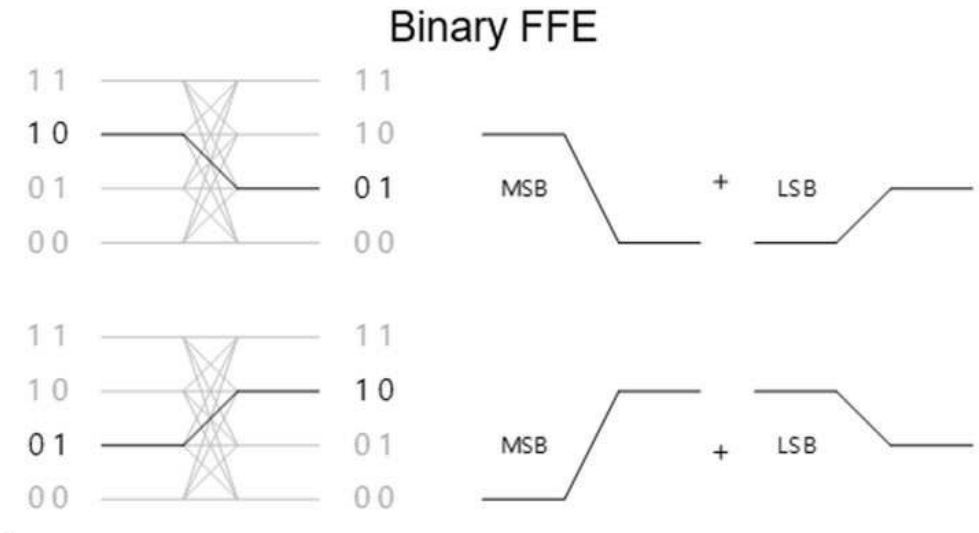
도면9



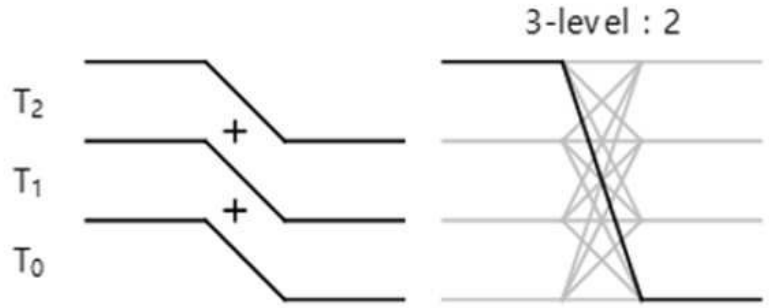
도면10



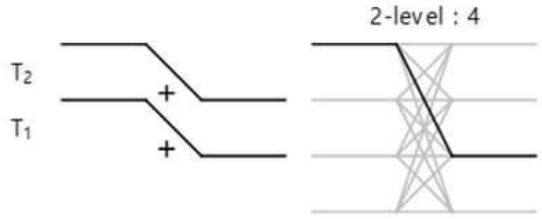
도면11



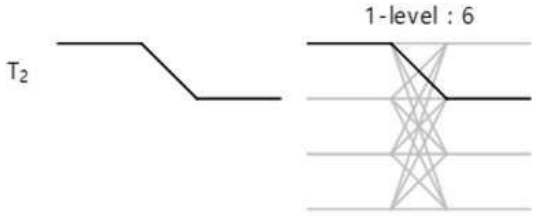
도면12



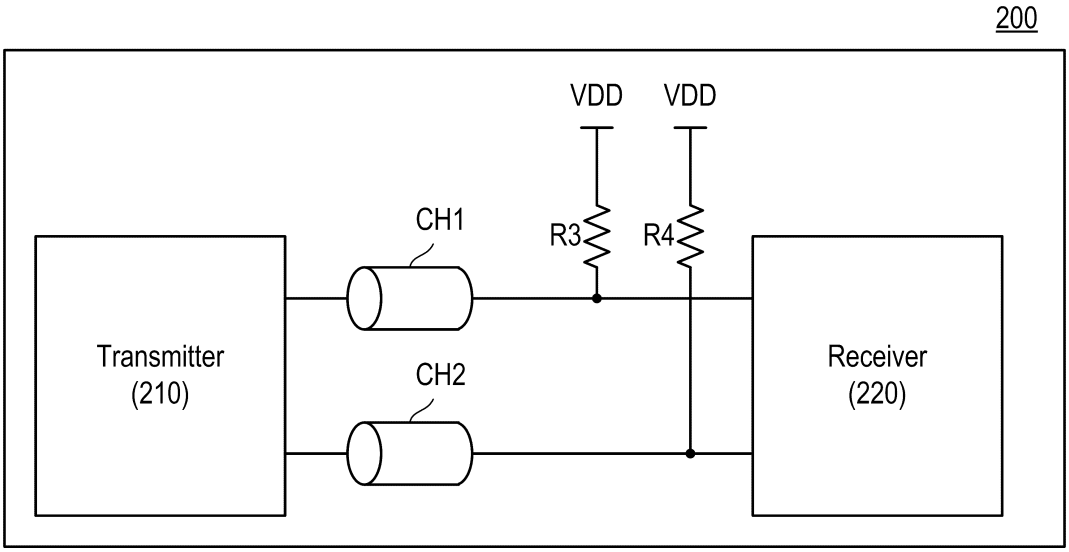
도면13



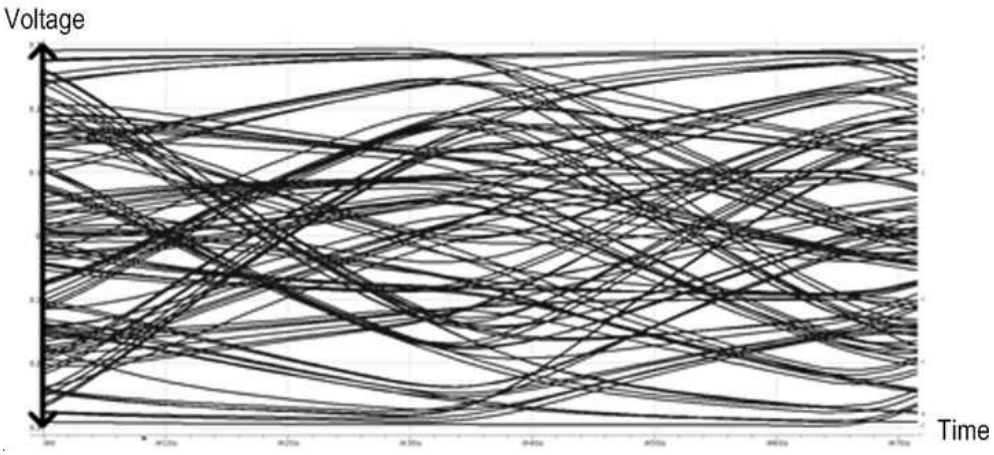
도면14



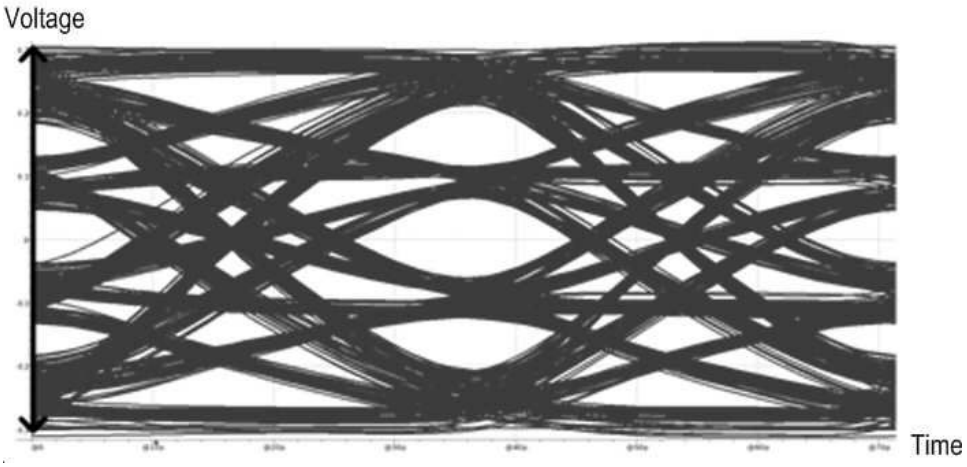
도면15



도면16



도면17



도면18

