

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年6月30日(30.06.2022)



(10) 国際公開番号

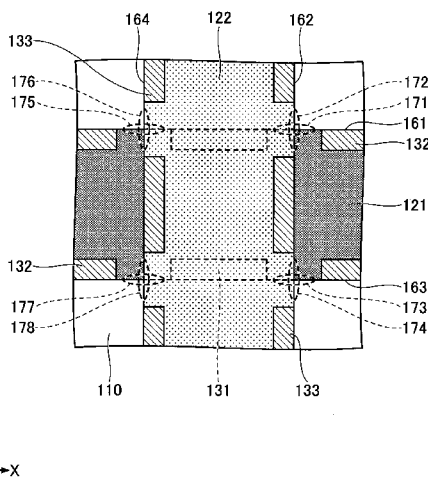
WO 2022/137421 A1

- (51) 国際特許分類:
H01L 39/22 (2006.01) *H01L 29/06* (2006.01)
- (21) 国際出願番号: PCT/JP2020/048426
- (22) 国際出願日: 2020年12月24日(24.12.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (**FUJITSU LIMITED**)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 大伴 真名歩 (**OHTOMO, Manabu**);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- 河口 研一 (**KAWAGUCHI, Kenichi**); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠重, 外 (**ITOH, Tadashige et al.**);
〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 M Y P L A Z A (明治安田生命ビル) 16階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** QUANTUM BIT CIRCUIT, QUANTUM BIT COMPUTER, AND QUANTUM BIT CIRCUIT MANUFACTURING METHOD

(54) 発明の名称: 量子ビット回路、量子コンピュータ及び量子ビット回路の製造方法

[図2]



(57) **Abstract:** This quantum bit circuit has: a first Majorana carrier that is provided with a first edge and extends in a first direction; and a second Majorana carrier that is provided with a second edge and extends in a second direction intersecting the first direction. The first Majorana carrier includes, in a section of the first edge, a first region in which a Majorana particle can exist, said section overlapping with the second edge in planar view. The second Majorana carrier includes, in a section of the second edge, a second region in which a Majorana particle can exist, said section overlapping with the first



WO 2022/137421 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

edge in planar view. A Majorana particle of the first region and a Majorana particle of the second region can be exchanged.

(57) 要約 : 量子ビット回路は、第1縁を備え、第1方向に延びる第1マヨラナ担体と、第2縁を備え、前記第1方向と交差する第2方向に延びる第2マヨラナ担体と、を有し、前記第1マヨラナ担体は、前記第1縁の平面視で前記第2縁と重なる部分に、マヨラナ粒子が存在することができる第1領域を含み、前記第2マヨラナ担体は、前記第2縁の平面視で前記第1縁と重なる部分に、マヨラナ粒子が存在することができる第2領域を含み、前記第1領域のマヨラナ粒子と前記第2領域のマヨラナ粒子とが交換可能である。

明 細 書

発明の名称：

量子ビット回路、量子コンピュータ及び量子ビット回路の製造方法

技術分野

[0001] 本開示は、量子ビット回路、量子コンピュータ及び量子ビット回路の製造方法に関する。

背景技術

[0002] マヨラナ粒子を用いた量子コンピュータについての研究が行われている。マヨラナ粒子を発生させる構造として、例えば次の2種類の技術が提案されている。一方は1次元の半導体ナノワイヤを用いる技術であり、他方は2次元のトポロジカル絶縁体を用いる技術である。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-247267号公報
特許文献2：特表2020-511780号公報

非特許文献

[0004] 非特許文献1：Coulomb-assisted braiding of Majorana fermions in a Josephson junction array, *New Journal of Physics* 14, 035019 (2012)
非特許文献2：Minimal circuit for a flux-controlled Majorana qubit in a quantum spin-Hall insulator, *Physica Scripta* T164, 014007 (2015)
非特許文献3：Direct visualization of a two-dimensional topological insulator in the single-layer $1T'-\text{WTe}_2$, *Physical Review B* 96, (2017)

発明の概要

発明が解決しようとする課題

[0005] これまで理論に基づく提案はされているものの、制御が容易な量子ビット回路を高い歩留まりで製造することは極めて困難である。

[0006] 本開示の目的は、制御が容易な構造を高い歩留まりで製造することができる量子ビット回路、量子コンピュータ及び量子ビット回路の製造方法を提供することにある。

課題を解決するための手段

[0007] 本開示の一形態によれば、第1縁を備え、第1方向に延びる第1マヨラナ担体と、第2縁を備え、前記第1方向と交差する第2方向に延びる第2マヨラナ担体と、を有し、前記第1マヨラナ担体は、前記第1縁の平面視で前記第2縁と重なる部分に、マヨラナ粒子が存在することができる第1領域を含み、前記第2マヨラナ担体は、前記第2縁の平面視で前記第1縁と重なる部分に、マヨラナ粒子が存在することができる第2領域を含み、前記第1領域のマヨラナ粒子と前記第2領域のマヨラナ粒子とが交換可能である量子ビット回路が提供される。

発明の効果

[0008] 本開示によれば、制御が容易な構造を高い歩留まりで製造することができる。

図面の簡単な説明

- [0009] [図1]図1は、第1実施形態に係る量子ビット回路を示す上面図である。
- [図2]図2は、図1中の一部を拡大して示す図である。
- [図3]図3は、第1実施形態に係る量子ビット回路を示す断面図（その1）である。
- [図4]図4は、第1実施形態に係る量子ビット回路を示す断面図（その2）である。
- [図5]図5は、第1実施形態に係る量子ビット回路の動作の例を示す図である。
- [図6]図6は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その1）である。
- [図7]図7は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その2）である。

[図8]図8は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その3）である。

[図9]図9は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その4）である。

[図10]図10は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その5）である。

[図11]図11は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その6）である。

[図12]図12は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その7）である。

[図13]図13は、第1実施形態に係る量子ビット回路の製造方法を示す上面図（その8）である。

[図14]図14は、第2実施形態に係る量子ビット回路を示す上面図である。

[図15]図15は、図14中の一部を拡大して示す図である。

[図16]図16は、第2実施形態に係る量子ビット回路を示す断面図（その1）である。

[図17]図17は、第2実施形態に係る量子ビット回路を示す断面図（その2）である。

[図18]図18は、積層体の価電子帯及び伝導帯の一例を示すバンド図である。

[図19]図19は、トンネル障壁の変化を示す図である。

[図20]図20は、第2実施形態に係る量子ビット回路の動作の例を示す図である。

[図21]図21は、第2実施形態に係る量子ビット回路の製造方法（その1）を示す図である。

[図22]図22は、第2実施形態に係る量子ビット回路の製造方法（その2）を示す図である。

[図23]図23は、第2実施形態に係る量子ビット回路の製造方法（その3）

を示す図である。

[図24]図24は、第2実施形態に係る量子ビット回路の製造方法（その4）を示す図である。

[図25]図25は、第2実施形態に係る量子ビット回路の製造方法（その5）を示す図である。

[図26]図26は、第2実施形態に係る量子ビット回路の製造方法（その6）を示す図である。

[図27]図27は、第2実施形態に係る量子ビット回路の製造方法（その7）を示す図である。

[図28]図28は、第2実施形態に係る量子ビット回路の製造方法（その8）を示す図である。

[図29]図29は、第2実施形態に係る量子ビット回路の製造方法（その9）を示す図である。

[図30]図30は、一部を透視して第3実施形態に係る量子ビット回路を示す上面図である。

[図31]図31は、第3実施形態に係る量子ビット回路を示す断面図（その1）である。

[図32]図32は、第3実施形態に係る量子ビット回路を示す断面図（その2）である。

[図33]図33は、第3実施形態に係る量子ビット回路を示す断面図（その3）である。

[図34]図34は、第3実施形態に係る量子ビット回路を示す断面図（その4）である。

[図35]図35は、量子コンピュータを示す図である。

発明を実施するための形態

[0010] 以下、本開示の実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くこ

とがある。

[0011] (第1実施形態)

まず、第1実施形態について説明する。第1実施形態は、2次元トポロジカル絶縁体を含む量子ビット回路に関する。図1は、第1実施形態に係る量子ビット回路を示す上面図である。図2は、図1中の一部を拡大して示す図である。図3及び図4は、第1実施形態に係る量子ビット回路を示す断面図である。図3は、図1中のIII-III線に沿った断面図に相当する。図4は、図1中のIV-IV線に沿った断面図に相当する。

[0012] 第1実施形態に係る量子ビット回路1は、図1～図4に示すように、基板110と、X軸方向に延びる下部マヨラナ担体121と、Y軸方向に延びる上部マヨラナ担体122とを有する。基板110は、例えばアルミナ基板又はサファイア基板等の絶縁基板である。X軸方向及びY軸方向は、基板110の表面に垂直なZ軸方向に直交する方向である。Y軸方向はX軸方向に交差し、例えばX軸方向及びY軸方向は互いに直交する。本開示において、Z軸方向から対象物を見ることを平面視ということがある。X軸方向は第1方向の一例であり、Y軸方向は第2方向の一例である。

[0013] 下部マヨラナ担体121は、例えば2次元トポロジカル絶縁体層であり、X軸方向に延びる第1縁161及び第3縁163を有する。第1縁161は第3縁163の-Y側に位置する。下部マヨラナ担体121は、単一の2次元トポロジカル絶縁体から構成されていてもよく、複数の2次元トポロジカル絶縁体が積層されて構成されていてもよい。下部マヨラナ担体121の材料は、例えば2テルル化タングステン (WTe_2) である。本実施形態では、複数の下部マヨラナ担体121がY軸方向に並んで配置されている。下部マヨラナ担体121は第1マヨラナ担体の一例である。

[0014] 上部マヨラナ担体122は、例えば2次元トポロジカル絶縁体層であり、Y軸方向に延びる第2縁162及び第4縁164を有する。第2縁162は第4縁164の-X側に位置する。上部マヨラナ担体122は、単一の2次元トポロジカル絶縁体から構成されていてもよく、複数の2次元トポロジカ

ル絶縁体が積層されて構成されていてもよい。上部マヨラナ担体122の材料は、例えば2テルル化タングステン (WTe_2) である。本実施形態では、複数の上部マヨラナ担体122がX軸方向に並んで配置されている。上部マヨラナ担体122は第2マヨラナ担体の一例である。

[0015] 下部マヨラナ担体121の下面に接する下部s波超伝導体層131が設けられている。下部s波超伝導体層131は、平面視で上部マヨラナ担体122と重なる領域毎に、第1縁161、第3縁163に沿って設けられている。各下部s波超伝導体層131のX軸方向の端部は、平面視で上部マヨラナ担体122の第2縁162及び第4縁164から離れている。下部s波超伝導体層131は、例えばA1層である。

[0016] 下部マヨラナ担体121の上面に接する下部s波超伝導体層132が設けられている。下部s波超伝導体層132は、平面視で隣り合う上部マヨラナ担体122の間の領域毎に、第1縁161、第3縁163に沿って設けられている。各下部s波超伝導体層132のX軸方向の端部は、平面視で上部マヨラナ担体122の第2縁162及び第4縁164から離れている。下部s波超伝導体層132は、例えばA1層である。下部s波超伝導体層131及び132は第1s波超伝導体層の一例である。

[0017] 上部マヨラナ担体122の上面に接する上部s波超伝導体層133が設けられている。上部s波超伝導体層133は、平面視で、下部マヨラナ担体121と重なる領域、隣り合う下部マヨラナ担体121の間の領域毎に、第2縁162、第4縁164に沿って設けられている。上部s波超伝導体層133のX軸方向の端部は、平面視で下部マヨラナ担体121の第1縁161及び第3縁163から離れている。上部s波超伝導体層133は、例えばA1層である。上部s波超伝導体層133は第2s波超伝導体層の一例である。

[0018] 下部マヨラナ担体121と上部マヨラナ担体122との間にエッチングストッパ140が設けられている。エッチングストッパ140の材料は、例えばグラフェン又はグラファイトである。エッチングストッパ140の材料がグラファイトである場合、その厚さは薄いほど好ましく、例えば5nm以下

であることが好ましい。後述のように、下部マヨラナ担体121と上部マヨラナ担体122との間でマヨラナ粒子がエッチングストッパ140をトンネルするからである。

[0019] 下部s波超伝導体層131、下部s波超伝導体層132及び上部s波超伝導体層133には、個別に配線が接続される。

[0020] 量子ビット回路1では、第1縁161の平面視で隣り合う下部s波超伝導体層131と下部s波超伝導体層132と間の部分と、第3縁163の平面視で隣り合う下部s波超伝導体層131と下部s波超伝導体層132と間の部分とに、マヨラナ粒子が存在することができる。そして、例えば、これらマヨラナ粒子が存在することができる部分のうち、第1縁161の第2縁162と重なる部分が第1領域171として機能し、第3縁163の第2縁162と重なる部分が第3領域173として機能する。また、例えば、これらマヨラナ粒子が存在することができる部分のうち、第1縁161の第4縁164と重なる部分が第5領域175として機能し、第3縁163の第4縁164と重なる部分が第7領域177として機能する。

[0021] 同様に、第2縁162の平面視で隣り合う2つの上部s波超伝導体層133の間の部分と、第4縁164の平面視で隣り合う2つの上部s波超伝導体層133の間の部分とに、マヨラナ粒子が存在することができる。そして、例えば、これらマヨラナ粒子が存在することができる部分のうち、第2縁162の第1縁161と重なる部分が第2領域172として機能し、第4縁164の第1縁161と重なる部分が第6領域176として機能する。また、これらマヨラナ粒子が存在することができる部分のうち、第2縁162の第3縁163と重なる部分が第4領域174として機能し、第4縁164の第3縁163と重なる部分が第8領域178として機能する。

[0022] 第1領域171に存在するマヨラナ粒子と、第2領域172に存在するマヨラナ粒子とは、エッチングストッパ140をトンネル効果で通り抜けることができ、相互作用する。このため、両マヨラナ粒子は単一のマヨラナ粒子とみなすことができる。第3領域173と第4領域174との組、第5領域

175と第6領域176との組、第7領域177と第8領域178との組についても、同様である。

[0023] このように、量子ビット回路1では、下部マヨラナ担体121に発生するマヨラナ粒子と上部マヨラナ担体122に発生するマヨラナ粒子とを容易に相互作用させることができる。また、後述のように、このような構造は、従来の半導体プロセスにおける位置合わせ精度があれば、高い歩留まりで製造することができる。

[0024] また、下部s波超伝導体層131、132の状態を制御することにより、下部s波超伝導体層131、132を間に挟んで隣り合う第1領域171と第5領域175との間、第3領域173と第7領域177との間で、マヨラナ粒子を交換することができる。同様に、上部s波超伝導体層133の状態を制御することにより、上部s波超伝導体層133を間に挟んで隣り合う第2領域172と第4領域174との間、第6領域176と第8領域178との間で、マヨラナ粒子を交換することができる。

[0025] 更に、量子ビット回路1では、平面視で下部マヨラナ担体121と上部マヨラナ担体122とが重なる領域に8個のマヨラナ粒子を発生させることができる。従って、マヨラナ量子ビットを高密度で集積することができる。また、マヨラナ量子ビットを規則的に格子状に集積することもでき、配線等の設計をしやすい。

[0026] ここで、量子ビット回路1の動作の例について説明する。図5は、第1実施形態に係る量子ビット回路の動作の例を示す図である。図5中の円は領域171～178中のマヨラナ粒子を示す。また、2つのマヨラナ粒子を結ぶ線分のうち、破線で示した線分はs波超伝導体層がマヨラナ粒子の交換が不可能な状態になっていることを示し、実線で示した線分はs波超伝導体層がマヨラナ粒子の交換が可能な状態になっていることを示す。

[0027] この例では、X軸方向で第1領域171を挟んで隣り合う2つの第5領域175の間でマヨラナ粒子を交換する。すなわち、一方の第5領域175に発生したマヨラナ粒子 γ_1 と他方の第5領域175に発生したマヨラナ粒子

$\gamma 4$ とを、これらの間の第 1 領域 1 7 1 に発生したマヨラナ粒子 $\gamma 2$ を介して帯電により交換する。

[0028] 次に、第 1 実施形態に係る量子ビット回路 1 の製造方法について説明する。図 6 ~ 図 1 3 は、第 1 実施形態に係る量子ビット回路の製造方法を示す上面図である。

[0029] まず、図 6 に示すように、基板 1 1 0 の上に下部 s 波超伝導体層 1 3 1 を形成する。下部 s 波超伝導体層 1 3 1 は、例えば蒸着法により形成することができる。

[0030] 次に、図 7 に示すように、基板 1 1 0 の上に下部 s 波超伝導体層 1 3 1 を覆うようにして 2 次元トポロジカル絶縁体層 1 2 1 X を設ける。2 次元トポロジカル絶縁体層 1 2 1 X は、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。2 次元トポロジカル絶縁体層 1 2 1 X を基板 1 1 0 の上に形成してもよい。

[0031] その後、図 8 に示すように、2 次元トポロジカル絶縁体層 1 2 1 X を加工することにより、複数の下部マヨラナ担体 1 2 1 を形成する。2 次元トポロジカル絶縁体層 1 2 1 X の加工では、例えば反応性イオンエッチング (reactive ion etching: R I E) を行う。エッチングガスとしては、例えばフッ化炭素系ガスを用いる。

[0032] 続いて、図 9 に示すように、基板 1 1 0 の上方に下部マヨラナ担体 1 2 1 を覆うようにしてエッチングストッパ 1 4 0 X を設ける。エッチングストッパ 1 4 0 X は、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。

[0033] 次に、図 1 0 に示すように、エッチングストッパ 1 4 0 X の上に 2 次元トポロジカル絶縁体層 1 2 2 X を設ける。2 次元トポロジカル絶縁体層 1 2 2 X は、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。2 次元トポロジカル絶縁体層 1 2 2 X をエッチングストッパ 1 4 0 X の上に形成してもよい。

[0034] その後、図 1 1 に示すように、2 次元トポロジカル絶縁体層 1 2 2 X を加

工することにより、複数の上部マヨラナ担体122を形成する。2次元トポロジカル絶縁体層122Xの加工では、例えばRIEを行う。エッチングガスとしては、例えばフッ化炭素系ガスを用いる。このとき、下部マヨラナ担体121はエッチングストップパ140Xにより保護される。

[0035] 続いて、図12に示すように、エッチングストップパ140Xを加工することにより、下部マヨラナ担体121と上部マヨラナ担体122との間にエッチングストップパ140を形成する。エッチングストップパ140Xの加工では、例えばRIEを行う。エッチングガスとしては、例えば酸素ガスを用いる。

[0036] 次に、図13に示すように、下部マヨラナ担体121の上に下部s波超伝導体層132を形成し、上部マヨラナ担体122の上に上部s波超伝導体層133を形成する。下部s波超伝導体層132及び上部s波超伝導体層133は、例えば蒸着法により形成することができる。

[0037] その後、下部s波超伝導体層131、下部s波超伝導体層132及び上部s波超伝導体層133に個別に接続される配線（図示せず）等を形成する。

[0038] このようにして、第1実施形態に係る量子ビット回路1を製造することができる。

[0039] このような方法によれば、従来の半導体プロセスにおける位置合わせ精度があれば、量子ビット回路1を高い歩留まりで製造することができる。

[0040] なお、下部s波超伝導体層131及び下部s波超伝導体層132の両方が下部マヨラナ担体121の下面に接していてもよく、下部s波超伝導体層131及び下部s波超伝導体層132の両方が下部マヨラナ担体121の上面に接していてもよい。

[0041] （第2実施形態）

次に、第2実施形態について説明する。第2実施形態は、主として、下部マヨラナ担体121と上部マヨラナ担体122とを含む積層構造の構成の点で第1実施形態と相違する。図14は、第2実施形態に係る量子ビット回路を示す上面図である。図15は、図14中の一部を拡大して示す図である。

図16及び図17は、第2実施形態に係る量子ビット回路を示す断面図である。図16は、図14中のXVI-XVI線に沿った断面図に相当する。図17は、図14中のXVII-XVII線に沿った断面図に相当する。

[0042] 第2実施形態に係る量子ビット回路2は、第1実施形態と同様に、基板110と、下部マヨラナ担体121と、上部マヨラナ担体122と、下部s波超伝導体層131と、下部s波超伝導体層132と、上部s波超伝導体層133とを有する。その一方で、下部マヨラナ担体121と上部マヨラナ担体122との間に、エッチングストッパ140に代えて、エッチングストッパ241と、エッチングストッパ242と、半導体層250とが設けられている。エッチングストッパ241が下部マヨラナ担体121と半導体層250との間に設けられ、エッチングストッパ242が半導体層250と上部マヨラナ担体122との間に設けられている。

[0043] エッチングストッパ241、242の材料は、例えばグラフェン又はグラファイトである。エッチングストッパ241、242の材料がグラファイトである場合、その厚さは薄いほど好ましく、例えば5nm以下であることが好ましい。下部マヨラナ担体121と上部マヨラナ担体122との間でマヨラナ粒子がエッチングストッパ241、242をトンネルするからである。

[0044] 半導体層250の材料は、例えば2セレン化スズ(SnSe_2)等の2次元半導体である。半導体層250の導電型は限定されず、例えば真性半導体であってもよく、n型半導体であってもよい。半導体層250は、単一の2次元半導体から構成されていてもよく、複数の2次元半導体が積層されて構成されていてもよい。半導体層250はトンネル障壁層の一例である。

[0045] X軸方向で隣り合う下部s波超伝導体層131の間に下部電極251が設けられている。下部電極251は、下部s波超伝導体層131と同様に、下部マヨラナ担体121に覆われている。例えば、下部電極251は、平面視で上部マヨラナ担体122と重ならない領域に設けられている。下部電極251は、例えば、第1領域171の近傍と、第3領域173の近傍と、第5領域175の近傍と、第7領域177の近傍とにそれぞれ設けられている。

[0046] また、上部マヨラナ担体 1 2 2 の上に上部電極 2 5 2 が設けられている。上部電極 2 5 2 は、例えば、第 2 領域 1 7 2 の近傍と、第 4 領域 1 7 4 の近傍と、第 6 領域 1 7 6 の近傍と、第 8 領域 1 7 8 の近傍とにそれぞれ設けられている。

[0047] 図 1 5 に示すように、互いに重なる第 1 領域 1 7 1 と第 2 領域 1 7 2 の各近傍に設けられた下部電極 2 5 1 と上部電極 2 5 2 との間に電圧を印加する電源 2 5 3 が設けられている。互いに重なる第 3 領域 1 7 3 と第 4 領域 1 7 4 の各近傍に設けられた下部電極 2 5 1 と上部電極 2 5 2 との間に電圧を印加する他の電源 2 5 3 も設けられている。互いに重なる第 5 領域 1 7 5 と第 6 領域 1 7 6 の各近傍に設けられた下部電極 2 5 1 と上部電極 2 5 2 との間に電圧を印加する他の電源 2 5 3 も設けられている。互いに重なる第 7 領域 1 7 7 と第 8 領域 1 7 8 の各近傍に設けられた下部電極 2 5 1 と上部電極 2 5 2 との間に電圧を印加する他の電源 2 5 3 も設けられている。

[0048] 他の構成は第 1 実施形態と同様である。

[0049] 量子ビット回路 2 では、下部マヨラナ担体 1 2 1 と上部マヨラナ担体 1 2 2 との間にエッチングストッパ 2 4 1 と、半導体層 2 5 0 と、エッチングストッパ 2 4 2 との積層膜が存在する。ここで、下部マヨラナ担体 1 2 1 と、エッチングストッパ 2 4 1 と、半導体層 2 5 0 と、エッチングストッパ 2 4 2 と、上部マヨラナ担体 1 2 2 との積層体の価電子帯及び伝導帯のバンド図の一例を図 1 8 に示す。図 1 8 に示す例では、下部マヨラナ担体 1 2 1 及び上部マヨラナ担体 1 2 2 がそれぞれ単一の WTe_2 から構成され、エッチングストッパ 2 4 1 及び 2 4 2 がグラフェンから構成され、半導体層 2 5 0 が 4 層の $SnSe_2$ から構成されている。

[0050] 半導体層 2 5 0 が設けられているため、下部マヨラナ担体 1 2 1 に発生するマヨラナ粒子と上部マヨラナ担体 1 2 2 に発生するマヨラナ粒子の間にはトンネル障壁が存在する。このトンネル障壁の高さは、電源 2 5 3 から印加するゲート電圧の大きさにより調整することができる。例えば、ゲート電圧を印加することで、半導体層 2 5 0 のバンドを変化させ、トンネル障壁を

下げてトンネル効果を誘起することができる。

[0051] 図19は、トンネル障壁の変化を示す図である。図19には、半導体層250の価電子帯 E_v 及び伝導帯 E_c の変化をフェルミレベル E_F とともに示す。ゲート電圧 V_G を印加することで共鳴トンネル効果を発現させることができる。このように、トンネル効果によりマヨラナ粒子が2つの状態の間を行き来できるようになる。従って、所望のタイミングでトンネル障壁を復活させることで、例えば、第1領域171に発生したマヨラナ粒子 γ_2 と第2領域172に発生したマヨラナ粒子 γ_5 との交換270が可能となる。つまり、量子ゲート操作を行うことができる。

[0052] ここで、量子ビット回路2の動作の例について説明する。図20は、第2実施形態に係る量子ビット回路の動作の例を示す図である。図5と同様に、図20中の円は領域171～178中のマヨラナ粒子を示す。また、2つのマヨラナ粒子を結ぶ線分のうち、破線で示した線分はs波超伝導体層がマヨラナ粒子の交換が不可能な状態になっていることを示し、実線で示した線分はs波超伝導体層がマヨラナ粒子の交換が可能な状態になっていることを示す。

[0053] 第1実施形態に係る量子ビット回路1では、帯電によるマヨラナ粒子の交換が可能であるのに対し、第2実施形態に係る量子ビット回路2では、帯電によるマヨラナ粒子の交換に加えて、ゲート電圧の制御を通じてトンネル効果によるマヨラナ粒子の交換が可能である。

[0054] トンネル効果による交換では、上記のように、ゲート電圧 V_G の印加により、例えば、第1領域171と第2領域172との間でマヨラナ粒子を交換する。すなわち、第1領域171に発生したマヨラナ粒子 γ_2 と第2領域172に発生したマヨラナ粒子とを半導体層250のトンネルを通じて交換する。

[0055] また、帯電による交換では、例えば、X軸方向で第1領域171を挟んで隣り合う2つの第5領域175の間でマヨラナ粒子を交換する。すなわち、一方の第5領域175に発生したマヨラナ粒子 γ_1 と他方の第5領域175

に発生したマヨラナ粒子 γ_4 とを、これらの間の第1領域171に発生したマヨラナ粒子 γ_2 を介して帯電により交換する。

[0056] 次に、第2実施形態に係る量子ビット回路2の製造方法について説明する。図21～図29は、第2実施形態に係る量子ビット回路の製造方法を示す図である。

[0057] まず、第1実施形態と同様にして基板110の上に下部s波超伝導体層131を形成する。下部s波超伝導体層131は、例えば蒸着法により形成することができる。また、基板110の上に下部電極251を形成する。下部電極251は、例えば蒸着法により形成することができる。次いで、図21に示すように、第1実施形態と同様にして複数の下部マヨラナ担体121を形成する。更に、基板110の上に下部マヨラナ担体121を覆うようにしてエッチングストッパ241Xを設ける。エッチングストッパ241Xは、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。エッチングストッパ241Xは第1エッチングストッパの一例である。

[0058] その後、図22に示すように、エッチングストッパ241Xの上に半導体層250Xを設ける。半導体層250Xは、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。

[0059] 続いて、図23に示すように、半導体層250Xを加工することにより、複数の半導体層250を形成する。半導体層250Xの加工では、例えばRIEを行う。エッチングガスとしては、例えばフッ化炭素系ガスを用いる。このとき、下部マヨラナ担体121はエッチングストッパ241Xにより保護される。

[0060] 次いで、図24に示すように、エッチングストッパ241Xを加工することにより、下部マヨラナ担体121と半導体層250との間にエッチングストッパ241を形成する。エッチングストッパ241Xの加工では、例えばRIEを行う。エッチングガスとしては、例えば酸素ガスを用いる。

- [0061] その後、図25に示すように、基板110の上方に下部マヨラナ担体121及び半導体層250を覆うようにしてエッチングストッパ242Xを設ける。エッチングストッパ242Xは、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。エッチングストッパ242Xは第2エッチングストッパの一例である。
- [0062] 続いて、図26に示すように、エッチングストッパ242Xの上に2次元トポロジカル絶縁体層122Xを設ける。2次元トポロジカル絶縁体層122Xは、例えば、別途、成長基板（図示せず）の上に成長させ、成長基板から転写することにより設けることができる。2次元トポロジカル絶縁体層122Xをエッチングストッパ242Xの上に形成してもよい。
- [0063] 次いで、図27に示すように、2次元トポロジカル絶縁体層122Xを加工することにより、複数の上部マヨラナ担体122を形成する。2次元トポロジカル絶縁体層122Xの加工では、例えばRIEを行う。エッチングガスとしては、例えばフッ化炭素系ガスを用いる。このとき、下部マヨラナ担体121はエッチングストッパ242Xにより保護される。
- [0064] その後、図28に示すように、エッチングストッパ242Xを加工することにより、半導体層250と上部マヨラナ担体122との間にエッチングストッパ242を形成する。エッチングストッパ242の加工では、例えばRIEを行う。エッチングガスとしては、例えば酸素ガスを用いる。
- [0065] 続いて、図29に示すように、下部マヨラナ担体121の上に下部s波超伝導体層132を形成し、上部マヨラナ担体122の上に上部s波超伝導体層133を形成する。更に、上部マヨラナ担体122の上に上部電極252を形成する。上部電極252は、例えば蒸着法により形成することができる。
- [0066] このようにして、第2実施形態に係る量子ビット回路2を製造することができる。
- [0067] （第3実施形態）
- 次に、第3実施形態について説明する。第3実施形態は、半導体ナノワイ

ヤを含む量子ビット回路に関する。図30は、一部を透視して第3実施形態に係る量子ビット回路を示す上面図である。図31～図34は、第3実施形態に係る量子ビット回路を示す断面図である。図31は、図30中のXXXI-XXXI線に沿った断面図に相当する。図32は、図30中のXXXII-XXXII線に沿った断面図に相当する。図33は、図30中のXXXIII-XXXIII線に沿った断面図に相当する。図34は、図30中のXXXIV-XXXIV線に沿った断面図に相当する。

[0068] 第3実施形態に係る量子ビット回路3は、図30～図34に示すように、基板310と、X軸方向に延びる下部マヨラナ担体321と、Y軸方向に延びる上部マヨラナ担体322とを有する。基板310は、例えば表面の面方位が(100)のGaAs基板又はInP基板等の半導体基板である。X軸方向及びY軸方向は、基板310の表面に垂直なZ軸方向に直交する方向である。Y軸方向はX軸方向に交差し、例えばX軸方向及びY軸方向は互いに直交する。

[0069] 下部マヨラナ担体321は、例えばInAsからなる半導体ナノワイヤである。本実施形態では、複数の下部マヨラナ担体321がY軸方向に並んで配置されている。下部マヨラナ担体321は第1マヨラナ担体の一例である。

[0070] 上部マヨラナ担体322は、例えばInAsからなる半導体ナノワイヤである。本実施形態では、複数の上部マヨラナ担体122がX軸方向に並んで配置されている。上部マヨラナ担体322は第2マヨラナ担体の一例である。

[0071] 基板310の上にバッファ層381及び下地半導体層382が設けられている。例えば、バッファ層381は、厚さが1 μ m程度のIn_{1-x}Al_xAs層であり、基板310との界面から下地半導体層382との界面にかけて、基板310及び下地半導体層382に格子整合するようにAl組成xが変化してもよい。例えば、下地半導体層382は、厚さが4nm程度のIn_{0.81}Ga_{0.19}As層である。

- [0072] 下部マヨラナ担体321は下地半導体層382の上に形成されている。下部マヨラナ担体321の厚さは、例えば5nm程度である。下部マヨラナ担体321を覆うようにバリア層383が下地半導体層382の上に形成されている。例えば、バリア層383は、下部マヨラナ担体321の上での厚さが5nm程度のIn_{0.9}Al_{0.1}As層である。下部マヨラナ担体321は、バリア層383に覆われて量子井戸として機能する。
- [0073] 上部マヨラナ担体322はバリア層383の上に形成されている。上部マヨラナ担体322の厚さは、例えば5nm程度である。上部マヨラナ担体322を覆うようにバリア層384がバリア層383の上に形成されている。例えば、バリア層384は、上部マヨラナ担体322の上での厚さが5nm程度のIn_{0.9}Al_{0.1}As層である。上部マヨラナ担体322は、バリア層384に覆われて量子井戸として機能する。
- [0074] 図30及び図33に示すように、平面視で下部マヨラナ担体321の近傍において、バリア層383及び384に下地半導体層382に達する開口部391が形成されており、開口部391内に下部s波超伝導体層331が設けられている。下部s波超伝導体層331は、例えばAl層である。下部s波超伝導体層331は第1s波超伝導体層の一例である。
- [0075] 図30及び図31に示すように、平面視で上部マヨラナ担体322の近傍において、バリア層384にバリア層383に達する開口部392が形成されており、開口部392内に上部s波超伝導体層332が設けられている。上部s波超伝導体層332は、例えばAl層である。上部s波超伝導体層332は第2s波超伝導体層の一例である。
- [0076] 図30及び図32に示すように、バリア層383及び384に下部マヨラナ担体321に達する開口部393が形成されており、開口部393内に下部電極351が形成されている。図30、図32及び図34に示すように、平面視で下部マヨラナ担体321と上部マヨラナ担体322とが重なる領域において、バリア層384の上に上部電極352が形成されている。X方向で隣り合う1つの下部電極351と1つの上部電極352との間に電圧を印

加する電源353が設けられている。電源353は、下部電極351及び上部電極352の組毎に設けられている。

[0077] 量子ビット回路3では、下部マヨラナ担体321の平面視で上部マヨラナ担体322と重なる部分と、上部マヨラナ担体322の平面視で下部マヨラナ担体321と重なる部分とに、マヨラナ粒子が存在することができる。そして、例えば、これらマヨラナ粒子が存在することができる部分のうち、下部マヨラナ担体321の平面視で上部マヨラナ担体322と重なる部分が第1領域371として機能し、上部マヨラナ担体322の平面視で下部マヨラナ担体321と重なる部分が第2領域372として機能する。

[0078] また、下部s波超伝導体層331の状態を制御することにより、X軸方向で隣り合う2つの第1領域371の間でマヨラナ粒子を交換することができる。同様に、上部s波超伝導体層332の状態を制御することにより、Y軸方向で隣り合う2つの第2領域372の間でマヨラナ粒子を交換することができる。更に、電源353から印加するゲート電圧を調整することで、Z軸方向で隣り合う第1領域371と第2領域372との間でマヨラナ粒子を交換することができる。

[0079] なお、マヨラナ担体として、グラフェンナノリボンを用いることも可能である。

[0080] 図35に示すように、これら実施形態に係る量子ビット回路1、2、3は、例えば、量子ビット回路401として、量子コンピュータ400に内蔵させて用いることができる。

[0081] 以上、好ましい実施の形態等について詳説したが、上述した実施の形態等に制限されることはなく、請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態等に種々の変形及び置換を加えることができる。

符号の説明

[0082] 1、2、3、401：量子ビット回路
110：基板
121、321：下部マヨラナ担体

- 1 2 2、3 2 2 : 上部マヨラナ担体
- 1 3 1、1 3 2、3 3 1 : 下部 s 波超伝導体層
- 1 3 3、3 3 2 : 上部 s 波超伝導体層
- 1 4 0、2 4 1、2 4 2 : エッチングストッパ
- 1 6 1 ~ 1 6 4 : 縁
- 1 7 1 ~ 1 7 8、3 7 1、3 7 2 : 領域
- 2 5 0 : 半導体層
- 2 5 1、3 5 1 : 下部電極
- 2 5 2、3 5 2 : 上部電極
- 2 5 3、3 5 3 : 電源
- 4 0 0 : 量子コンピュータ

請求の範囲

- [請求項1] 第1縁を備え、第1方向に延びる第1マヨラナ担体と、
第2縁を備え、前記第1方向と交差する第2方向に延びる第2マヨラナ担体と、
を有し、
前記第1マヨラナ担体は、前記第1縁の平面視で前記第2縁と重なる部分に、マヨラナ粒子が存在することができる第1領域を含み、
前記第2マヨラナ担体は、前記第2縁の平面視で前記第1縁と重なる部分に、マヨラナ粒子が存在することができる第2領域を含み、
前記第1領域のマヨラナ粒子と前記第2領域のマヨラナ粒子とが交換可能であることを特徴とする量子ビット回路。
- [請求項2] 前記第1マヨラナ担体は第1トポロジカル絶縁体層を含み、
前記第2マヨラナ担体は第2トポロジカル絶縁体層を含むことを特徴とする請求項1に記載の量子ビット回路。
- [請求項3] 前記第1トポロジカル絶縁体層及び前記第2トポロジカル絶縁体層は WTe_2 層であることを特徴とする請求項2に記載の量子ビット回路。
- [請求項4] 前記第1マヨラナ担体と前記第2マヨラナ担体との間に設けられ、
前記第1領域のマヨラナ粒子及び前記第2領域のマヨラナ粒子がトンネル可能なエッチングストッパを有することを特徴とする請求項1乃至3のいずれか1項に記載の量子ビット回路。
- [請求項5] 前記第1マヨラナ担体に接し、前記第1方向で前記第1領域を挟むように設けられた第1s波超伝導体層と、
前記第2マヨラナ担体に接し、前記第2方向で前記第2領域を挟むように設けられた第2s波超伝導体層と、
有することを特徴とする請求項1乃至4のいずれか1項に記載の量子ビット回路。
- [請求項6] 前記第1マヨラナ担体と前記第2マヨラナ担体との間に設けられた

トンネル障壁層を有することを特徴とする請求項1乃至5のいずれか1項に記載の量子ビット回路。

[請求項7] 前記トンネル障壁層は $S_n S e_2$ 層であることを特徴とする請求項6に記載の量子ビット回路。

[請求項8] 前記第1マヨラナ担体と前記第2マヨラナ担体との間に電圧を印加する電源を有することを特徴とする請求項6又は7に記載の量子ビット回路。

[請求項9] 前記第1マヨラナ担体は、前記第1方向に延びる第3縁を備え、
前記第1マヨラナ担体は、前記第3縁の平面視で前記第2縁と重なる部分に、マヨラナ粒子が存在することができる第3領域を含み、
前記第2マヨラナ担体は、前記第2縁の平面視で前記第3縁と重なる部分に、マヨラナ粒子が存在することができる第4領域を含み、
前記第3領域のマヨラナ粒子と前記第4領域のマヨラナ粒子とが交換可能であり、
前記第1領域のマヨラナ粒子と前記第3領域のマヨラナ粒子とが交換可能であることを特徴とする請求項1乃至8のいずれか1項に記載の量子ビット回路。

[請求項10] 前記第2マヨラナ担体は、前記第2方向に延びる第4縁を備え、
前記第1マヨラナ担体は、
前記第1縁の平面視で前記第4縁と重なる部分に、マヨラナ粒子が存在することができる第5領域と、
前記第3縁の平面視で前記第4縁と重なる部分に、マヨラナ粒子が存在することができる第7領域と、
を含み、
前記第2マヨラナ担体は、
前記第4縁の平面視で前記第1縁と重なる部分に、マヨラナ粒子が存在することができる第6領域と、
前記第4縁の平面視で前記第3縁と重なる部分に、マヨラナ粒子が

存在することができる第8領域と、

を含み、

前記第5領域のマヨラナ粒子と前記第6領域のマヨラナ粒子とが交換可能であり、

前記第7領域のマヨラナ粒子と前記第8領域のマヨラナ粒子とが交換可能であり、

前記第5領域のマヨラナ粒子と前記第7領域のマヨラナ粒子とが交換可能であり、

前記第2領域のマヨラナ粒子と前記第6領域のマヨラナ粒子とが交換可能であり、

前記第4領域のマヨラナ粒子と前記第8領域のマヨラナ粒子とが交換可能であることを特徴とする請求項9に記載の量子ビット回路。

[請求項11]

第1方向に延びる第1マヨラナ担体と、

前記第1方向と交差する第2方向に延びる第2マヨラナ担体と、

を有し、

前記第1マヨラナ担体は、平面視で前記第2マヨラナ担体と重なる部分に、マヨラナ粒子が存在することができる第1領域を含み、

前記第2マヨラナ担体は、平面視で前記第1マヨラナ担体と重なる部分に、マヨラナ粒子が存在することができる第2領域を含み、

前記第1領域のマヨラナ粒子と前記第2領域のマヨラナ粒子とが交換可能であることを特徴とする量子ビット回路。

[請求項12]

前記第1マヨラナ担体は第1半導体ナノワイヤを含み、

前記第2マヨラナ担体は第2半導体ナノワイヤを含むことを特徴とする請求項11に記載の量子ビット回路。

[請求項13]

前記第1マヨラナ担体の側方に、前記第1方向で前記第1領域を挟むように設けられた第1s波超伝導体層と、

前記第2マヨラナ担体の側方に、前記第2方向で前記第2領域を挟むように設けられた第2s波超伝導体層と、

有することを特徴とする請求項 1 1 又は 1 2 に記載の量子ビット回路。

[請求項14] 請求項 1 乃至 1 3 のいずれか 1 項に記載の量子ビット回路を含むことを特徴とする量子コンピュータ。

[請求項15] 第 1 縁を備え、第 1 方向に延びる第 1 マヨラナ担体を形成する工程と、

第 2 縁を備え、前記第 1 方向と交差する第 2 方向に延びる第 2 マヨラナ担体を形成する工程と、

を有し、

前記第 1 マヨラナ担体は、前記第 1 縁の平面視で前記第 2 縁と重なる部分に、マヨラナ粒子が存在することができる第 1 領域を含み、

前記第 2 マヨラナ担体は、前記第 2 縁の平面視で前記第 1 縁と重なる部分に、マヨラナ粒子が存在することができる第 2 領域を含み、

前記第 1 領域のマヨラナ粒子と前記第 2 領域のマヨラナ粒子とが交換可能であることを特徴とする量子ビット回路の製造方法。

[請求項16] 前記第 1 マヨラナ担体を形成する工程と、前記第 2 マヨラナ担体を形成する工程との間に、

前記第 1 マヨラナ担体を覆うエッチングストッパを設ける工程と、

前記エッチングストッパの上に、2次元トポロジカル絶縁体層を設ける工程と、

を有し、

前記第 2 マヨラナ担体を形成する工程は、前記エッチングストッパにより前記第 1 マヨラナ担体を保護しながら前記 2 次元トポロジカル絶縁体層をエッチングする工程を有することを特徴とする請求項 1 5 に記載の量子ビット回路の製造方法。

[請求項17] 前記第 1 マヨラナ担体を形成する工程と、前記第 2 マヨラナ担体を形成する工程との間に、

前記第 1 マヨラナ担体を覆う第 1 エッチングストッパを設ける工程

と、

前記第1エッチングストッパの上に、半導体層を設ける工程と、

前記第1エッチングストッパにより前記第1マヨラナ担体を保護しながら前記半導体層をエッチングすることで、前記第1マヨラナ担体と前記第2マヨラナ担体との間に位置するトンネル障壁層を形成する工程と、

前記トンネル障壁層を覆う第2エッチングストッパを設ける工程と

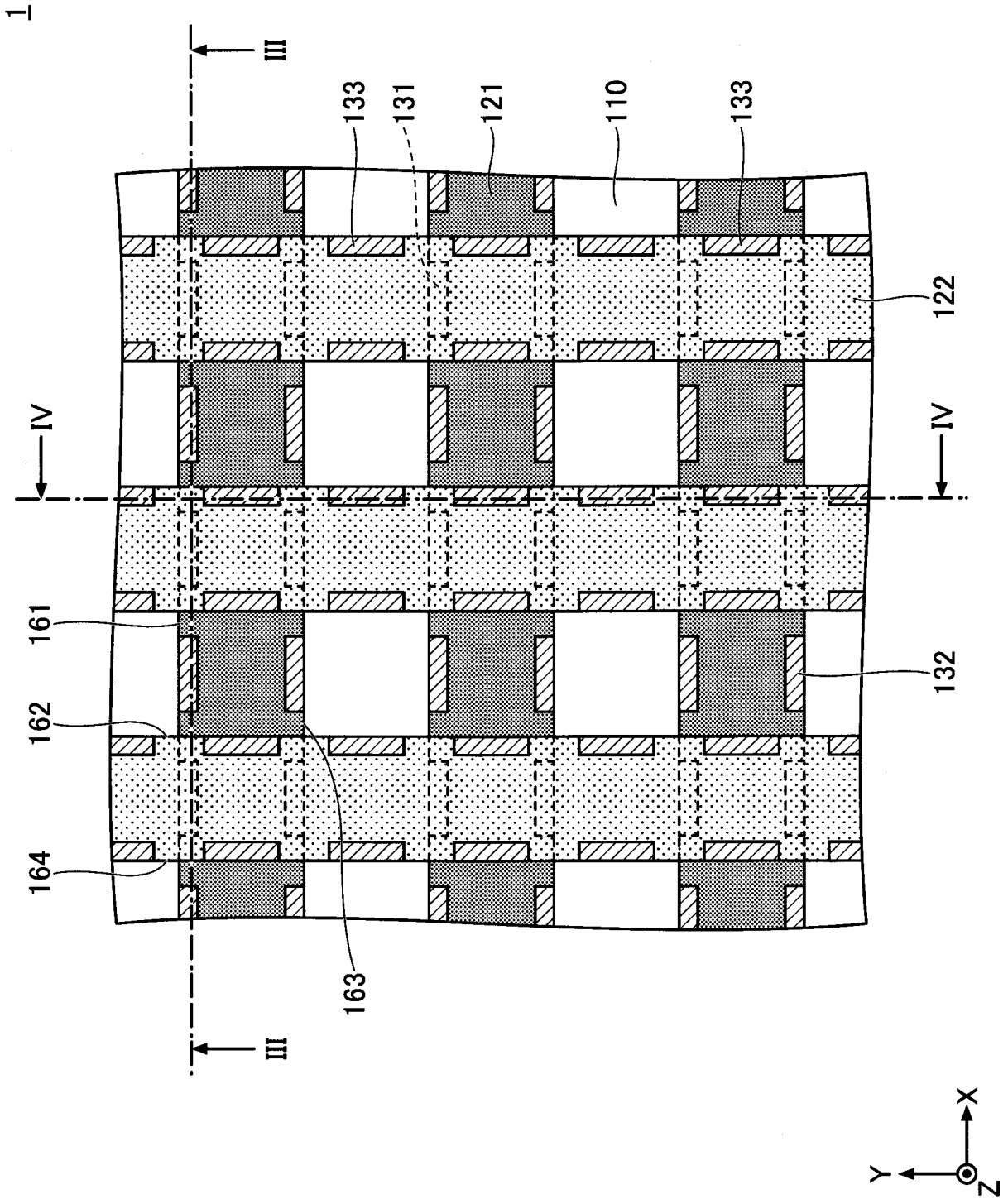
、

前記第2エッチングストッパの上に、2次元トポロジカル絶縁体層を設ける工程と、

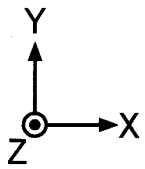
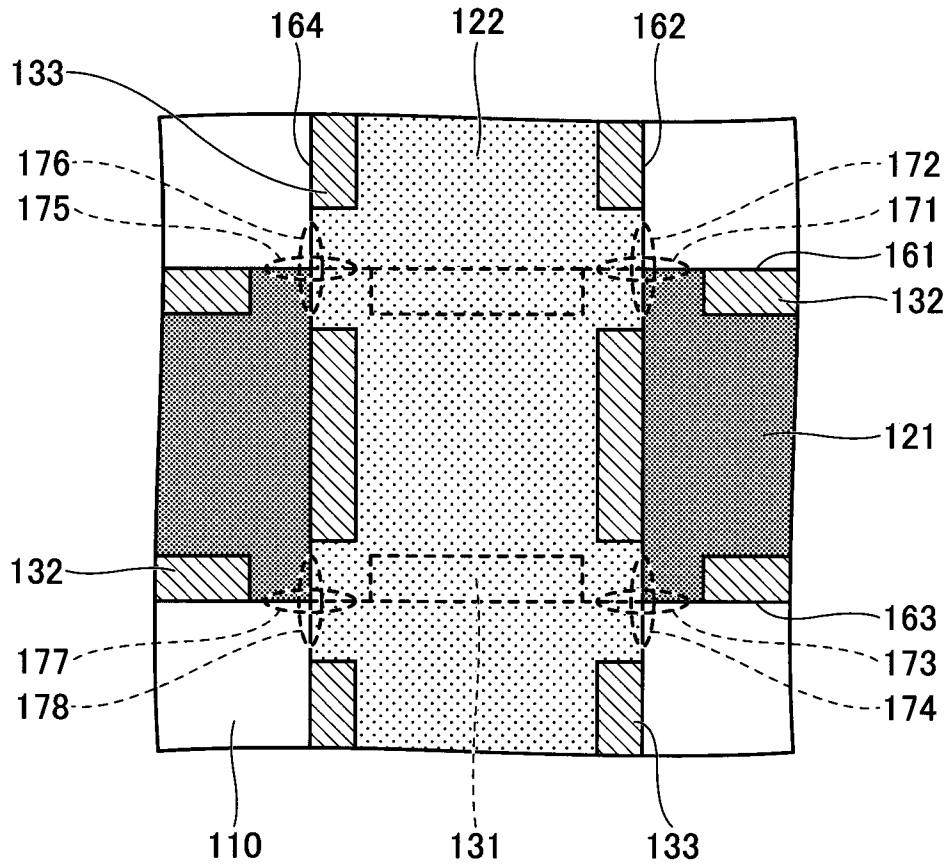
を有し、

前記第2マヨラナ担体を形成する工程は、前記第2エッチングストッパにより前記第1マヨラナ担体を保護しながら前記2次元トポロジカル絶縁体層をエッチングする工程を有することを特徴とする請求項15に記載の量子ビット回路の製造方法。

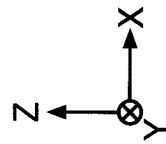
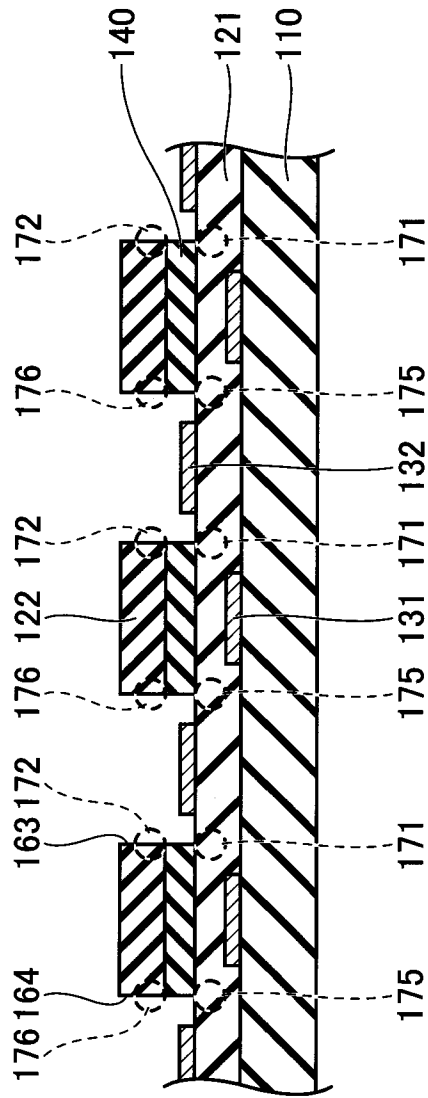
[図1]



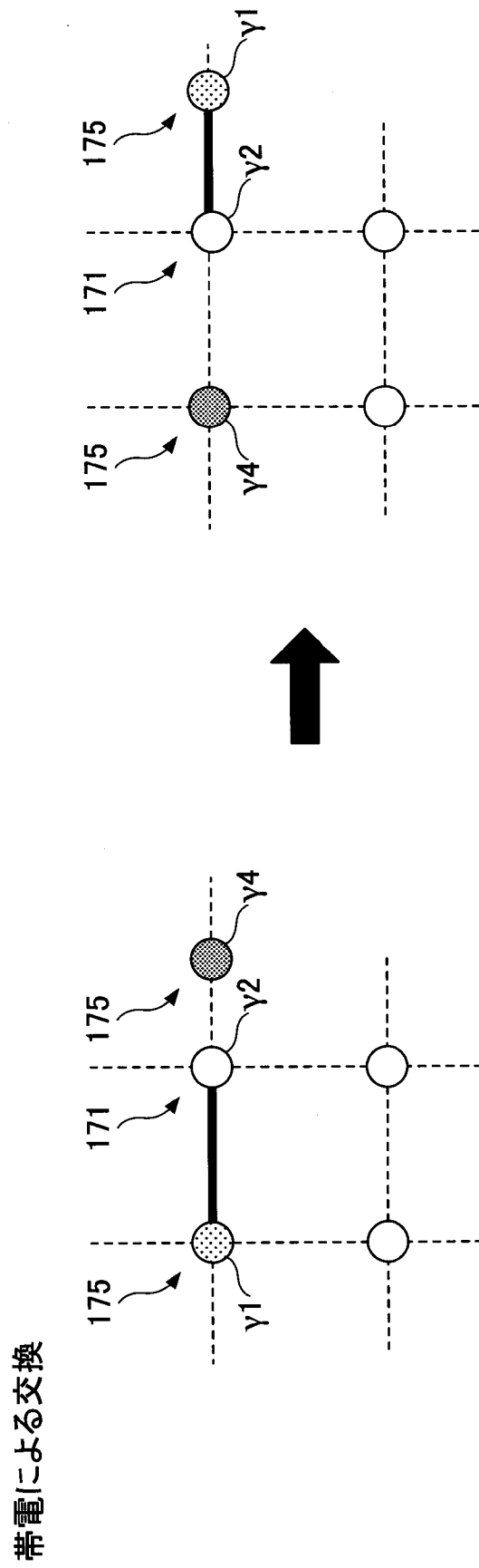
[図2]



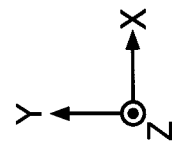
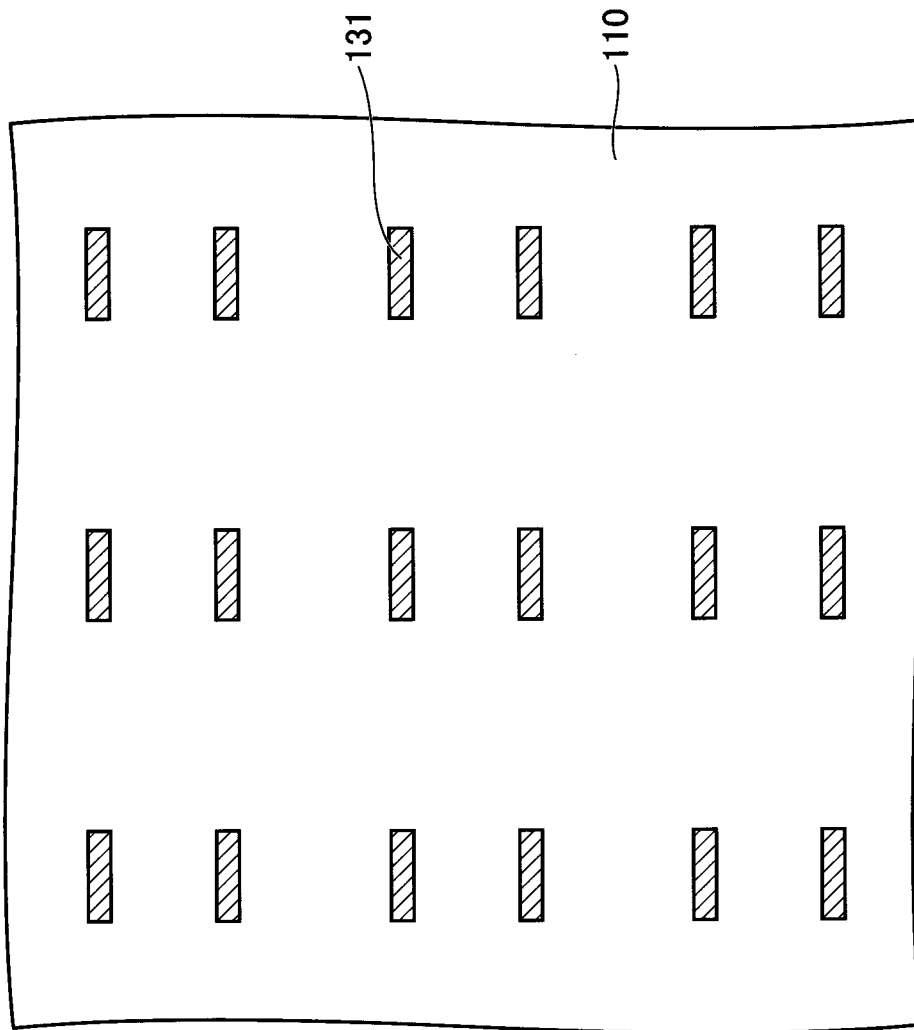
[図3]



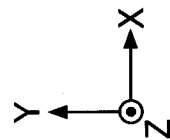
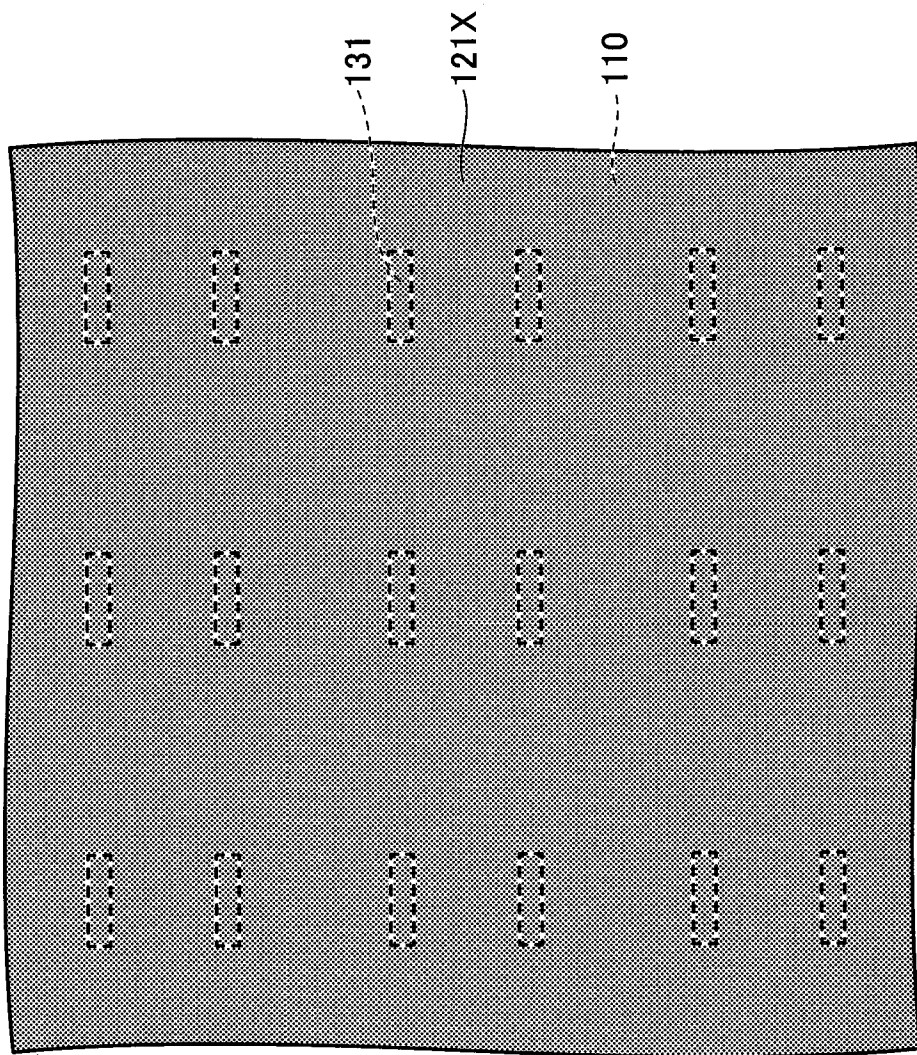
[図5]



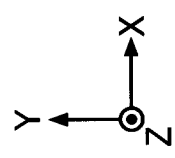
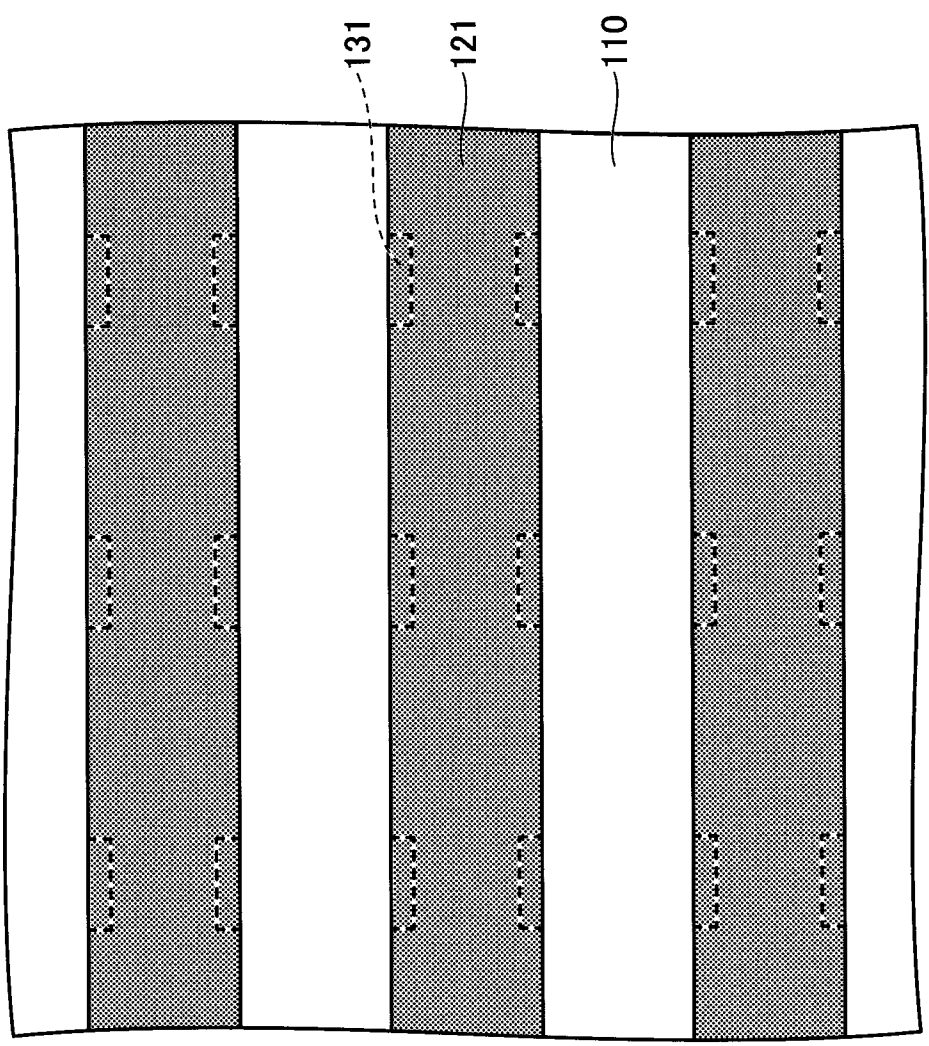
[図6]



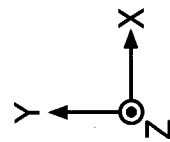
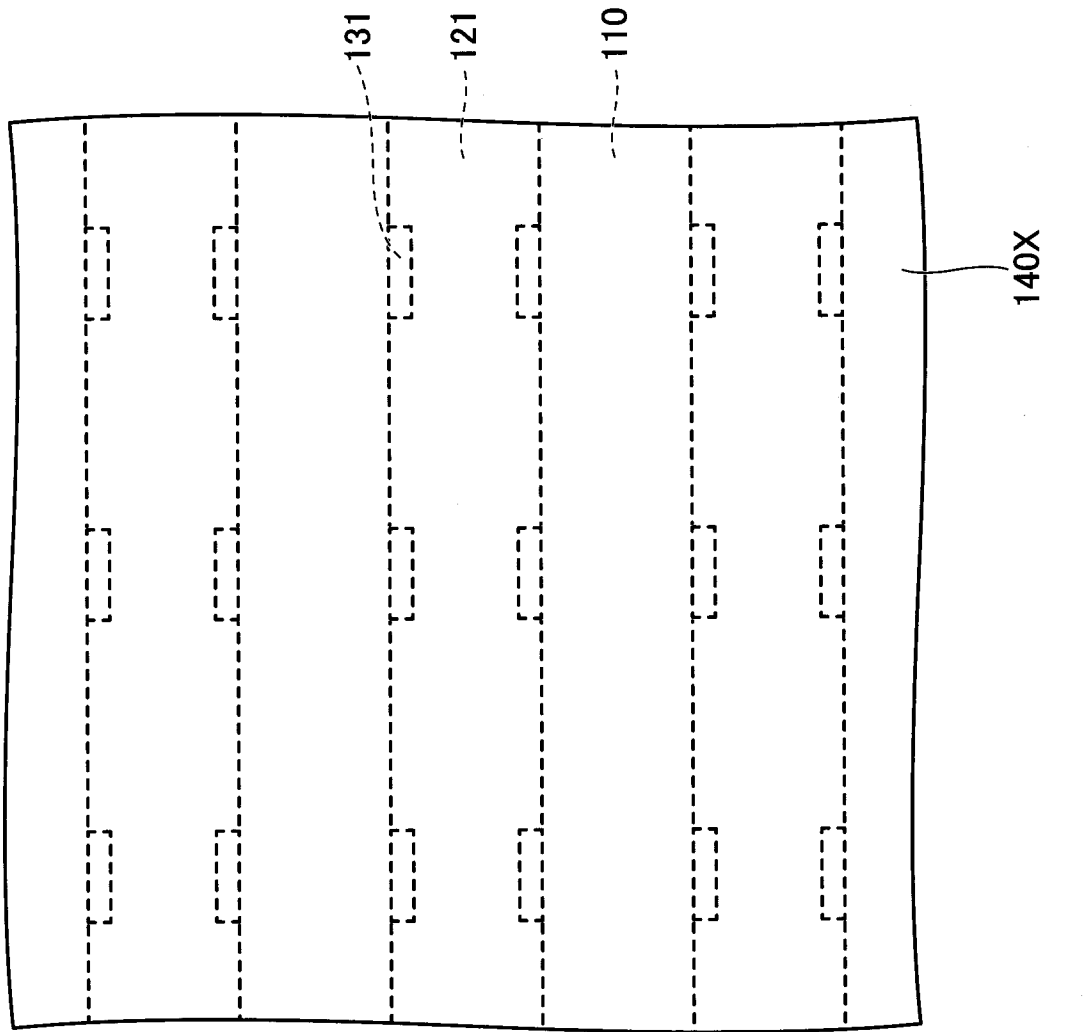
[図7]




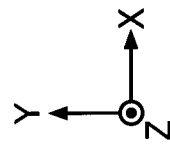
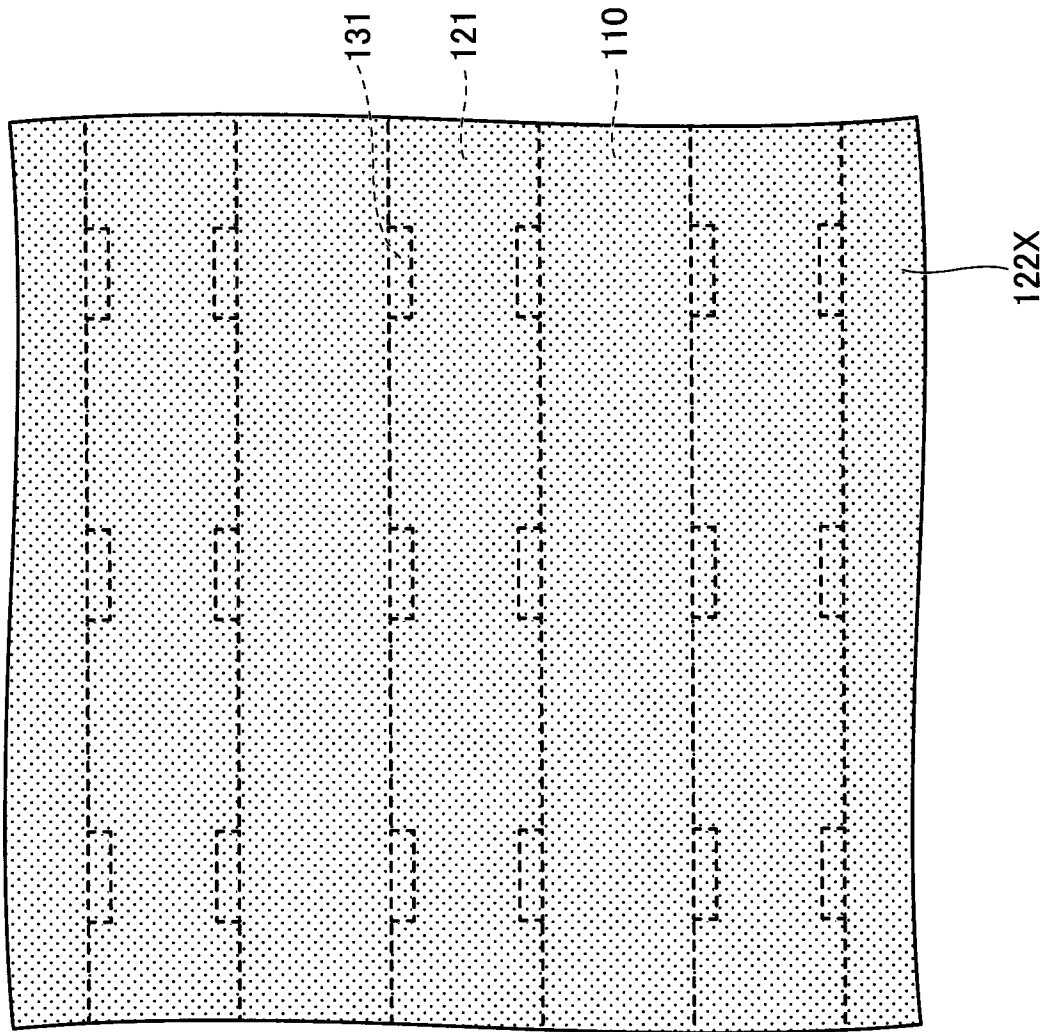
[図8]



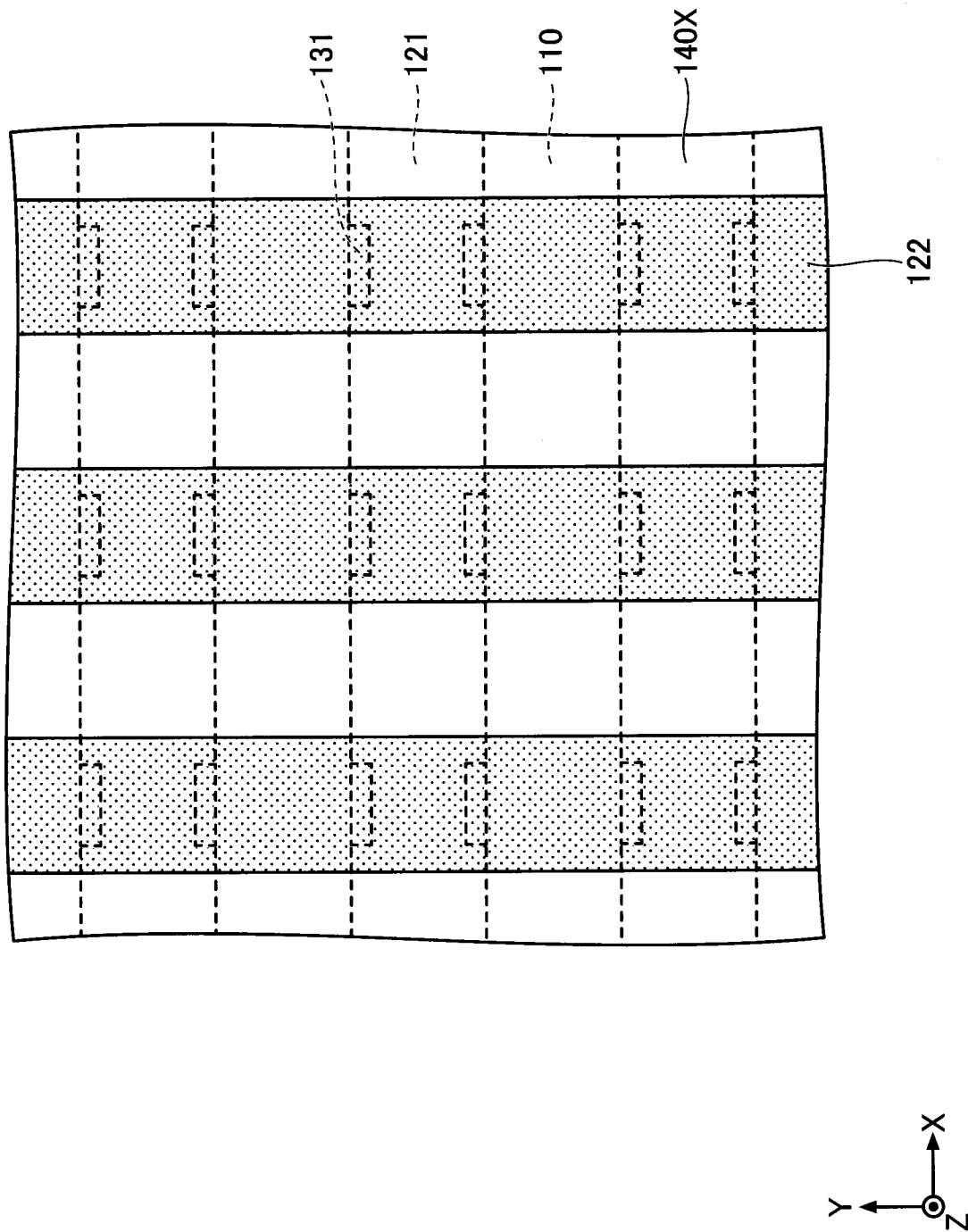
[図9]



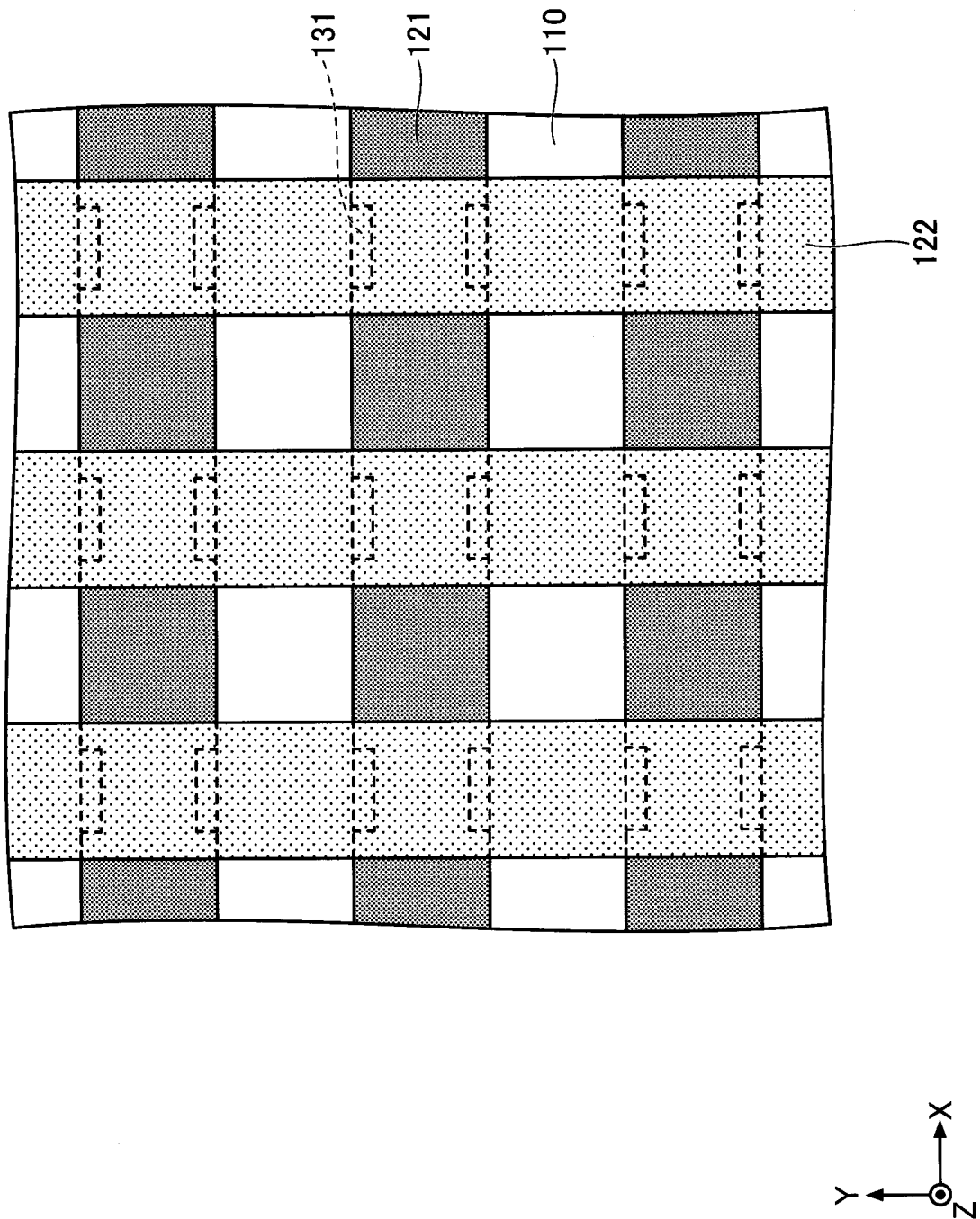
[10]



[図11]

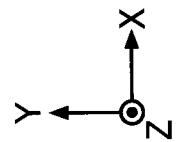
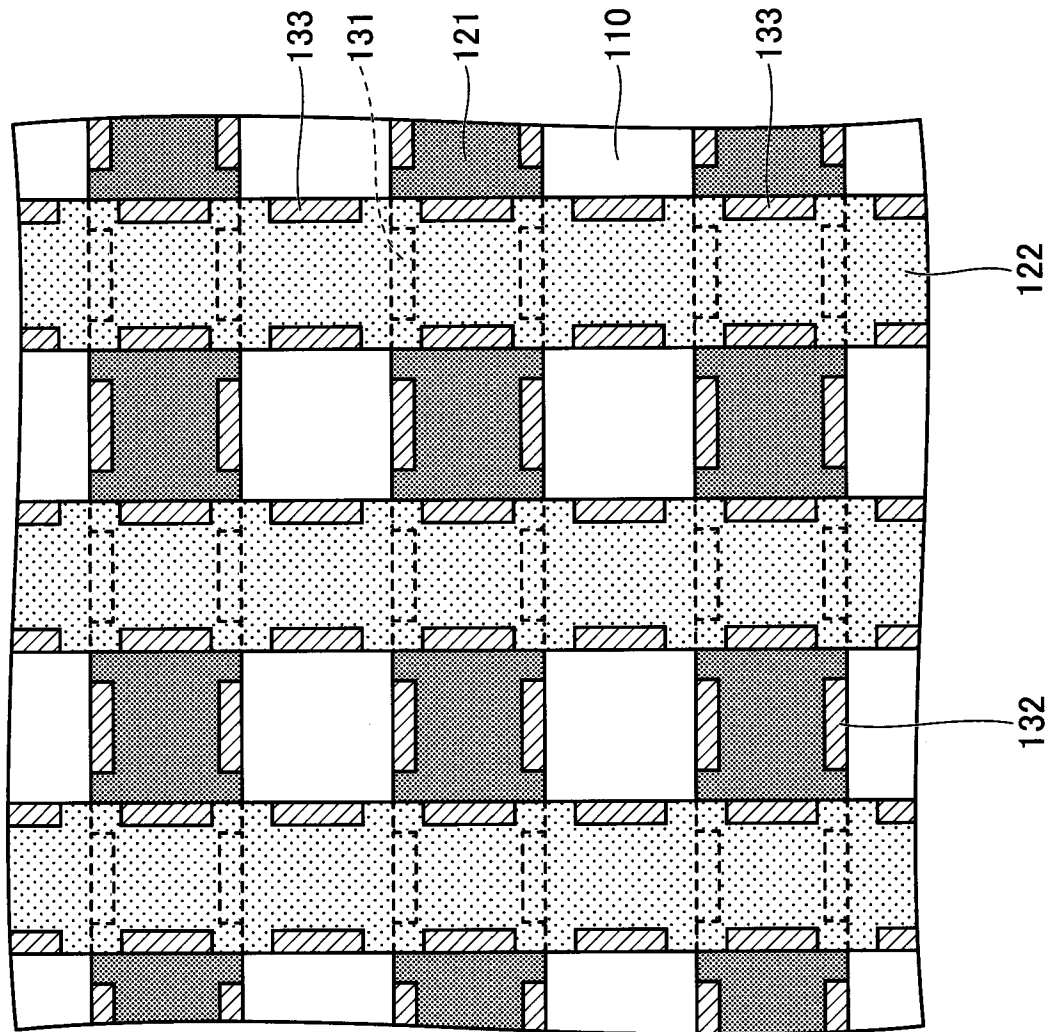


[図12]



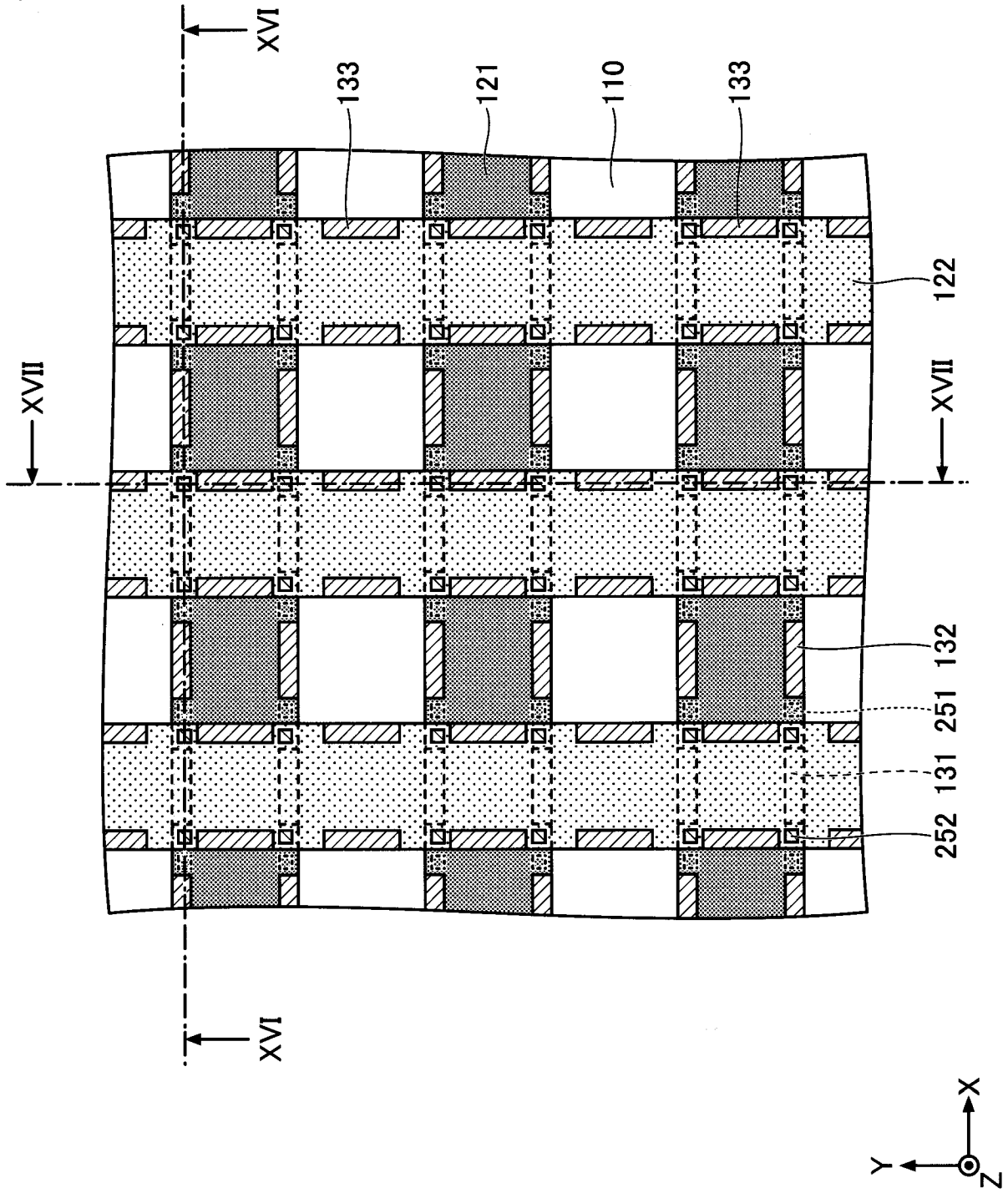
[図13]

1

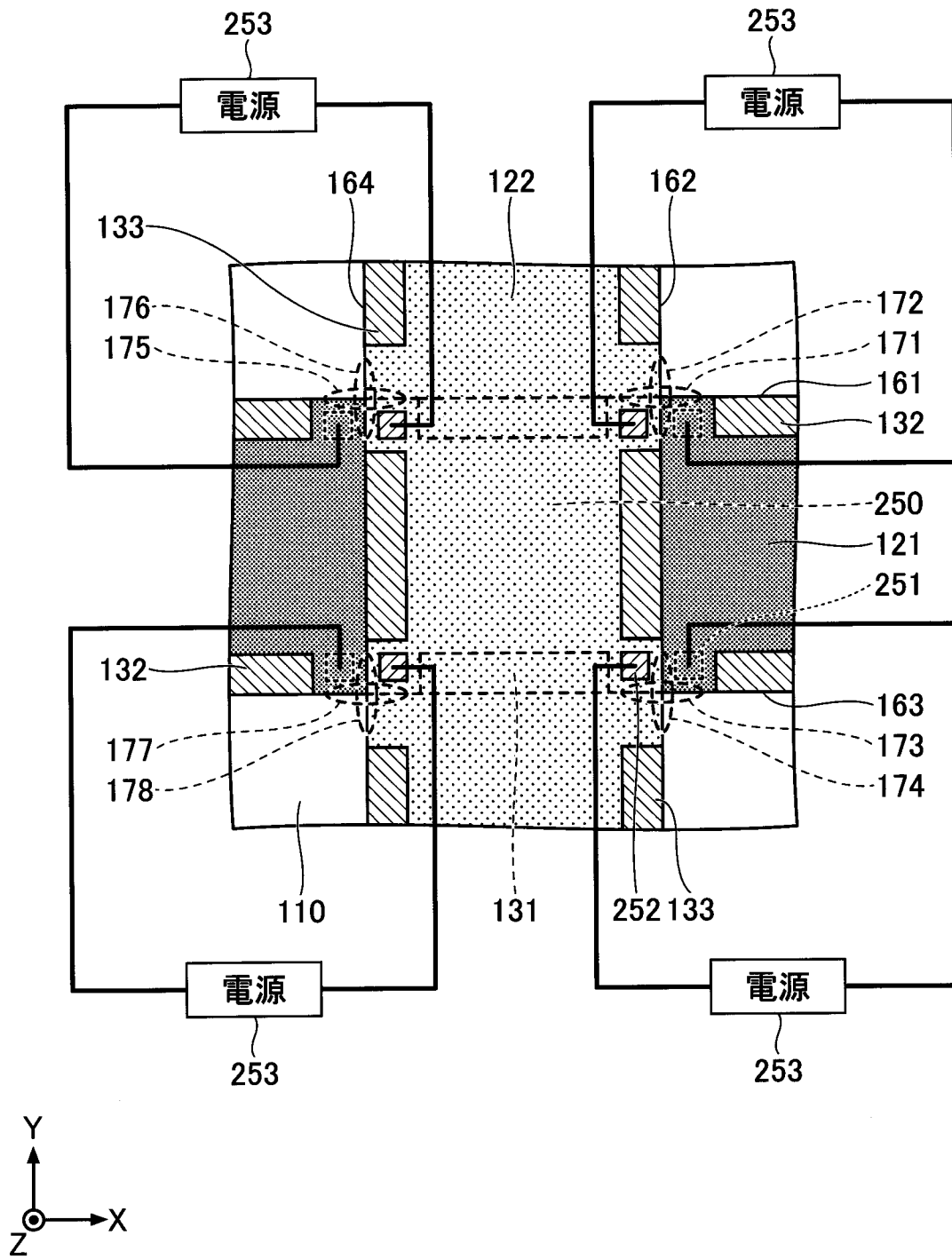


[図14]

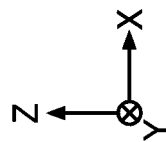
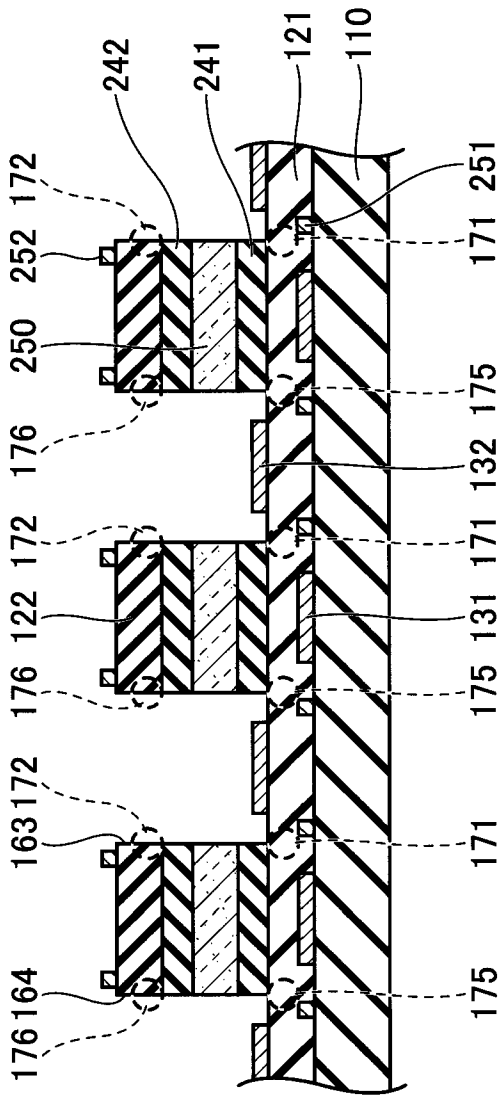
2



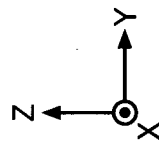
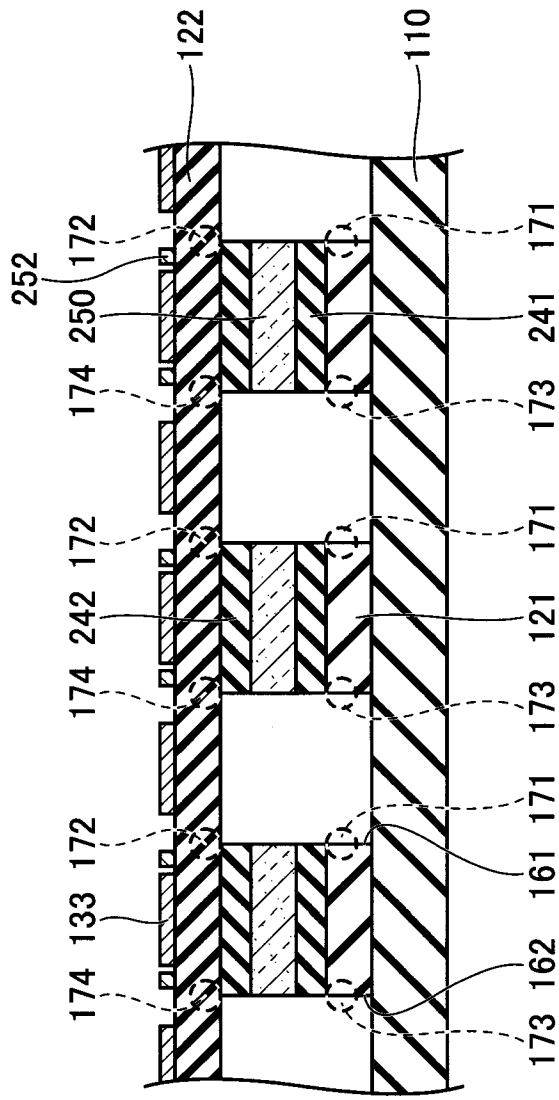
[図15]



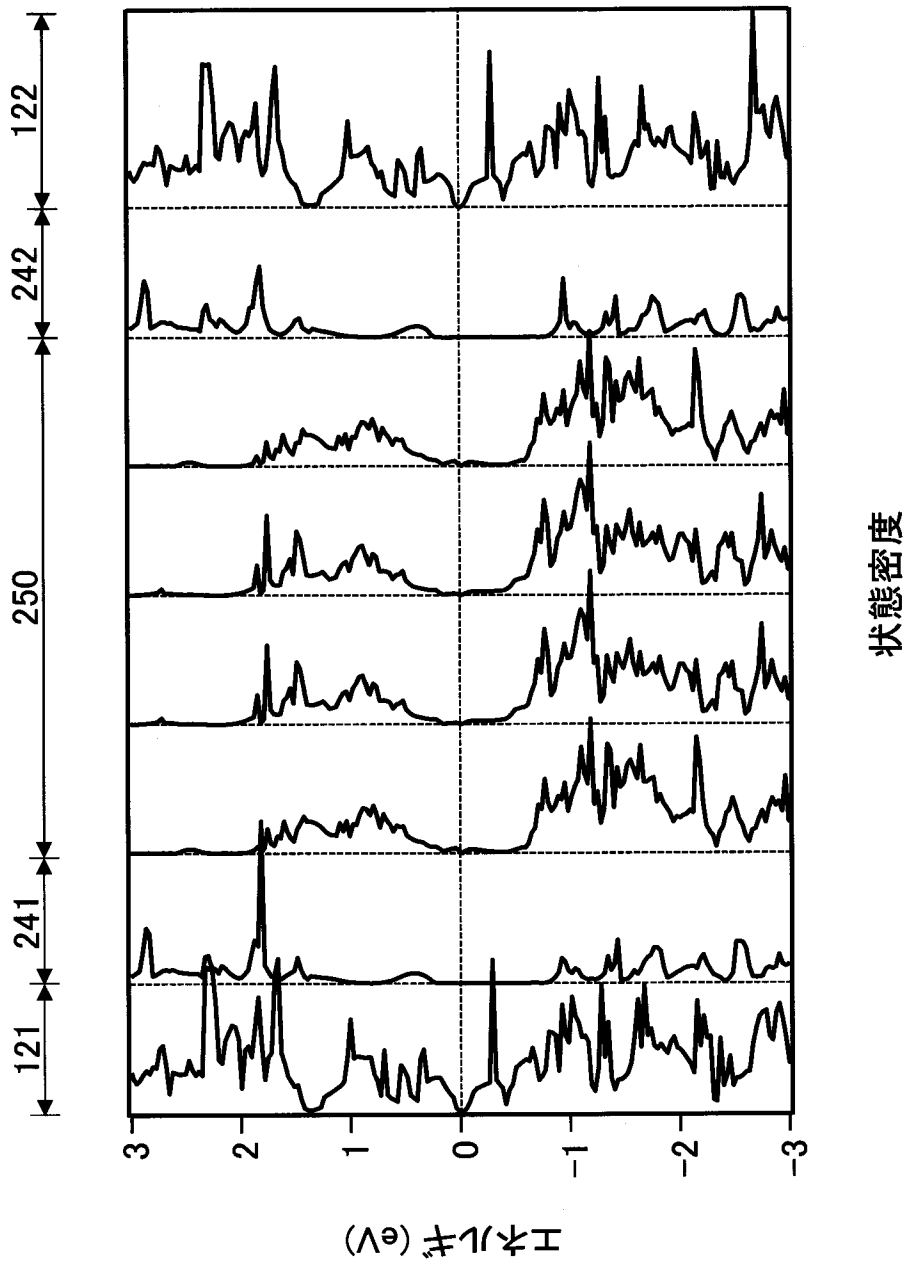
[図16]



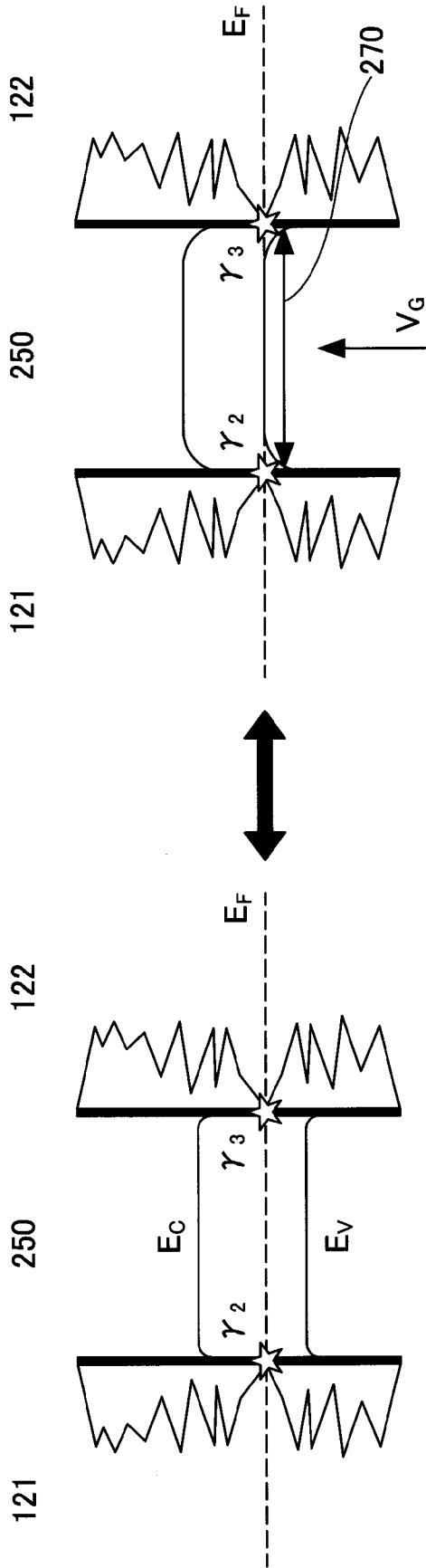
[図17]



[図18]



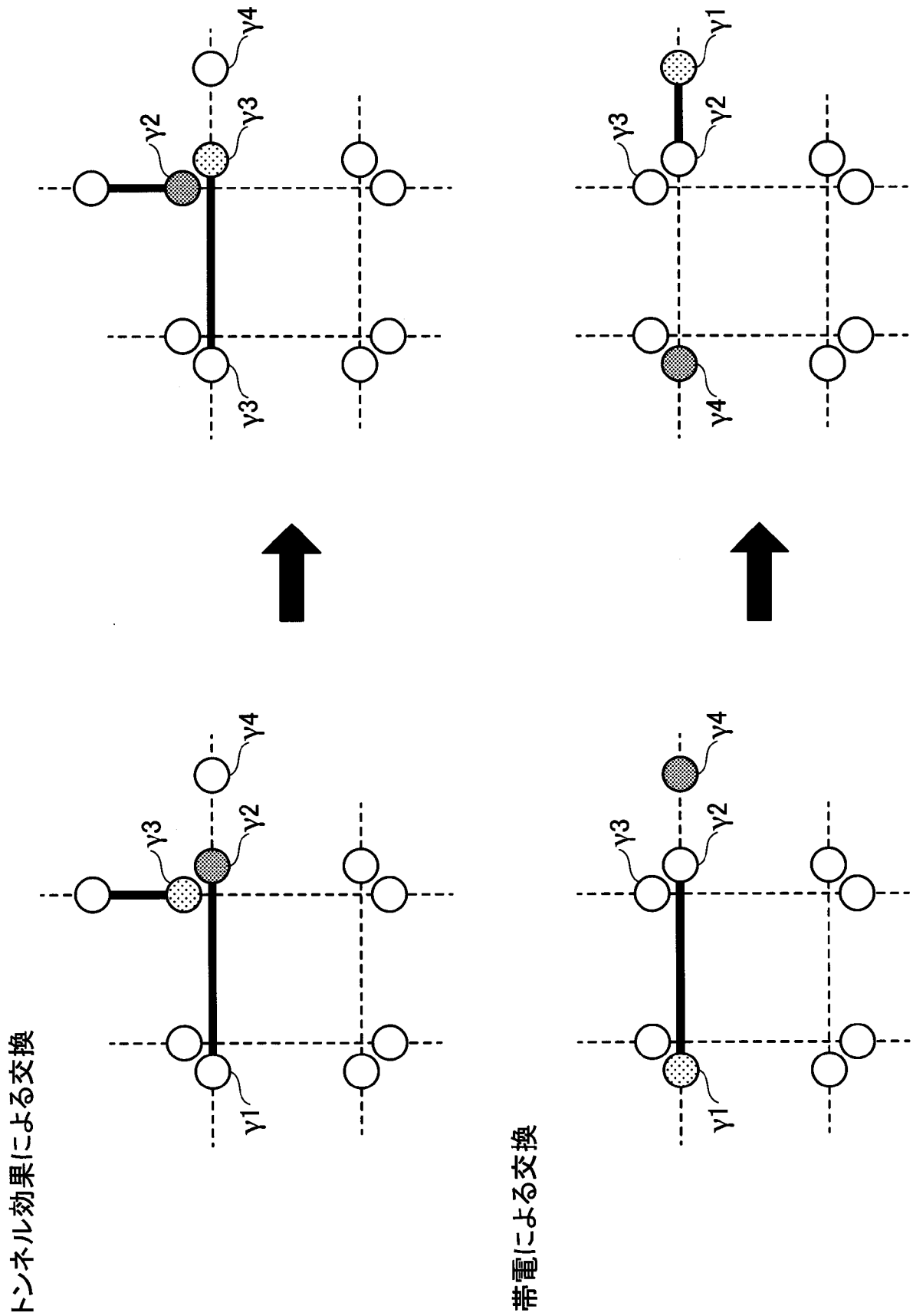
[図19]



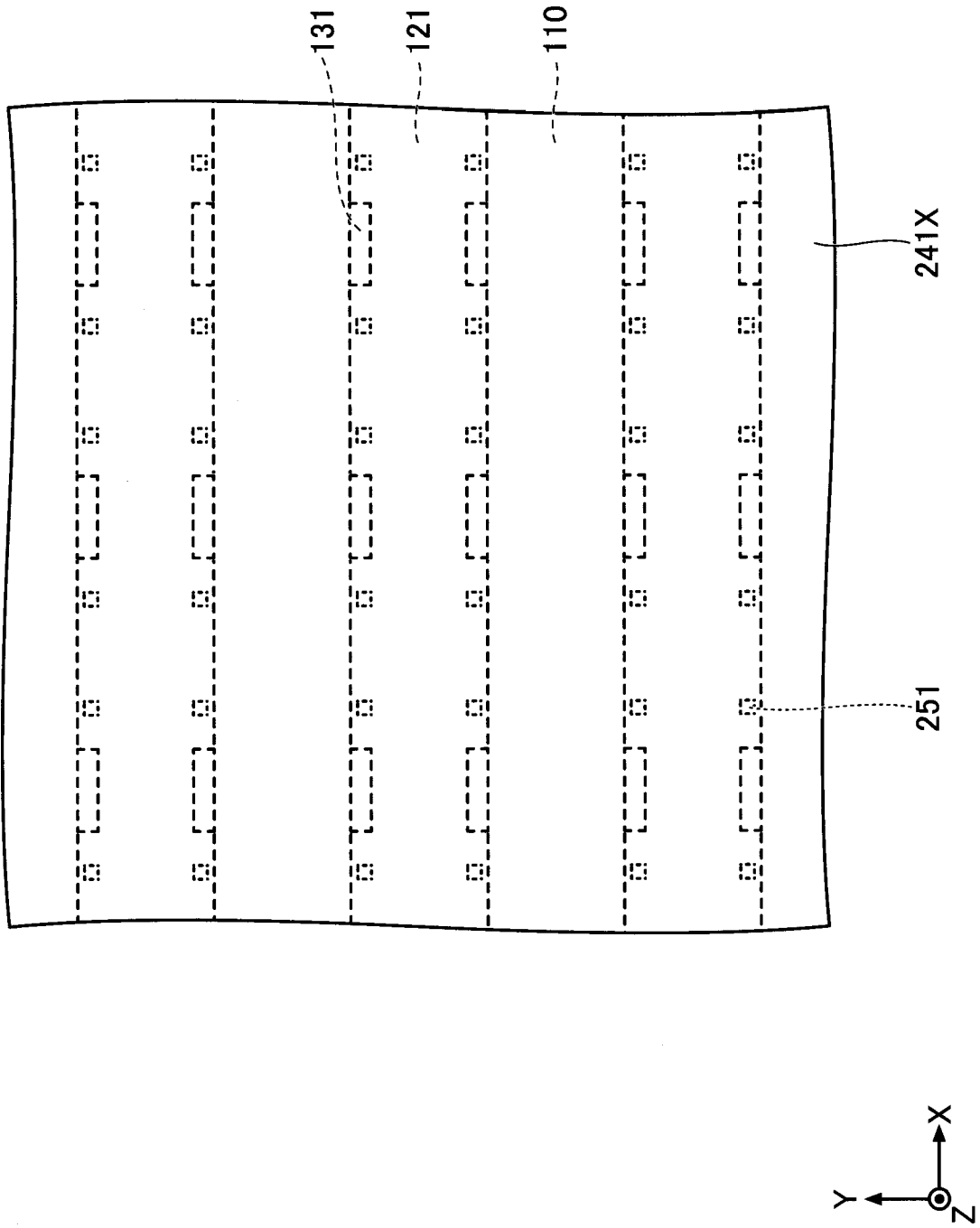
ゲート電圧 V_G : オフ

ゲート電圧 V_G : オン

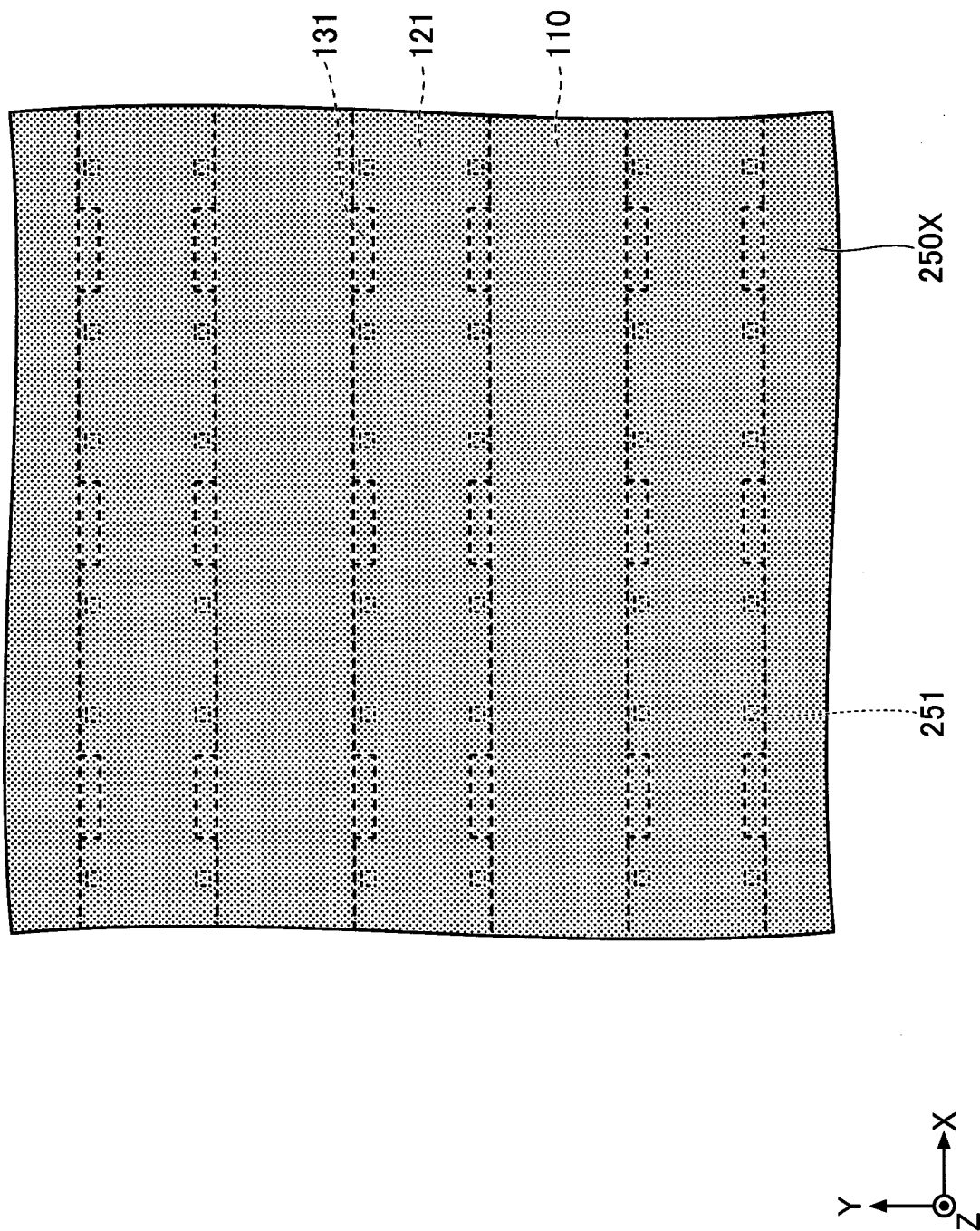
[図20]



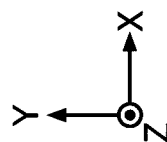
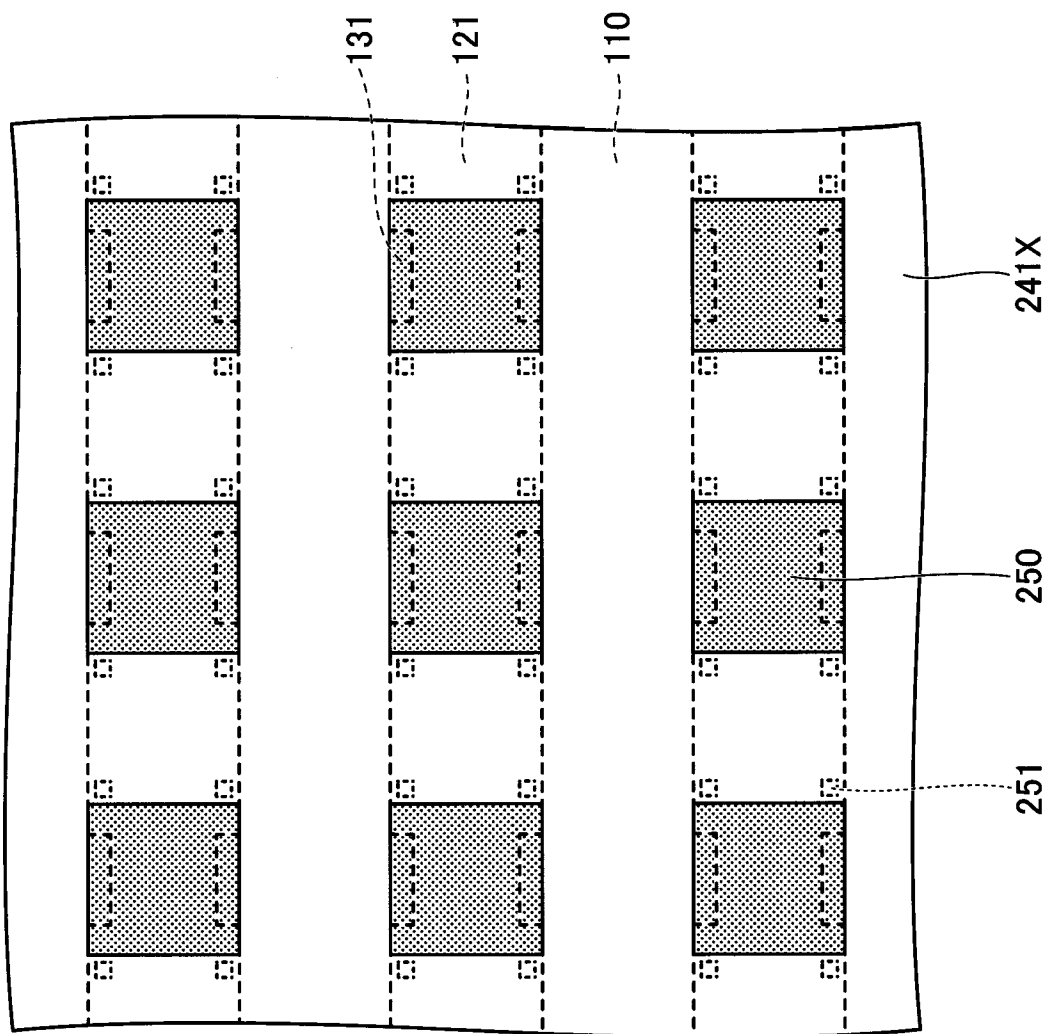
[図21]



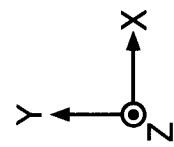
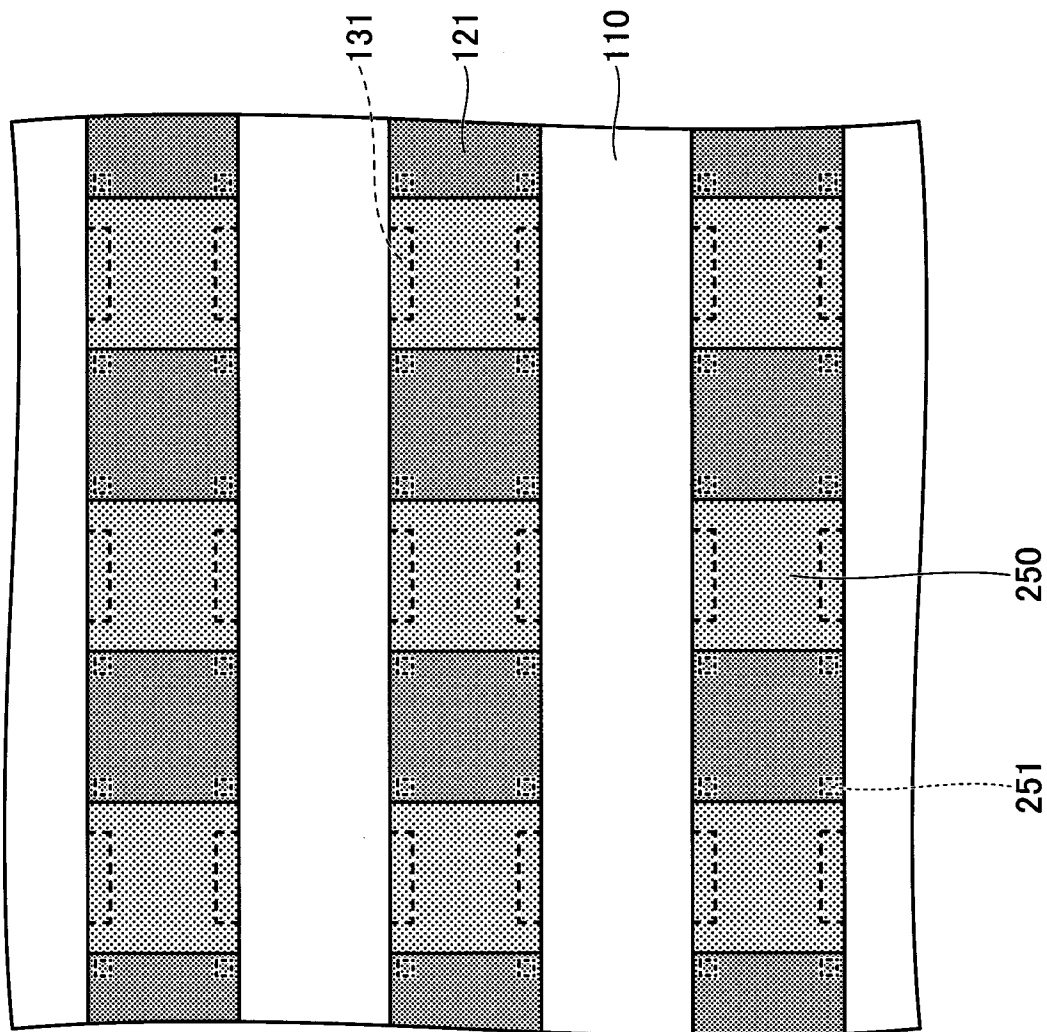
[図22]



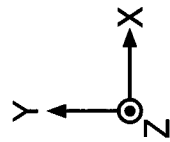
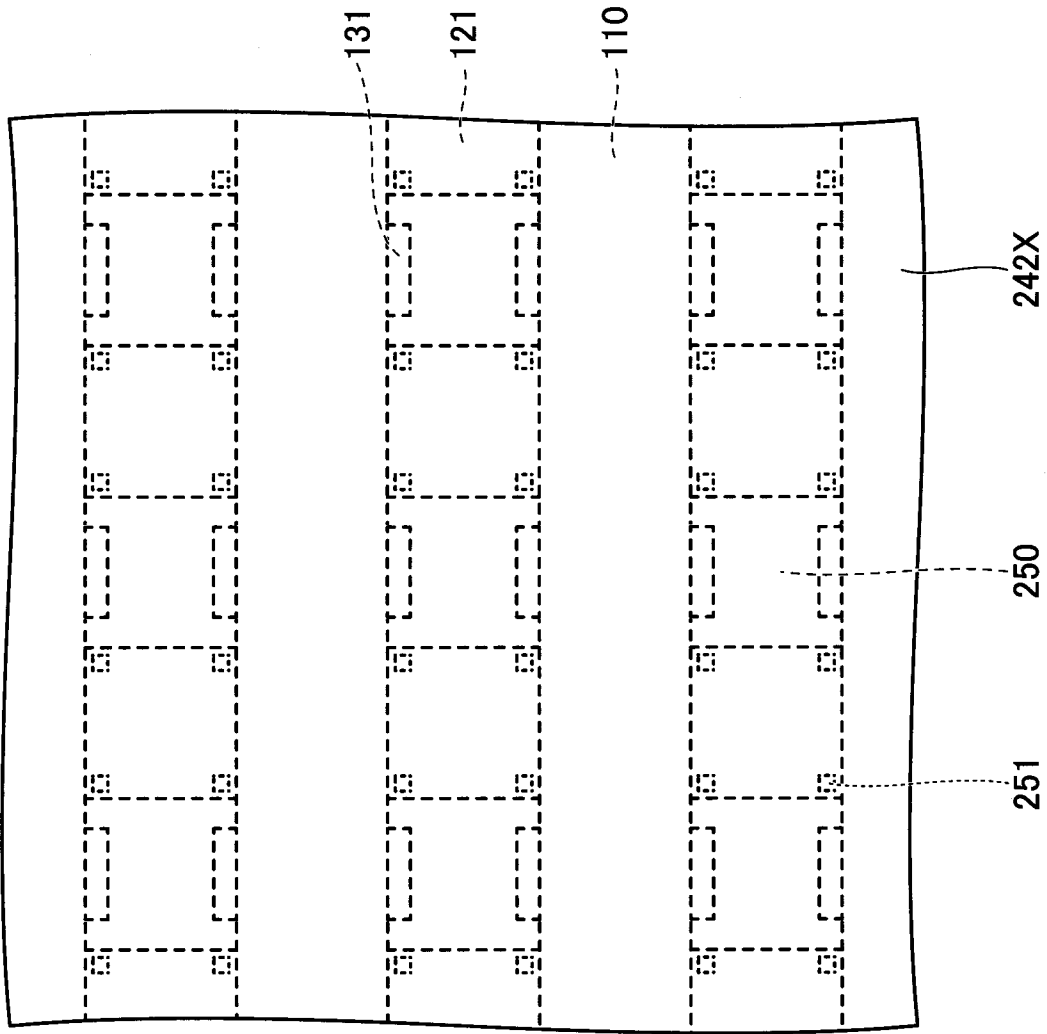
[図23]



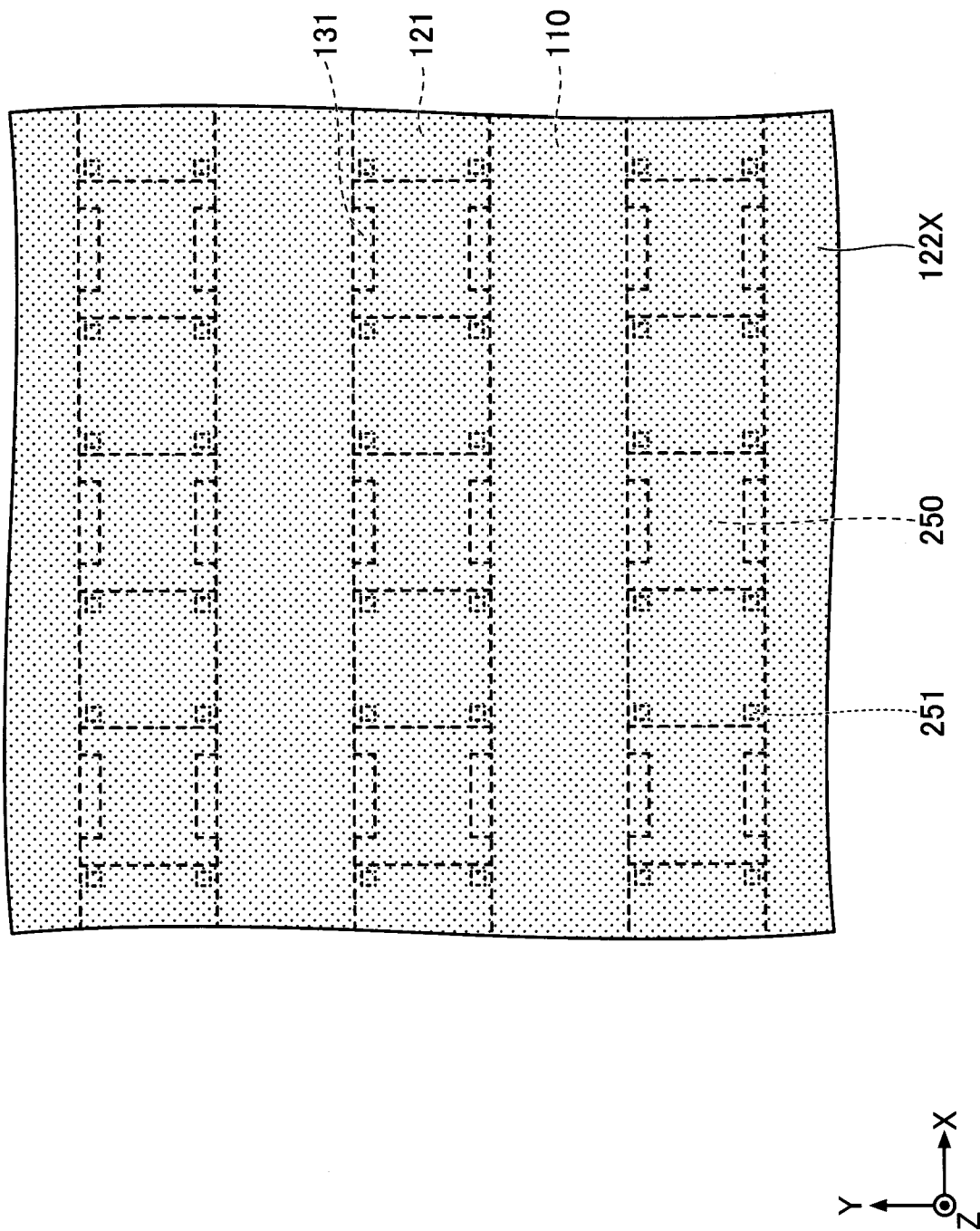
[図24]



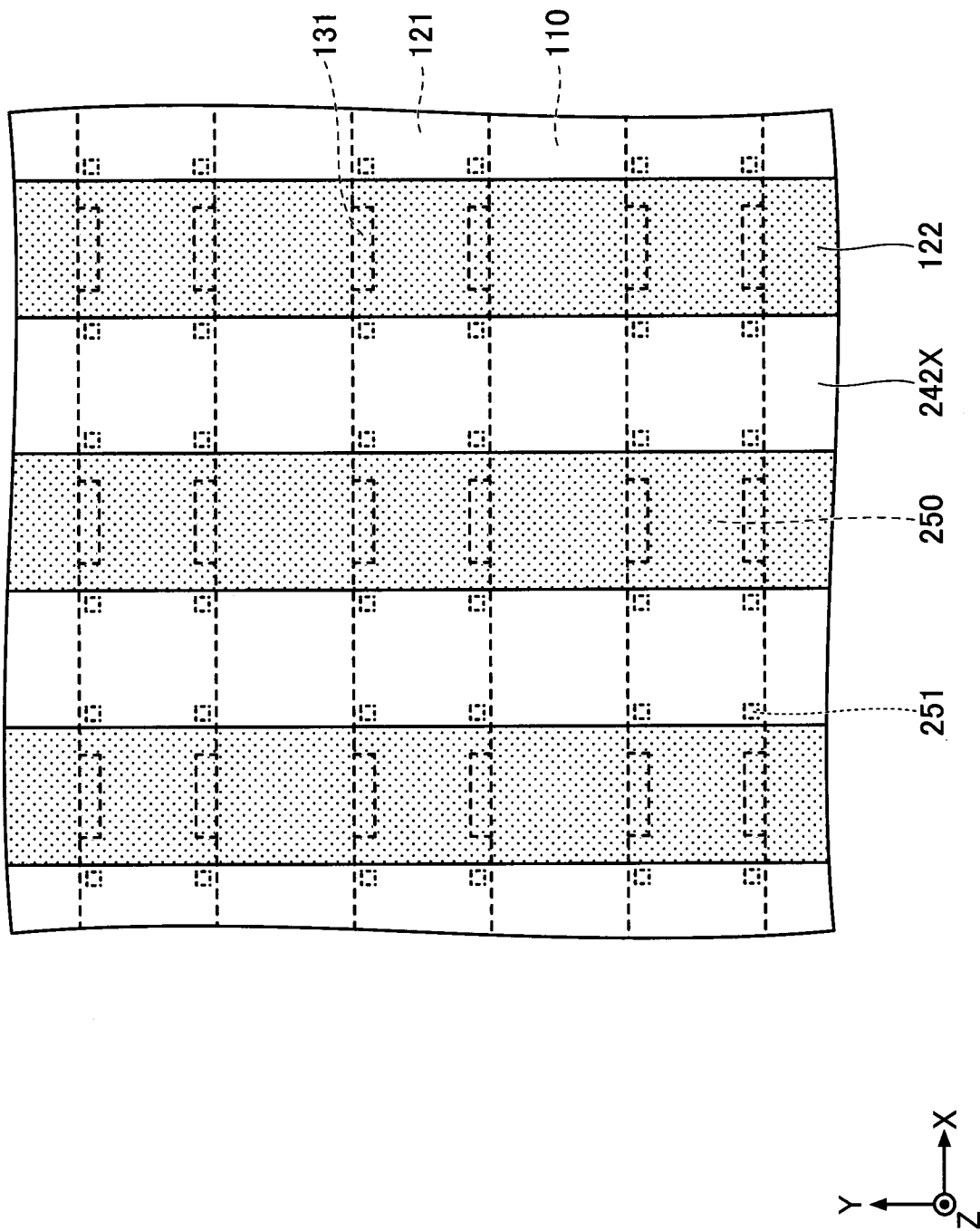
[図25]



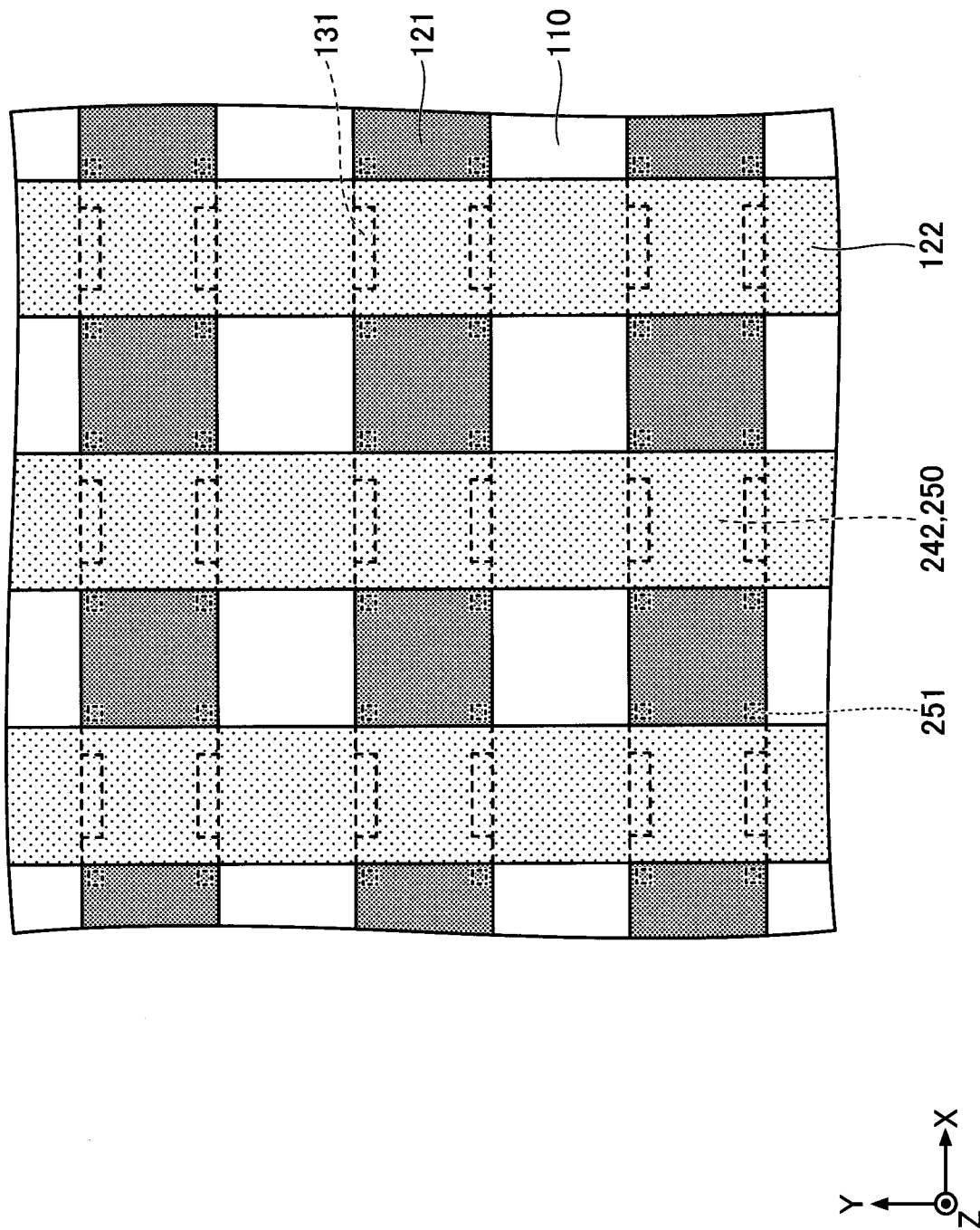
[図26]



[図27]

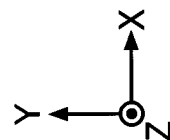
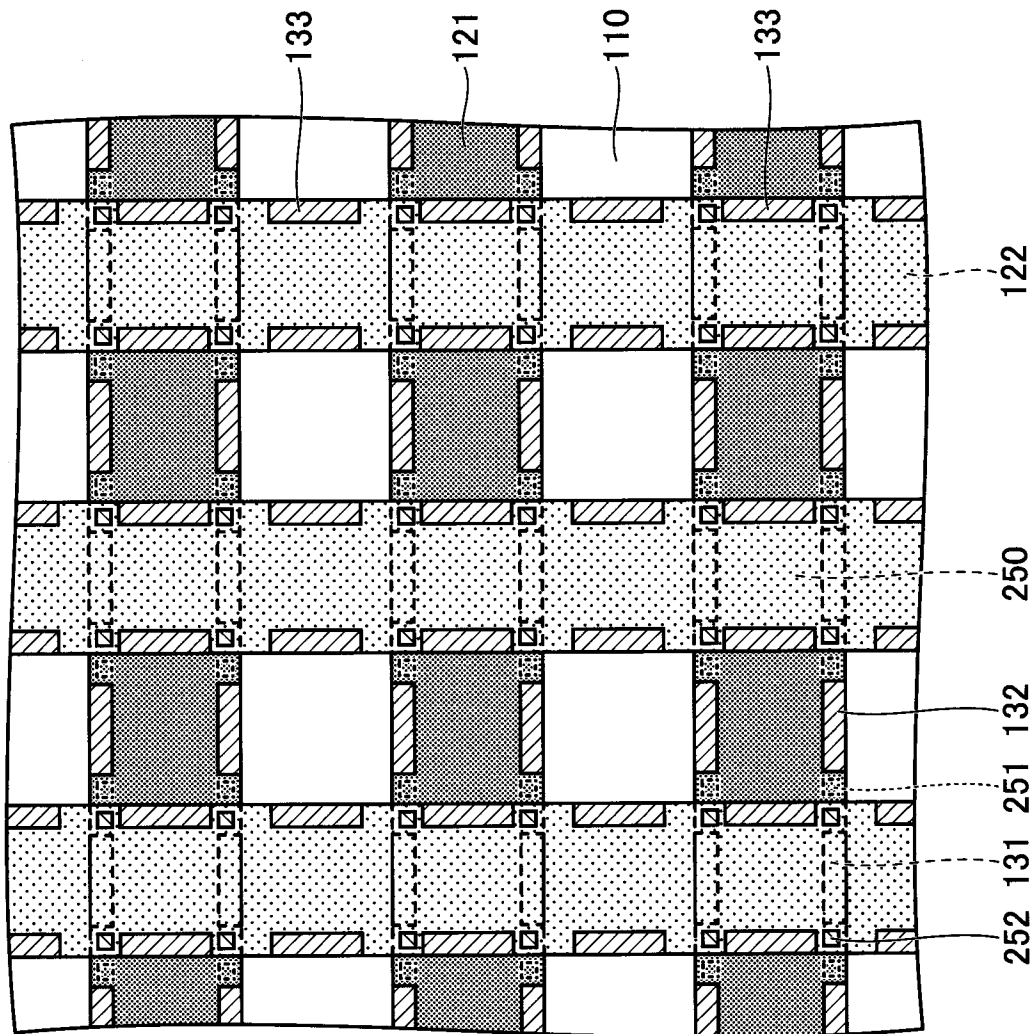


[図28]

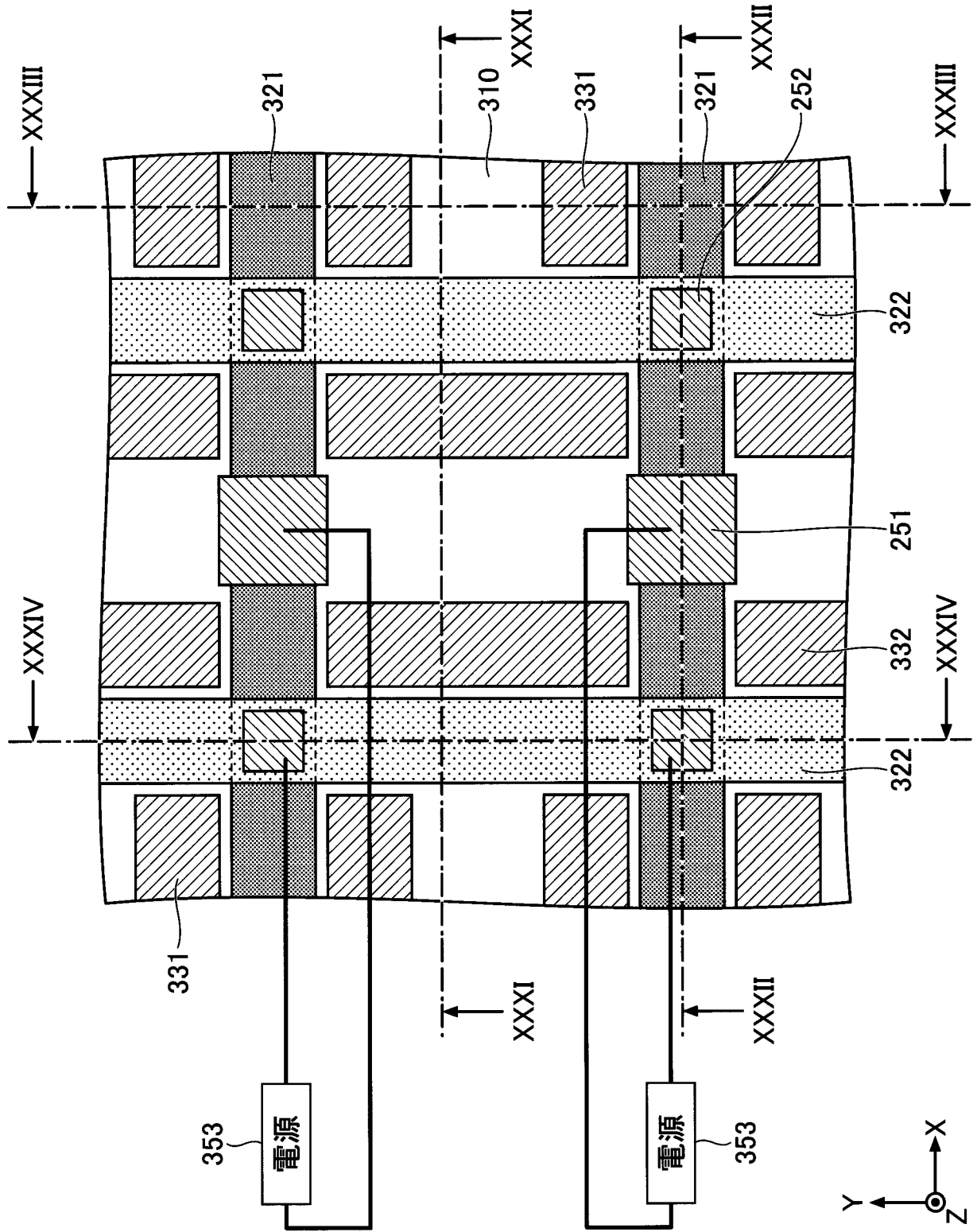



[29]

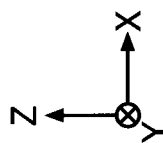
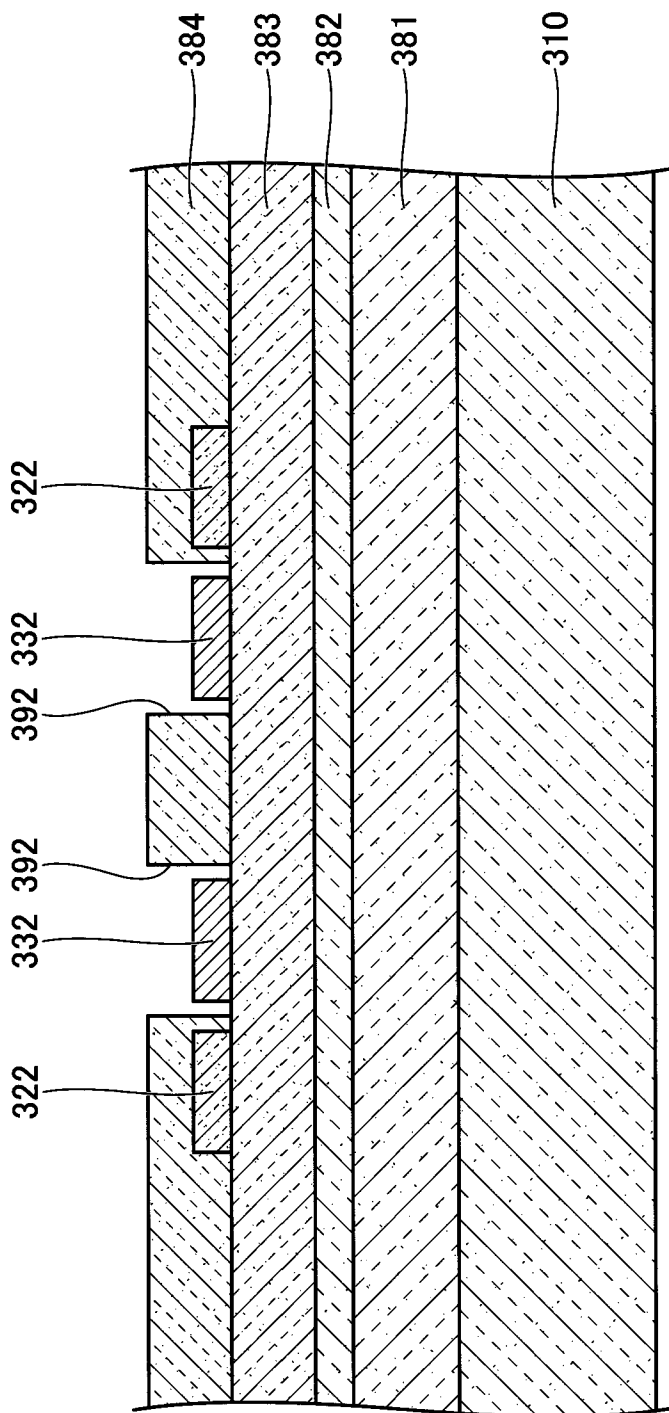
2



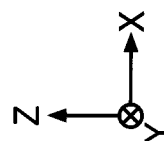
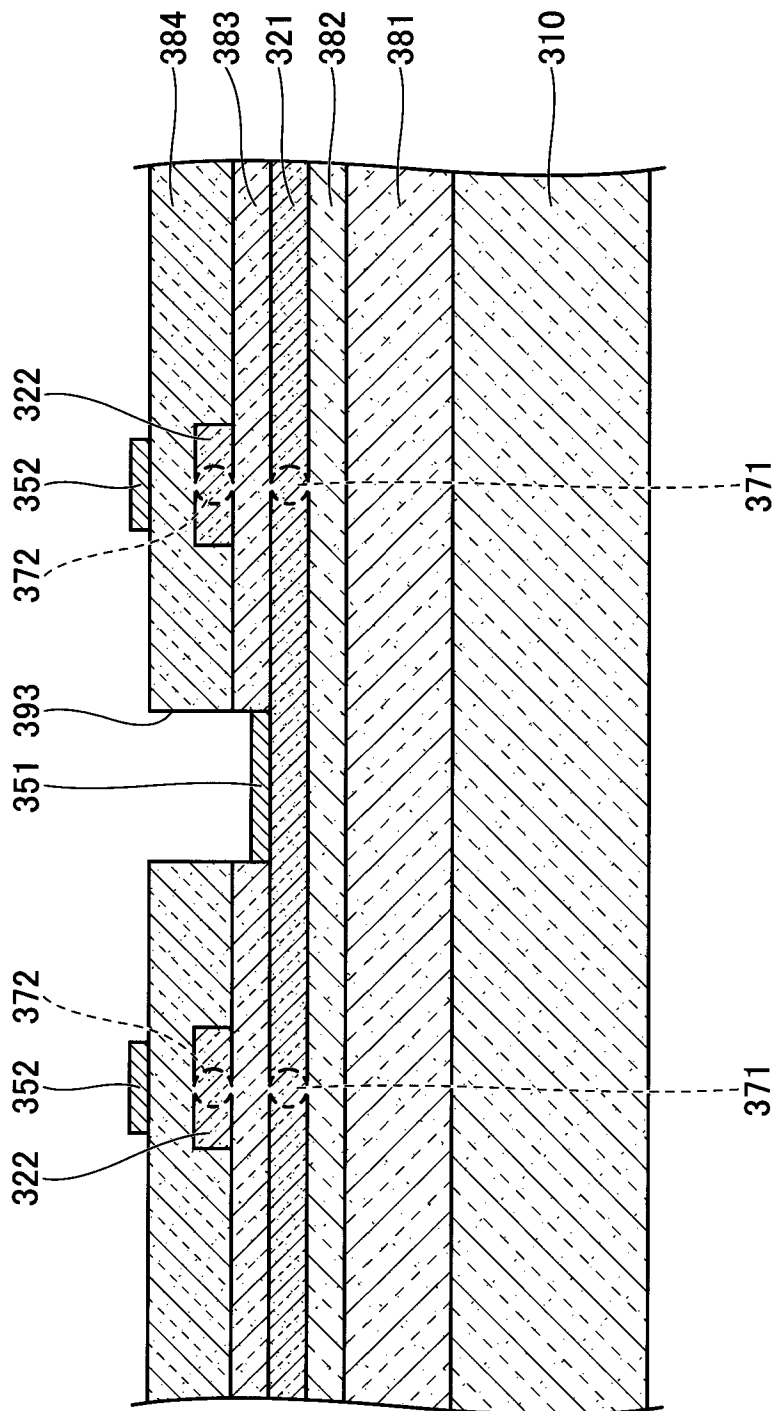
[図30]



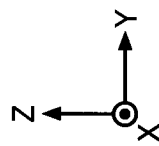
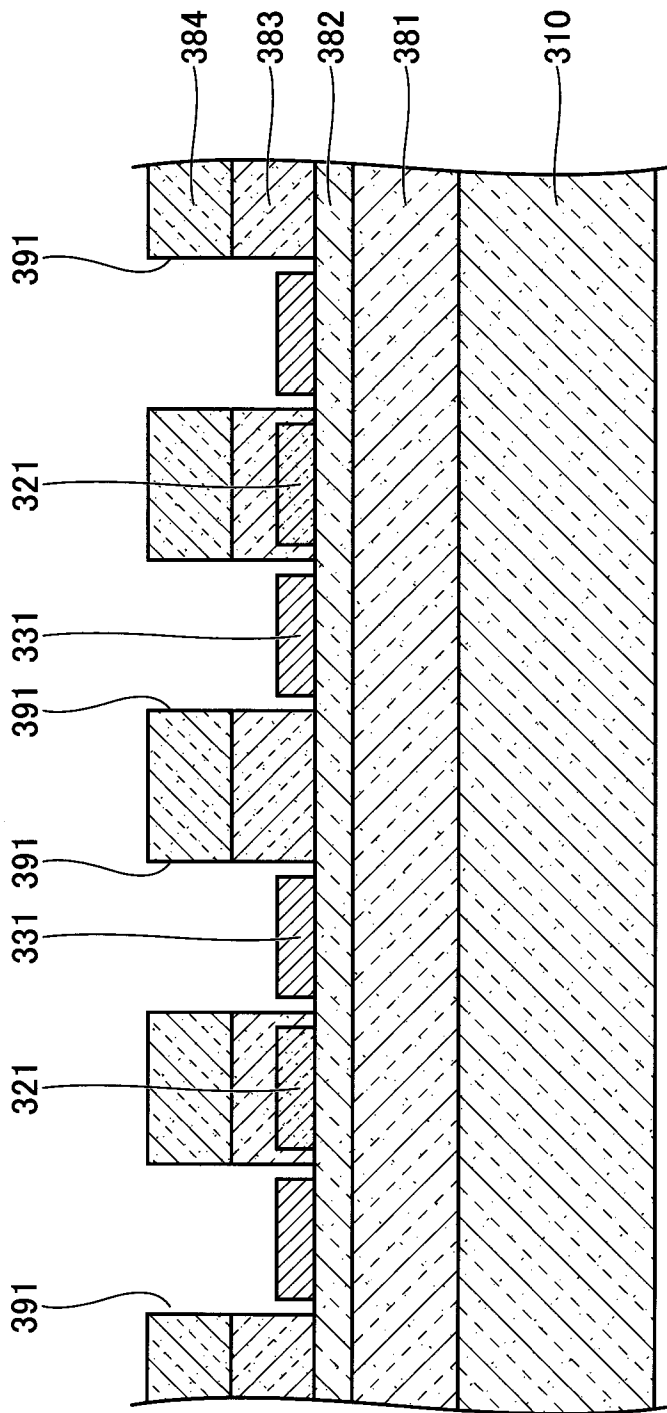
[31]



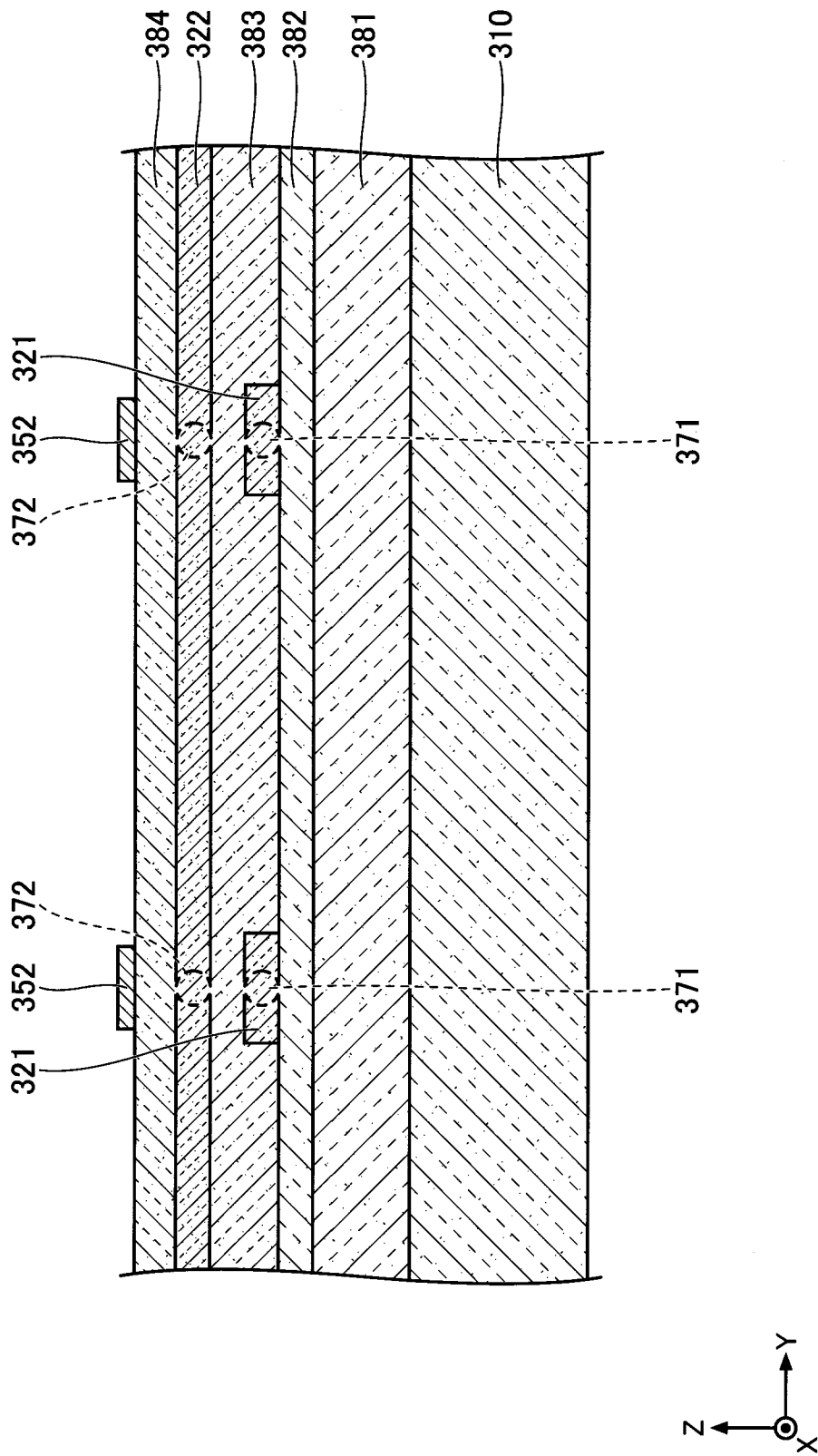
[図32]



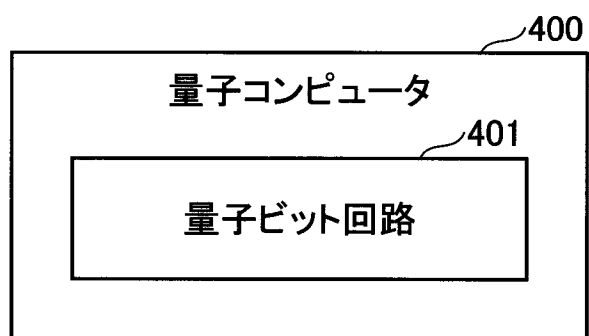
[ 33]



[図34]



[図35]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/048426

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L39/22 (2006.01) i, H01L29/06 (2006.01) i
 FI: H01L39/22 K, H01L29/06 601Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L39/22, H01L29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| A | US 2014/0279822 A1 (MICROSOFT CORPORATION) 18 September 2014 (2014-09-18) | 1-17 |
| A | US 2018/0052806 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 22 February 2018 (2018-02-22) | 1-17 |
| A | US 2019/0013457 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 10 January 2019 (2019-01-10) | 1-17 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search
17.03.2021

Date of mailing of the international search report
30.03.2021

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/048426

| Patent Documents referred to in the Report | Publication Date | Patent Family | Publication Date |
|--|------------------|---------------|---|
| US A1 | 2014/0279822 | 18.09.2014 | (Family: none) |
| US A1 | 2018/0052806 | 22.02.2018 | US 2018/0053113 A1 US 2018/0053809 A1 US 2020/0098821 A1 WO 2018/035361 A1 WO 2018/035260 A1 WO 2018/035360 A1 |
| US A1 | 2019/0013457 | 10.01.2019 | WO 2019/010090 A1 EP 3631870 A1 |

| | | |
|---|--|----------------|
| A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 39/22(2006.01)i; H01L 29/06(2006.01)i FI: H01L39/22 K; H01L29/06 601Z | | |
| B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L39/22; H01L29/06 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2021年 日本国実用新案登録公報 1996 - 2021年 日本国登録実用新案公報 1994 - 2021年 | | |
| 国際調査でを使用した電子データベース（データベースの名称、調査に使用した用語） | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | US 2014/0279822 A1 (MICROSOFT CORPORATION) 18.09.2014 (2014 - 09 - 18) | 1-17 |
| A | US 2018/0052806 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 22.02.2018 (2018 - 02 - 22) | 1-17 |
| A | US 2019/0013457 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 10.01.2019 (2019 - 01 - 10) | 1-17 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 | “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 | |
| 国際調査を完了した日 17.03.2021 | 国際調査報告の発送日 30.03.2021 | |
| 名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号 | 権限のある職員（特許庁審査官） 棚田 一也 5F 9361 電話番号 03-3581-1101 内線 3516 | |

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/048426

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|--------------------|------------|--------------------|-----|
| US 2014/0279822 A1 | 18.09.2014 | (ファミリーなし) | |
| US 2018/0052806 A1 | 22.02.2018 | US 2018/0053113 A1 | |
| | | US 2018/0053809 A1 | |
| | | US 2020/0098821 A1 | |
| | | WO 2018/035361 A1 | |
| | | WO 2018/035260 A1 | |
| | | WO 2018/035360 A1 | |
| US 2019/0013457 A1 | 10.01.2019 | WO 2019/010090 A1 | |
| | | EP 3631870 A1 | |