申請日期	91.1.22
案　號	91100252
類　別	27/10　11/20

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中　文	強介質型非揮發性半導體記憶裝置及其驅動方法
	日　文	"強誘電体型不揮発性半導体メモリ及びその駆動方法"
二、發明 ~~創作~~ 人	姓　名	西原 利幸 TOSHIYUKI NISHIHARA
	國　籍	日本 JAPAN
	住、居所	日本東京都品川區北品川六丁目七番35號
三、申請人	姓　名 （名　稱）	日商新力股份有限公司 SONY CORPORATION
	國　籍	日本 JAPAN
	住、居所 （事務所）	日本東京都品川區北品川六丁目七番35號
	代表人 姓　名	安藤 國威 KUNITAKE ANDO

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　2001年01月23日　特願2001-015053　　☑有　□無主張優先權

有關微生物已寄存於：　　寄存日期：　　，寄存號碼：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（1）

[發明的技術領域]

本發明係有關強介質型非揮發性半導體記憶裝置及其驅動方法。

[先前技藝]

近年來盛行大容量之強介質型非揮發性半導體記憶裝置的研究。強介質型非揮發性半導體記憶裝置(以下，有時簡稱為非揮發性記憶裝置)可執行快速存取，且為非揮發性，體積小，耗電低，也耐撞擊，用作包含檔案儲存及回復功能的各種電子機器，如手提電腦及行動電話、遊戲機的主記憶裝置，或是預期將用於記錄聲音與影像的記錄媒體。

該非揮發性記憶裝置為可利用強介質薄膜之快速極化反轉與其殘留極化，檢測包含強介質層之電容器部之儲存電荷量變化方式的快速重寫，基本上，其包含電容器部與選擇用電晶體(切換用電晶體)。電容器部如包含：下部電極、上部電極、及被此等電極夾住之具有高電容率ε的強介電層。該非揮發性記憶裝置之資料的寫入及讀出係應用圖27所示之強介電的P-E磁滯迴路來執行。亦即，在強介電層上施加外部電場後，除去外部電場時，強介電層顯示自發極化。而強介電層之殘留極化於施加有正方向之外部電場時為$+P_r$，施加有負方向之外部電場時為$-P_r$。此時，將殘留極化為$+P_r$的狀態(參照圖27之「D」)設定為「0」，將殘留極化為$-P_r$的狀態(參照圖27之「A」)設定為「1」。

為求辨別「1」或「0」的狀態，係在強介電層上施加如

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 2 ）

正方向的外部電場。藉此，強介電層的極化形成圖27之「C」的狀態。此時，資料為「0」時，強介電層之極化狀態自「D」轉變成「C」的狀態。另外，資料為「1」時，強介電層之極化狀態自「A」，經由「B」轉變成「C」的狀態。資料為「0」的情況下，不產生強介電層的極化反轉。另外，資料為「1」的情況下，強介電層上產生極化反轉。以致電容器部之儲存電荷量產生差異。被選擇之非揮發性記憶裝置的選擇用電晶體啟動，檢測該儲存電荷作為信號電流。資料讀出後，外部電場為0時，不論資料為「0」時或為「1」時，強介電層之極化狀態均呈現圖27「D」的狀態。亦即，讀出時，資料「1」暫時被破壞。因此，資料為「1」時，施加負方向的外部電場，在「D」、「E」的路徑上作為「A」的狀態，再度寫入資料「1」。

目前主要之非揮發性記憶裝置的構造及其工作為美國專利第4873664號中，由S. Sheffiled等人所提出者。該非揮發性記憶裝置如圖28中顯示的等效電路圖，包含兩個非揮發性記憶體單元。另外，圖28中以點線圍住一個非揮發性記憶裝置。各非揮發性記憶體單元如包含選擇用電晶體TR_{11}，TR_{12}、電容器部FC_{11}，FC_{12}。

另外，2位或3位的添字，如添字「11」本來為應表示成「1, 1」的添字，如添字「111」本來為應表示成「1, 1, 1」的添字，為求簡化顯示，有時以2位或3位的添字來表示。此外，添字「M」係用於整體表示如數個記憶體單元及屏極線，添字「m」係用於各別表示如數個記憶體單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 3 ）

及屏極線，添字「N」係用於整體表示如選擇用電晶體及子記憶體單位，添字「n」係用於各別表示如選擇用電晶體及子記憶體單位。

而藉由在各個非揮發性記憶體單元內寫入互補性資料，記憶1位元。圖28中的符號「WL」表示字線，符號「BL」表示位元線，符號「PL」表示屏極線。針對一個非揮發性記憶裝置時，字線WL_1連接於字線解碼器/驅動器WD。此外，位元線BL_1，BL_2連接於感測放大器SA。再者，屏極線PL_1連接於屏極線解碼器/驅動器PD。

包含此種構造之非揮發性記憶裝置讀出所記憶之資料時，選擇字線WL_1，繼續驅動屏極線PL_1時，互補性資料自成對之電容器部FC_{11}，FC_{12}，經由選擇用電晶體TR_{11}，TR_{12}，在成對之位元線BL_1，BL_2上產生電壓(位元線電位)。並以感測放大器SA檢測該成對之位元線BL_1，BL_2的電壓(位元線電位)。

一個非揮發性記憶裝置佔據由字線WL_1及成對之位元線BL_1，BL_2所包圍的區域。因此，若以最短間距配置有字線及位元線時，若最小加工尺寸為F，則一個非揮發性記憶裝置之最小面積為$8F^2$。因此，包含此種構造之非揮發性記憶裝置的最小面積為$8F^2$。

促使此種構造之非揮發性記憶裝置大容量化時，其實現僅與加工尺寸的微細化有關。此外，為求構成一個非揮發性記憶裝置，需要兩個選擇用電晶體及兩個電容器部。再者，須以與字線相同的間距設置屏極線。因此，幾乎不可

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（4　　）

能以最小間距配置非揮發性記憶裝置，實際上一個非揮發性記憶裝置所佔據的面積遠大於$8F^2$。

且須以與非揮發性記憶裝置相同的間距設置字線解碼器/驅動器WD及屏極線解碼器/驅動器PD。換言之，為求選擇一個列位址，需要兩個解碼器/驅動器。因此，外圍電路的布局困難，且外圍電路的佔用面積大。

一種縮小非揮發性記憶裝置之面積的手段如特開平9-121032號公報所示。如圖29中顯示的等效電路，該專利公開公報中所揭示的非揮發性記憶裝置包含在與一個選擇用電晶體TR_1的一端並聯連接有數個電容器部之各一端的記憶體單元MC_{1M}(如M=4)，該非揮發性記憶裝置與成對之非揮發性記憶裝置亦包含在與一個選擇用電晶體TR_2的一端並聯連接有數個電容器部之各一端的記憶體單元MC_{2M}。選擇用電晶體TR_{11}，TR_{12}的另一端分別連接於位元線BL_1，BL_2。成對之位元線BL_1，BL_2連接於感測放大器SA。此外，記憶體單元MC_{1m}，MC_{2m} (m=1, 2…M)的另一端連接於屏極線PL_m，屏極線PL_m連接於屏極線解碼器/驅動器PD。再者，字線WL連接於字線解碼器/驅動器WD。

而成對之記憶體單元MC_{1m}，MC_{2m} (m=1, 2…M)內儲存有互補性資料。如讀出儲存在記憶體單元MC_{1m}，MC_{2m}(此時，m為1，2，3或4)內之資料時，選擇字線WL，於屏極線PL_k(k≠m)施加(1/2)V_{CC}之電壓的狀態下，驅動屏極線PL_m。此時之V_{CC}為電源電壓。藉此，互補性資料自成對之記憶體單元MC_{1m}，MC_{2m}經由選擇用電晶體TR_1，TR_2，在成對

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 5 ）

之位元線BL_1，BL_2上呈現電壓(位元線電位)。並以感測放大器SA檢測該成對之位元線BL_1，BL_2的電壓(位元線電位)。

成對之非揮發性記憶裝置的一對選擇用電晶體TR_1及TR_2佔據被字線WL及成對之位元線BL_1，BL_2所包圍的區域。因此，若以最短間距配置有字線及位元線時，成對之非揮發性記憶裝置之一對選擇用電晶體TR_1及TR_2的最小面積為$8F^2$。但是，由於一對選擇用電晶體TR_1，TR_2被M組之成對的記憶體單元MC_{1m}，MC_{2m} (m=1, 2…M)共通，因此每一位元之選擇用電晶體TR_1，TR_2的數量變少，又因字線WL的配置寬鬆，因此容易促使非揮發性記憶裝置的縮小化。且外圍電路亦可以一條字線解碼器/驅動器WD與M條屏極線解碼器/驅動器PD選擇M位元。因此，採用此種構造時，可實現單元面積接近$8F^2$的布局，可實現一般動態隨機存取記憶體層級的晶片尺寸。

以下說明在特開平9-121032號公報所揭示之非揮發性記憶裝置內寫入資料的方法。而在成對之記憶體單元MC_{11}，MC_{21}內寫入資料時，係以在記憶體單元MC_{11}內寫入資料「1」，在記憶體單元MC_{21}內寫入資料「0」為例。圖11顯示工作波形。另外，圖11中之括弧內的數字與以下說明的步驟編號對應。

(1)於待用狀態下，字線及全部的屏極線處於0伏特。且位元線BL_1，BL_2被補償成0伏特。另外，感測放大器SA內保持有須寫入的資料。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 6 ）

(2)開始寫入資料時，在位元線BL_1內施加高電位V_{BL-H}(=V_{CC})，在位元線BL_2內施加低電位V_{BL-L}(=0伏特)。此時，V_{CC}為電源電壓。

(3)繼續，藉由使字線WL處於高電平，使選擇用電晶體TR_1，TR_2處於接通狀態。同時在選擇屏極線PL_1上施加高電位V_{PL-H}(=V_{CC})，在非選擇屏極線PL_k(k=2, 3, 4)上施加中間電位V_{PL-M}[=(1/2)V_{CC}]。藉此，由於記憶體單元MC_{21}之選擇屏極線PL_1的電位為高電位V_{PL-H}，位元線BL_2之電位為低電位V_{BL-L}，因此寫入有資料「0」。

(4)之後，使選擇屏極線PL_1處於低電位V_{PL-L}(=0伏特)。藉此，由於記憶體單元MC_{11}之選擇屏極線PL_1的電位為低電位V_{PL-L}，位元線BL_1之電位為高電位V_{BL-H}，因此寫入有資料「1」。

(5)結束資料讀出的情況下，繼續藉由使字線WL處於低電平，使選擇用電晶體TR_1，TR_2處於切斷狀態後，將位元線BL_1放電至0伏特，將非選擇屏極線PL_k(k=2, 3, 4)放電至0伏特。

以上之寫入工作中，於非選擇屏極線PL_k(k=2, 3, 4)上施加有(1/2)V_{CC}。因此，非選擇記憶體單元MC_{1K}，MC_{2K} (k=2, 3, 4)內施加有±(1/2) V_{CC}的電壓。因此，藉由儲存在非選擇記憶體單元MC_{1K}，MC_{2K} (k=2, 3, 4)內之資料，對構成非選擇記憶體單元MC_{1K}，MC_{2K}之電容器部之強介電層，在極化反轉方向上施加電場，可能因干擾而造成資料保持狀態惡化。此處之所謂干擾，係指對構成非選擇記憶體單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 7 ）

之電容器部的強介電層，於極化反轉的方向，亦即保存之資料惡化或被破壞的方向上施加有電場的現象。

此種干擾的因應對策，係在特開平9-121032號公報所揭示之非揮發性記憶裝置，於包含記憶體單元MC_{1M}及記憶體單元MC_{2M}的記憶體單位中，自m=1至m=M，依序且全部存取至記憶體單元MC_{1m}，MC_{2m}。藉此，各記憶體單元MC_{1m}，MC_{2m}所受到之干擾次數限制在(M-1)次。此處並無特別自外部指定位址，係自第一個記憶體單元MC_{11}，MC_{21}至第M個記憶體單元MC_{M1}，MC_{2M}，依序寫入資料。亦即在m=1之各記憶體單元MC_{11}，MC_{21}中寫入資料後，繼續在m=2之各記憶體單元MC_{12}，MC_{22}中寫入資料，反覆該工作直至m=M。藉此，各記憶體單元MC_{1m}，MC_{2m}受到之干擾次數為(M-1)次。各記憶體單元MC_{1m}，MC_{2m}之資料讀出及資料再寫入亦同樣的自m=1至m=M，依序且全部存取至記憶體單元MC_{1m}，MC_{2m}。

[發明所欲解決之問題]

特開平9-121032號公報所揭示之縮小非揮發性記憶裝置之面積的方法為非常有效的方法。但是，資料之寫入及資料之讀出及再寫入係自第一個記憶體單元起依序開始。對各記憶體單元MC_{1m}，MC_{2m}讀出及再寫入資料時，需要約100毫微秒的時間。因此，如對第八個記憶體單元MC_{18}，MC_{28}讀出及再寫入資料時，係自開始讀出及再寫入資料起約0.8微秒後，形成自所需之記憶體單元讀出及再寫入資料費時的問題。此外，寫入資料時，係在構成記憶體單位

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 8 ）

的全部記憶體單元中執行資料寫入。因此，依然存在對所需之記憶體單元寫入資料費時的問題。構成記憶體單位之記憶體單元的數量愈多，雖然面積效率愈高，但同時對記憶體單元的存取也愈慢。

因此，本發明之目的在提供一種可抑制干擾之影響，並立即存取至所需記憶體單元之強介質型非揮發性半導體記憶裝置及其驅動方法。

[解決問題之手段]

用於達成上述目的之本發明第一態樣之強介質型非揮發性半導體記憶裝置之驅動方法的特徵為：關於資料的讀出包含記憶體單位，該記憶體單位包含：

(A)位元線；

(B)選擇用電晶體；

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單位；

(D)M條屏極線；及

(E)連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極在子記憶體單位內共通，該共通之第一電極經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

且讀出儲存在自外部指定之指定位址之記憶體單元內之資料，並鎖存至感測放大器後，輸出被鎖存在感測放大器內之該資料。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（9　　）

以下說明中，以$MC_J(1 \leqq J \leqq M)$表示指定位址的記憶體單元，以$MC_k(k \neq J)$表示構成子記憶體單位之其他記憶體單元(指定位址之記憶體單元以外的記憶體單元)。

本發明第一態樣之強介質型非揮發性半導體記憶裝置的驅動方法(以下，稱之為本發明第一態樣之非揮發性記憶裝置的驅動方法)可構成，於輸出被鎖存在前述感測放大器內之資料後，將被鎖存在感測放大器內之該資料再寫入前述指定位址的記憶體單元MC_J內，繼續，讀出在未自外部指定位址下，而儲存在構成子記憶體單位之其他記憶體單元MC_k內的資料，並鎖存至感測放大器內。

且此時還可構成，於讀出儲存在構成子記憶體單位之其他記憶體單元MC_k內之資料，並鎖存至感測放大器內後，將被鎖存在感測放大器內之該資料再寫入該其他的記憶體單元MC_k內。為求便利，將此種構造稱之為第一A的構造。該第一A之構造之記憶體單元如被隨機存取，以執行資料的讀出及再寫入。另外，此時，構成子記憶體單位之全部其他記憶體單元在未自外部指定位址下，宜依序[亦即，依據第(J+1)個記憶體單元MC_{J+1}、第(J+2)個記憶體單元MC_{J+2}、…、第M個記憶體單元MC_M、第一個記憶體單元MC_1、第二個記憶體單元MC_2、…、第(J-2)個記憶體單元MC_{J-2}、第(J-1)個記憶體單元MC_{J-1}的順序]執行資料的讀出及資料的再寫入。藉此，可確實抑制其他記憶體單元MC_k發生干擾。

或是，此時可構成，於讀出儲存在構成子記憶體單位之

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 10 ）

其他記憶體單元MC_k內之資料，並鎖存至感測放大器內後，輸出被鎖存在感測放大器內之該資料。且還可構成讀出儲存在構成子記憶體單位之其他記憶體單元MC_k內之資料，並鎖存至感測放大器內，繼續輸出被鎖存在感測放大器內之該資料後，將被鎖存在感測放大器內之該資料再寫入該其他記憶體單元MC_k內。為求便利，將此種構造稱之為第一B的構造。該第一B之構造之記憶體單元如被隨機存取，以執行資料的讀出、輸出及再寫入。另外，此時，構成子記憶體單位之全部其他記憶體單元在未自外部指定位址下，宜依序[亦即，依據第(J+1)個記憶體單元MC_{J+1}、第(J+2)個記憶體單元MC_{J+2}、…、第M個記憶體單元MC_M、第一個記憶體單元MC_1、第二個記憶體單元MC_2、…、第(J-2)個記憶體單元MC_{J-2}、第(J-1)個記憶體單元MC_{J-1}的順序]執行資料的讀出、輸出及資料的再寫入。藉此，可確實抑制其他記憶體單元MC_k發生干擾。

另外，本發明第一態樣之非揮發性記憶裝置的驅動方法亦可組合第一A的構造與第一B的構造。亦即，亦可自第(J+1)個記憶體單元MC_{J+1}至特定數量之記憶體單元依序執行第一B構造的驅動方法後，剩餘的其他記憶體單元依序執行第一A構造的驅動方法，亦可自第(J+1)個記憶體單元MC_{J+1}至特定數量之記憶體單元依序執行第一A構造的驅動方法後，剩餘的其他記憶體單元依序執行第一B構造的驅動方法。

用於達成上述目的之本發明第二態樣之強介質型非揮發

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 11 ）

性半導體記憶裝置之驅動方法的特徵為：關於資料的讀出包含記憶體單位，該記憶體單位包含：

(A)位元線；

(B)選擇用電晶體；

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單位；

(D)M條屏極線；及

(E)連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極在子記憶體單位內共通，該共通之第一電極經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

且將須寫入之資料鎖存在感測放大器內後，在自外部所指定之指定位址的記憶體單元內寫入該資料。

本發明第二態樣之強介質型非揮發性半導體記憶裝置的驅動方法(以下，稱之為本發明第二態樣之非揮發性記憶裝置的驅動方法)可構成，將被鎖存在感測放大器內之資料寫入前述指定位址之記憶體單元MC_j後，將須寫入之資料鎖存在感測放大器內，繼續，在未自外部指定位址下，而在構成子記憶體單位之其他記憶體單元MC_k內寫入該資料。為求便利，將此種構造稱之為第二A構造。該第二A構造係在構成子記憶體單位的全部記憶體單元內執行資料的寫入。另外，此時構成子記憶體單位之全部其他記憶體單元，在未自外部指定位址下，宜依序[亦即，依據第

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 12 ）

(J+1)個記憶體單元MC_{J+1}、第(J+2)個記憶體單元MC_{J+2}、…、第M個記憶體單元MC_M、第一個記憶體單元MC_1、第二個記憶體單元MC_2、…、第(J-2)個記憶體單元MC_{J-2}、第(J-1)個記憶體單元MC_{J-1}的順序]執行資料的寫入。

或是，本發明第二態樣之非揮發性記憶裝置的驅動方法可構成，將被鎖存在感測放大器內之資料寫入前述指定位址之記憶體單元MC_J內後，在未自外部指定位址下，讀出儲存在構成子記憶體單位之其他記憶體單元MC_k內的資料，並鎖存在感測放大器內後，將被鎖存在感測放大器內之該資料再寫入該其他記憶體單元MC_k。為求便利，將此種構造稱之為第二B構造。該第二B構造係僅在指定位址之記憶體單元MC_J內寫入有資料，其他記憶體單元MC_k則執行資料的讀出及再寫入。另外，此時，構成子記憶體單位之全部其他記憶體單元在未自外部指定位址下，宜依序[亦即，依據第(J+1)個記憶體單元MC_{J+1}、第(J+2)個記憶體單元MC_{J+2}、…、第M個記憶體單元MC_M、第一個記憶體單元MC_1、第二個記憶體單元MC_2、…、第(J-2)個記憶體單元MC_{J-2}、第(J-1)個記憶體單元MC_{J-1}的順序]執行資料的讀出及再寫入。藉此，可確實抑制其他記憶體單元MC_k發生干擾。

另外，本發明第二態樣之非揮發性記憶裝置的驅動方法亦可組合第二A的構造與第二B的構造。亦即，亦可自第(J+1)個記憶體單元MC_{J+1}至特定數量之記憶體單元依序執

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 13 ）

行第二B構造的驅動方法後，剩餘的其他記憶體單元依序執行第二A構造的驅動方法，亦可自第(J+1)個記憶體單元MC_{J+1}至特定數量之記憶體單元依序執行第二A構造的驅動方法後，剩餘的其他記憶體單元依序執行第二B構造的驅動方法。

用於達成上述目的之本發明之強介質型非揮發性半導體記憶裝置的特徵為：包含記憶體單位，該記憶體單位包含：

(A)位元線；

(B)選擇用電晶體；

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單位；

(D)M條屏極線；及

(E)連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極在子記憶體單位內共通，該共通之第一電極經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

且進一步包含：

(F)儲存外部所指定之屏極線位址的指定屏極線位址暫存器；及

(G)依序增量指定屏極線之屏極線位址的屏極線位址計數器。

本發明之強介質型非揮發性半導體記憶裝置(以下，有

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 14 ）

時亦稱之為本發明之非揮發性記憶裝置)內，宜進一步包含比較器，其係連接於指定屏極線位址暫存器及屏極線位址計數器，比較儲存在指定屏極線位址暫存器內之指定屏極線位址的值，與屏極線位址計數器之屏極線位址之值。

亦可將本發明第一態樣或第二態樣之非揮發性記憶裝置之驅動方法中的非揮發性記憶裝置構成包含：

第一記憶體單位，其包含：

(A-1)第一位元線；

(B-1) N個(其中，N≧1)第一選擇用電晶體；

(C-1)分別包含M個(其中，M≧2)第一記憶體單元之N個第一子記憶體單位；及

(D-1)構成各個之N個子記憶體單位之第一記憶體單元所共通之M條屏極線；與

第二記憶體單位，其包含：

(A-2)第二位元線；

(B-2) N個第二選擇用電晶體；

(C-2)分別包含M個第二記憶體單元之N個第二子記憶體單位；及

(D-2)構成各個之N個子記憶體單位之第二記憶體單元所共通，且與構成前述第一記憶體單位之M條屏極線共通之M條屏極線；

進一步包含：

(E)連接於第一及第二位元線的感測放大器；

各記憶體單元包含第一電極與強介質層與第二電極；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 15 ）

第一記憶體單位中，構成第n個(其中，n=1、2…N)之第一子記憶體單位之第一記憶體單元的第一電極，在第n個之第一子記憶體單位中共通，該共通之第一電極經由第n個之第一選擇用電晶體連接於第一位元線，第二電極則連接於共通之屏極線；

第二記憶體單位中，構成第n個之第二子記憶體單位之第二記憶體單元的第一電極，在第n個之第二子記憶體單位中共通，該共通之第一電極經由第n個之第二選擇用電晶體連接於第二位元線，第二電極則連接於共通之屏極線。

另外，本發明之非揮發性記憶裝置的記憶體單位，亦可包含上述兩個記憶體單位(第一記憶體單位及第二記憶體單位)。

而此種構造之本發明第一態樣之驅動方法可構成，於讀出儲存在第一記憶體單元內之資料時，使第一選擇用電晶體處於接通狀態，使第二選擇用電晶體處於切斷狀態，且在第二位元線上施加參考電位，於讀出儲存在第二記憶體單元內之資料時，使第二選擇用電晶體處於接通狀態，使第一選擇用電晶體處於切斷狀態，且在第一位元線上施加參考電位。

或是，本發明第一態樣之驅動方法亦可構成，對構成第n個之第一子記憶體單位之第m個(其中，m=1、2…M)之第一記憶體單元，與構成第n個之第二子記憶體單位之第m個之第二記憶體單元，讀出互補性的資料。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 16 ）

此外，此種構造之本發明第二態樣之驅動方法，可於在第一記憶體單元內寫入資料時，使第一選擇用電晶體處於接通狀態，使第二選擇用電晶體處於切斷狀態，於第二記憶體單元內寫入資料時，使第二選擇用電晶體處於接通狀態，使第一選擇用電晶體處於切斷狀態。

或是，本發明第二態樣之驅動方法亦可構成，對構成第n個之第一子記憶體單位之第m個(其中，m=1, 2…M)之第一記憶體單元，與構成第n個之第二子記憶體單位之第m個之第二記憶體單元，寫入互補性的資料。

本發明之非揮發性記憶裝置或其驅動方法(以下，有時統稱之為本發明)，為求達成進一步的高積體化可構成，堆疊非揮發性記憶裝置，或是經由層間絕緣層，堆疊構成非揮發性記憶裝置之第一記憶體單位，與鄰接於該非揮發性記憶裝置與第一位元線之延伸方向之構成非揮發性記憶裝置的第一記憶體單位，經由層間絕緣層，堆疊構成非揮發性記憶裝置之第二記憶體單位，與鄰接於該非揮發性記憶裝置與第二位元線之延伸方向之構成非揮發性記憶裝置的第二記憶體單位。或是亦可構成，經由層間絕緣層堆疊構成第一記憶體單位之各個第一子記憶體單位，經由層間絕緣層堆疊構成第二記憶體單位之各個第二子記憶體單位。或是亦可構成，經由層間絕緣層分別堆疊構成第一記憶體單位之第一子記憶體單位及構成第二記憶體單位之第二子記憶體單位。

本發明只須滿足M≧2即可，實際的M值，如2的乘方(2，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 17 ）

4，8，16，32…）。此外，只須滿足N≧1即可，實際的N值，如2的乘方（1，2，4，8…）。

構成本發明之強介質層的材料為鉍層狀化合物，更具體而言，如鉍系層狀構造鈣鈦礦型的強介質材料。鉍系層狀構造鈣鈦礦型的強介質材料屬於所謂之非定比化合物，對金屬元素、陰離子（O等）元素兩側之成分偏差具有寬容性。且因與化學計量成分稍有不同，因此常顯示最適切的電性特性。鉍系層狀構造鈣鈦礦型的強介質材料可以一般化學式$(Bi_2O_2)^{2+}(A_{m-1}B_mO_{3m+1})^{2-}$來表示。此時，「A」表示自包含鉍、鈀、鋇、鍶、鈣、鈉、鉀、鑭等金屬之群中選出的一種金屬，「B」表示自包含鈦、鈮、鉭、鎢、鉬、鐵、鈷、鉻等群中選出的一種或數種之任意比率的組合。此外，m為1以上的整數。

或是，構成強介質層之材料宜包含以

$(Bi_X, Sr_{1-X})_2 (Sr_Y, Bi_{1-Y}) (Ta_Z, Nb_{1-Z})_2O_d$　　化學式（1）

（其中，$0.9 \leqq X \leqq 1.0$，$0.7 \leqq Y \leqq 1.0$，$0 \leqq Z \leqq 1.0$，$8.7 \leqq d \leqq 9.3$）所表示之結晶相作為主要結晶相。或是構成強介質層之材料宜包含以

$Bi_XSr_YTa_2O_d$　　化學式（2）

（其中，$X+Y=3$，$0.7 \leqq Y \leqq 1.3$，$8.7 \leqq d \leqq 9.3$）所表示之結晶相作為主要結晶相。此時，更宜包含以化學式（1）或化學式（2）所表示之結晶相為主要結晶相在85%以上。另外，化學式（1）中之(Bi_X, Sr_{1-X})表示結晶構造中鍶佔了原本鉍所佔的位置，此時鉍與鍶的比率為X:（1-X）。此外，(Sr_Y, Bi_{1-Y})

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 18 ）

表示結晶構造中鉍佔了原本鍶所佔的位置，此時鍶與鉍的比率為Y:(1-Y)。包含以化學式(1)或化學式(2)所表示之結晶相作為主要結晶相之構成強介質層的材料有時亦可能包含一些鉍的氧化物、鈦及鈮的氧化物、鉍、鈦及鈮的複合氧化物。

或是，構成強介質層之材料宜可包含以

$Bi_X(Sr, Ca, Ba)_Y(Ta_Z, Nb_{1-Z})_2O_d$　　化學式(3)

(其中，$1.7 \leqq X \leqq 2.5$，$0.6 \leqq Y \leqq 1.2$，$0 \leqq Z \leqq 1.0$，$8.0 \leqq d \leqq 10.0$)所表示之結晶相。而「(Sr, Ca, Ba)」表示從包含鍶、鈣及鋇之群中選出的一種元素。將以此等化學式所表示之構成強介質層材料的成分以化學計量值成分表示時，如$Bi_2SrTa_2O_9$，$Bi_2SrNb_2O_9$，$Bi_2BaTa_2O_9$，$Bi_2SrTaNbO_9$等。或是構成強介質層的材料如$Bi_4SrTi_4O_{15}$，$Bi_4Ti_3O_{12}$，$Bi_2PbTa_2O_9$等，不過此時各金屬元素之比率的變化以結晶構造不改變為度。亦即，金屬元素及氧元素之兩側成分亦可存在偏差。

或是，構成強介質層的材料如$PbTiO_3$、包含鈣鈦礦型構造之$PbZrO_3$與$PbTiO_3$固溶體之鈦酸鋯石酸鉛[PZT, $Pb(Zr_{1-y}, Ti_y)O_3$(其中$0<y<1$)]，在PZT中添加鑭之金屬氧化物的PLZT或是在PZT中添加鈮之金屬氧化物PNZT的PZT系化合物。

為求獲得強介質層，只須在形成強介質薄膜後的步驟中將強介質薄膜予以圖案化即可。有時亦不需要將強介質薄膜予以圖案化。強介質薄膜之形成可採用如MOCVD法、

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 19 ）

脈衝雷射研磨法、濺射法、溶膠-凝膠法等適於構成強介質薄膜之材料的方法。此外，強介質薄膜之圖案化可以各向異性離子蝕刻(RIE)法來實施。

構成本發明之第一電極及第二電極的材料如銥、IrO_{2-X}、三氧化鍶銥、釕、RuO_{2-X}、三氧化鍶釕、箔、箔/IrO_{2-X}、箔/RuO_{2-X}、鈀、箔/鈦的疊層構造、箔/鉭的疊層構造、箔/鈦/鉭的疊層構造、$La_{0.5}Sr_{0.5}CoO_3$(LSCO)、箔/LSCO的疊層構造、$YBa_2Cu_3O_7$等。此時的X值為$0 \leqq X < 2$。而疊層構造中之位於「/」之前的材料構成上層，位於「/」之後的材料構成下層。第一電極與第二電極亦可以相同材料構成，亦可以同種類材料構成，亦可以不同種類材料構成。為求形成第一電極或第二電極，只須於形成第一電極材料層或第二電極材料層後的步驟中，將第一電極材料層或第二電極材料層予以圖案化即可。第一電極材料層或第二電極材料層之形成，可採用如濺射法、反應性濺射法、電子束蒸鍍法、MOCVD法、或脈衝雷射研磨法等適於構成第一電極材料層或第二電極材料層之材料的方法。此外，第一電極材料層及第二電極材料層之圖案化可採離子銑削法及RIE法來實施。

構成本發明之非揮發性記憶裝置之層間絕緣層的材料，可採用如氧化矽(SiO_2)、氮化矽(SiN)、氧氮化矽(SiON)、SOG、NSG、BPSG、PSG、BSG及LTO等。

本發明之非揮發性記憶裝置亦可採用在強介質層之下形成第一電極，在強介質層之上形成第二電極的構造（亦

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（20）

即，第一電極相當於下部電極，第二電極相當於上部電極），亦可採用在在強介質層之上形成第一電極，在強介質層之下形成第二電極的構造（亦即，第一電極相當於上部電極，第二電極相當於下部電極）。屏極線亦可採用向第二電極延伸的構造，亦可採用與第二電極另行形成，並與第二電極連接的構造。屬於後者時，構成屏極線之配線材料如鋁及鋁系合金。第一電極共通之構造，具體而言，如形成帶狀的第一電極，並形成強介質層以覆蓋整個該帶狀之第一電極的構造。而此種構造之第一電極與強介質層與第二電極的重複區域相當於電容器部。另外之第一電極共通的構造，如在第一電極之特定區域分別形成有強介質層，在強介質層上形成有第二電極的構造，或是在配線層之特定的表面區域分別形成有第一電極，在該各個第一電極上形成有強介質層，在強介質層上形成有第二電極的構造，不過並不限定於此等構造。

選擇用電晶體（切換用電晶體）可由如熟知之MIS型FET及MOS型FET構成。構成位元線的材料如摻雜有雜質之多晶矽及高融點金屬材料。共通之第一電極與選擇用電晶體的電性連接，可經由設置在形成於共通之第一電極與選擇用電晶體之間之絕緣層上的連接孔（接觸孔），或是經由設置在該絕緣層上之連接孔（接觸孔）及形成於絕緣層上之配線層來實施電性連接。而構成絕緣層的材料如氧化矽（SiO_2）、氮化矽（SiN）、氧氮化矽（SiON）、SOG、NSG、BPSG、PSG、BSG及LTO等。

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

五、發明說明（21）

感測放大器可採用熟知的鎖存電路，指定屏極線位址暫存器及屏極線位址計數器、比較器亦可採用熟知的暫存器、計數器、比較器。

由於本發明第一態樣之非揮發性記憶裝置的驅動方法，係讀出儲存在外部所指定之指定位址之記憶體單元內的資料，並鎖存在感測放大器內後，輸出被鎖存在感測放大器內之該資料，此外，本發明第二態樣之非揮發性記憶裝置的驅動方法，係將須寫入之資料鎖存在感測放大器內後，將該資料寫入外部所指定之指定位址的記憶體單元內，因此可立即存取所需的記憶體單元。且由於本發明之第一A構造、第一B構造、第二A構造、第二B構造在其他的記憶體單元內執行資料的寫入或再寫入，因此可確實抑制其他記憶體單元發生干擾。

[發明之實施形態]

以下，參照圖式並依據發明的實施形態(以下簡稱之為實施形態)來說明本發明。

(第一種實施形態)

第一種實施形態係有關本發明第一態樣之非揮發性記憶裝置的驅動方法及本發明的非揮發性記憶裝置，更詳細而言，係有關第一A構造之非揮發性記憶裝置的驅動方法。圖1係顯示第一種實施形態之非揮發性記憶裝置之驅動方法的流程圖，圖5係顯示第一種實施形態之非揮發性記憶裝置的等效電路圖，圖6係顯示記憶體單位之部分模型剖面圖。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（22）

圖5及圖6所示之非揮發性記憶裝置包含記憶體單位，該記憶體單位包含：(A)位元線BL_L、(B)選擇用電晶體TR_L、(C)包含M個(其中M≧2，第一種實施形態為M=8)記憶體單元MC_{LM}之子記憶體單位SMU_L、(D)M條(第一種實施形態為8條)屏極線PL_M、及(E)連接於位元線BL_L的感測放大器SA_L。而圖5中亦一併顯示連接於子記憶體單位SMU_L，共通字線WL及屏極線PL_M的子記憶體單位SMU_{L+1}。

繼續，各憶體單元MC_{LM}包含第一電極31(下部電極)與強介質層32與第二電極33(上部電極)，構成子記憶體單位SMU_L之憶體單元MC_{Lm}的第一電極31在子記憶體單位SMU_L中共通，該共通之第一電極31(稱之為共通節點CN_L)經由選擇用電晶體TR_L連接於位元線BL_L，第二電極33連接於屏極線PL_M。

此外，該非揮發性記憶裝置包含：儲存外部所指定之屏極線位址之屏極線位址暫存器11、依序增量指定屏極線之屏極線位址的屏極線位址計數器12、及比較器14。比較器14比較連接於指定屏極線位址暫存器11及屏極線位址計數器12，儲存在指定屏極線位址暫存器11內之指定屏極線位址之值，與屏極線位址計數器12中之屏極線位址之值。指定屏極線位址暫存器11由熟知的暫存器構成，屏極線位址計數器12由熟知的2位元循環型計數器構成，比較器14由熟知的比較器構成。

再者，該非揮發性記憶裝置包含：接受外部命令，將命令予以解碼的命令解碼器10、單位位址暫存器13、單位控

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（23）

制器15、單位解碼器16、字線解碼器/驅動器WD及屏極線解碼器/驅動器PD。命令解碼器10連接於單位控制器15、指定屏極線位址暫存器11、屏極線位址計數器12及單位位址暫存器13。此外，單位位址暫存器13連接於單位解碼器16。再者，屏極線位址計數器12連接於屏極線解碼器/驅動器PD，比較器14連接於單位控制器15，單位控制器15連接於單位解碼器16，單位解碼器16連接於字線解碼器/驅動器WD及屏極線解碼器/驅動器PD。而字線WL連接於字線解碼器/驅動器WD，M條的屏極線PL_m連接於屏極線解碼器/驅動器PD。另外，此等各個構成要素亦可由熟知的電路構成。

另外，圖6中一併顯示選擇用電晶體TR_L及記憶體單元MC_{Lm}與鄰接於位元線BL_L之延伸方向之選擇用電晶體TR'_L及記憶體單元MC'_{Lm}的一部分。連接於位元線BL_L之延伸方向的記憶體單元MC_{Lm}，MC'_{Lm}…中的位元線BL_L被共通化。

第一種實施形態之非揮發性記憶裝置的驅動方法，將外部所指定之指定位址(J，其中$1 \leqq J \leqq M$)的記憶體單元作為記憶體單元MC_{LJ}。此外，將被指定位址之子記憶體單位作為子記憶體單位SMU_L。而第一種實施形態係讀出儲存在被外部指定位址之記憶體單元MC_{LJ}內的資料，並鎖存在感測放大器SA_L內後，將鎖存在感測放大器SA_L內之資料輸出至外部。

第一種實施形態進一步輸出鎖存在感測放大器SA_L內之資料後，將鎖存在感測放大器SA_L內之資料再寫入被外部

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（24）

指定位址的記憶體單元MC_{LJ}內。之後，讀出在未自外部指定位址下，而儲存在構成子記憶體單位SMU_L之其他記憶體單元$MC_{Lk}(k \neq J)$內的資料，並鎖存在感測放大器SA_L內。之後，將鎖存在感測放大器SA_L內之資料再寫入其他記憶體單元MC_{Lk}內。第一種實施形態之記憶體單元係被隨機存取，以執行資料的讀出及再寫入。

以下參照圖1、圖5及顯示操作波形的圖7，說明第一種實施形態的驅動方法。另外，以下說明之命令及其執行內容如下。此時，各命令由與時脈同步被輸入，並輸入至構成命令解碼器10之積體電路之數個特定輸入接腳之「0」、「1」的組合來決定。另外，位址中有對應於列方向，選擇子記憶體單位及屏極線(進一步為構成子記憶體單位的記憶體單元)的RAS位址，與對應於行方向，選擇感測放大器的CAS位址，並對應於各命令分開使用。

ACT命令…係由RAS位址之上階成分之位址$AD_j(1 \leqq j \leqq M)$所指定之記憶體單元MC_j讀出資料，並使其鎖存在感測放大器內的命令。

RAS_INC命令…係將鎖存在感測放大器內之資料再寫入被RAS位址之上階成分之位址AD_j所指定的記憶體單元MC_j內，繼續，將位址予以增量，讀出儲存在該位址之記憶體單元內的資料，並使其鎖存在感測放大器內的命令。資料輸出係藉由繼續執行READ命令來實施，資料(再)寫入係藉由繼續執行WRITE命令來實施。

READ命令…係自鎖存在感測放大器內之資料群中，將

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（25）

相當於與命令同時輸入之CAS位址的資料輸出至外部的命令。該命令於ACT命令或RAS_INC命令之後被輸入。

RESTORE命令…係將鎖存在感測放大器內之資料(再)寫入位址AD_j所指定之記憶體單元MC_j內，繼續，將位址予以增量，讀出儲存於該位址之記憶體單元內的資料，並使其鎖存在感測放大器內的命令。

WRITE命令…係使外部的資料依據CAS位址鎖存在所需感測放大器內的命令。該命令係於ACT命令或RAS_INC命令之後被輸入，被選擇之感測放大器的資料被重寫。另外，非選擇之感測放大器內保留被讀出時的資料。

NOP命令…係於早先輸入之命令的執行在一個時脈內尚未結束時，用於進行時脈的NO OPERATION命令。此外，亦使用於如下的叢發傳送。亦即，READ命令之後，將CAS位址予以增量，同時將各感測放大器的資料依序叢發輸出。此外，於WRITE命令之後，將CAS位址予以增量，同時將資料叢發寫入各感測放大器內。

[步驟-100]

首先，ACT命令被輸入命令解碼器10，同時輸入有指定子記憶體單位及記憶體單元的位址(RAS位址)。該RAS位址被圖上未顯示的移位暫存器分離成上階成分與下階成分。指定記憶體單元MC_{LJ}之位址AD_J的上階成分被鎖存在指定屏極線位址暫存器11及屏極線位址計數器12內。另外，指定子記憶體單位SMU_L之位址的下階成分被鎖存在單位位址暫存器13內。此時，將指定被鎖存在指定屏極線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（26）

位址暫存器11內之記憶體單元MC_J之位址的上階成分設定為位址「J」，將指定被鎖存在屏極線位址計數器12內之記憶體單元MC_J之位址的上階成分設定為位址「j」(=J)，將指定被鎖存在單位位址暫存器13內之子記憶體單位SMU_L之位址的下階成分設定為位址「L」。

再者，自命令解碼器10接受信號之單位控制器15傳送信號至單位解碼器16，使單位解碼器16啟動。此外，自單位位址暫存器13接受信號之單位解碼器16選擇子記憶體單位SMU_L。另外。屏極線位址計數器12之信號被送至屏極線解碼器/驅動器PD。藉此字線解碼器/驅動器WD及屏極線解碼器/驅動器PD被啟動，且屏極線PL_J被屏極線解碼器/驅動器PD選擇。

[步驟-110]

繼續，讀出儲存在位址AD_j所指定之記憶體單元MC_{Lj}(具體而言為記憶體單元MC_{LJ})內的資料，並鎖存至感測放大器SA內。其具體工作如後述。

另外，以上之步驟亦可選擇有數個連接於同一字線及同一屏極線的子記憶體單位及記憶體單元。亦即，亦可選擇有各個子記憶體單位SMU_L, SMU_{L+1}, SMU_{L+2},…之記憶體單元$MC_{L,J}$, $MC_{L+1,J}$, $MC_{L+2,J}$,…。藉此，記憶體單元$MC_{L,J}$, $MC_{L+1,J}$, $MC_{L+2,J}$,…之資料被鎖存在感測放大器SA_L, SA_{L+1}, SA_{L+2},…內。

[步驟-120]

之後，READ命令被輸入至命令解碼器10內，同時輸入

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（27）

有指定感測放大器SA_L的CAS位址。依據該命令及CAS位址，經過圖上未顯示的路徑，向感測放大器SA_L發出指令，鎖存在感測放大器SA_L內的資料被輸出至外部。

[步驟-130]

於感測放大器SA_{L+1}, SA_{L+2},…內鎖存有記憶體單元$MC_{L+1,J}$, $MC_{L+2,J}$,…之資料的情況下，繼續，藉由輸入有NOP命令，使用圖上未顯示的計數器，依序叢發傳送被鎖存在此等感測放大器內的資料。圖上雖未顯示此等感測放大器與外部的存取，唯採用與先前之同步動態隨機存取記憶體等完全相同的存取方法即可。

[步驟-140]

資料向外部輸出完成後，輸入有RESTORE命令。藉此，首先，鎖存在感測放大器SA_L內之資料被再寫入指定位址的記憶體單元MC_{Lj}(具體而言為記憶體單元MC_{LJ})內。其具體工作如後述。另外實際上，由於RESTORE命令在一個時脈內尚未結束，因此執行用於進行時脈的NOP命令。

繼續，讀出在未自外部指定位址下，而儲存在構成子記憶體單位SMU_L之其他記憶體單元MC_{Lk}($k \neq J$)內的資料，並鎖存在感測放大器SA_L內。繼續將鎖存在感測放大器SA_L內之資料再寫入其他記憶體單元MC_{LK}內。具體而言，係將屏極線位址計數器12予以增量，以比較器14比較屏極線位址計數器12之值與指定屏極線位址暫存器11之值，若值一致時則結束工作。若值不一致時，判斷屏極線位址計數器12之值是否超過值「M」，若超過時，則將屏極線位址計

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（28）

數器12之值重設為「1」，讀出被位址AD_j所指定之記憶體單元MC_{LJ}(相當於記憶體單元MC_{LK})，並鎖存在感測放大器SA_L內。另外，由於將屏極線位址計數器12予以增量，因此，不需要自外部指定記憶體單元的位址。

在構成子記憶體單位SMU_L之全部其他記憶體單元MC_k中，係在未自外部指定位址下來執行該[步驟-140]的工作。亦即，係依據第(J+1)個記憶體單元$MC_{L,J+1}$、第(J+2)個記憶體單元$MC_{L,J+2}$…、第M個記憶體單元$MC_{L,M}$、第1個記憶體單元$MC_{L,1}$、第2個記憶體單元$MC_{L,2}$…、第(J-2)個記憶體單元$MC_{L,J-2}$、第(J-1)個記憶體單元$MC_{L,J-1}$的順序，執行資料的讀出及資料的再寫入。第一種實施形態之鎖存在感測放大器SA_L內的資料不輸出至外部。

工作結束時，比較器14將其內容通知單位控制器15，單位控制器15關閉單位解碼器16，將全部的字線WL及屏極線PL_M回復成非選擇狀態。

藉由以上的步驟，可迅速存取至任意的記憶體單元內，且可逐一再寫入全部之儲存於同一個子記憶體單位之其他記憶體單元內之資料。

此時，干擾次數的最差值如下。亦即，位址被指定為「P」，藉由ACT命令執行存取而選擇有記憶體單元MC_P($1 \leqq P \leqq M$)，藉由之後的RESTORE命令，其他記憶體單元再寫入時，記憶體單元MC_P所受到之干擾次數為(M-1)次。之後，此時將位址指定為「P+1」，藉由ACT命令執行存取而選擇有記憶體單元MC_{P+1}，藉由之後的RESTORE命令，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（29）

其他記憶體單元再寫入時，記憶體單元MC_P受到(M-1)次之干擾後被再寫入。因此，此時記憶體單元MC_P於資料再寫入後，再度接受資料之再寫入前，受到2×(M-1)次的干擾。於該程度的干擾次數中，資料幾乎不因干擾而惡化。因而可對記憶體單元隨機存取，同時可抑制干擾。

以下，參照顯示工作波形的圖7來說明第一種實施形態之非揮發性記憶裝置的資料讀出及再寫入工作。此時係自連接於屏極線PL_1之記憶體單元MC_{L1}讀出資料，並再寫入資料。而顯示工作波形的圖式中，括弧內的數字與以下說明的步驟編號相對應。

(1A)於[步驟-100]中，在ACT命令輸入前，亦即在待用狀態下，位元線、字線及全部的屏極線為0伏特。且共通節點CN_L亦在0伏特下形成漂浮狀態。

(2A)於[步驟-100]中，輸入有ACT命令時，字線解碼器/驅動器WD及屏極線解碼器/驅動器PD被啟動，且選擇有屏極線PL_1。繼續於[步驟-110]中開始讀出資料。亦即，選擇屏極線PL_1上施加有高電位$V_{PL-H}(=V_{CC})$。此時，選擇記憶體單元MC_{L1}內儲存有資料「1」時，在強介質層上產生極化反轉，儲存電荷量增加，共通節點CN_L的電位上昇。另外，選擇記憶體單元MC_{L1}內儲存有資料「0」時，強介質層上不產生極化反轉，共通節點CN_L的電位幾乎不上昇。亦即，由於共通節點CN_L經由非選擇記憶體單元MC_{LK}的強介質層，被耦合成數個非選擇屏極線$PL_k(k=2, 3\cdots M)$，因此共通節點CN_L的電位保持在較接近0伏特的電平上。如

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（30　）

此，共通節點CN_L的電位因記憶在選擇記憶體單元MC_{L1}內之資料而發生變化。

(3A)繼續，藉由使位元線BL_L處於漂浮狀態，使字線WL處於高電平，選擇用電晶體TR_L處於接通狀態。藉此，依據儲存在選擇記憶體單元MC_{L1}內之資料，共通之第一電極(共通節點CN_L)上產生的電位呈現在位元線BL_L上，並被鎖存在感測放大器SA_L內。

(4A)之後，藉由使字線WL處於低電平，使選擇用電晶體TR_L處於切斷狀態，解除子記憶體單位SMU_L之共通節點CN_L與位元線BL_L的連接。

(5A)之後，啟動連接於位元線BL_L之感測放大器SA_L，放大資料，完成資料的讀出工作。繼續，藉由[步驟-120]中的READ命令，將鎖存在感測放大器SA_L內之資料輸出至外部。

藉由以上的工作，由於儲存在選擇記憶體單元MC_{L1}內之資料被暫時破壞，因此執行資料的再寫入工作。

(6A)因此，[步驟-140]中，首先使非選擇屏極線PL_k(k=2, 3…M)的電位形成處於V_{PL-M}[$=(1/2)V_{cc}$]。

(7A)之後，藉由使字線WL處於高電平，使選擇用電晶體TR_L處於接通狀態，藉此，共通節點CN_L之電位與位元線BL_L的電位相等。亦即，儲存在選擇記憶體單元MC_{L1}內之資料為「1」的情況下，共通節點CN_L的電位處於V_{BL-H}($=V_{CC}$)，儲存在選擇記憶體單元MC_{L1}內之資料為「0」的情況下，共通節點CN_L的電位處於V_{BL-L}(=0伏特)。由於選

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（31）

擇屏極線PL_l的電位保持在$V_{PL-H}(=V_{CC})$，因此共通節點CN_l的電位為0伏特時，於選擇用電晶體TR_L內再寫入有資料「0」。

(8A)繼續，使選擇屏極線PL_l的電位處於V_{PL-L}(=0伏特)。藉此，儲存在選擇記憶體單元MC_{Ll}內之資料為「1」的情況下，由於共通節點CN_L的電位為$V_{BL-H}(=V_{CC})$，因此再寫入有資料「1」。選擇記憶體單元MC_l內已經再寫入有資料「0」的情況下，選擇記憶體單元MC_{Lk}內不產生變化。

(9A)之後，使位元線BL_L處於0伏特。

(10A)最後，使非選擇屏極線PL_k處於0伏特，選擇用電晶體TR_L處於切斷狀態。

自其他記憶體單元MC_K (k=2, 3…M)讀出資料，再寫入資料時，只須依據RESTORE命令反覆執行同樣的操作即可。

以下說明第一種實施形態之非揮發性記憶裝置的製造方法，不過，其他實施形態或類似之非揮發性記憶裝置亦可以實質上相同的方法來製造。

首先，在半導體基板20上形成發揮非揮發性記憶裝置之選擇用電晶體功能的MOS型電晶體。因而，係依據熟知的方法形成如包含LOCOS構造的元件分離區域21。而元件分離區域21亦可包含溝渠構造，亦可組合LOCOS構造與溝渠構造。之後，如藉由高溫法氧化半導體基板20的表面，以形成閘極絕緣膜22。繼續，以CVD法全面形成摻雜有雜質的多晶矽層後，將多晶矽層予以圖案化，以形成閘極23。該閘極23兼作字線WL。另外，亦可由聚化物及金屬矽化

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（32）

物構成閘極23，以取代多晶矽層。繼續在半導體基板20內注入離子，以形成LDD構造。之後，以CVD法全面形成氧化矽層後，藉由回蝕該氧化矽層，在閘極23的側面形成閘極側壁(圖上未顯示)。繼續在半導體基板20內注入離子後，藉由進行注入離子之雜質活化退火處理，以形成源極/汲極區域24。

繼續，以CVD法形成包含氧化矽的下層絕緣層後，以RIE法在一個源極/汲極區域24上方的下層絕緣層上形成開孔部。繼續以CVD法在包含該開孔部內之下層絕緣層上形成摻雜有雜質的多晶矽層。藉此，可獲得連接孔(接觸孔)25。繼續，藉由將下層絕緣層上之多晶矽層予以圖案化，以形成位元線BL_L。之後，以CVD法全面形成包含BPSG的上層絕緣層。另外，於包含BPSG之上層絕緣層形成後，宜在氮氣環境中，於900℃×20分鐘間，將上層絕緣層予以平坦化熱處理。且依需要，宜以如化學機械研磨法(CMP法)對上層絕緣層的頂面實施化學性及機械性的研磨，將上層絕緣層予以平坦化。另外，下層絕緣層與上層絕緣層合稱之為絕緣層26。

繼續，以RIE法在另一個源極/汲極區域24之上方的絕緣層26上形成開孔部27後，以摻雜雜質的多晶矽埋入，以完成連接孔(接觸孔)28。位元線BL延伸以避免在下層絕緣層上與連接於圖之左右方向的連接孔28接觸。

另外，連接孔28亦可於形成在絕緣層26上之開孔部27內埋入包含鎢、鈦、箔、鈀、銅、鎢化鈦、氮鎢化鈦、矽化

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（33）

鎢、矽化鉭等高融點金屬及金屬矽化物的金屬配線材料來形成。連接孔28的頂面亦可形成與絕緣層26表面概同的平面。連接孔28的頂部亦可延伸於絕緣層26的表面。以下之表1係舉例顯示以鎢埋入開孔部27，以形成連接孔28的條件。另外，以鎢埋入開孔部27之前，宜以如磁控管濺射法，在包含開孔部27內的絕緣層26上依序形成鈦層及氮化鈦層。此時形成鈦層及氮化鈦層的理由，係為求獲得歐姆的低接觸電阻，防止覆蓋層鎢CVD法造成半導體基板20的損傷，以提高鎢的密接性。

[表1]

鈦層(厚度：20 nm)的濺射條件

處理氣體	：氬=35 sccm
壓力	：0.52 Pa
RF能	：2 kW
基板的加熱	：無

氮化鈦層(厚度：100 nm)的濺射條件

處理氣體	：氮/氬=100/35 sccm
壓力	：1.0 Pa
RF能	：6 kW
基板的加熱	：無

鎢的CVD形成條件

使用氣體	：六氟化鎢/氫/氬=40/400/2250 sccm
壓力	：10.7 kPa
形成溫度	：450℃

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 34 ）

鎢層及氮化鈦層、鈦層的蝕刻條件

第一階段的蝕刻：鎢層的蝕刻

使用氣體：六氟化硫/氬/氮=110：90：5 sccm

壓力　　：46 Pa

RF能　　：275 W

第二階段的蝕刻：氮化鈦層/鈦層的蝕刻

使用氣體：氬/氯=75/5 sccm

壓力　　：6.5 Pa

RF能　　：250 W

繼續，宜在絕緣層26上形成包含氮化鈦的密接層(圖上未顯示)。繼續，如以濺射法在密接層上形成構成包含鉍之第一電極(下部電極)31的第一電極材料層，並藉由光刻技術及乾式蝕刻技術將第一電極材料層及密接層予以圖案化，可獲得第一電極31(共通節點CN_L)。

之後，如藉由MOCVD法，全面形成包含鉍矽層狀構造鈣鈦礦構造型的強介質材料(具體而言，如$Bi_2SrTa_2O_9$)。之後，在250℃的空氣中進行乾燥處理後，於750℃的氧氣環境下實施1小時的熱處理，以促進晶化。

繼續，以濺射法依序全面形成IrO_{2-X}層、箔層後，依據光刻技術及乾式蝕刻技術，依序將箔層、IrO_{2-X}層、強介質薄膜予以圖案化，以形成兼屏極線PL_m的第二電極33及強介質層32。另外，藉由蝕刻在強介質層32上造成損傷時，只須以恢復損傷所需的溫度進行熱處理即可。之後，在絕緣層26及電容器部之上形成上部絕緣層40A。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 35 ）

另外，各地二電極33亦可不兼屏極線PL_m。此時，係於在絕緣層26及電容器部之上形成上層絕緣層後，在上層絕緣層上形成屏極線PL_m，同時藉由設置於上層絕緣層上的連接孔(穿孔)連接第二電極33與屏極線PL_m即可。此外，強介質薄膜亦可不予以圖案化。

包含$Bi_2SrTa_2O_9$之強介質薄膜的形成條件如以下的表2所示。而表2中的「thd」係四甲基庚二醇的簡稱。此外，表2中所示之原料氣體係溶解於以氧染環戊烷(THF)為主要成分的溶媒中。

[表2]

以MOCVD法形成

原料氣體材料：$Sr(thd)_2$-tetraglyme

$Bi(C_6H_5)_3$

$Ta(O\text{-}iC_3H_7)_4(thd)$

形成溫度：400~700℃

處理氣體：氬/氧=1000/1000 cm^3

形成速度：5~20 nm/分

或是，亦可以脈衝雷射研磨法、溶膠-凝膠法、或RF濺射法全面形成包含$Bi_2SrTa_2O_9$的強介質薄膜。此時之形成條件如以下之表3、表4、表5所示。而藉由溶膠-凝膠法形成厚的強介質薄膜時，只須反覆所需次數之自旋式塗敷及乾燥或自旋式塗敷及燒結(或退火處理)即可。

[表3]

以脈衝雷射研磨法形成

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（36）

標的：$Bi_2SrTa_2O_9$

使用雷射：氟化氪準分子雷射(波長248 nm，脈寬25 n秒，5 Hz)

形成溫度：400~800℃

氧濃度：3 Pa

[表4]

以溶膠-凝膠法形成

原料：$Bi(CH_3(CH_2)_3CH(C_2H_5)COO)_3$

[鉍·2乙基己烷酸，$Bi(OOc)_3$]

$Sr(CH_3(CH_2)_3CH(C_2H_5)COO)_2$

[鍶·2乙基己烷酸，$Sr(OOc)_2$]

Ta (OEt)5 [鉭乙氧基]

自旋式塗敷條件：3000 rpm×20秒

乾燥：250℃×7分

燒結：400~800℃×1小時(依需要增加RTA處理)

[表5]

以RF濺射法形成

標的：$Bi_2SrTa_2O_9$陶瓷標的

RF能：1.2 W~2.0 W/標的1 cm^2

環境壓力：0.2~1.3 Pa

形成溫度：室溫～600℃

處理氣體：氬/氧之流量比=2/1~9/1

由PZT或PLZT構成強介質層時之以磁控管濺射法之PZT或PLZT的形成條件如以下的表6所示。或是，亦可以反應

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（37）

性濺射法、電子束蒸鍍法、溶膠-凝膠法、或MOCVD法形成PZT及PLZT。

[表6]

標的　：PZT或PLZT

處理氣體　：氬/氧=90體積%/10體積%

壓力　：4 Pa

能　：50 W

形成溫度：500℃

再者，亦可以脈衝雷射研磨法形成PZT及PLZT。此時之形成條件如以下的表7所示。

[表7]

標的：PZT或PLZT

使用雷射：氟化氪準分子雷射(波長248 nm，脈寬25 n秒，3 Hz)

輸出能量：400 mJ ($1.1J/cm^2$)

形成溫度：550~600℃

氧濃度：40~120 Pa

(第二種實施形態)

第二種實施形態之非揮發性記憶裝置的驅動方法係第一種實施形態中說明之非揮發性記憶裝置之驅動方法的變化形態。此外，第二種實施形態之非揮發性記憶裝置為第一種實施形態之非揮發性記憶裝置的變化形態。第二種實施形態之非揮發性記憶裝置如圖8中所示之等效電路圖，其包含：

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（ 38 ）

第一記憶體單位，其包含：

(A-1)第一位元線BL_{L1}；

(B-1) N個(其中，N≧1，第二種實施形態中為N=1)第一選擇用電晶體TR_{L1}；

(C-1)分別包含M個(其中，M≧2，第二種實施形態中為M=8)第一選擇記憶體單元MC_{L1M}之N個第一子記憶體單位SMU_{L1}；及

(D-1)構成各個之N個子記憶體單位SMU_{L1}之第一記憶體單元MC_{L1M}所共通之M條屏極線PL_M；與

第二記憶體單位，其包含：

(A-2)第二位元線BL_{L2}；

(B-2) N個第二選擇用電晶體TR_{L2}；

(C-2)分別包含M個第二記憶體單元MC_{L2M}之N個第二子記憶體單位SMU_{L2}；及

(D-2)構成各個之N個子記憶體單位SMU_{L2}之第二記憶體單元MC_{L2M}所共通，且與構成前述第一記憶體單位之M條屏極線PL_M共通之M條屏極線PL_m；

進一步包含：

(E)連接於第一及第二位元線的感測放大器SA_L。

而各記憶體單元MC_{L1M}包含第一電極(下部電極)31與強介質層32與第二電極(上部電極)33。第一記憶體單位中，構成第n個(其中n=1, 2…N)之第一子記憶體單位SMU_{L1}之第一記憶體單元MC_{L1M}的第一電極31在第n個第一子記憶體單位SMU_{L1}中共通(以共通節點CN_{L1}表示)，該共通之第一電

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 39 ）

極(共通節點CN_{L1})經由第n個第一選擇用電晶體TR_{L1}連接於第一位元線BL_{L1}，第二電極33則連接於共通的屏極線PL_m。此外，第二記憶體單位中，構成第n個第二子記憶體單位SMU_{L2}之第二記憶體單元MC_{L2M}的第一電極31在第n個第二子記憶體單位SMU_{L2}中共通(以共通節點CN_{L2}表示)，該共通之第一電極(共通節點CN_{L2})經由第n個第二選擇用電晶體TR_{L2}連接於第二位元線BL_{L2}，而第二電極33則連接於共通之屏極線PL_m。第n個第一選擇用電晶體TR_{L1}與第n個第二選擇用電晶體TR_{L2}連接於同一條字線WL。

第二種實施形態之非揮發性記憶裝置的其他構造與第一種實施形態之非揮發性記憶裝置相同，因此省略其詳細說明。

繼續，在第二種實施形態之非揮發性記憶裝置中，自構成第n個第一子記憶體單位SMU_{L1}之第m個(其中，m=1.2…M)之第一記憶體單元MC_{L1m}，與構成第n個第二子記憶體單位SMU_{L2}之第m個第二記憶體單元MC_{L1m}的對，讀出互補性資料構成的1位元，並再寫入互補性資料構成的1位元。

以下說明自第二種實施形態之非揮發性記憶裝置讀出資料，並再寫入資料之非揮發性記憶裝置的驅動方法，不過，由於資料之讀出及再寫入的各步驟與第一種實施形態之[步驟-100]~[步驟-140]相同，因此省略其詳細說明。另外，係以自共通屏極線PL_1(亦即成對)之記憶體單元(MC_{L11}，MC_{L21})讀出及再寫入資料為例。此時，第一記憶

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（40　）

體單元MC_{L11}中記憶有資料「1」，第二記憶體單元MC_{L21}中記憶有資料「0」。其工作波形顯示於圖9。圖9中，括弧內的數字與以下說明的步驟編號對應。

首先讀出被選擇之記憶體單元(MC_{L11}，MC_{L21})的資料。

(1B)於初期狀態，全部位元線、全部字線、全部屏極線為0伏特。且共通節點CN_{L1}，CN_{L2}亦為0伏特，處於漂浮狀態。

(2B)開始讀出資料時，藉由使字線WL處於高電平，使第一選擇用電晶體TR_{L1}及第二選擇用電晶體TR_{L2}處於接通狀態。藉此，第一子記憶體單位SMU_{L1}之共通節點CN_{L1}連接於第一位元線BL_{L1}，第二子記憶體單位SMU_{L2}之共通節點CN_{L2}連接於第二位元線BL_{L2}。另外，第一位元線BL_{L1}及第二位元線BL_{L2}事先處於漂浮狀態。

(3B)繼續，在被選擇之屏極線PL_1上施加$V_{PL-H}(=V_{CC})$。非選擇屏極線PL_k保持在V_{PL-L}(=0伏特)。此時，由於第一選擇記憶體單元MC_{L11}內寫入有資料「1」，因此強介質層上產生極化反轉，共通節點CN_{L1}的電位及第一位元線BL_{L1}的電位上昇。另外，由於第二選擇記憶體單元MC_{L21}內寫入有資料「0」，因此強介質層上不產生極化反轉，共通節點CN_{L2}之電位及第二位元線BL_{L2}的電位形成高於0伏特若干。藉此，在第一位元線BL_{L1}與第二位元線BL_{L2}之間產生電位差。

(4B)之後，藉由使字線WL處於低電平，第一選擇用電晶體TR_{L1}及第二選擇用電晶體TR_{L2}處於切斷狀態，解除子

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（41）

記憶體單位SMU_{L1}之共通節點CN_{L1}與第一位元線BL_{L1}的連接，並解除子記憶體單位SMU_{L2}之共通節點CN_{L2}與第二位元線BL_{L2}的連接。

(5B)繼續，啟動感測放大器SA_L，確定資料，讀出該資料，於輸出至外部的同時，將第一位元線BL_{L1}及第二位元線BL_{L2}予以充放電。

繼續，執行被選擇之記憶體單元(MC_{L11}，MC_{L21})的資料再寫入。

(6B)開始再寫入資料時，第一選擇用電晶體TR_{L1}及第二選擇用電晶體TR_{L2}為切斷狀態。此外，連接於第一及第二選擇記憶體單元MC_{L11}，MC_{L21}的屏極線PL_1上施加有高電位$V_{PL-H}(=V_{CC})$。在此狀態下，在連接於非選擇記憶體單元MC_{1k}，MC_{2k}的屏極線PL_k上施加中間電位$V_{PL-M}[=(1/2)V_{CC}]$。另外，由於須再寫入第一選擇記憶體單元MC_{L11}內的資料為「1」，因此第一位元線BL_{L1}處於高電位$V_{BL-H}(=V_{CC})$，由於須再寫入第二選擇記憶體單元MC_{L21}內之資料為「0」，因此第二位元線BL_{L2}處於低電位V_{BL-L}(=0伏特)。

(7B)繼續，藉由使字線WL處於高電平，第一選擇用電晶體TR_{L1}及第二選擇用電晶體TR_{L2}處於接通狀態，經由第一選擇用電晶體TR_{L1}連接子記憶體單位SMU_{L1}之共通節點CN_{L1}與第一位元線BL_{L1}，並經由第二選擇用電晶體TR_{L2}連接子記憶體單位SMU_{L2}之共通節點CN_{L2}與第二位元線BL_{L2}。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（42）

(8B)之後，在選擇屏極線PL_1上施加低電位V_{PL-L}(=0伏特)。

另外，步驟(6B)中，由於第一位元線BL_{L1}上施加有高電位V_{BL-H}(=V_{CC})，因此在步驟(7B)中，第一選擇用電晶體TR_{L1}處於接通狀態，並經由第一選擇用電晶體TR_{L1}連接共通節點CN_{L1}與第一位元線BL_{L1}時，在選擇屏極線PL_1上施加有高電位V_{PL-H}(=V_{CC})，因此，第一選擇記憶體單元MC_{L11}內沒有寫入資料。之後，於步驟(8B)中，由於選擇屏極線PL_1上施加低電位V_{PL-L}(=0伏特)，因此第一選擇記憶體單元MC_{L11}內再寫入有資料「1」。

另外，步驟(6B)中，由於第二位元線BL_{L2}上施加有低電位V_{BL-L}，因此在步驟(7B)中，第二選擇用電晶體TR_{L2}處於接通狀態，並經由第二選擇用電晶體TR_{L2}連接共通節點CN_{L2}與第二位元線BL_{L2}時，在選擇屏極線PL_1上施加有高電位V_{PL-H}，因此，第二選擇記憶體單元MC_{L21}內再寫入有資料「0」。之後，於步驟(8B)中，由於選擇屏極線PL_1上施加低電位V_{PL-L}(=0伏特)，因此第二選擇記憶體單元MC_{L21}內寫入之資料「0」無變化。

(9B)之後，第一位元線BL_{L1}及第二位元線BL_{L2}為0伏特。

(10B)最後，非選擇屏極線PL_k為0伏特，第一及第二選擇用電晶體TR_{L1}，TR_{L2}處於切斷狀態。

以後，對記憶體單元(MC_{L1m}，MC_{L2m}) (m=2, 3…8)依序執行步驟(1B)~(10B)的工作。唯不輸出資料至外部。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（43）

另外，亦可將第二種實施形態之工作波形作為第一種實施形態中說明的工作波形。

（第三種實施形態）

第三種實施形態之非揮發性記憶裝置的驅動方法係第一種實施形態中說明之非揮發性記憶裝置之驅動方法的變化形態。此外，第三種實施形態之非揮發性記憶裝置為第二種實施形態之非揮發性記憶裝置的變化形態。第三種實施形態之非揮發性記憶裝置如圖10中所示之等效電路圖，第一選擇用電晶體TR_{L1}連接於第一字線WL_1，第二選擇用電晶體TR_{L2}連接於第二字線WL_2，此等分別被字線解碼器/驅動器WD控制。除此之外，第三種實施形態之非揮發性記憶裝置的構造與第二種實施形態中說明之非揮發性記憶裝置的構造相同。

第三種實施形態之非揮發性記憶裝置的驅動方法，係於讀出儲存在第一記憶體單元MC_{L1m}內的資料時，第一選擇用電晶體TR_{L1}處於接通狀態，第二選擇用電晶體TR_{L2}處於切斷狀態，且在第二位元線BL_{L2}上施加參考電位，讀出儲存在第二記憶體單元MC_{L2m}內的資料時，第二選擇用電晶體TR_{L2}處於接通狀態，第一選擇用電晶體TR_{L1}處於切斷狀態，且第一位元線BL_{L1}上施加參考電位。

以下說明自第三種實施形態之非揮發性記憶裝置讀出資料，並再寫入資料之非揮發性記憶裝置的驅動方法，不過，由於資料之讀出及再寫入的各步驟可與第一種實施形態之[步驟-100]~[步驟-140]相同，因此省略其詳細說明。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（44）

另外，係以自共通屏極線PL_1(亦即成對)之記憶體單元(MC_{L11}，MC_{L21})內之記憶體單元MC_{L11}讀出及再寫入資料為例。其工作波形與圖9所示相同。且圖9中，括弧內的數字與以下說明的步驟編號對應。其中，圖9中之括弧內數字中的字母「B」則與以下說明之步驟編號數字中的字母「C」對應。

首先讀出被選擇之第一記憶體單元MC_{L11}的資料。

(1C)於初期狀態，全部位元線、全部字線、全部屏極線為0伏特。且共通節點CN_{L1}，CN_{L2}亦為0伏特，處於漂浮狀態。

(2C)開始讀出資料時，藉由使字線WL_1處於高電平，使第一選擇用電晶體TR_{L1}處於接通狀態。藉此，第一子記憶體單位SMU_{L1}之共通節點CN_{L1}連接於第一位元線BL_{L1}。另外，第一位元線BL_{L1}及第二位元線BL_{L2}事先處於漂浮狀態。

(3C)繼續，在被選擇之屏極線PL_1上施加$V_{PL-H}(=V_{CC})$。非選擇屏極線PL_k保持在V_{PL-L}(=0伏特)。此時，於選擇記憶體單元MC_{L11}內寫入有資料「1」的情況下，強介質層上產生極化反轉，子記憶體單位SMU_{L1}之共通節點CN_{L1}的電位及第一位元線BL_{L1}的電位上昇。另外，於選擇記憶體單元MC_{L11}內寫入有資料「0」的情況下，強介質層上不產生極化反轉，共通節點CN_{L1}之電位及第一位元線BL_{L1}的電位形成高於0伏特若干。另外，使用虛擬單元等，在第二位元線BL_{L2}上賦予資料「1」時之位元線電位與資料「0」時

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（45）

之位元線電位的中間參考電位。

(4C)之後，藉由使字線WL_1處於低電平，第一選擇用電晶體TR_{L1}處於切斷狀態，解除共通節點CN_{L1}與第一位元線BL_{L1}的連接。

(5C)繼續，啟動感測放大器SA_L，確定資料，讀出該資料，於輸出至外部的同時，將第一位元線BL_{L1}予以充放電。

繼續，執行被選擇之記憶體單元MC_{L11}的資料再寫入。

(6C)開始再寫入資料時，第一選擇用電晶體TR_{L1}為切斷狀態。此外，連接於選擇記憶體單元MC_{L11}的屏極線PL_1上施加有高電位$V_{PL-H}(=V_{CC})$。在此狀態下，在連接於非選擇記憶體單元MC_{Lk}的屏極線PL_k上施加中間電位$V_{PL-M}[=(1/2)V_{CC}]$。另外，於須再寫入選擇記憶體單元MC_{L11}內的資料為「1」的情況下，第一位元線BL_{L1}處於高電位$V_{BL-H}(=V_{CC})$，於須再寫入之資料為「0」的情況下，第一位元線BL_{L1}處於低電位V_{BL-L}(=0伏特)。

(7C)繼續，使第一選擇用電晶體TR_{L1}處於接通狀態，經由第一選擇用電晶體TR_{L1}連接共通節點CN_{L1}與第一位元線BL_{L1}。

(8C)之後，在選擇屏極線PL_1上施加低電位V_{PL-L}(=0伏特)。

另外，步驟(6C)中，於第一位元線BL_{L1}上施加有低電位V_{BL-L}(=0伏特)時，在步驟(7C)中，第一選擇用電晶體TR_{L1}處於接通狀態，並經由第一選擇用電晶體TR_{L1}連接共通節

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（46）

點CN_{L1}與第一位元線BL_{L1}時，在選擇屏極線PL_1上施加有高電位$V_{PL-H}(=V_{CC})$，因此，選擇記憶體單元MC_{L11}內再寫入有資料「0」。之後，即使於步驟(8C)中，於選擇屏極線PL_1上施加低電位V_{PL-L}(=0伏特)，選擇記憶體單元MC_{L11}內寫入之資料「0」無變化。

另外，步驟(6C)中，於第一位元線BL_{L1}上施加有高電位V_{BL-H}時，在步驟(7C)中，第一選擇用電晶體TR_{L1}處於接通狀態，並經由第一選擇用電晶體TR_{L1}連接共通節點CN_{L1}與第一位元線BL_{L1}時，在選擇屏極線PL_1上施加有高電位V_{PL-H}，因此，選擇記憶體單元MC_{L11}內沒有寫入資料。之後，於步驟(8C)中，藉由在選擇屏極線PL_1上施加低電位V_{PL-L}(=0伏特)，選擇記憶體單元MC_{L11}內再寫入有資料「1」。

(9C)之後，第一位元線BL_{L1}為0伏特。

(10C)最後，非選擇屏極線PL_k為0伏特，第一選擇用電晶體TR_{L1}處於切斷狀態。

以後，對記憶體單元MC_{L21}，MC_{L1m}，MC_{L2m})(m=2, 3…8)依序執行步驟(1C)~(10C)的工作。唯不輸出資料至外部。

另外，亦可將第三種實施形態之工作波形作為第一種實施形態中說明的工作波形。

(第四種實施形態)

第四種實施形態亦係有關本發明第一態樣之非揮發性記憶裝置的驅動方法及本發明之非揮發性記憶裝置，更詳細而言，係有關構成第一B構造之非揮發性記憶裝置的驅動方法。圖2顯示第四種實施形態之非揮發性記憶裝置之驅

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（47）

動方法的流程圖。第四種實施形態係雖係使用包含圖8所示之等效電路的非揮發性記憶裝置，不過亦可使用包含圖5或圖10所示之等效電路的非揮發性記憶裝置。

第四種實施形態之非揮發性記憶裝置的驅動方法，將外部所指定之指定位址(J，其中1≦J≦M)的記憶體單元作為記憶體單元MC_{LJ}。此外，將被指定位址之子記憶體單位作為子記憶體單位SMU_L。而第四種實施形態係讀出儲存在被外部指定位址之記憶體單元MC_{LJ}內的資料，並鎖存在感測放大器SA_L內後，將鎖存在感測放大器SA_L內之資料輸出至外部。

第四種實施形態進一步輸出鎖存在感測放大器SA_L內之資料後，將鎖存在感測放大器SA_L內之資料再寫入被外部指定位址的記憶體單元MC_{LJ}內。之後，讀出在未自外部指定位址下，而儲存在構成子記憶體單位SMU_L之其他記憶體單元MC_{Lk}(k≠J)內的資料，並鎖存在感測放大器SA_L內後，將鎖存在感測放大器SA_L內之資料輸出至外部。之後將鎖存在感測放大器SA_L內之資料再寫入其他記憶體單元MC_{Lk}內。第四種實施形態之記憶體單元係被順序存取，以執行資料的讀出、輸出及再寫入。

以下參照圖2及圖8說明第四種實施形態的驅動方法。而其工作波形與圖9所示者實質上相同，因此省略其詳細說明。

[步驟-400]

首先，ACT命令被輸入命令解碼器10，同時輸入有指定

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（48）

子記憶體單位及記憶體單元的位址(RAS位址)。該RAS位址被圖上未顯示的移位暫存器分離成上階成分與下階成分，指定記憶體單元MC_{L1J}，MC_{L2J}之位址AD_J的上階成分被鎖存在指定屏極線位址暫存器11及屏極線位址計數器12內。另外，指定子記憶體單位SMU_{L1}，SMU_{L2}之位址的下階成分被鎖存在單位位址暫存器13內。此時，將指定被鎖存在指定屏極線位址暫存器11內之記憶體單元MC_{L1J}，MC_{L2J}之位址的上階成分設定為位址「J」，將將指定被鎖存在屏極線位址計數器12內之記憶體單元MC_{L1J}，MC_{L2J}之位址的上階成分設定為位址「j」(=J)，將指定被鎖存在單位位址暫存器13內之子記憶體單位SMU_{L1}，SMU_{L2}之位址的下階成分設定為位址「L」。

再者，自命令解碼器10接受信號之單位控制器15傳送信號至單位解碼器16，使單位解碼器16啟動。此外，自單位位址暫存器13接受信號之單位解碼器16選擇子記憶體單位SMU_{L1}，SMU_{L2}。另外。屏極線位址計數器12之信號被送至屏極線解碼器/驅動器PD。藉此字線解碼器/驅動器WD及屏極線解碼器/驅動器PD被啟動，且屏極線PL_J被屏極線解碼器/驅動器PD選擇。

[步驟-410]

繼續，讀出儲存在位址AD_j所指定之記憶體單元MC_{L1j}，MC_{L2j}(具體而言為記憶體單元MC_{L1J}，MC_{L2j})內的資料，並鎖存至感測放大器SA_L內。

另外，以上之步驟亦可選擇有數個連接於同一字線及同

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（49）

一屏極線的子記憶體單位及記憶體單元。亦即，亦可選擇有各個子記憶體單位$SMU_{L,1}$, $SMU_{L,1}$, $SMU_{L+1,1}$, $SMU_{L+1,2}$, $SMU_{L+2,1}$, $SMU_{L+2,2}$,…之記憶體單元$MC_{L,1,J}$, $MC_{L,2,J}$, $MC_{L+1,1,J}$, $MC_{L+1,2,J}$, $MC_{L+2,1,J}$, $MC_{L+2,2,J}$,…。藉此，記憶體單元$MC_{L,1,J}$, $MC_{L,2,J}$, $MC_{L+1,1,J}$, $MC_{L+1,2,J}$, $MC_{L+2,1,J}$, $MC_{L+2,2,J}$,…之資料被鎖存在感測放大器SA_L, SA_{L+1}, SA_{L+2},…內。

[步驟-420]

之後，READ命令被輸入至命令解碼器10內，同時輸入有指定感測放大器SA_L的CAS位址。依據該命令及CAS位址，經過圖上未顯示的路徑，向感測放大器SA_L發出指令，鎖存在感測放大器SA_L內的資料被輸出至外部。

[步驟-430]

於感測放大器SA_{L+1}, SA_{L+2},…內鎖存有記憶體單元$MC_{L,1,J}$, $MC_{L,2,J}$, $MC_{L+1,1,J}$, $MC_{L+1,2,J}$, $MC_{L+2,1,J}$, $MC_{L+2,2,J}$,…之資料的情況下，繼續，藉由輸入有NOP命令，使用圖上未顯示的計數器，依序叢發傳送被鎖存在此等感測放大器內的資料。圖上雖未顯示此等感測放大器與外部的存取，唯採用與先前之同步動態隨機存取記憶體等完全相同的存取方法即可。

[步驟-440]

資料向外部輸出完成後，輸入有RAS_INC命令。藉此，首先，鎖存在感測放大器SA_L內之資料被再寫入指定位址的記憶體單元MC_{L1j}，MC_{L2j}(具體而言為記憶體單元

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（ 50 ）

MC_{L1J}，MC_{L2J})內。

繼續，讀出在未自外部指定位址下，而儲存在構成子記憶體單位SMU_L之其他記憶體單元MC_{L1k}，MC_{L2k}(k≠J)內的資料，並鎖存在感測放大器SA_L內。具體而言，係將屏極線位址計數器12予以增量，以比較器14比較屏極線位址計數器12之值與指定屏極線位址暫存器11之值，若值一致時則結束工作。若值不一致時，判斷屏極線位址計數器12之值是否超過值「M」，若超過時，則將屏極線位址計數器12之值重設為「1」，讀出被位址AD_j所指定之記憶體單元MC_{L1j}，MC_{L2j}(相當於記憶體單元MC_{L1k}，MC_{L2k})，並鎖存在感測放大器SA_L內。另外，由於將屏極線位址計數器12予以增量，因此，不需要自外部指定記憶體單元的位址。

[步驟-450]

之後，重複[步驟-420]以後的工作。係在構成子記憶體單位SMU_{L1}, SMU_{L2}之全部其他記憶體單元MC_{L1k}，MC_{L2k}中，在未自外部指定位址下來執行[步驟-420]～[步驟-450]的工作。亦即，係依據第(J+1)個記憶體單元$MC_{L,1,J+1}$, $MC_{L,2,J+1}$、第(J+2)個記憶體單元$MC_{L,1,J+2}$, $MC_{L,2,J+2}$…、第M個記憶體單元$MC_{L,1,M}$, $MC_{L,2,M}$、第1個記憶體單元$MC_{L,1,1}$, $MC_{L,2,1}$、第2個記憶體單元 $MC_{L,1,2}$, $MC_{L,2,2}$…、第(J-2)個記憶體單元$MC_{L,1,J-2}$, $MC_{L,2,J-2}$、第(J-1)個記憶體單元 $MC_{L,1,J-1}$, $MC_{L,2,J-1}$的順序，執行資料的讀出及資料的再寫入。第四種實施形態與第二種實施形態不同，鎖存在感測放大器SA_L內的資料輸出至外部。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（51　）

工作結束時，比較器14將其內容通知單位控制器15，單位控制器15關閉單位解碼器16，將全部的字線WL及屏極線PL_M回復成非選擇狀態。

藉由以上的步驟，可迅速存取至任意的記憶體單元內，且可將儲存在同一子記憶體單位之其他記憶體單元內的全部資料輸出至外部，且可執行逐一再寫入。

(第五種實施形態)

第五種實施形態亦係有關本發明第二態樣之非揮發性記憶裝置的驅動方法及本發明之非揮發性記憶裝置，更詳細而言，係有關構成第二A構造之非揮發性記憶裝置的驅動方法。圖3顯示第五種實施形態之非揮發性記憶裝置之驅動方法的流程圖。第五種實施形態係雖係使用包含圖8所示之等效電路的非揮發性記憶裝置，不過亦可使用包含圖5或圖10所示之等效電路的非揮發性記憶裝置。此外，圖11顯示工作波形。而圖11中之括弧內的數字係與以下說明的編號對應。

第五種實施形態之非揮發性記憶裝置的驅動方法，於須寫入之資料被鎖存在感測放大器SA_L內後，寫入資料至外部所指定之指定位址(J，其中$1 \leqq J \leqq M$)的記憶體單元MC_{L1J}，MC_{L2J}。之後，將須寫入之資料鎖存在感測放大器內，繼續寫入資料至在未自外部指定位址下，而構成子記憶體單位SMU_{L1}，SMU_{L2}之其他記憶體單元MC_{L1k}，MC_{L2k}內。第五種實施形態係在構成子記憶體單位SMU_{L1}，SMU_{L2}的全部記憶體單元MC_{L1k}，MC_{L2k}內寫入資料。並在

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（52　）

構成子記憶體單位SMU_{L1}，SMU_{L2}的全部其他記憶體單元內，在未自外部指定位址下，而依據第(J+1)個記憶體單元$MC_{L,1,J+1}$，$MC_{L,2,J+1}$、第(J+2)個記憶體單元$MC_{L,1,J+2}$，$MC_{L,2,J+2}$…、第M個記憶體單元$MC_{L,1,M}$，$MC_{L,2,M}$、第1個記憶體單元$MC_{L,1,1}$，$MC_{L,2,1}$、第2個記憶體單元$MC_{L,1,2}$，$MC_{L,2,2}$…、第(J-2)個記憶體單元$MC_{L,1,J-2}$，$MC_{L,2,J-2}$、第(J-1)個記憶體單元$MC_{L,1,J-1}$，$MC_{L,2,J-1}$的順序，執行資料的寫入。

以下參照圖3、圖8及顯示工作波形的圖11說明第五種實施形態的驅動方法。

[步驟-500]

首先，ACT命令被輸入命令解碼器10，同時輸入有指定子記憶體單位及記憶體單元的位址(RAS位址)。該RAS位址被圖上未顯示的移位暫存器分離成上階成分與下階成分，指定記憶體單元MC_{L1J}，MC_{L2J}之位址AD_J的上階成分被鎖存在指定屏極線位址暫存器11及屏極線位址計數器12內。另外，指定子記憶體單位SMU_{L1}，SMU_{L2}之位址的下階成分被鎖存在單位位址暫存器13內。此時，將指定被鎖存在指定屏極線位址暫存器11內之記憶體單元MC_{L1J}，MC_{L2J}之位址的上階成分設定為位址「J」，將指定被鎖存在屏極線位址計數器12內之記憶體單元MC_{L1J}，MC_{L2J}之位址的上階成分設定為位址「j」(=J)，將指定被鎖存在單位位址暫存器13內之子記憶體單位SMU_{L1}，SMU_{L2}之位址的下階成分設定為位址「L」。繼續，讀出儲存在被位址AD_j

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（53）

所指定之記憶體單元MC_{L1J}，MC_{L2J}內的資料，並鎖存至感測放大器SA_L內。

[步驟-510]

繼續，輸入有WRITE命令之命令解碼器10傳送信號至圖上未顯示的感測放大器控制電路，執行將外部資料鎖存至感測放大器SA_L的處理。亦即，執行感測放大器SA_L之資料的重寫。

另外，在以上的步驟中，亦可選擇有數個連接於同一字線及同一屏極線的子記憶體單位及記憶體單元。亦即亦可，首先以ACT命令鎖存有數個感測放大器的資料，以WRITE命令後之NOP命令在各感測放大器內執行叢發寫入。

[步驟-520]

之後，命令解碼器10內輸入有RAS_INC命令，依據該命令，自命令解碼器10接受信號之單位控制器15傳送信號至單位解碼器16，使單位解碼器16啟動。而自單位位址暫存器13接受信號之單位解碼器16選擇子記憶體單位SMU_{L1}，SMU_{L2}。另外，屏極線位址計數器12的信號被傳送至屏極線解碼器/驅動器PD。藉此字線解碼器/驅動器WD及屏極線解碼器/驅動器PD被啟動，且屏極線PL_J被屏極線解碼器/驅動器PD選擇。繼續，鎖存在感測放大器SA_L內之資料被寫入記憶體單元MC_{L1J}，MC_{L2J}內。

[步驟-530]

繼續，寫入資料至在未自外部指定位址下之構成子記憶

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（54）

體單位SMU_{L1}，SMU_{L2}之其他記憶體單元MC_{L1j}，MC_{L2j}(具體而言係記憶體單元MC_{L1k}，MC_{L2k})內。具體而言，係將屏極線位址計數器12予以增量，以比較器14比較屏極線位址計數器12之值與指定屏極線位址暫存器11之值，若值一致時則結束工作。若值不一致時，判斷屏極線位址計數器12之值是否超過值「M」，若超過時，則將屏極線位址計數器12之值重設為「1」。繼續，將記憶體單元的資料鎖存在感測放大器SA_L內。亦即，暫時讀出資料至感測放大器後，寫入資料至記憶體單元。

之後，在構成子記憶體單位SMU_{L1}，SMU_{L2}之全部其他記憶體單元MC_{L1k}，MC_{L2k}中，在未自外部指定位址下來執行[步驟-510]～[步驟-530]的工作。亦即，係依據第(J+1)個記憶體單元$MC_{L,1,J+1}$，$MC_{L,2,J+1}$、第(J+2)個記憶體單元$MC_{L,1,J+2}$，$MC_{L,2,J+2}$…、第M個記憶體單元$MC_{L,1,M}$，$MC_{L,2,M}$、第1個記憶體單元$MC_{L,1,1}$，$MC_{L,2,1}$、第2個記憶體單元$MC_{L,1,2}$，$MC_{L,2,2}$…、第(J-2)個記憶體單元$MC_{L,1,J-2}$，$MC_{L,2,J-2}$、第(J-1)個記憶體單元$MC_{L,1,J-1}$，$MC_{L,2,J-1}$的順序，執行資料的寫入。

工作結束時，比較器14將其內容通知單位控制器15，單位控制器15關閉單位解碼器16，將全部的字線WL及屏極線PL_M回復成非選擇狀態。

藉由以上的步驟，可迅速存取至任意的記憶體單元內，且亦可寫入資料至同一子記憶體單位的其他記憶體單元內。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（55）

以下，參照顯示工作波形的圖11來說明第五種實施形態之非揮發性記憶裝置的資料寫入工作。此時係以分別在連接於屏極線PL_1之記憶體單元MC_{L1J}，MC_{L2J}內寫入資料「1」、資料「0」為例。另外，於顯示工作波形的圖式中，其括弧內的數字與以下說明之步驟的編號對應。

(1)於待用狀態下，字線及全部的屏極線處於0伏特。且位元線BL_{L1}，BL_{L2}被補償成0伏特。另外，感測放大器SA_L內保持有須寫入的資料。

(2)開始[步驟-520]之寫入資料時，在位元線BL_{L1}內施加高電位$V_{BL-H}(=V_{CC})$，在位元線BL_{L2}內施加低電位V_{BL-L}(=0伏特)。此時，V_{CC}為電源電壓。

(3)繼續，藉由使字線WL處於高電平，使選擇用電晶體TR_{L1}，TR_{L2}處於接通狀態。同時在選擇屏極線PL_1上施加高電位$V_{PL-H}(=V_{CC})$，在非選擇屏極線PL_k(k=2, 3,…8)上施加中間電位$V_{PL-M}[=(1/2)V_{CC}]$。藉此，由於記憶體單元MC_{L21}之選擇屏極線PL_1的電位為高電位V_{PL-H}，位元線BL_{L2}之電位為低電位V_{BL-L}，因此寫入有資料「0」。

(4)之後，使選擇屏極線PL_1處於低電位V_{PL-L}(=0伏特)。藉此，由於記憶體單元MC_{L11}之選擇屏極線PL_1的電位為低電位V_{PL-L}，位元線BL_{L1}之電位為高電位V_{BL-H}，因此寫入有資料「1」。

(5)繼續，藉由使字線WL處於低電平，使選擇用電晶體TR_{L1}，TR_{L2}處於切斷狀態後，將位元線BL_{L1}放電至0伏特，將非選擇屏極線PL_k(k=2, 3,…8)放電至0伏特。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（56）

(6)之後，對記憶體單元(MC_{L1m}、MC_{L2m})(m=2、3…8)依序執行步驟(1)~(5)的操作。

(第六種實施形態)

第六種實施形態亦係有關本發明第二態樣之非揮發性記憶裝置的驅動方法及本發明之非揮發性記憶裝置，更詳細而言，係有關構成第二B構造之非揮發性記憶裝置的驅動方法。圖4顯示第六種實施形態之非揮發性記憶裝置之驅動方法的流程圖。第六種實施形態係雖係使用包含圖8所示之等效電路的非揮發性記憶裝置，不過亦可使用包含圖5或圖10所示之等效電路的非揮發性記憶裝置。

第六種實施形態之非揮發性記憶裝置的驅動方法，將鎖存在感測放大器SA_L內之資料寫入指定之指定位址的記憶體單元MC_{L1J}，MC_{L2J}後，讀出在未自外部指定位址下而儲存在構成子記憶體單位之其他記憶體單元MC_{L1k}，MC_{L2k}內的資料，並鎖存在感測放大器SA_L內後，將鎖存在感測放大器SA_L內之資料再寫入其他的記憶體單元MC_{L1k}，MC_{L2k}內。第六種實施形態僅在指定位址之記憶體單元MC_{L1J}，MC_{L2J}內寫入有資料，而在其他記憶體單元MC_{L1k}，MC_{L2k}中執行資料的讀出及再寫入。另外，構成子記憶體單位SMU_{L1}，SMU_{L2}之全部其他記憶體單元中，係在未自外部指定位址下，而依據第(J+1)個記憶體單元$MC_{L,1,J+1}$、$MC_{L,2,J+1}$、第(J+2)個記憶體單元$MC_{L,1,J+2}$，$MC_{L,2,J+2}$…、第M個記憶體單元$MC_{L,1,M}$，$MC_{L,2,M}$、第1個記憶體單元$MC_{L,1,1}$、$MC_{L,2,1}$、第2個記憶體單元$MC_{L,1,2}$，$MC_{L,2,2}$…、第(J-2)個記

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（57　）

憶體單元$MC_{L,1,J-2}$，$MC_{L,2,J-2}$、第(J-1)個記憶體單元$MC_{L,1,J-1}$、$MC_{L,2,J-1}$的順序，執行資料的寫入。

第六種實施形態之非揮發性記憶裝置的驅動方法如圖4之流程圖所示，由於實質上可依據第五種實施形態之[步驟-500]、[步驟-510]、第一種實施形態之[步驟-140]的順序執行，因此省略其詳細說明。

以上，係依據發明的實施形態來說明本發明，不過本發明並不限定於此。發明之實施形態中說明之非揮發性記憶裝置的構造、使用之材料、各種形成條件、電路構造及驅動方法等均係舉例顯示，可適切予以變更。

第一種實施形態～第四種實施形態中說明之非揮發性記憶裝置之驅動方法，亦可組合第一A的構造與第一B的構造。藉此，可彈性的執行自由度高之非揮發性記憶裝置的驅動。亦即，亦可自第(J+1)個第一選擇記憶體單元MC_{J+1}至特定數之記憶體單元執行第一B構造的驅動方法後，其餘之記憶體單元則執行第一A構造的驅動方法。具體而言，亦可於執行特定或所需次數之RAS_INC命令後，其餘之記憶體單元執行RESTORE命令。或是，亦可自第(J+1)個第一選擇記憶體單元MC_{J+1}至特定數之記憶體單元執行第一A構造的驅動方法後，其餘之記憶體單元則執行第一B構造的驅動方法。具體而言，亦可暫時中止RESTORE命令，其餘之記憶體單元則RAS_INC命令。

此外，第五種實施形態及第六種實施形態中說明之非揮發性記憶裝置之驅動方法，亦可組合第二A的構造與第二

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（58）

B的構造。藉此，可彈性的執行自由度高之非揮發性記憶裝置的驅動。亦即，亦可自第(J+1)個第一選擇記憶體單元MC_{J+1}至特定數之記憶體單元執行第二B構造的驅動方法後，其餘之記憶體單元則執行第二A構造的驅動方法。具體而言，亦可於執行特定或所需次數之RAS_INC命令後，其餘之記憶體單元執行RESTORE命令。或是，亦可自第(J+1)個第一選擇記憶體單元MC_{J+1}至特定數之記憶體單元執行第二A構造的驅動方法後，其餘之記憶體單元則執行第二B構造的驅動方法。具體而言，亦可暫時中止RESTORE命令，其餘之記憶體單元則RAS_INC命令。

以下說明非揮發性記憶裝置之構造的各種變化形態，不過此等非揮發性記憶裝置之各種驅動方法可採用與各實施形態中說明之相同的驅動方法，因此省略其詳細說明。此外，圖12~圖25中省略顯示指定子記憶體單位之位址的添字「L」。且圖13、圖14、圖16、圖17、圖22、圖25中省略命令解碼器10等的圖示。

如包含圖8所示之等效電路的非揮發性記憶裝置包含，經由層間絕緣層40堆疊第一記憶體單位及構成該非揮發性記憶裝置與鄰接於第一位元線BL_{L1}之延伸方向之非揮發性記憶裝置的第一記憶體單位；經由層間絕緣層40堆疊構成非揮發性記憶裝置之第二記憶體單元及構成該非揮發性記憶裝置與鄰接於第二位元線BL_{L2}之延伸方向之非揮發性記憶裝置的第二記憶體單位的構造。該非揮發性記憶裝置之部分模型剖面突如圖12所示。其中，圖12僅顯示第一記憶

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（59　）

體單位。第二記憶體單位鄰接於圖12之紙面垂直方向。而構成鄰接於於第一位元線BL_{L1}之延伸方向之非揮發性記憶裝置之第一記憶體單位的構成要素之相關參考符號註記「'」。

更具體而言，圖12所示之非揮發性記憶裝置係在包圍有包含形成於p型矽半導體基板20上之LOCOS構造、淺溝渠構造、或LOCOS構造與淺溝渠構造組成之元件分離區域21的活性區域內，形成有包含MOS型FET的選擇用電晶體TR_1, TR'_1。選擇用電晶體TR_1, TR'_1包含：形成於矽半導體基板20表面之如包含矽氧化膜的閘極絕緣膜22；形成於閘極絕緣膜22上的閘極23(兼字線WL_1，WL'_1)；及形成於矽半導體基板20之活性區域內，並含有n^+型雜質的源極/汲極區域24。

繼續，在全面形成有下層絕緣層上形成有位元線BL_1，位元線BL_1經由形成於下層絕緣層的連接孔(接觸孔)25，連接於選擇用電晶體TR_1，TR'_1的一個源極/汲極區域24。此外，在包含位元線BL_1的下層絕緣層上形成有上層絕緣層。而圖式中以絕緣層26同時表示下層絕緣層及上層絕緣層。此外，位元線BL_1向圖12的左右方向延伸，以避免與後述的連接孔(接觸孔)28接觸。

絕緣層26上形成有第一電極(下部電極)31，第一電極31上形成有強介質層32，強介質層32上形成有第二電極(上部電極)33，藉此構成記憶體單元MC_{1M}。第一電極31在記憶體單元MC_{1M}內共通，具有帶狀的平面形狀。繼續，第

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（60）

一電極31經由絕緣層26上所形成之開孔部27內設有的連接孔28，連接於選擇用電晶體TR_1的另一個源極/汲極區域24。另外以共通節點CN_1表示共通的第一電極31。強介質層32以與第二電極33概略相同的圖案形成。

繼續，在記憶體單元MC_{1M}及絕緣層26上形成有層間絕緣層40。繼續在層間絕緣層上形成有第一電極(下部電極)31'，在第一電極31'上形成有強介質層32'，在強介質層32'上形成有第二電極(上部電極)33'，藉此構成記憶體單元MC'_{1M}。第一電極31'在記憶體單元MC'_{1M}內共通，具有帶狀的平面形狀。繼續，第一電極31'經由層間絕緣層40上所形成之開孔部35內設有的連接孔36、絕緣層26上所形成之銲墊部34及絕緣層26上形成之開孔部27內設有之連接孔28，連接於選擇用電晶體TR'_1的另一個源極/汲極區域24。另外以共通節點CN'_1表示共通的第一電極31'。強介質層32'以與第二電極33'概略相同的圖案形成。並在記憶體單元MC'_{1M}及層間絕緣層40上形成有上部絕緣層50A。

第一字線WL_1，WL'_1延伸於圖12的紙面垂直方向。此外，第二電極33，33'與鄰接於圖12之紙面垂直方向的記憶體單元MC_{2m}，MC'_{2m}共通，兼屏極線PL_m。此外，記憶體單元MC_{1M}與記憶體單元MC'_{1M}集中在垂直方向。藉由形成此種構造，可縮小記憶體單元的佔用面積，可提高積體度。

圖13及圖14顯示包含圖8及圖10所示之等效電路之非揮發性記憶裝置之變化形態的等效電路圖。圖15顯示該非揮發性記憶裝置的部分模型剖面圖。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（61　）

圖13中顯示等效電路圖的非揮發性記憶裝置，連接於子記憶體單位SMU_{11}，SMU_{21}之選擇用電晶體TR_{11}，TR_{21}的各個閘極連接於字線WL_1，連接於子記憶體單位SMU_{12}，SMU_{22}之選擇用電晶體TR_{12}，TR_{22}的各個閘極連接於字線WL_2。另外，圖14中顯示等效電路圖的非揮發性記憶裝置，連接於子記憶體單位SMU_{11}，SMU_{12}，SMU_{21}，SMU_{22}之選擇用電晶體TR_{11}，TR_{12}，TR_{21}，TR_{22}的各個閘極連接於字線WL_1，WL_2，WL_3，WL_4。

該非揮發性記憶裝置包含：

第一記憶體單位MU_1，其包含：

(A-1)第一位元線BL_1；

(B-1) N個(其中，N≧1，圖例中具體而言為N=2)第一選擇用電晶體TR_{1N}；

(C-1)分別包含M個(其中，M≧2，圖例中為M=8)第一選擇記憶體單元MC_{1nM}(n=1, 2…N)之N個(其中，N≧2，圖例中為N=2)第一子記憶體單位SMU_{1N}；及

(D-1)構成各個之N個子記憶體單位SMU_{1N}之第一記憶體單元MC_{1nM}(m=1, 2…M)所共通之M條屏極線PL_m；與

第二記憶體單位MU_2，其包含：

(A-2)第二位元線BL_2；

(B-2) N個第二選擇用電晶體TR_{2N}；

(C-2)分別包含M個第二記憶體單元MC_{2nM}之N個第二子記憶體單位SMU_{2N}；及

(D-2)構成各個之N個子記憶體單位SMU_{2N}之第二記憶體

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明(62　　)

單元MC_{2nm}所共通，且與構成前述第一記憶體單位MU_1之M條屏極線PL_m共通之M條屏極線PL_m。

而圖15之部分模型剖面圖中，此等第二位元線BL_2、第二選擇用電晶體TR_{21}，TR_{22}及第二記憶體單位MU_2與第一位元線BL_1、第一選擇用電晶體TR_{11}，TR_{12}及第一記憶體單位MU_1鄰接於紙面垂直方向。

而各記憶體單元MC_{1nm}(m=1, 2…M，n=1, 2…N，圖例中，m=1, 2,…8，n=1,2)包含第一電極(下部電極)31，41與強介質層32，42與第二電極(上部電極)33，43。第一記憶體單位MU_1中，構成第n個(其中n=1, 2…N)之第一子記憶體單位SMU_{1n}之第一記憶體單元MC_{1nm}的第一電極31，41在第n個第一子記憶體單位SMU_{1n}中共通，該共通之第一電極31，41(有時稱之為共通節點CN_{1n})經由第n個第一選擇用電晶體TR_{1n}連接於第一位元線BL_1，第二電極33，43則連接於共通的屏極線PL_m。此外，第二記憶體單位MU_2中，構成第n個第二子記憶體單位SMU_{2n}之第二記憶體單元MC_{2nm}的第一電極31，41在第n個第二子記憶體單位SMU_{2n}中共通，該共通之第一電極31，41(有時稱之為共通節點CN_{2n})經由第n個第二選擇用電晶體TR_{2n}連接於第二位元線BL_2，而第二電極33，43則連接於共通之屏極線PL_m。

另外，構成非揮發性記憶裝置之記憶體單位的記憶體單元數量並不限定於8個，通常雖可形成2×M個(其中，M=1, 2, 3…)，不過，更宜為2的乘方數(2，4，8，16，32…)。

記憶體單元MC_{11m}，MC_{12m}，MC_{21m}，MC_{22m}的屏極線PL_m

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（63　）

予以共通，並連接於屏極線解碼器/驅動器PD。再者，第一選擇用電晶體TR_{11}之閘極與第二選擇用電晶體TR_{21}之閘極連接於字線WL_1，第一選擇用電晶體TR_{12}之閘極與第二選擇用電晶體TR_{22}之閘極連接於字線WL_2，字線WL_1，WL_2連接於字線解碼器/驅動器WD。此外，第一位元線BL_1及第二位元線BL_2連接於感測放大器SA_L。

圖15所示之非揮發性記憶裝置中，構成第一記憶體單位MU_1之各個第一子記憶體單位SMU_{11}，SMU_{12}經由層間絕緣層40堆疊，構成第二記憶體單位MU_2之各個第二子記憶體單位SMU_{21}，SMU_{22}經由層間絕緣層40堆疊。亦即，構成第一記憶體單位MU_1之第一個子記憶體單位SMU_{11}與第二個子記憶體單位SMU_{12}經由層間絕緣層40堆疊。再者，構成第二記憶體單位MU_2之第一個子記憶體單位SMU_{21}與第二個子記憶體單位SMU_{22}亦經由層間絕緣層40堆疊。藉此可促使非揮發性記憶裝置的高積體化。

以下，詳細說明圖15所示的非揮發性記憶裝置。而以下之說明中，雖係說明第一記憶體單位MU_1，不過第二記憶體單位MU_2的構造亦同。

更具體而言，圖15所示之非揮發性記憶裝置係在包圍有包含形成於p型矽半導體基板20上之LOCOS構造、淺溝渠構造、或LOCOS構造與淺溝渠構造組成之元件分離區域21的活性區域內，形成有包含MOS型FET的選擇用電晶體TR_{11}，TR_{12}。第一選擇用電晶體TR_{11}，TR_{12}包含：形成於矽半導體基板20表面之如包含矽氧化膜的閘極絕緣膜22；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（64　）

形成於閘極絕緣膜22上的閘極23(兼字線WL_1，WL_2)；及形成於矽半導體基板20之活性區域內，並含有n^+型雜質的源極/汲極區域24。

繼續，在全面形成有下層絕緣層上形成有位元線BL_1，位元線BL_1經由形成於下層絕緣層的連接孔(接觸孔)25，連接於選擇用電晶體TR_{11}，TR_{12}的一個源極/汲極區域24。此外，在包含位元線BL_1的下層絕緣層上形成有上層絕緣層。而圖式中以絕緣層26同時表示下層絕緣層及上層絕緣層。此外，位元線BL_1向圖15的左右方向延伸，以避免與後述的連接孔(接觸孔)28接觸。

絕緣層26上形成有第一電極(下部電極)31，第一電極31上形成有強介質層32，強介質層32上形成有第二電極(上部電極)33，藉此構成記憶體單元MC_{11M}，並構成有第一個子記憶體單位SMU_{11}。第一電極31在記憶體單元MC_{11M}內共通，具有帶狀的平面形狀。繼續，第一電極31經由絕緣層26上所形成之開孔部27內設有的連接孔28，連接於選擇用電晶體TR_{11}的另一個源極/汲極區域24。另外以共通節點CN_{11}表示共通的第一電極31。強介質層32以與第二電極33概略相同的圖案形成。

繼續，在記憶體單元MC_{11M}(子記憶體單位SMU_{11})及絕緣層26上形成有層間絕緣層40。繼續在層間絕緣層40上形成有第一電極(下部電極)41，在第一電極41上形成有強介質層42，在強介質層42上形成有第二電極(上部電極)43，藉此構成記憶體單元MC_{12M}，並構成有第二個子記憶體單位

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（65　）

SMU_{12}。第一電極41在記憶體單元MC_{12M}內共通，具有帶狀的平面形狀。繼續，第一電極41經由層間絕緣層40上所形成之開孔部35內設有的連接孔36、絕緣層26上所形成之銲墊部34及絕緣層26上形成之開孔部27內設有之連接孔28，連接於選擇用電晶體TR_{12}的另一個源極/汲極區域24。另外以共通節點CN_{12}表示共通的第一電極41。強介質層42以與第二電極43概略相同的圖案形成。並在記憶體單元MC_{12M}及層間絕緣層40上形成有上部絕緣層50A。

字線WL_1，WL_2延伸於圖15的紙面垂直方向。此外，第二電極33與構成鄰接於圖15之紙面垂直方向的第二記憶體單位MU_2之第一個子記憶體單位SMU_{21}之記憶體單元MC_{21m}共通，兼屏極線PL_m。再者，第二電極43亦與構成鄰接於圖15之紙面垂直方向的第二記憶體單位MU_2之第二個子記憶體單位SMU_{22}之記憶體單元MC_{22m}共通，兼屏極線PL_m。被各記憶體單元MC_{11m}，MC_{12m}，MC_{21m}，MC_{22m}共通之此等屏極線PL_m延伸於圖15的紙面垂直方向，並在圖上未顯示的區域中經由連接孔連接。此外，記憶體單元MC_{11M}與記憶體單元MC_{12M}集中在垂直方向。藉由形成此種構造，可縮小記憶體單元的佔用面積，可提高積體度。

圖16及圖17顯示包含圖8及圖10所示之等效電路之非揮發性記憶裝置之變化形態的等效電路圖。圖18顯示該非揮發性記憶裝置的部分模型剖面圖。

圖16中顯示等效電路圖的非揮發性記憶裝置，連接於子記憶體單位SMU_{11}，SMU_{21}之選擇用電晶體TR_{11}，TR_{21}的各

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（66　）

個閘極連接於字線WL_1，連接於子記憶體單位SMU_{12}，SMU_{22}之選擇用電晶體TR_{12}，TR_{22}的各個閘極連接於字線WL_2，連接於子記憶體單位SMU_{13}，SMU_{23}之選擇用電晶體TR_{13}，TR_{23}的各個閘極連接於字線WL_3，連接於子記憶體單位SMU_{14}，SMU_{24}之選擇用電晶體TR_{14}，TR_{24}的各個閘極連接於字線WL_4。另外，圖17中顯示等效電路圖的非揮發性記憶裝置，連接於子記憶體單位SMU_{11}，SMU_{12}，SMU_{13}，SMU_{14}，SMU_{21}，SMU_{22}，SMU_{23}，SMU_{24}之選擇用電晶體TR_{11}，TR_{12}，TR_{13}，TR_{14}，TR_{21}，TR_{22}，TR_{23}，TR_{24}的各個閘極連接於字線WL_1，WL_2，WL_3，WL_4，WL_5，WL_6，WL_7，WL_8。另外，圖16及圖17中省略連接有第一位元線BL_1及第二位元線BL_2之感測放大器SA的圖示。

該非揮發性記憶裝置堆疊有四段構成第一記憶體單位MU_1之子記憶體單位SMU_{11}，SMU_{12}，SMU_{13}，SMU_{14}。此外，亦堆疊有四段構成第二記憶體單位MU_2之子記憶體單位SMU_{21}，SMU_{22}，SMU_{23}，SMU_{24}，唯圖上並未顯示。

該非揮發性記憶裝置包含：

第一記憶體單位MU_1，其包含：

(A-1)第一位元線BL_1；

(B-1) N個(其中，N≧1，具體而言為N=4)第一選擇用電晶體TR_{1N}(TR_{11}，TR_{12}，TR_{13}，TR_{14})；

(C-1)分別包含M個(其中，M≧2，M=8)第一選擇記憶體單元MC_{1nM}(MC_{11m}，MC_{12m}，MC_{13m}，MC_{14m})之N個第一子記憶體單位SMU_{1N}(SMU_{11}，SMU_{12}，SMU_{13}，SMU_{14})；及

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（67　）

(D-1)構成各個之N個子記憶體單位SMU_{1N}之第一記憶體單元MC_{1nm}(MC_{11m}，MC_{12m}，MC_{13m}，MC_{14m})所共通之M條屏極線PL_m；與

第二記憶體單位MU_2，其包含：

(A-2)第二位元線BL_2；

(B-2) N個第二選擇用電晶體TR_{2N}(TR_{21}，TR_{22}，TR_{23}，TR_{24})；

(C-2)分別包含M個第二記憶體單元MC_{2nM}(MC_{21M}，MC_{22M}，MC_{23M}，MC_{24M})之N個第二子記憶體單位SMU_{2N}(SMU_{21}，SMU_{22}，SMU_{23}，SMU_{24})；及

(D-2)就構成各個之N個子記憶體單位SMU_{2N}之第二記憶體單元MC_{2nm}(MC_{21m}，MC_{22m}，MC_{23m}，MC_{24m})所共通，且與構成前述第一記憶體單位之M條屏極線共通之M條屏極線PL_m。

亦即，該非揮發性記憶裝置之構成記憶體單位之子記憶體單位為四層構造。且構成子記憶體單位之記憶體單元數並不限定於8個，此外，構成記憶體單位之記憶體單元數並不限定於32個。

而各記憶體單元包含第一電極與強介質層與第二電極。具體而言，記憶體單元MC_{11M}及記憶體單元MC_{21M}分別包含第一電極31、強介質層32及第二電極33。此外，記憶體單元MC_{12M}及記憶體單元MC_{22M}分別包含第一電極41、強介質層42及第二電極43。再者，記憶體單元MC_{13M}及記憶體單元MC_{23M}分別包含第一電極51、強介質層52及第二電

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（68　）

極53。此外，記憶體單元MC_{14M}及記憶體單元MC_{24M}分別包含第一電極61、強介質層62及第二電極63。

第一記憶體單位MU_1中，構成第n個(n=1, 2…N)第一子記憶體單位SMU_{1n}之第一記憶體單元MC_{1nm}的第一電極31，41，51，61在第n個第一子記憶體單位SMU_{1n}中共通，該共通之第一電極31，41，51，61經由第n個第一選擇用電晶體TR_{1n}連接於第一位元線BL_1，第二電極33，43，53，63連接於共通之屏極線PL_m。

第二記憶體單位MU_2中，構成第n個第二子記憶體單位SMU_{2n}之第二記憶體單元MC_{2nM}的第一電極31，41，51，61在第n個第二子記憶體單位SMU_{2n}中共通，該共通之第一電極31，41，51，61經由第n個第二選擇用電晶體TR_{2n}連接於第二位元線BL_2，第二電極33，43，53，63連接於共通之屏極線PL_m。

更具體而言，圖18所示之非揮發性記憶裝置係在包圍有包含形成於p型矽半導體基板20上之LOCOS構造、淺溝渠構造、或LOCOS構造與淺溝渠構造組成之元件分離區域21的活性區域內，形成有包含MOS型FET的第一選擇用電晶體TR_{11}，TR_{12}，TR_{13}，TR_{14}。第一選擇用電晶體TR_{11}，TR_{12}，TR_{13}，TR_{14}包含：形成於矽半導體基板20表面之如包含矽氧化膜的閘極絕緣膜22；形成於閘極絕緣膜22上的閘極23(兼字線WL_1，WL_2，WL_3，WL_4)；及形成於矽半導體基板20之活性區域內，並含有n^+型雜質的源極/汲極區域24。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（69　　）

繼續，在全面形成有下層絕緣層上形成有位元線BL_1，位元線BL_1經由形成於下層絕緣層的連接孔(接觸孔)25，連接於第一個及第二個之第一選擇用電晶體TR_{11}，TR_{12}的一個源極/汲極區域24，並連接於第三個及第四個之第一選擇用電晶體TR_{13}，TR_{14}的一個源極/汲極區域24。此外，在包含位元線BL_1的下層絕緣層上形成有上層絕緣層。位元線BL_1向圖18的左右方向延伸，以避免與後述的連接孔28接觸。

絕緣層26上形成有第一電極(下部電極)31，第一電極31上形成有強介質層32，強介質層32上形成有第二電極(上部電極)33，藉此構成記憶體單元MC_{11M}，並構成有子記憶體單位SMU_{11}。第一電極31在子記憶體單位SMU_{11}內共通，具有帶狀的平面形狀。繼續，第一電極31經由絕緣層26上所形成之開孔部27內設有的連接孔28，連接於第一個選擇用電晶體TR_{11}的另一個源極/汲極區域24。另外以共通節點CN_{11}表示共通的第一電極31。強介質層32以與第二電極33概略相同的圖案形成。

繼續，在子記憶體單位SMU_{11}及絕緣層26上形成有第一層間絕緣層40。繼續在第一層間絕緣層40上形成有第一電極(下部電極)41，在第一電極41上形成有強介質層42，在強介質層42上形成有第二電極(上部電極)43，藉此構成有記憶體單元MC_{12M}及子記憶體單位SMU_{12}。第一電極41在記憶體單元MC_{12M}內共通，具有帶狀的平面形狀。繼續，第一電極41經由第一層間絕緣層40上所形成之開孔部35內

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（70　　）

設有的連接孔36、絕緣層26上所形成之銲墊部34及絕緣層26上形成之開孔部27內設有之連接孔28，連接於第二個選擇用電晶體TR_{12}的另一個源極/汲極區域24。另外以共通節點CN_{12}表示共通的第一電極41。強介質層42以與第二電極43概略相同的圖案形成。

繼續，在子記憶體單位SMU_{12}及第一層間絕緣層40上形成有第二層間絕緣層50。繼續在第二層間絕緣層50上形成有第一電極(下部電極)51，在第一電極51上形成有強介質層52，在強介質層52上形成有第二電極(上部電極)53，藉此構成有記憶體單元MC_{13M}及子記憶體單位SMU_{13}。第一電極51在記憶體單元MC_{13M}內共通，具有帶狀的平面形狀。繼續，第一電極51經由第二層間絕緣層50上所形成之開孔部45內設有的連接孔46、第一層間絕緣層40上所形成之銲墊部44、第一層間絕緣層40上所形成之開孔部35內設有之連接孔36、絕緣層26上所形成之銲墊部34及絕緣層26上形成之開孔部27內設有之連接孔28，連接於第三個選擇用電晶體TR_{13}的另一個源極/汲極區域24。另外以共通節點CN_{13}表示共通的第一電極51。強介質層52以與第二電極53概略相同的圖案形成。

繼續，在子記憶體單位SMU_{13}及第二層間絕緣層50上形成有第三層間絕緣層60。繼續在第三層間絕緣層60上形成有第一電極(下部電極)61，在第一電極61上形成有強介質層62，在強介質層62上形成有第二電極(上部電極)63，藉此構成有記憶體單元MC_{14M}及子記憶體單位SMU_{14}。第一

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（71　　）

電極61在記憶體單元MC_{14M}內共通，具有帶狀的平面形狀。繼續，第一電極61經由第三層間絕緣層60上所形成之開孔部55內設有的連接孔56、第二層間絕緣層50上所形成之銲墊部54、第二層間絕緣層50上所形成之開孔部45內設有之連接孔46、第一層間絕緣層40上所形成之開孔部35內設有之連接孔36、絕緣層26上所形成之銲墊部34及絕緣層26上形成之開孔部27內設有之連接孔28，連接於第四個選擇用電晶體TR_{14}的另一個源極/汲極區域24。另外，有時將共通的第一電極61稱之為共通節點CN_{14}。強介質層62以與第二電極63概略相同的圖案形成。繼續，在記憶體單元MC_{14M}及第三層間絕緣層60上形成有上部絕緣層70A。

字線WL_1，WL_2，WL_3，WL_4延伸於圖18的紙面垂直方向。此外，第二電極33與構成鄰接於圖18之紙面垂直方向的記憶體單元MC_{21m}共通，兼屏極線PL_m。再者，第二電極43，53，63亦與構成鄰接於圖18之紙面垂直方向的記憶體單元MC_{22m}，MC_{23m}，MC_{24m}共通，兼屏極線PL_m。被各記憶體單元MC_{11m}，MC_{12m}，MC_{13m}，MC_{14m},MC_{21m}，MC_{22m}，MC_{23m}，MC_{24m}共通之此等屏極線PL_m延伸於圖18的紙面垂直方向，並在圖上未顯示的區域中經由連接孔連接。此外，記憶體單元MC_{11M}與記憶體單元MC_{12M}與記憶體單元MC_{13M}與記憶體單元MC_{14M}集中在垂直方向。藉由形成此種構造，可進一步縮小記憶體單元的佔用面積，進一步提高積體度。

該非揮發性記憶裝置之第一個選擇用電晶體TR_{11}，TR_{21}

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（72　）

連接於字線WL_1，第二個選擇用電晶體TR_{12}，TR_{22}連接於字線WL_2，第三個選擇用電晶體TR_{13}，TR_{23}連接於字線WL_3，第四個選擇用電晶體TR_{14}，TR_{24}連接於字線WL_4。

繼續，在共通屏極線PL_1之記憶體單元MC_{11m}，MC_{21m}內，在共通屏極線PL_2之記憶體單元MC_{12m}，MC_{22m}內，在共通屏極線PL_3之記憶體單元MC_{13m}，MC_{23m}內，在共通屏極線PL_4之記憶體單元MC_{14m}，MC_{24m}內寫入互補性資料，分別儲存1位元，在一個記憶體單位(存取單位)中儲存32位元(參照圖16的等效電路圖)。另外，第二選擇用電晶體TR_{21}，TR_{22}，TR_{23}，TR_{24}的構造，記憶體單元MC_{21m}，MC_{22m}，MC_{23m}，MC_{24m}的構造與圖18所示的構造相同，鄰接於圖18的紙面垂直方向。或是，藉由8個選擇用電晶體TR_{11}~TR_{14}，TR_{21}~TR_{24}與64個記憶體單元MC_{11m}~MC_{14m}，MC_{21m}~MC_{24m}，構成有一個記憶體單位(存取單位)，在各記憶體單元內儲存1位元，在記憶體單位中儲存64位元(參照圖17的等效電路圖)。

字線WL_1，WL_2，WL_3，WL_4連接於字線解碼器/驅動器WD。此外，位元線BL_1，BL_2連接於感測放大器(圖上未顯示)。再者，屏極線PL_m連接於屏極線解碼器/驅動器PD。

實際之非揮發性記憶裝置中，儲存該32位元或64位元之非揮發性記憶裝置的集合設置成陣列狀，作為存取單位。

圖19顯示圖18所示之非揮發性記憶裝置之變化形態的部分模型剖面圖。

圖19所示之非揮發性記憶裝置與圖18所示之非揮發性記

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（73　　）

憶裝置的差異處為，第一個子記憶體單位SMU_{11}的記憶體單元MC_{11m}與第二個子記憶體單位SMU_{12}的記憶體單元MC_{12m}共通有第二電極(屏極線)，第三個子記憶體單位SMU_{13}的記憶體單元MC_{13m}與第四個子記憶體單位SMU_{14}的記憶體單元MC_{14m}共通有第二電極(屏極線)。此外，第一個子記憶體單位SMU_{21}的記憶體單元MC_{21m}與第二個子記憶體單位SMU_{22}的記憶體單元MC_{22m}共通有第二電極(屏極線)，第三個子記憶體單位SMU_{23}的記憶體單元MC_{23m}與第四個子記憶體單位SMU_{24}的記憶體單元MC_{24m}共通有第二電極(屏極線)。

圖19上顯示部分模型剖面圖之非揮發性記憶裝置包含：

①包含第一電極31A與強介質層32A與第二電極33的記憶體單元MC_{11m}(m=1, 2, 3…7, 8，具體而言為MC_{111}, MC_{112}, MC_{113}…MC_{117}, MC_{118}，為子記憶體單位SMU_{11})；

②包含第一電極31B與強介質層32B與第二電極33的記憶體單元MC_{12m}(m=1, 2, 3…7, 8，具體而言為MC_{121}, MC_{122}, MC_{123}…MC_{127}, MC_{128}，為子記憶體單位SMU_{12})；

③包含第一電極41A與強介質層42A與第二電極43的記憶體單元MC_{13m}(m=1, 2, 3…7, 8，具體而言為MC_{131}, MC_{132}, MC_{133}…MC_{137}, MC_{138}，為子記憶體單位SMU_{13})；及

④包含第一電極41B與強介質層42B與第二電極43的記憶體單元MC_{14m}(m=1, 2, 3…7, 8，具體而言為MC_{141}, MC_{142}, MC_{143}…MC_{147}, MC_{148}，為子記憶體單位SMU_{14})。

亦即，圖19所示之非揮發性記憶裝置之構成各記憶體單

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（74　）

位的子記憶體單位為四層構造。而構成記憶體單位之記憶體單元數並不限定於8個，且構成非揮發性記憶裝置之記憶體單元數並不限定於32個。

選擇用電晶體TR_{11}，TR_{12}，TR_{13}，TR_{14}，TR_{21}，TR_{22}，TR_{23}，TR_{24}的構造與圖18所示之非揮發性記憶裝置的構造相同，因此省略其詳細說明。

在絕緣層26上形成有第一電極31A，第一電極31A上形成有強介質層32A，強介質層32A上形成有第二電極33，藉此構成記憶體單元MC_{11M}。第一電極31A在記憶體單元MC_{11M}內共通，具有帶狀的平面形狀。繼續，第一電極31A經由絕緣層26上所形成之開孔部27內設有的連接孔28，連接於選擇用電晶體TR_{11}的另一個源極/汲極區域24。強介質層32A以與第二電極33概略相同的圖案形成。

繼續，在記憶體單元MC_{11M}及絕緣層26上形成有強介質層32B，在其上形成有第一電極31B。繼續，藉由第一電極31B、強介質層32B及第二電極33構成記憶體單元MC_{12M}層。第一電極31B在記憶體單元MC_{12M}內共通，具有帶狀的平面形狀。繼續，第一電極31B經由絕緣層26上所形成之開孔部27內設有的連接孔28，連接於選擇用電晶體TR_{12}的另一個源極/汲極區域24。強介質層32B以與第一電極31B概略相同的圖案形成。

繼續，在記憶體單元MC_{12M}及絕緣層26上形成有層間絕緣層40，繼續在層間絕緣層40上形成有第一電極41A，在第一電極41A上形成有強介質層42A，在強介質層42A上形

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（75　）

成有第二電極43，藉此構成記憶體單元MC_{13M}層。第一電極41A在記憶體單元MC_{13M}內共通，具有帶狀的平面形狀。繼續，第一電極41A經由層間絕緣層40上所形成之開孔部45內設有的連接孔46、絕緣層26上所形成的銲墊部34、及絕緣層26上所形成之開孔部27內設有的連接孔28，連接於選擇用電晶體TR_{13}的另一個源極/汲極區域24。強介質層42A以與第二電極43概略相同的圖案形成。

繼續，在記憶體單元MC_{13M}及層間絕緣層40上形成有強介質層42B，在其上形成有第一電極41B，繼續，藉由第一電極41B、強介質層42B及第二電極43構成有記憶體單元MC_{14M}層。第一電極41B在記憶體單元MC_{14M}內共通，具有帶狀的平面形狀。繼續，第一電極41B經由層間絕緣層40上所形成之開孔部45內設有的連接孔46、絕緣層26上所形成的銲墊部34、及絕緣層26上所形成之開孔部27內設有的連接孔28，連接於選擇用電晶體TR_{14}的另一個源極/汲極區域24。強介質層42B以與第一電極41B概略相同的圖案形成。再者，於記憶體單元MC_{14M}及層間絕緣層40上形成有上部絕緣層50A。

記憶體單元MC_{11M}與記憶體單元MC_{12M}與記憶體單元MC_{13M}與記憶體單元MC_{14M}集中在垂直方向。藉由形成此種構造，可進一步縮小記憶體單元的佔用面積，進一步提高積體度。

另外，第二記憶體單位MU_2的構造亦可相同。圖19所示之非揮發性記憶裝置的等效電路圖與圖16或圖17所示者相

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（76　　）

同。再者，字線WL_1~WL_4或字線WL_1~WL_8、屏極線PL_m的構造亦可與圖18所示之非揮發性記憶裝置實質上相同，因此省略其詳細說明。

此外，如圖20所示，圖12所示之非揮發性記憶裝置的變化形態，亦可將第一電極31作為上部電極，將第二電極33作為下部電極。此種構造亦可適用於其他的非揮發性記憶裝置。而圖20中之參考編號80A，80B分別表示第一層間絕緣層的下層及上層，參考編號90A，90B分別表示上部絕緣層的下層及上層。

圖13或圖14中顯示等效電路圖之非揮發性記憶裝置的變化形態顯示於圖21的部分模型剖面圖。該非揮發性記憶裝置經由層間絕緣層40，50，60，分別堆疊有構成第一記憶體單位MU_1之第一子記憶體單位SMU_{11}(記憶體單元MC_{11M})，SMU_{12}(記憶體單元MC_{12M})及構成第二記憶體單位MU_2的第二子記憶體單位SMU_{21}(記憶體單元MC_{21M})，SMU_{22}(記憶體單元MC_{22M})。除此之外，該非揮發性記憶裝置的構造與圖15所示之非揮發性記憶裝置的構造相同，因此省略其詳細說明。而此種構造亦可適用於其他的非揮發性記憶裝置。

再者，亦可形成所謂之增益單元型之強介質型非揮發性記憶裝置。圖22顯示增益單元型之強介質型非揮發性記憶裝置的等效電路圖。增益單元型之強介質型非揮發性記憶裝置包含位元線BL、寫入用電晶體TR_W、包含M個(其中，$M \geqq 2$，如M=8)記憶體單元MC_M之子記憶體單位SMU、及

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明(77　　)

包含M條屏極線PL_m的記憶體單位MU。而各記憶體單元MC_M包含第一電極31與強介質層32與第二電極33，構成子記憶體單位SMU之記憶體單元MC_M的第一電極31在子記憶體單位SMU中共通，該共通之第一電極(以下，有時稱之為共通節點CN)經由寫入用電晶體TR_W連接於位元線BL，第二電極33連接於屏極線PL_m。而構成非揮發性記憶裝置之子記憶體單位SMU的記憶體單元數(M)並不限定於8個，通常只須滿足$M \geqq 2$即可，且宜為2的乘方數(M=2，4，8，16，32…)。

再者，該非揮發性記憶裝置包含檢測用電晶體TR_S及讀出用電晶體TR_R。而檢測用電晶體TR_S的一端連接於具有特定電位Vcc的配線(如包含雜質層的電源線)，另一端經由讀出用電晶體TR_R連接於位元線BL，讀出儲存在各記憶體單元MC_m內的資料時，讀出用電晶體TR_R處於接通狀態，依據儲存在各記憶體單元MC_m內之資料，藉由共通之第一電極(共通節點CN)產生的電位，以控制檢測用電晶體TR_S的工作。並藉由寫入用電晶體TR_W與檢測用電晶體TR_S與讀出用電晶體TR_R構成選擇用電晶體。

具體而言，各種電晶體由MOS型FET構成，寫入用電晶體TR_W的一個源極/汲極區域連接於位元線BL，另一個源極/汲極區域連接於共通的第一電極(共通節點CN)。此外，檢測用電晶體TR_S的一個源極/汲極區域連接於具有特定電位Vcc的配線，另一個源極/汲極區域連接於讀出用電晶體TR_R的一個源極/汲極區域。更具體而言，檢測用電晶

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（78　　）

體TR_S的另一個源極/汲極區域與讀出用電晶體TR_R的一個源極/汲極區域佔據一個源極/汲極區域。且讀出用電晶體TR_R的另一個源極/汲極區域連接於位元線BL，而共通之第一電極(共通節點CN或寫入用電晶體TR_W的另一個源極/汲極區域)經由字線WL_S連接於檢測用電晶體TR_S的閘極部。此外，構成寫入用電晶體TR_W之字線WL_W及構成讀出用電晶體TR_R之字線WL_R連接於字線解碼器/驅動器WD。另外，各屏極線PL_m連接於屏極線解碼器/驅動器PD。且位元線BL連接於感測放大器SA。

以下，說明對該非揮發性記憶裝置寫入資料的工作。其係以在連接於屏極線PL_1之記憶體單元MC_1內寫入資料為例。圖23顯示工作波形。而圖23及後述之圖24中，括弧內的數字與以下說明的步驟編號對應。

(1D)於待用狀態下，位元線、字線及全部的屏極線為0伏特。且共通節點CN亦在0伏特下形成漂浮狀態。

(2D)開始寫入資料時，選擇屏極線PL_1的電位為V_{CC}，非選擇屏極線PL_k(k=2, 3…8)的電位為(1/2)Vcc。藉此，漂浮狀態之共通節點CN的電位藉由與屏極線PL_M的耦合，而上昇至接近(1/2) Vcc。此外，選擇記憶體單元MC_1內寫入資料「1」時，位元線BL的電位為Vcc，寫入資料「0」時，位元線BL的電位為0伏特。

(3D)之後，寫入用電晶體TR_W處於接通狀態。藉此，共通節點CN的電位於選擇記憶體單元MC_1內寫入資料「1」時為Vcc，於寫入資料「0」時為0伏特。另外，由於處於

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（79　　）

選擇屏極線PL_1上施加有Vcc的狀態，因此共通節點CN的電位為0伏特時，在選擇記憶體單元MC_1內寫入有資料「0」。另外，共通節點CN的電位為Vcc時，選擇記憶體單元MC_1內沒有寫入任何資料。

(4D)繼續，使選擇屏極線PL_1的電位為0伏特。於共通節點CN的電位為Vcc時，選擇記憶體單元MC_1內寫入有資料「1」。選擇記憶體單元MC_1內已經寫入有資料「0」的情況下，選擇記憶體單元MC_1內無任何變化。

(5D)之後，將位元線BL施加成0伏特。

(6D)繼續，使非選擇屏極線PL_k為0伏特，寫入用電晶體TR_W處於切斷狀態。

其他記憶體單元MC_k (k=2，3…8)內寫入資料的情況下，重複相同的工作。此種寫入工作中，非選擇記憶體單元MC_k內雖發生(±1/2)Vcc的干擾，不過藉由適切設定Vcc值，可確實防止非選擇記憶體單元MC_k中的資料遭破壞。

以下，繼續說明自該非揮發性記憶裝置讀出資料，並再寫入資料的工作。其係以自連接於屏極線PL_1的記憶體單元MC_1讀出資料，並再寫入資料為例，圖24顯示工作波形。

(1E)於待用狀態下，位元線、字線及全部的屏極線為0伏特。且共通節點CN亦在0伏特下形成漂浮狀態。

(2E)讀出資料時，在選擇屏極線PL_1上施加Vcc。此時，選擇記憶體單元MC_1內儲存有資料「1」時，強介質層上產生極化反轉，儲存電荷量增加，共通節點CN的電位上

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（80　）

昇。另外，選擇記憶體單元MC_1內儲存有資料「0」時，強介質層上不產生極化反轉，共通節點CN的電位幾乎不上昇。亦即，由於共通節點CN經由非選擇記憶體單元的強介質層而耦合於數個非選擇屏極線PL_k，因此，共通節點CN的電位保持在較接近0伏特的電位。如此，因應儲存在選擇記憶體單元MC_1內的資料，共通節點CN的電位產生變化。因此，選擇記憶體單元MC_1的強介質層上可提供足夠的電場於極化反轉。

(3E)繼續，使位元線BL處於漂浮狀態，讀出用電晶體TR_R處於接通狀態。藉此，依據儲存在選擇記憶體單元MC_1內之資料，藉由共通之第一電極(共通節點CN)上產生的電位，以控制檢測用電晶體TR_S的工作。具體而言，由於檢測用電晶體TR_S的一個源極/汲極區域連接於具有特定電位Vcc的配線，因此，電流自該配線經由檢測用電晶體TR_S及讀出用電晶體TR_R流入位元線BL，位元線BL的電位上昇。此時，檢測用電晶體TR_S的臨限值為V_{th}，檢測用電晶體TR_S的閘極部電位(亦即共通節點CN的電位)為V_g時，位元線BL的電位概略為(V_g-V_{th})。另外，檢測用電晶體TR_S若為耗盡型的NMOSFET時，臨限值V_{th}為負值。藉此不論位元線BL的負載大小，均可確保穩定的感測信號量。另外，亦可以PMOSFET構成檢測用電晶體TR_S。

(4E)繼續，使讀出用電晶體TR_R處於切斷狀態。

(5E)之後，啟動連接於位元線BL的感測放大器SA，放大資料，完成資料的讀出工作。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（81　　）

藉由以上的工作，由於儲存在選擇記憶體單元內的資料被暫時破壞，因此執行資料的再寫入工作。

(6E)因而，非選擇屏極線PL_k (k=2，3…8)的電位形成(1/2)Vcc。

(7E)之後，使寫入用電晶體TR_W處於接通狀態。藉此，共通節點CN的電位與位元線BL的電位相等。亦即，儲存在選擇記憶體單元MC_1內的資料為「1」的情況下，共通節點CN的電位為Vcc，儲存在選擇記憶體單元MC_1內的資料為「0」的情況下，共通節點CN的電位為0伏特。由於選擇屏極線PL_1的電位保持在Vcc，因此，共通節點CN的電位為0伏特時，選擇記憶體單元MC_1內在寫入有資料「0」。

(8E)繼續，使選擇屏極線PL_1的電位為0伏特。藉此，由於儲存在選擇記憶體單元MC_1內之資料為「1」的情況下，共通節點CN的電位為Vcc，因此再寫入有資料「1」。選擇記憶體單元MC_1內已經再寫入有資料「0」的情況下，選擇記憶體單元不發生變化。

(9E)之後，使位元線BL為0伏特。

(10E)最後，使非選擇屏極線PL_k為0伏特，使寫入用電晶體TR_W處於切斷狀態。

自其他記憶體單元MC_k (k=2，3…8)讀出資料，並再寫入資料的情況下，重複相同的工作。

上述步驟(2E)中，構成子記憶體單位SMU的記憶體單元數量(M)，需要可在選擇記憶體單元的強介質層內賦予足夠大的電場，確實在該強介質層上產生極化反轉的數量。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（82　）

亦即，若M值過小，在步驟(2E)中，於選擇屏極線PL_1上施加Vcc時，藉由第二電極與第一電極的耦合，處於漂浮狀態之第一電極的電位大幅上昇，在第二電極與第一電極之間未形成足夠的電場，則強介質層上無法產生極化反轉。另外，由於第一電極呈現的電位(稱之為信號電位)為以負載電容除儲存電荷量，因此，若M值過大，則呈現在第一電極的電位過低。因此M值宜為$2 \leqq M \leqq 128$，更宜為$4 \leqq M \leqq 32$。

或是，顯示於圖25中之增益單元型非揮發性記憶裝置之變化形態的等效電路圖。該增益單元型的非揮發性記憶裝置包含：位元線BL、寫入用電晶體TR_W、包含M個(其中，$M \geqq 2$，如M=8)記憶體單元MC_M之N個(其中，$N \geqq 2$，如N=2)子記憶體單位SMU_1，SMU_2、N個切換用電晶體TR_{SW1}，TR_{SW2}、及包含分別構成N個子記憶體單位SMU_1，SMU_2之記憶體單元MC_{1M}，MC_{2M}所共通之M條屏極線PL_m的記憶體單位MU。

而各記憶體單元MC_M包含第一電極31與強介質層32與第二電極33，構成第n個(n=1，2…N，n=1或2)子記憶體單位SMU_1，SMU_2之記憶體單元MC_{1M}，MC_{2M}的第一電極31在第n個子記憶體單位SMU_1，SMU_2內共通，該共通之第一電極(共通節點CN_1，CN_2)經由第n個切換用電晶體TR_{SW1}，TR_{SW2}及寫入用電晶體TR_W連接於位元線BL，第二電極33連接於共通的屏極線PL_m。另外，構成非揮發性記憶裝置之子記憶體單位SMU_1，SMU_2的記憶體單元數量(M)並不限定於8

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明(83　　)

個，通常只須滿足M≧2即可，更宜為2的乘方數(M=2，4，8，16，32…)。此外，N的數量亦不限定於2，可為如2的乘方數(2，4，8…)。

再者，該非揮發性記憶裝置包含檢測用電晶體TR_S及讀出用電晶體TR_R。選擇用電晶體由寫入用電晶體TR_W與檢測用電晶體TR_S與讀出用電晶體TR_R構成。而檢測用電晶體TR_S的一端連接於具有特定電位Vcc的配線(如包含雜質層的電源線)，另一端經由讀出用電晶體TR_R連接於位元線BL，讀出儲存在構成第n個子記憶體單位SMU_1，SMU_2之各記憶體單元MC_{1m}，MC_{2m}內的資料時，第n個切換用電晶體TR_{SW1}，TR_{SW2}及讀出用電晶體TR_R處於接通狀態，依據儲存在各記憶體單元MC_{1m}，MC_{2m}內之資料，藉由共通之第一電極(共通節點CN_1，CN_2)產生的電位，以控制檢測用電晶體TR_S的工作。

具體而言，各種電晶體由MOS型FET構成，寫入用電晶體TR_W的一個源極/汲極區域連接於位元線BL，另一個源極/汲極區域連接於各切換用電晶體TR_{SW1}，TR_{SW2}之一個源極/汲極區域。此外，各切換用電晶體TR_{SW1}，TR_{SW2}的另一個源極/汲極區域連接於分別構成各子記憶體單位SMU_1，SMU_2的共通第一電極(共通節點CN_1，CN_2)。再者，檢測用電晶體TR_S的一個源極/汲極區域連接於具有特定電位Vcc的配線，另一個源極/汲極區域連接於讀出用電晶體TR_R的一個源極/汲極區域。此外，讀出用電晶體TR_R的另一個源極/汲極區域連接於位元線BL。再者，構成各子記憶體單

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（84　）

位SMU_1，SMU_2之共通第一電極(共通節點CN_1，CN_2或寫入用電晶體TR_W的另一個源極/汲極區域)連接於檢測用電晶體TR_S的閘極部。檢測用電晶體TR_S的另一個源極/汲極區域與讀出用電晶體TR_R的一個源極/汲極區域佔據一個源極/汲極區域。此外，構成寫入用電晶體TR_W之字線WL_W、構成讀出用電晶體TR_R之字線WL_R、及構成切換用電晶體TR_{SW1}，TR_{SW2}之字線WL_{SW1}，WL_{SW2}連接於字線解碼器/驅動器WD。另外，各屏極線PL_m連接於屏極線解碼器/驅動器PD。且位元線BL連接於感測放大器SA。

各子記憶體單位SMU_1，SMU_2的構造實質上與參照圖22說明之子記憶體單位SMU的構造相同，因此省略其詳細說明。另外，構成子記憶體單位SMU_1之共通第一電極(共通節點CN_1)經由設置於絕緣層26的連接孔28，與切換用電晶體TR_{SW1}的另一個源極/汲極區域連接，構成子記憶體單位SMU_2之共通第一電極(共通節點CN_2)經由設置於絕緣層26的連接孔28與切換用電晶體TR_{SW2}的另一個源極/汲極區域連接。此外，寫入用電晶體TR_W的一個源極/汲極區域及讀出用電晶體TR_R的另一個源極/汲極區域經由設置於下層絕緣層之連接孔25，連接於形成在下層絕緣層上的位元線BL。再者，切換用電晶體TR_{SW1}，TR_{SW2}的一個源極/汲極區域、寫入用電晶體TR_W的另一個源極/汲極區域、檢測用電晶體TR_S的閘極部(字線WL_S)經由設置於下層絕緣層的連接孔，連接於形成在下層絕緣層上的副位元線。該副位元線係向下層絕緣層上延伸，並連接於位元線BL。以上說明

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（85　　）

之構造可採與圖15所示之非揮發性記憶裝置概略相同的構造。

由於該非揮發性記憶裝置設有數個子記憶體單位，因此比參照圖22說明之非揮發性記憶裝置，可進一步縮小相當於1位元的單元面積。亦即，該非揮發性記憶裝置的大小(佔用面積)，基本上，在一個方向上，係由屏極線PL_M的間距與數量(M值)來決定，在與該方向直交的方向上，係由共通節點CN之間距與數量(N值)來決定。非揮發性記憶裝置所佔半導體基板區域的面積(大小)主要藉由切換用電晶體TR_{SW1}，TR_{SW2}所佔的面積(大小)來決定。寫入用電晶體TR_W、讀出用電晶體TR_R及檢測用電晶體TR_S可形成在半導體基板的空間區域，構成子記憶體單位數量(N)、構成子記憶體單位之記憶體單元數量(M)愈大，其空間區域的面積愈廣。因此，在半導體基板的空間區域形成寫入用電晶體TR_W、讀出用電晶體TR_R及檢測用電晶體TR_S時，可極為有效的利用半導體基板。

該非揮發性記憶裝置之資料寫入工作、資料讀出及再寫入工作，與附加藉由切換用電晶體TR_{SW1}，TR_{SW2}適切選擇子記憶體單位SMU_1，SMU_2的狀態下，參照圖22所說明之非揮發性記憶裝置中說明之資料寫入工作、資料讀出及再寫入工作相同，因此省略其詳細說明。

增益單元型之非揮發性記憶裝置，連接有檢測用電晶體之一端之配線的特定電位並不限定於Vcc，亦可予以接地。亦即，亦可使連接有檢測用電晶體之一端之配線的特

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（86　　）

定電位為0伏特。但是，此時讀出選擇記憶體單元內之資料時，位元線上呈現電位(Vcc)時，於再寫入時，須使位元線的電位為0伏特，於讀出選擇記憶體單元內之資料時，位元線上呈現0伏特時，於再寫入時，須使位元線的電位為Vcc。因此，可在位元線間設置包含圖26所示之電晶體TR_{IN-1}，TR_{IN-2}，TR_{IN-3}，TR_{IN-4}的一種切換電路(反轉電路)，讀出資料時，使電晶體TR_{IN-2}，TR_{IN-4}處於接通狀態，於再寫入資料時，使電晶體TR_{IN-1}，TR_{IN-3}處於接通狀態。

增益單元型之非揮發性記憶裝置係依據儲存在各記憶體單元內之資料，藉由共通之第一電極產生的電位來控制檢測用電晶體的工作，不過，由於第一電極在M個記憶體單元內共通，因此，處於第一電極上附加有一種追加之負載電容的狀態。結果，於讀出資料時，在屏極線上施加電壓時，可抑制第一電極的電位上昇，在第一電極與第二電極之間產生足夠之電位差，以致強介質層上確實產生極化反轉。

[發明之功效]

本發明之非揮發性記憶裝置的驅動方法，由於係讀出儲存在外部所指定之指定位址之記憶體單元內的資料，或是在該記憶體單元內寫入資料，因此可立即存取至所需的記憶體單元內。且因藉由本發明的構造寫入或再寫入資料至其他的記憶體單元內，因此可確實抑制其他記憶體單元發生干擾。且因非揮發性記憶裝置由包含數個記憶體單元的

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（87　）

記憶體單位構成，因此可減少相當於1位元的單元面積。

[圖式之簡單說明]

圖1係本發明第一種實施形態之強介質型非揮發性半導體記憶裝置之驅動方法的流程圖。

圖2係本發明第四種實施形態之強介質型非揮發性半導體記憶裝置之驅動方法的流程圖。

圖3係本發明第五種實施形態之強介質型非揮發性半導體記憶裝置之驅動方法的流程圖。

圖4係本發明第六種實施形態之強介質型非揮發性半導體記憶裝置之驅動方法的流程圖。

圖5係本發明第一種實施形態之強介質型非揮發性半導體記憶裝置的等效電路圖。

圖6係本發明第一種實施形態之強介質型非揮發性半導體記憶裝置之記憶體單位的部分模型剖面圖。

圖7係顯示本發明第一種實施形態之強介質型非揮發性半導體記憶裝置之資料讀出及再寫入工作的工作波形圖。

圖8係本發明第二種實施形態之強介質型非揮發性半導體記憶裝置的等效電路圖。

圖9係顯示本發明第二種實施形態及本發明第三種實施形態之強介質型非揮發性半導體記憶裝置之資料讀出及再寫入工作的工作波形圖。

圖10係本發明第三種實施形態之強介質型非揮發性半導體記憶裝置的等效電路圖。

圖11係顯示本發明第五種實施形態及特開平9-121032號

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（88　）

公報中所揭示之強介質型非揮發性半導體記憶裝置的工作波形圖。

圖12係圖8中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之記憶體單位的部分模型剖面圖。

圖13係圖8中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之變化形態的等效電路圖。

圖14係圖10中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之變化形態的等效電路圖。

圖15係圖13或圖14中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之記憶體單位的部分模型剖面圖。

圖16係圖8中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之其他變化形態的等效電路圖。

圖17係圖10中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之其他變化形態的等效電路圖。

圖18係圖16或圖17中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之記憶體單位的部分模型剖面圖。

圖19係圖18所示之強介質型非揮發性半導體記憶裝置之記憶體單位的部分模型剖面圖。

圖20係圖12所示之強介質型非揮發性半導體記憶裝置之變化形態之記憶體單位的部分模型剖面圖。

圖21係圖13或圖14中顯示等效電路圖之強介質型非揮發性半導體記憶裝置之變化形態之記憶體單位的部分模型剖面圖。

圖22係增益單元型強介質型非揮發性半導體記憶裝置的

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（89　　）

等效電路圖。

圖23係顯示增益單元型強介質型非揮發性半導體記憶裝置的工作波形圖。

圖24係顯示增益單元型強介質型非揮發性半導體記憶裝置的工作波形圖。

圖25係增益單元型強介質型非揮發性半導體記憶裝置之變化形態的等效電路圖。

圖26係顯示增益單元型強介質型非揮發性半導體記憶裝置中，使連接有檢測用電晶體之一端之配線的特定電位為0伏特時之設置於位元線間之一種切換電路的電路圖。

圖27係強介質的P-E磁滯迴路圖。

圖28係美國專利第4873664號公報所揭示之強介質型非揮發性半導體記憶裝置的等效電路圖。

圖29係特開平9-121032號公報所揭示之強介質型非揮發性半導體記憶裝置的等效電路圖。

[元件符號之說明]

WD…字線解碼器/驅動器，PD…屏極線解碼器/驅動器，SA…感測放大器，MU…記憶體單位，SMU…子記憶體單位，MC…記憶體單元，TR…選擇用電晶體，WL…字線，BL…位元線，PL…屏極線，CN…共通節點，10…命令解碼器，11…指定屏極線位址暫存器，12…屏極線位址計數器，13…單位位址暫存器，14…比較器，15…單位控制器，16…單位解碼器，20…矽半導體基板，21…元件分離區域，22…閘極絕緣膜，23…閘極，24…源極/汲極區域，

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝　訂　線

五、發明說明（90　）

25，28，36，46，56…連接孔，26，40，40A，50，50A，60，70A，80A，80B，90A，90B…絕緣層，27，35，45，55…開孔部，31，31A，31B，41，41A，41B，51，61…第一電極，32，32A，32B，42，42A，42B，52，62…強介質層，33，43，53，63…第二電極

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

A5
B5

四、中文發明摘要（發明之名稱：強介質型非揮發性半導體記憶裝置及其驅動方法）

本發明提供一種可抑制干擾之影響，並立即存取至所需記憶體單元之強介質型非揮發性半導體記憶裝置的驅動方法。此裝置包含：位元線、選擇用電晶體、包含M個記憶體單元之子記憶體單位、M條屏極(Plate)線、及包含連接於位元線之感測放大器的記憶體單位；各記憶體單元包含第一電極、強介質層與第二電極，構成子記憶體單位之記憶體單元的第一電極就子記憶體單位為共通，該共通之第一電極係經由選擇用電晶體連接於位元線，第二電極係連接於屏極線；其特徵在於：讀出儲存在自外部指定之指定位址之記憶體單元內的資料，於鎖存在感測放大器後，輸出被鎖存在感測放大器內之該資料。

日文發明摘要（發明之名稱："強誘電体型不揮発性半導体メモリ及びその駆動方法"）

【課題】ディスターブの影響を抑制しつつ、所望のメモリセルに直ちにアクセス可能な強誘電体型不揮発性半導体メモリの駆動方法を提供する。

【解決手段】ビット線と、選択用トランジスタと、M個のメモリセルから構成されたサブメモリユニットと、M本のプレート線と、ビット線に接続されたセンスアンプから成るメモリユニットから構成され、各メモリセルは、第１の電極と強誘電体層と第２の電極とから成り、サブメモリユニットを構成するメモリセルの第１の電極は、サブメモリユニットにおいて共通であり、該共通の第１の電極は、選択用トランジスタを介してビット線に接続され、第２の電極はプレート線に接続されている強誘電体型不揮発性半導体メモリの駆動方法にあっては、外部から指定された指定アドレスのメモリセルに記憶されたデータを読み出し、センスアンプにラッチした後、センスアンプにラッチされた該データを出力する。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

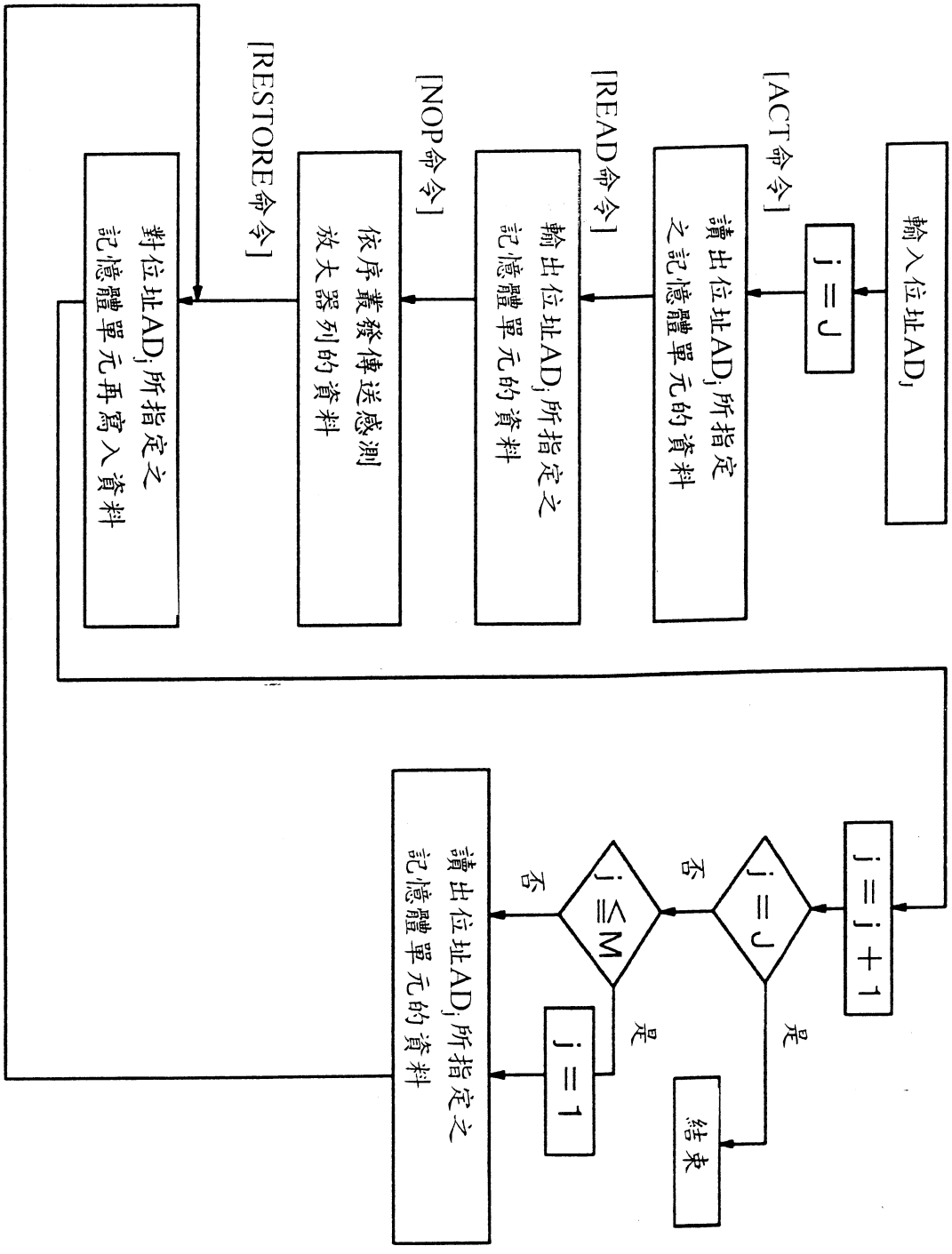

輸入位址ADj
j＝J
[ACT命令]
讀出位址ADj所指定之記憶體單元的資料
[READ命令]
輸出位址ADj所指定之記憶體單元的資料
[NOP命令]
依序叢發傳送感測放大器列的資料
[RESTORE命令]
對位址ADj所指定之記憶體單元再寫入資料
j＝j＋1
j＝J
否
是
結束
j≦M
否
是
j＝1
讀出位址ADj所指定之記憶體單元的資料

圖 1

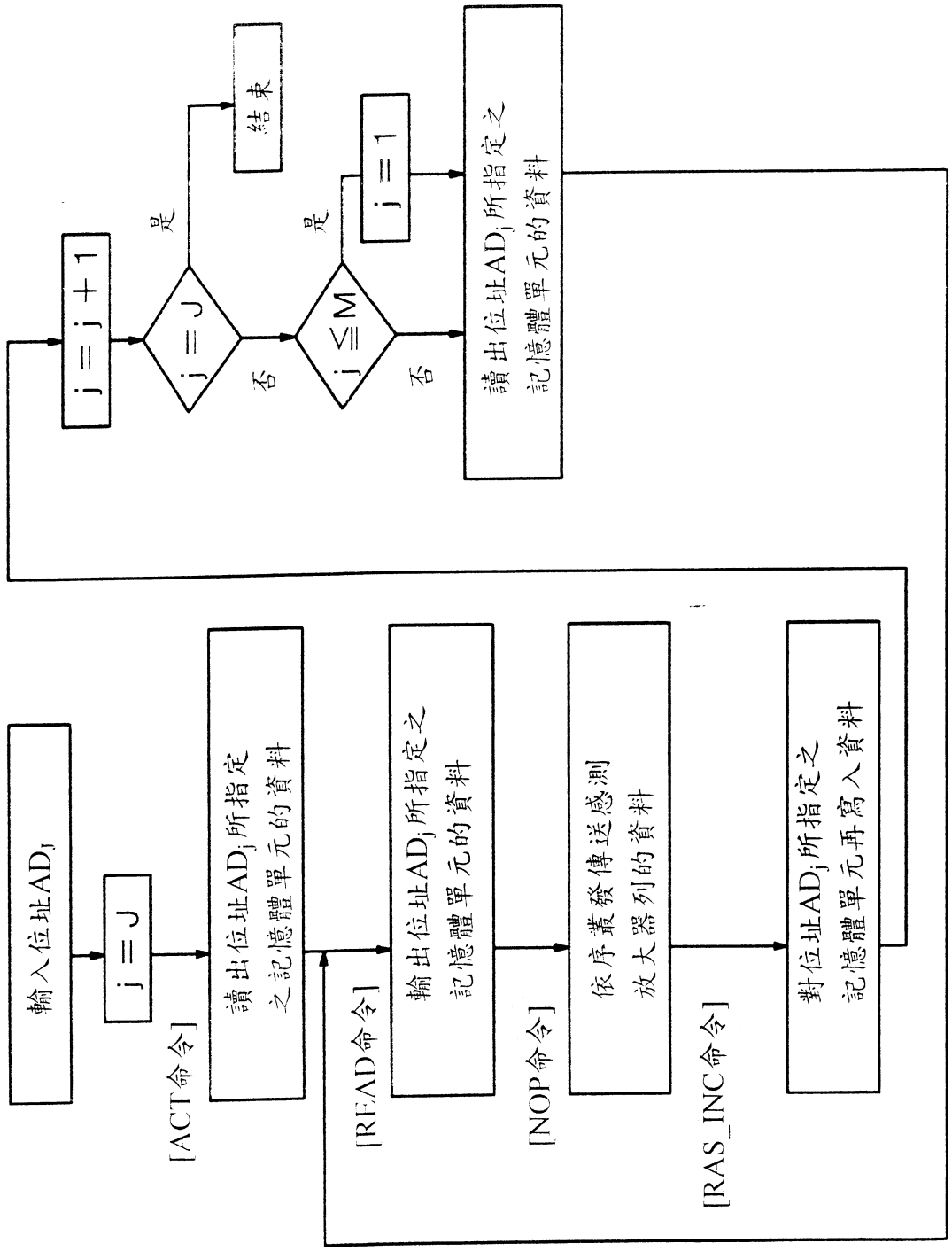

輸入位址AD$_i$
j = J
[ACT命令]
讀出位址AD$_j$所指定之記憶體單元的資料
[READ命令]
輸出位址AD$_j$所指定之記憶體單元的資料
[NOP命令]
依序叢發傳送感測放大器列的資料
[RAS_INC命令]
對位址AD$_j$所指定之記憶體單元再寫入資料
讀出位址AD$_j$所指定之記憶體單元的資料
j = 1
是
j ≦ M
否
是
j = J
否
結束
j = j + 1

圖 2

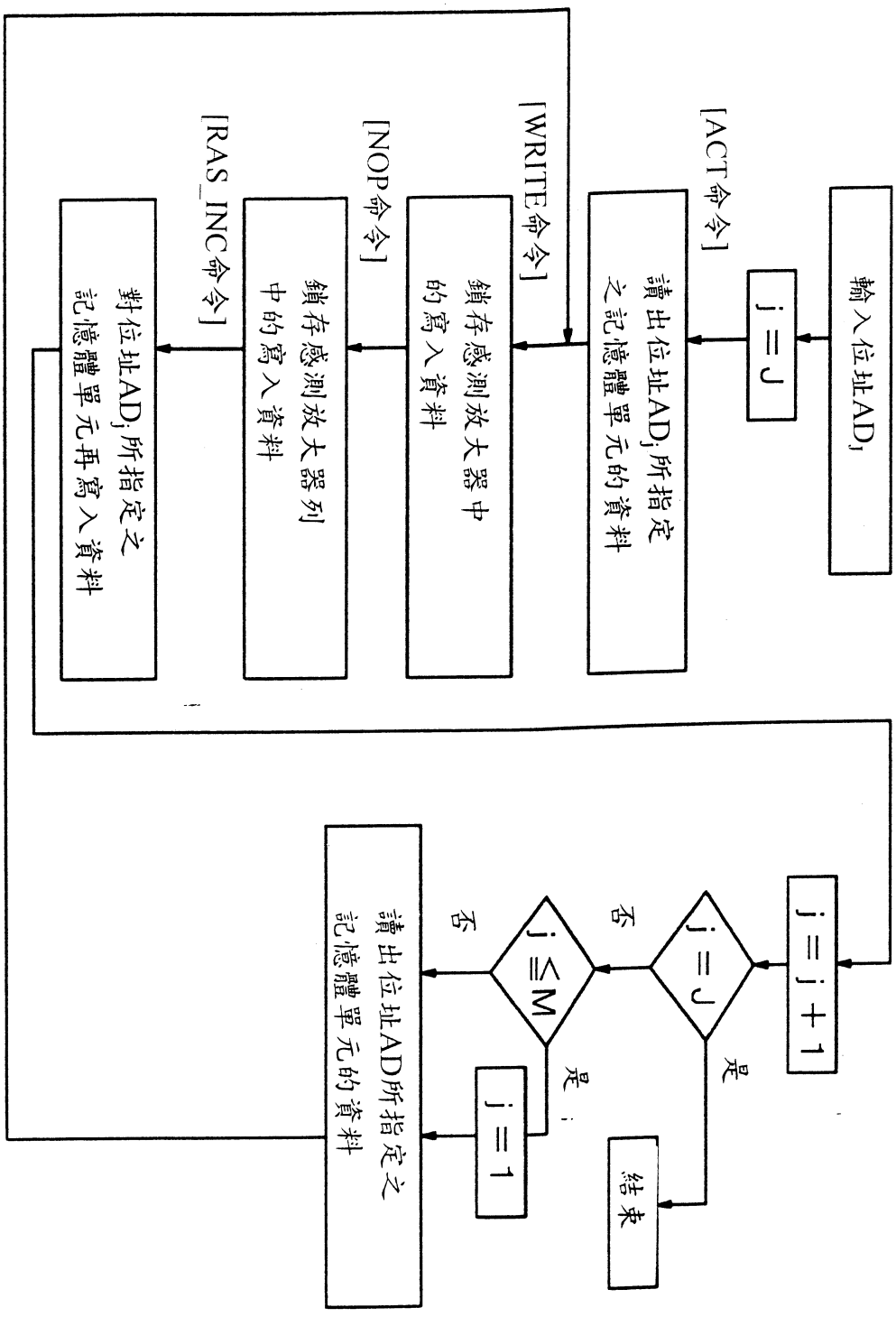

輸入位址ADj
j＝J
[ACT命令]
讀出位址ADj所指定之記憶體單元的資料
[WRITE命令]
鎖存感測放大器中的寫入資料
[NOP命令]
鎖存感測放大器列中的寫入資料
[RAS_INC命令]
對位址ADj所指定之記憶體單元再寫入資料
j＝j＋1
j＝J
是
結束
否
j≦M
是
j＝1
否
讀出位址AD所指定之記憶體單元的資料

圖 3

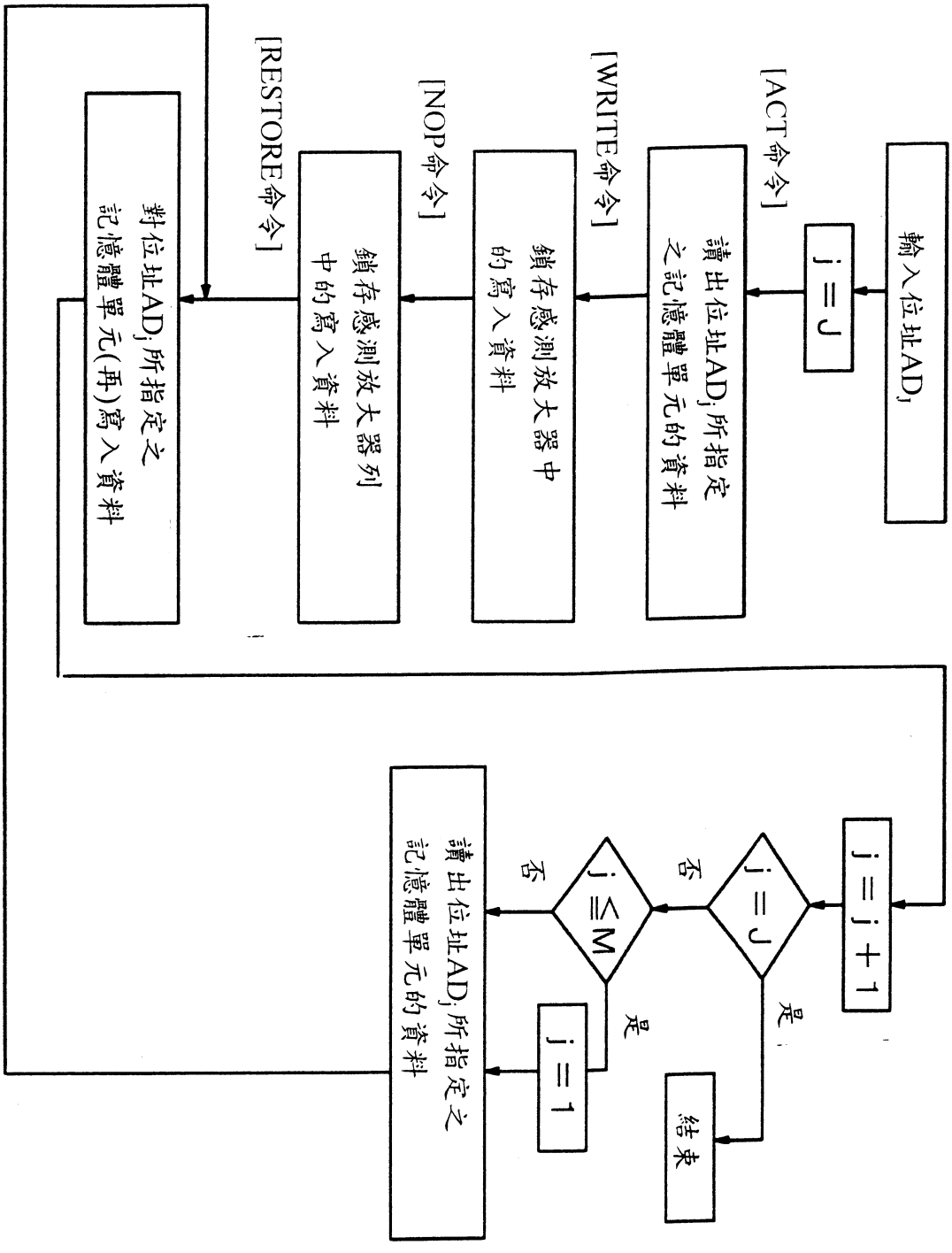

輸入位址ADj
j＝J
[ACT命令]
讀出位址ADj所指定之記憶體單元的資料
[WRITE命令]
鎖存感測放大器中的寫入資料
[NOP命令]
鎖存感測放大器列中的寫入資料
[RESTORE命令]
對位址ADj所指定之記憶體單元(再)寫入資料
j＝j＋1
j＝J
否
是
結束
j≦M
否
是
j＝1
讀出位址ADj所指定之記憶體單元的資料

圖 4

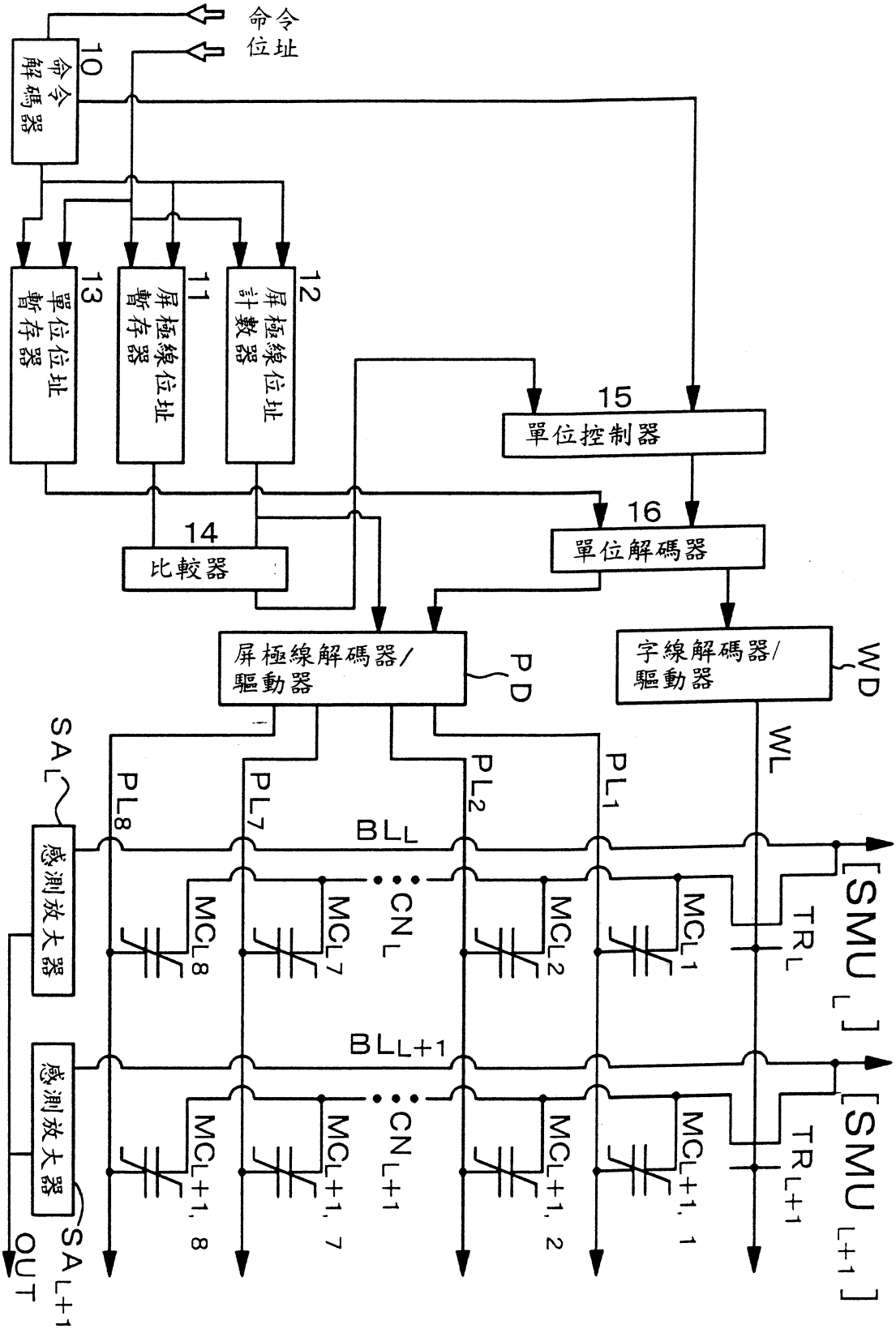

命令
位址
10
命令解碼器
11
屏極線位址暫存器
12
屏極線位址計數器
13
單位位址暫存器
14
比較器
15
單位控制器
16
單位解碼器
屏極線解碼器/驅動器
PD
字線解碼器/驅動器
WD
WL
SA L
感測放大器
PL8
PL7
PL2
PL1
BL L
CN L
MC L8
MC L7
MC L2
MC L1
TR L
[SMU L]
BL L+1
CN L+1
MC L+1, 8
MC L+1, 7
MC L+1, 2
MC L+1, 1
TR L+1
[SMU L+1]
SA L+1
OUT

圖 5

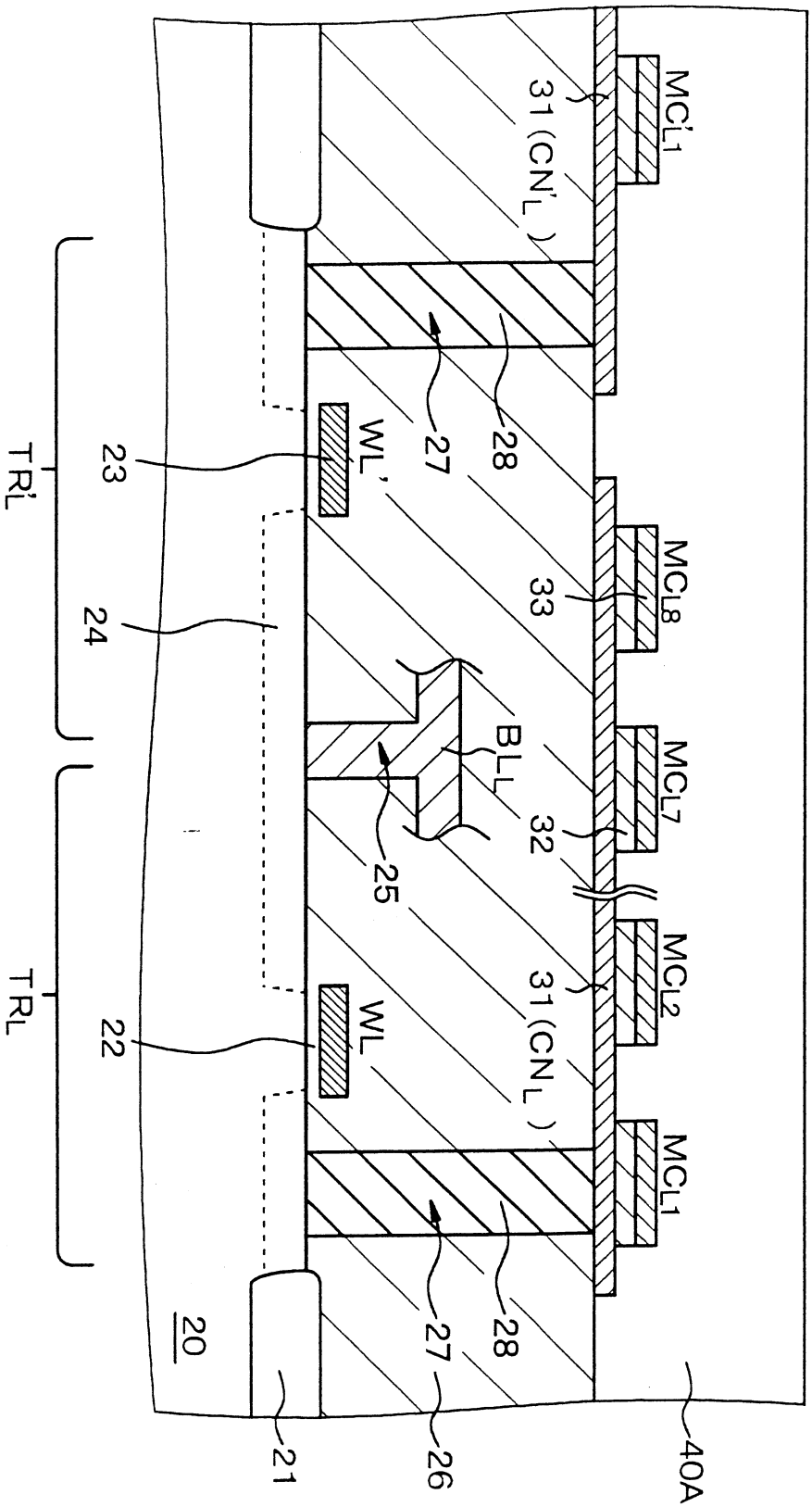

MC'L1
31 (CN'L)
27
28
WL'
23
TR'L
24
MCL8
33
BLL
MCL7
32
25
MCL2
31 (CNL)
WL
22
TRL
MCL1
27
28
20
21
26
40A

圖 6

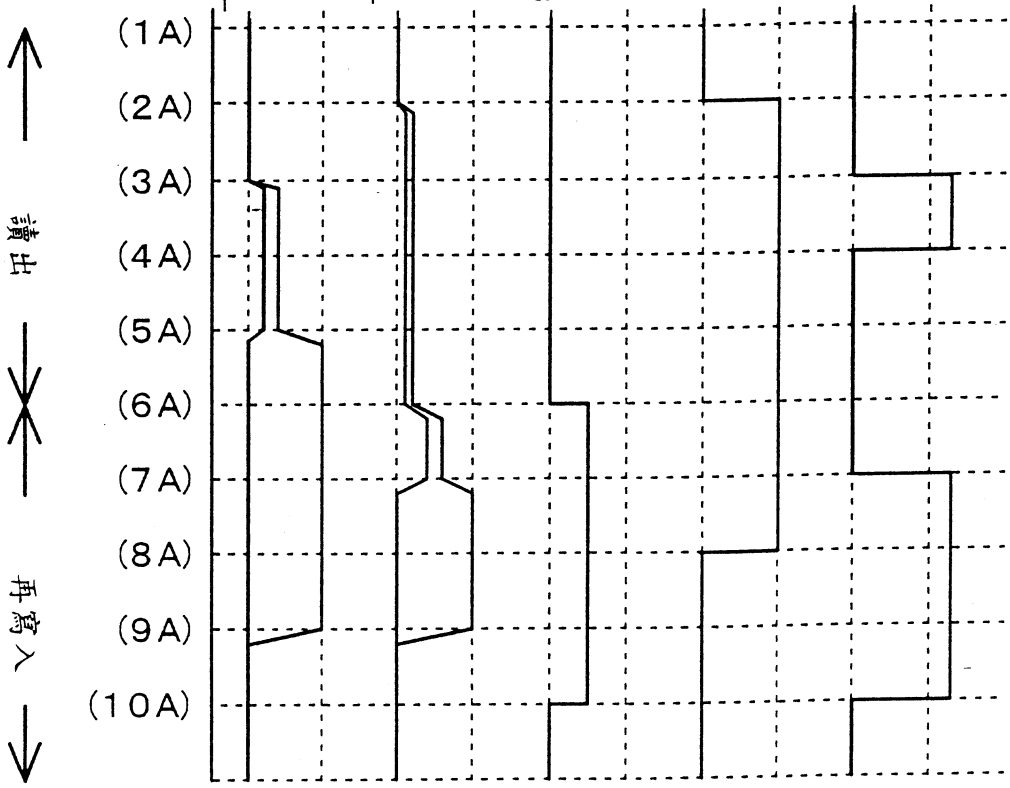

字線
WL
選擇屏極線
PL1
非選擇屏極線
PL2～PL8
共通節點
CNL
位元線
BLL
(1A)
(2A)
(3A)
(4A)
(5A)
(6A)
(7A)
(8A)
(9A)
(10A)
讀出
再寫入

圖 7

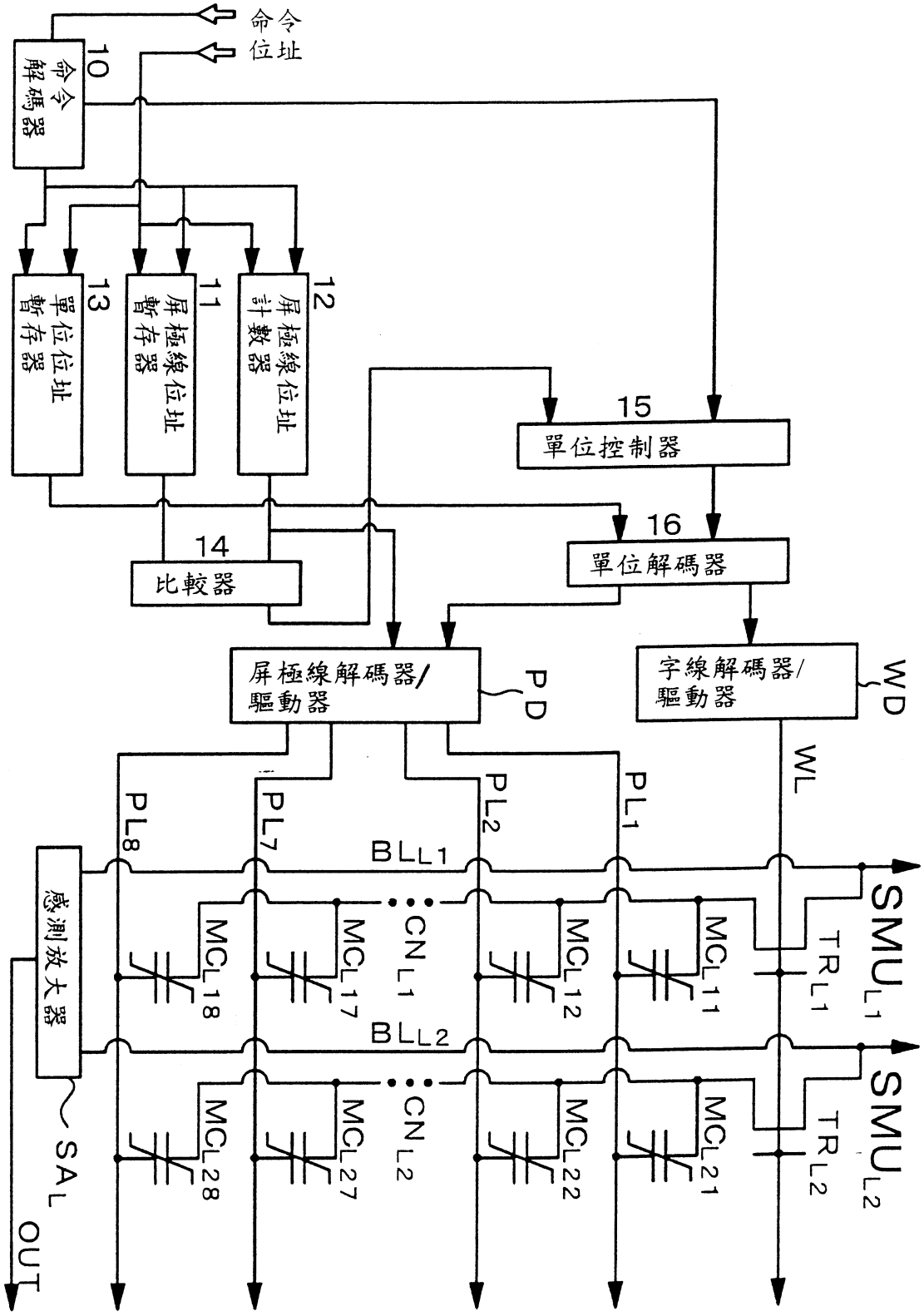

命令位址
10
命令解碼器
11
屏極線位址暫存器
12
屏極線位址計數器
13
單位位址暫存器
14
比較器
15
單位控制器
16
單位解碼器
屏極線解碼器/驅動器
PD
字線解碼器/驅動器
WD
WL
PL8
PL7
PL2
PL1
BL1
BL2
CNL1
CNL2
MCL18
MCL17
MCL12
MCL11
MCL28
MCL27
MCL22
MCL21
TRL1
TRL2
SMUL1
SMUL2
感測放大器
SAL
OUT

圖 8

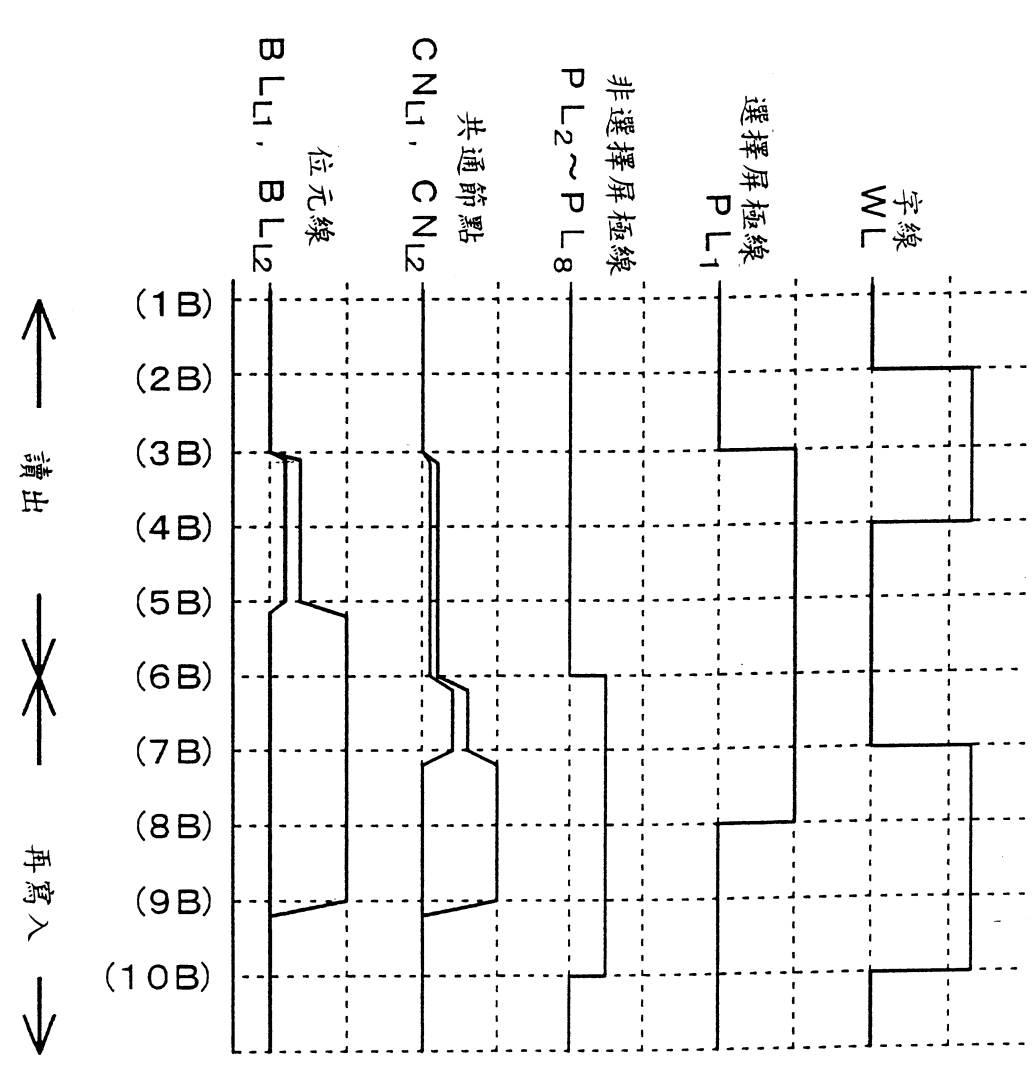

字線
WL
選擇屏極線
PL1
非選擇屏極線
PL2～PL8
共通節點
CNL1，CNL2
位元線
BLL1，BLL2
(1B)
(2B)
(3B)
(4B)
(5B)
(6B)
(7B)
(8B)
(9B)
(10B)
讀出
再寫入

圖 9

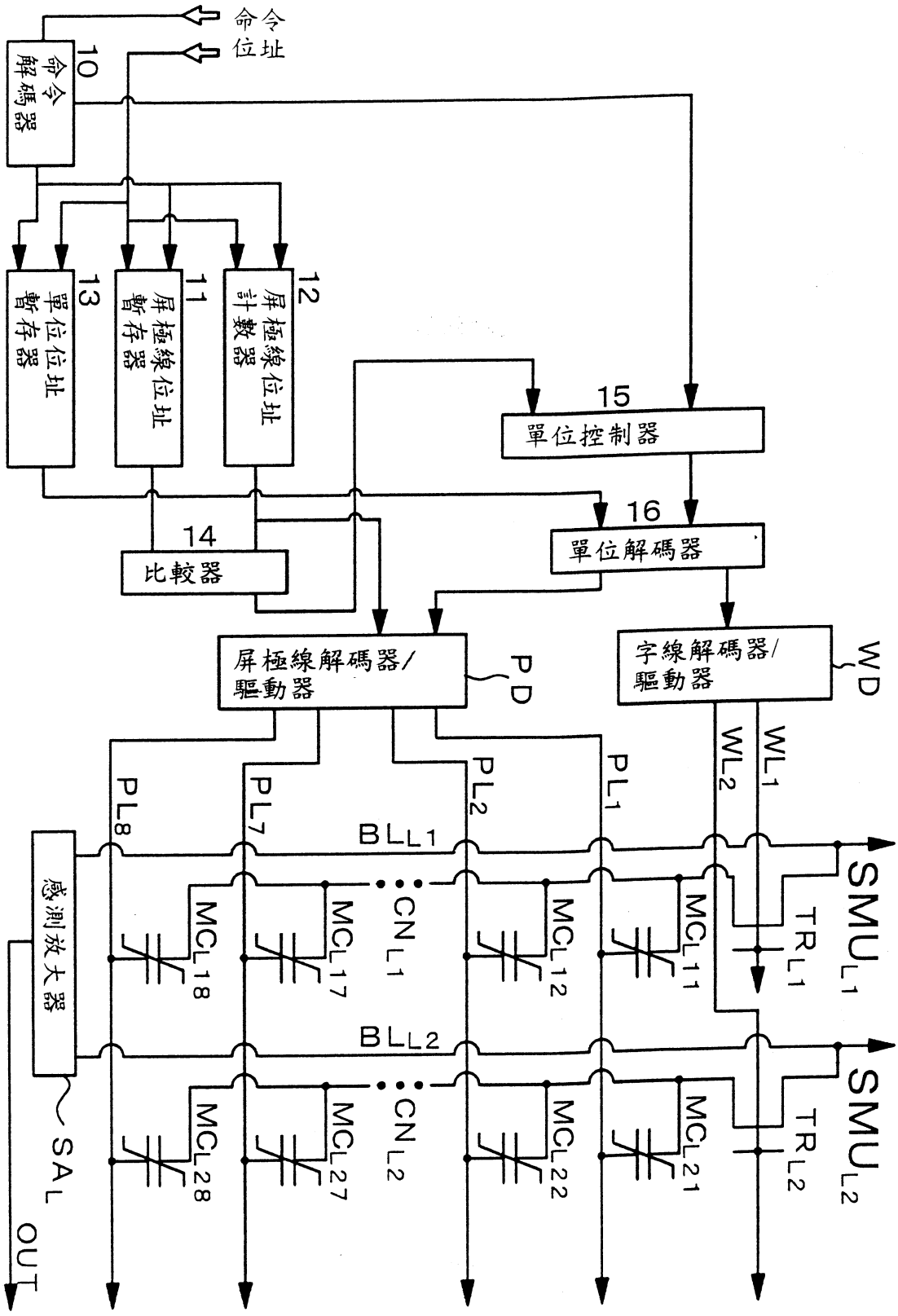

命令位址
命令解碼器
10
屏極線位址暫存器
11
屏極線位址計數器
12
單位位址暫存器
13
比較器
14
單位控制器
15
單位解碼器
16
屏極線解碼器/驅動器
PD
字線解碼器/驅動器
WD
PL8
PL7
PL2
PL1
WL2
WL1
BL1
BL2
感測放大器
SAL
OUT
SMUL1
SMUL2
TRL1
TRL2
MCL18
MCL17
CNL1
MCL12
MCL11
MCL28
MCL27
CNL2
MCL22
MCL21

圖 10

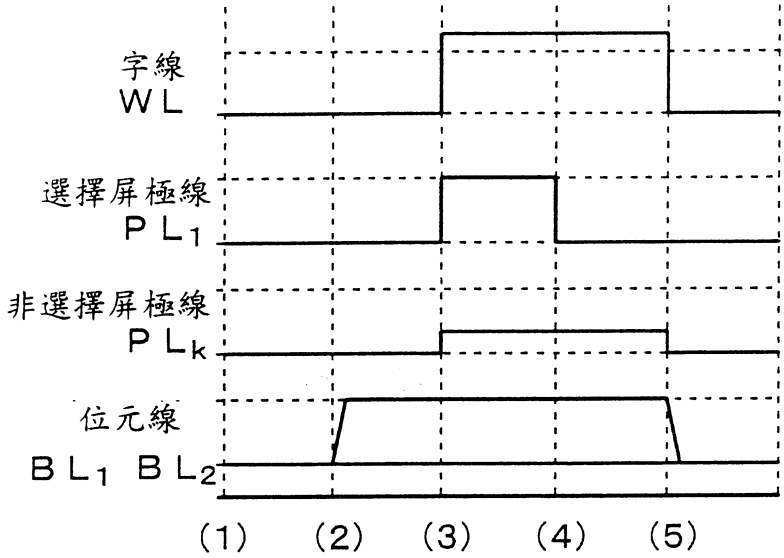


圖 11

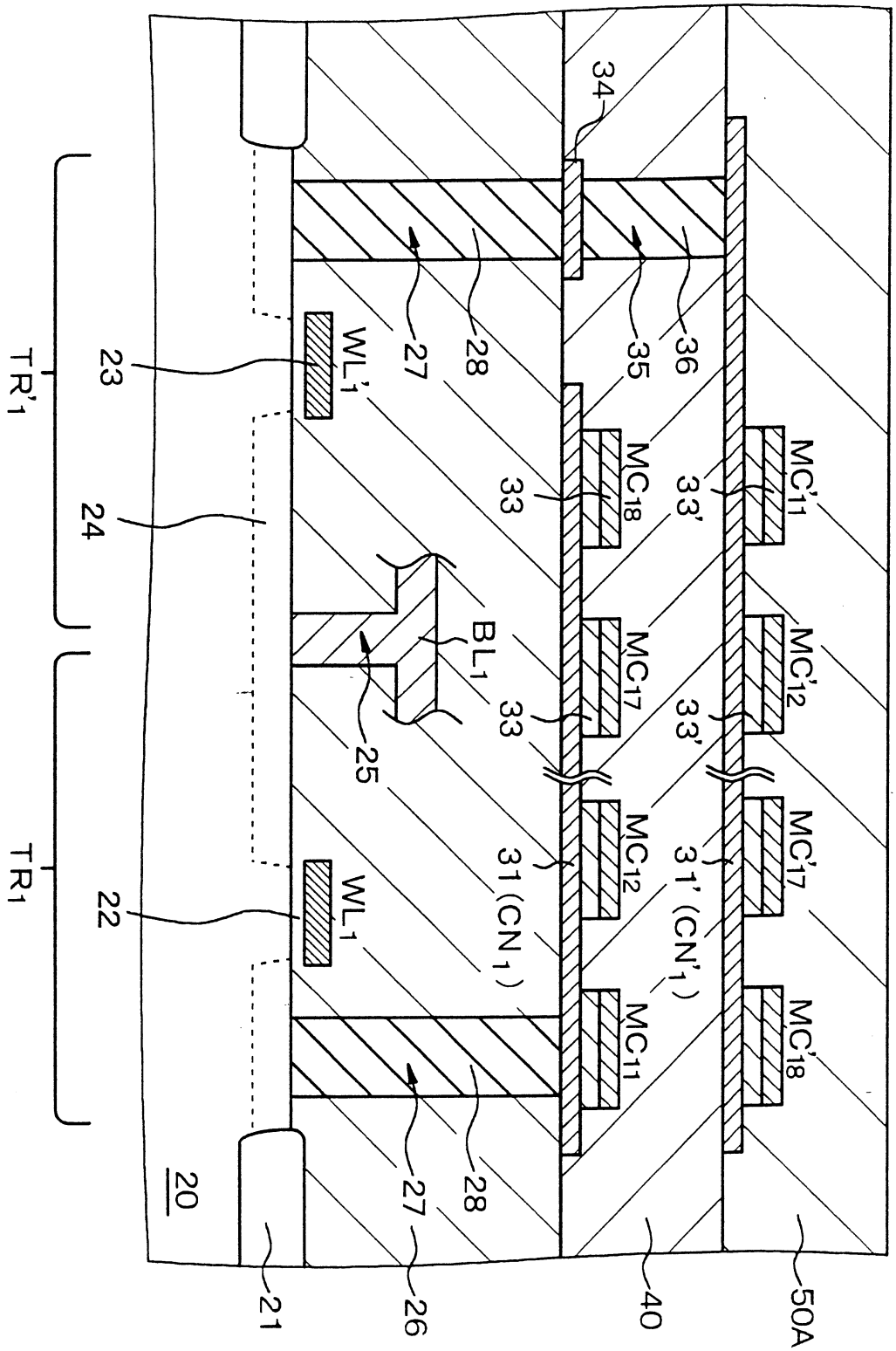

MC'11
MC'12
MC'17
MC'18
MC18
MC17
MC12
MC11
33
33'
31 (CN1)
31' (CN'1)
BL1
WL'1
WL1
TR'1
TR1
23
24
22
25
27
28
35
36
34
20
21
26
40
50A

圖 12

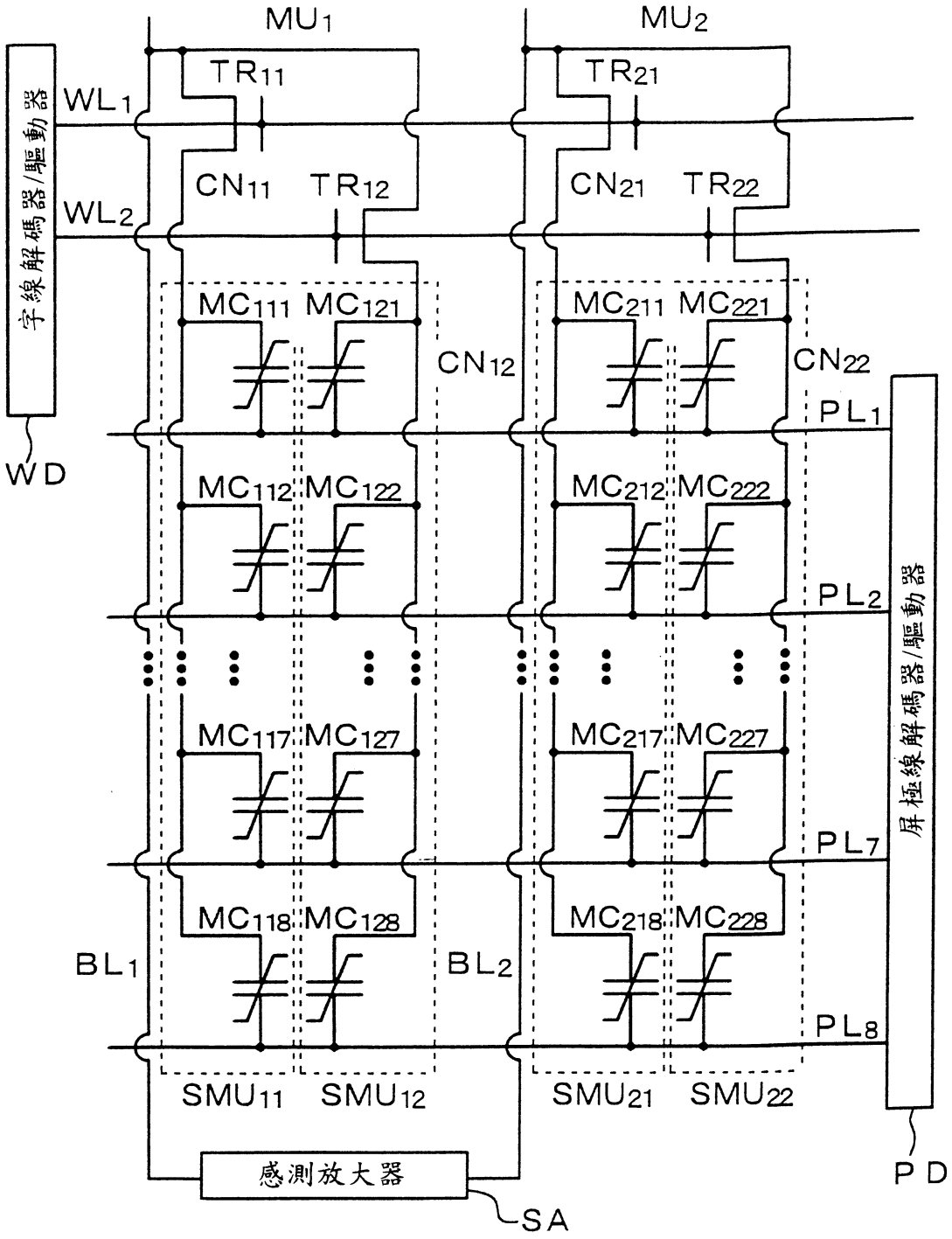

MU1
MU2
TR11
TR21
WL1
CN11
TR12
CN21
TR22
WL2
字線解碼器/驅動器
MC111 MC121
MC211 MC221
CN12
CN22
PL1
WD
MC112 MC122
MC212 MC222
PL2
MC117 MC127
MC217 MC227
PL7
MC118 MC128
MC218 MC228
BL1
BL2
PL8
屏極線解碼器/驅動器
SMU11 SMU12
SMU21 SMU22
感測放大器
SA
PD

圖 13

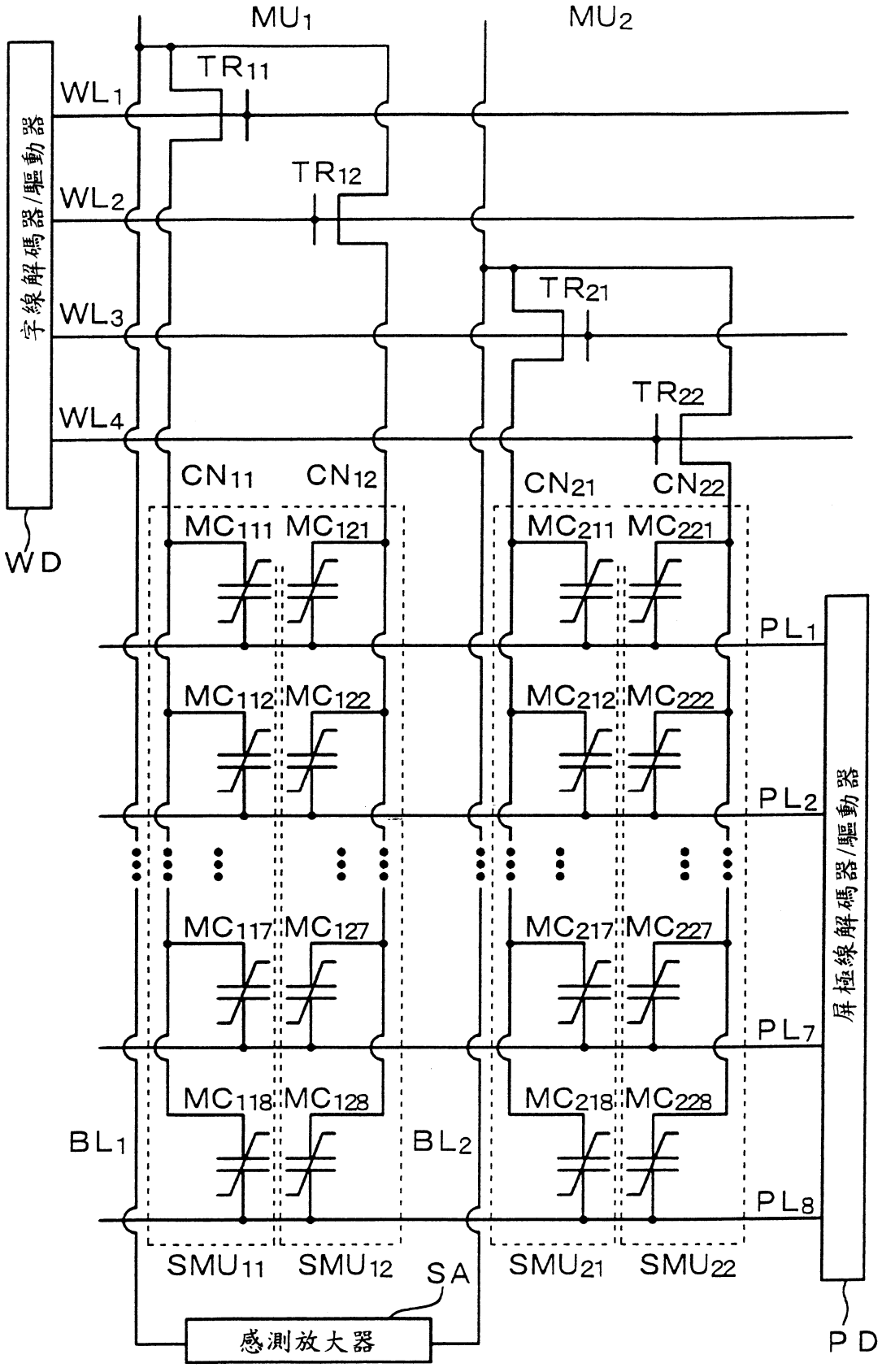

MU1
MU2
TR11
TR12
TR21
TR22
WL1
WL2
WL3
WL4
字線解碼器/驅動器
WD
CN11
CN12
CN21
CN22
MC111
MC121
MC211
MC221
MC112
MC122
MC212
MC222
MC117
MC127
MC217
MC227
MC118
MC128
MC218
MC228
PL1
PL2
PL7
PL8
屏極線解碼器/驅動器
PD
BL1
BL2
SMU11
SMU12
SMU21
SMU22
SA
感測放大器

圖 14

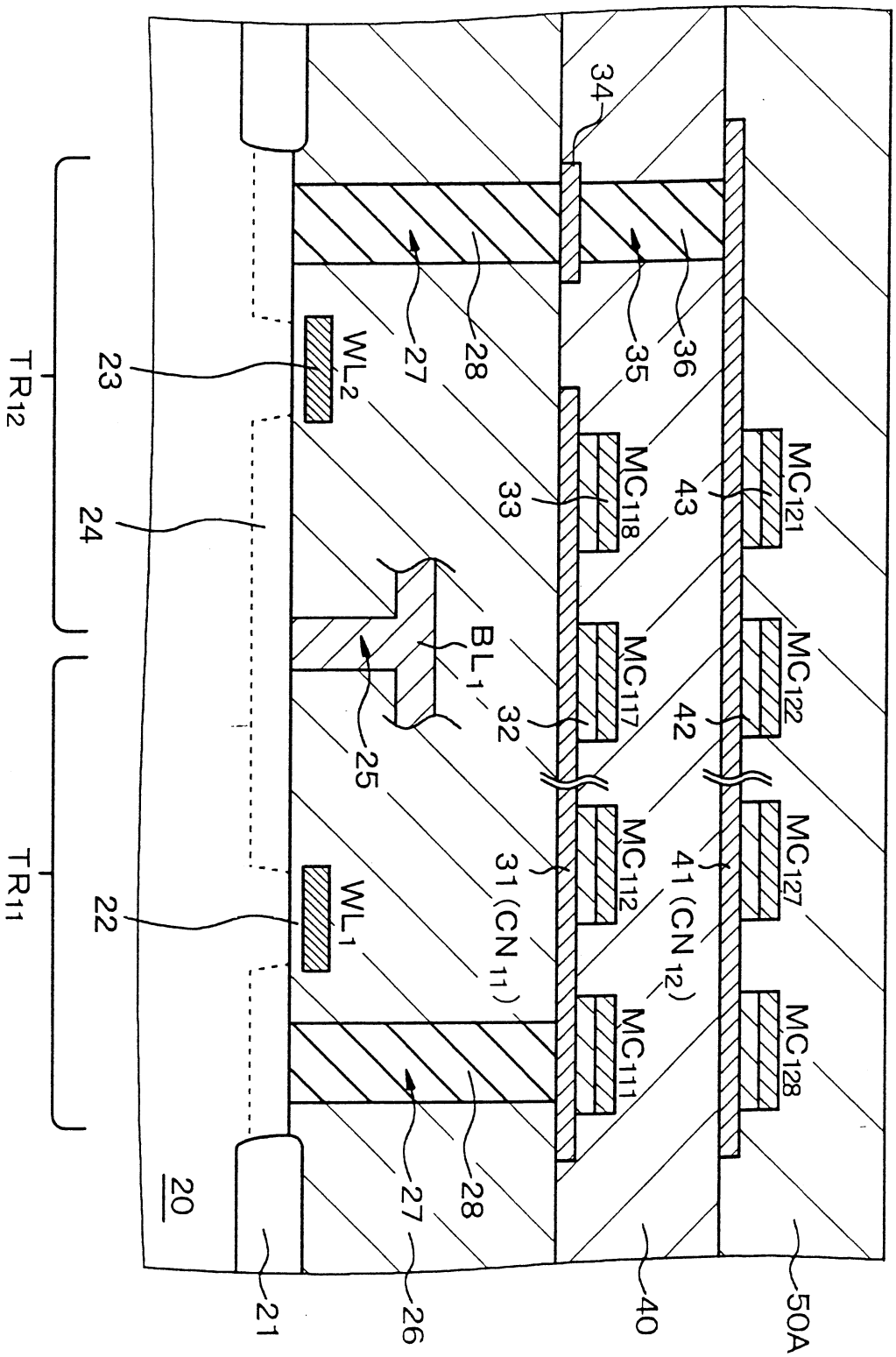

MC121
MC122
MC127
MC128
MC118
MC117
MC112
MC111
34
36
35
43
42
41 (CN12)
33
32
31 (CN11)
BL1
WL2
WL1
27
28
25
23
24
22
TR12
TR11
20
21
26
40
50A

圖 15

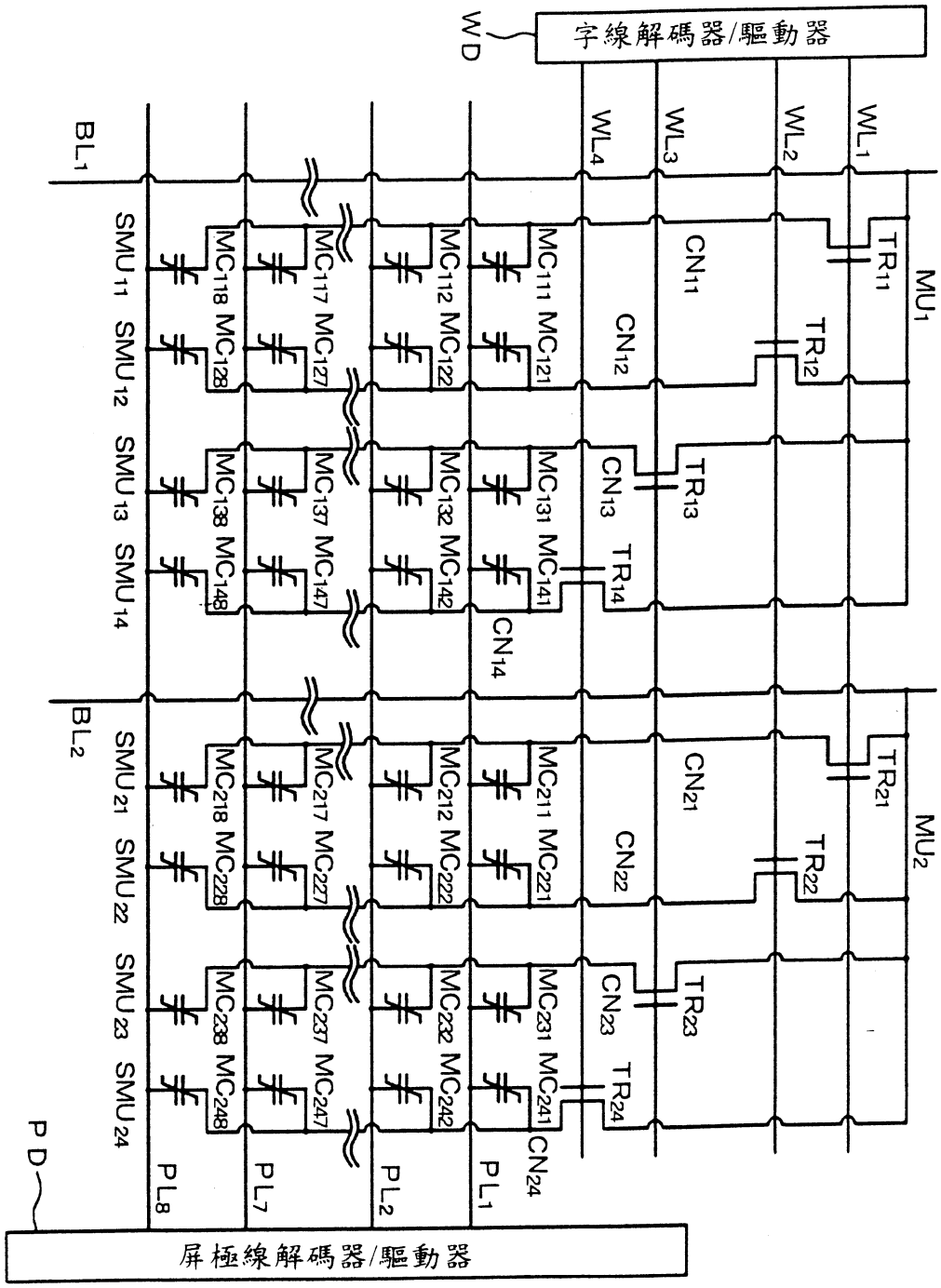

字線解碼器/驅動器
WD
WL1
WL2
WL3
WL4
MU1
MU2
TR11
TR12
TR13
TR14
TR21
TR22
TR23
TR24
CN11
CN12
CN13
CN14
CN21
CN22
CN23
CN24
BL1
BL2
SMU11
SMU12
SMU13
SMU14
SMU21
SMU22
SMU23
SMU24
MC111
MC112
MC117
MC118
MC121
MC122
MC127
MC128
MC131
MC132
MC137
MC138
MC141
MC142
MC147
MC148
MC211
MC212
MC217
MC218
MC221
MC222
MC227
MC228
MC231
MC232
MC237
MC238
MC241
MC242
MC247
MC248
PL1
PL2
PL7
PL8
PD
屏極線解碼器/驅動器

圖 16

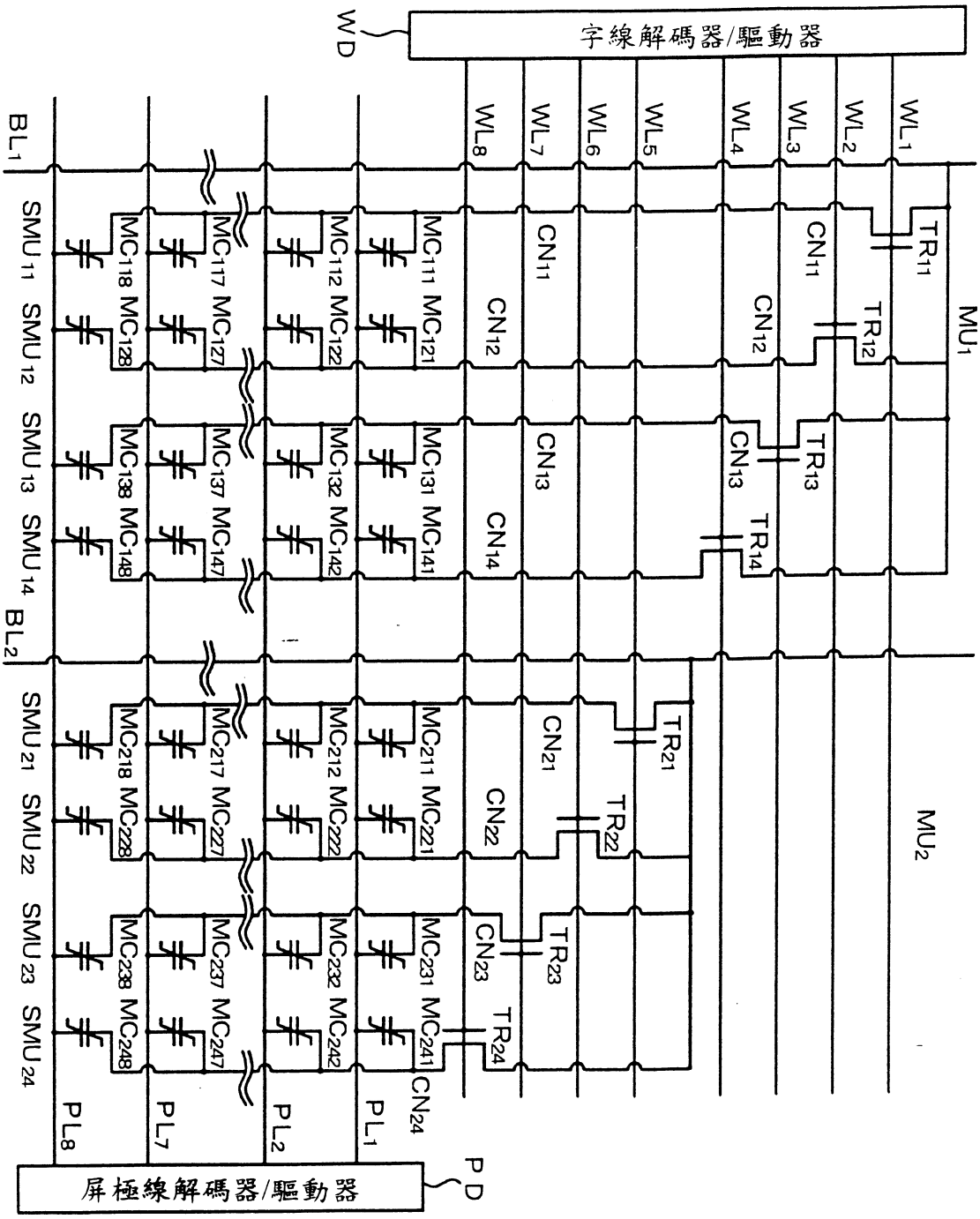

字線解碼器/驅動器
WD
WL1
WL2
WL3
WL4
WL5
WL6
WL7
WL8
MU1
MU2
TR11
TR12
TR13
TR14
TR21
TR22
TR23
TR24
CN11
CN12
CN13
CN14
CN21
CN22
CN23
CN24
BL1
BL2
SMU11
SMU12
SMU13
SMU14
SMU21
SMU22
SMU23
SMU24
MC111
MC112
MC117
MC118
MC121
MC122
MC127
MC128
MC131
MC132
MC137
MC138
MC141
MC142
MC147
MC148
MC211
MC212
MC217
MC218
MC221
MC222
MC227
MC228
MC231
MC232
MC237
MC238
MC241
MC242
MC247
MC248
PL1
PL2
PL7
PL8
PD
屏極線解碼器/驅動器

圖 17

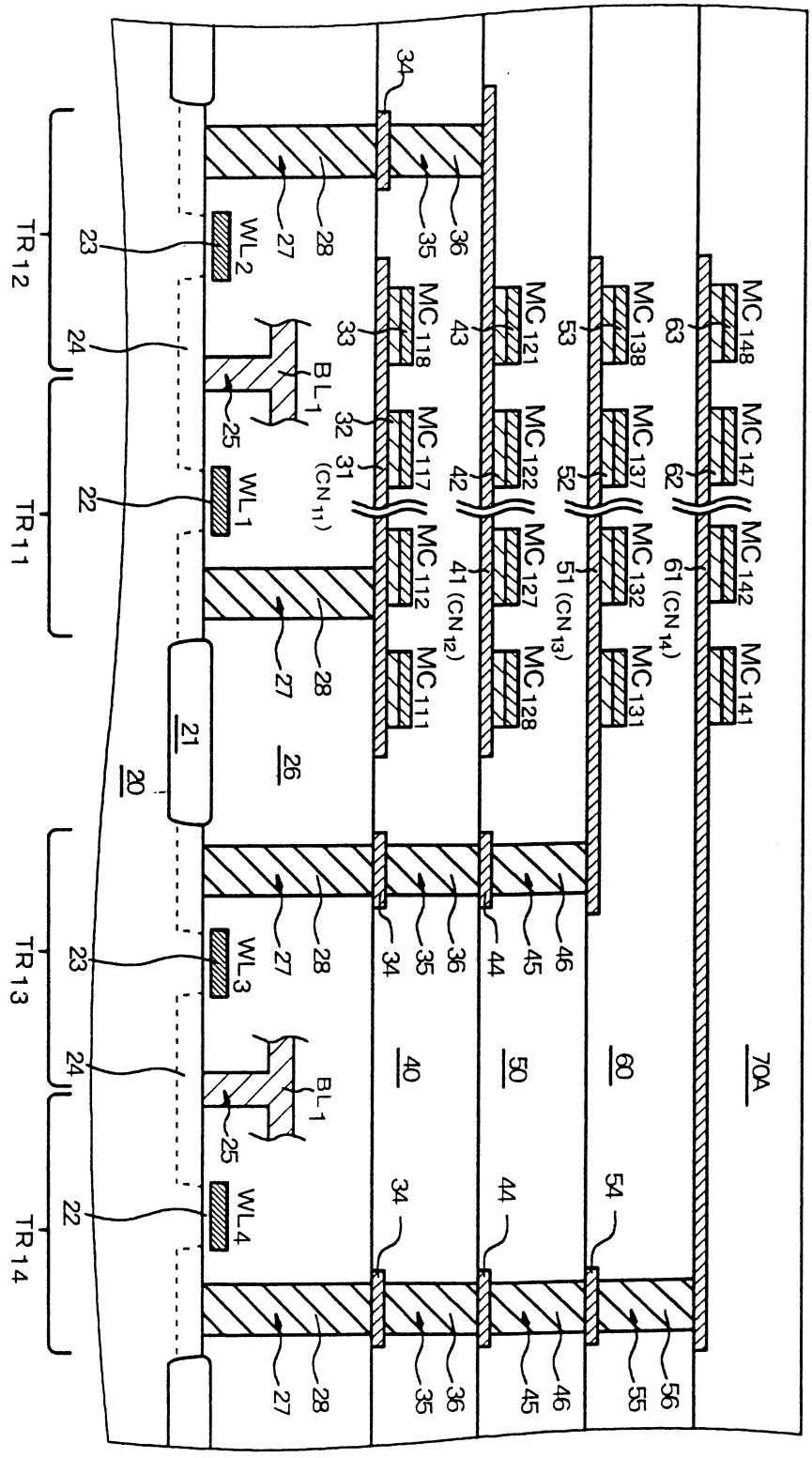

MC148
MC147
MC142
MC141
63
62
61 (CN14)
MC138
MC137
MC132
MC131
53
52
51 (CN13)
MC121
MC122
MC127
MC128
34
43
42
41 (CN12)
MC118
MC117
MC112
MC111
33
32
31 (CN11)
BL1
WL2
WL1
WL3
WL4
TR12
TR11
TR13
TR14
70A
60
50
40
20
21
22
23
24
25
26
27
28
35
36
44
45
46
54
55
56

圖 18

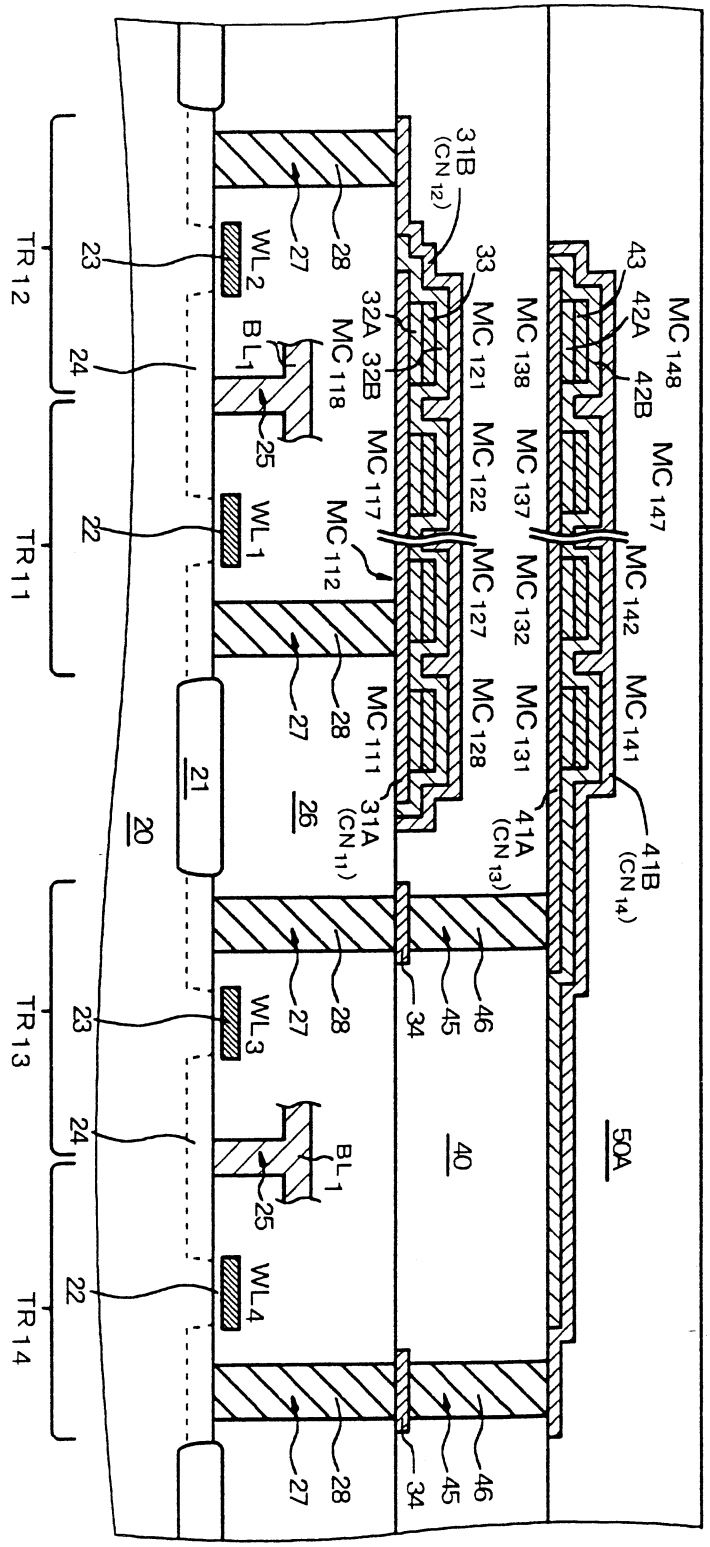
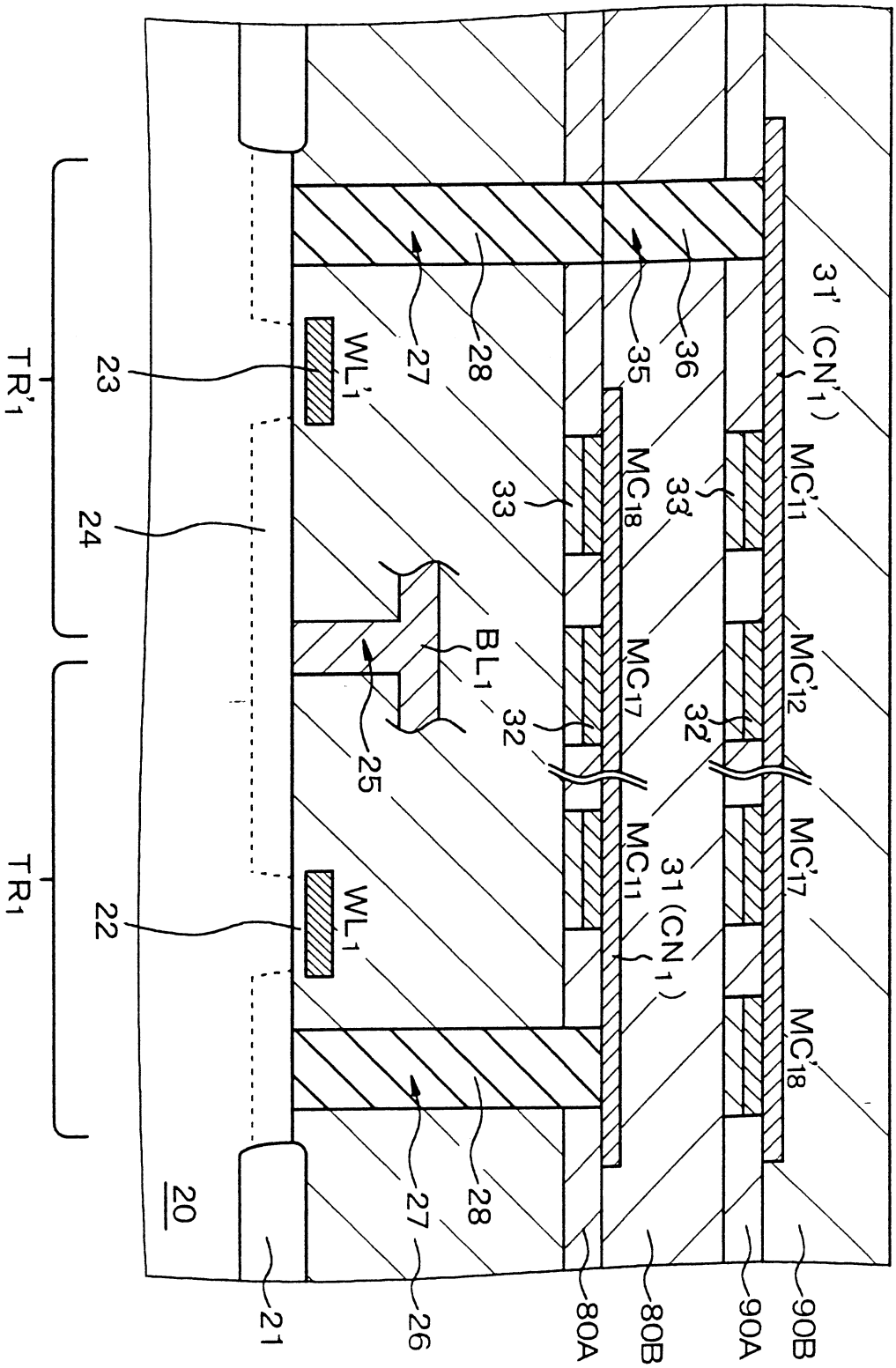

MC 148
43
42A
42B
MC 147
MC 142
MC 141
41B (CN 14)
MC 138
MC 137
MC 132
MC 131
41A (CN 13)
MC 121
MC 122
MC 127
MC 128
MC 117
MC 112
MC 111
31B (CN 12)
33
32A
32B
31A (CN 11)
MC 118
BL 1
WL 2
WL 1
WL 3
WL 4
TR 12
TR 11
TR 13
TR 14
20
21
22
23
24
25
26
27
28
34
40
45
46
50A

圖 19



TR'1
TR1
23
24
22
WL'1
WL1
BL1
25
27
28
35
36
33
33'
32
32'
31'(CN'1)
31(CN1)
MC'11
MC'12
MC'17
MC'18
MC18
MC17
MC11
20
21
26
80A
80B
90A
90B

圖 20

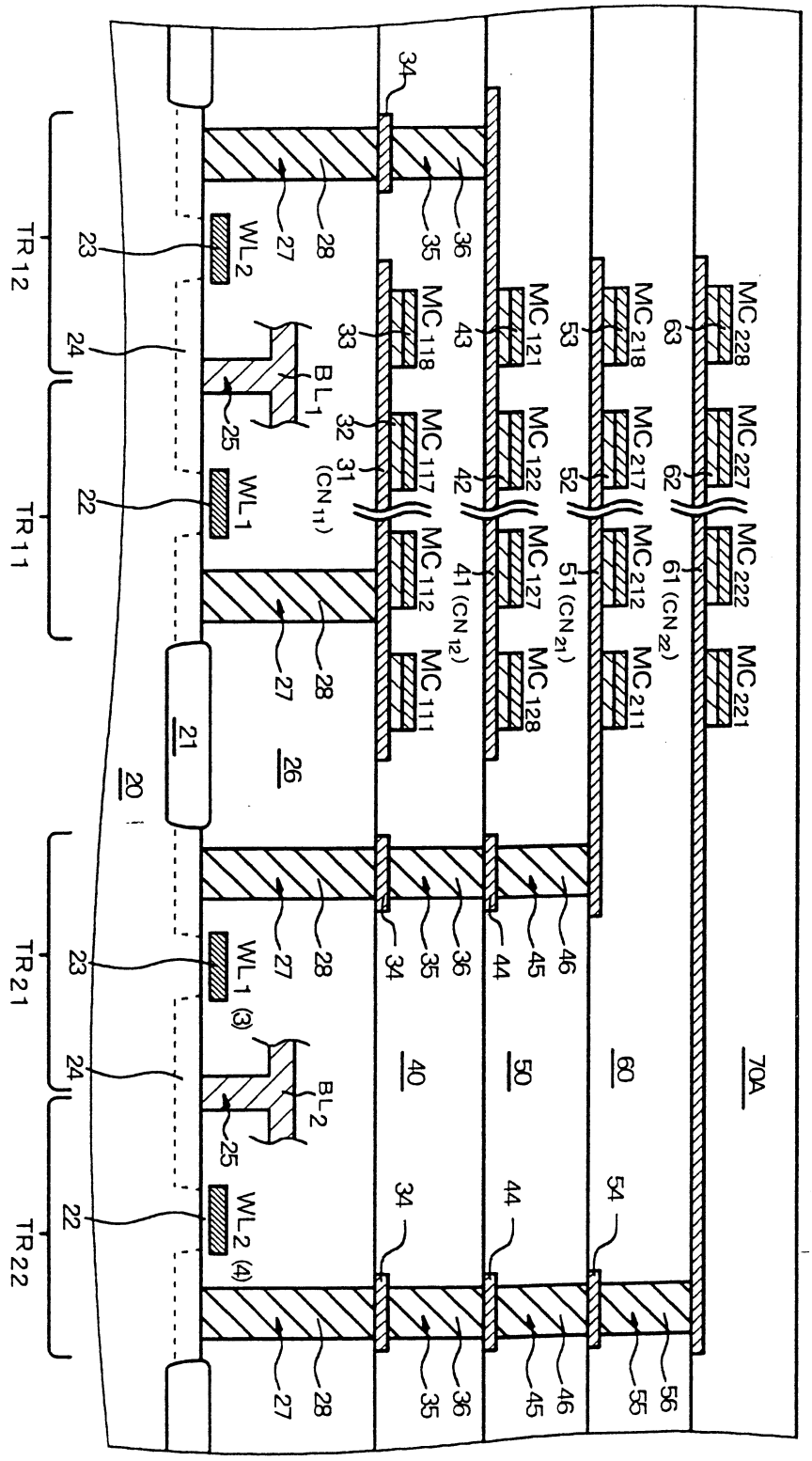

MC 228
MC 227
MC 222
MC 221
MC 218
MC 217
MC 212
MC 211
MC 121
MC 122
MC 127
MC 128
MC 118
MC 117
MC 112
MC 111
BL1
BL2
WL1
WL2
WL1 (3)
WL2 (4)
TR12
TR11
TR21
TR22
20
21
22
23
24
25
26
27
28
31 (CN11)
32
33
34
35
36
40
41 (CN12)
42
43
44
45
46
50
51 (CN21)
52
53
54
55
56
60
61 (CN22)
62
63
70A

圖 21

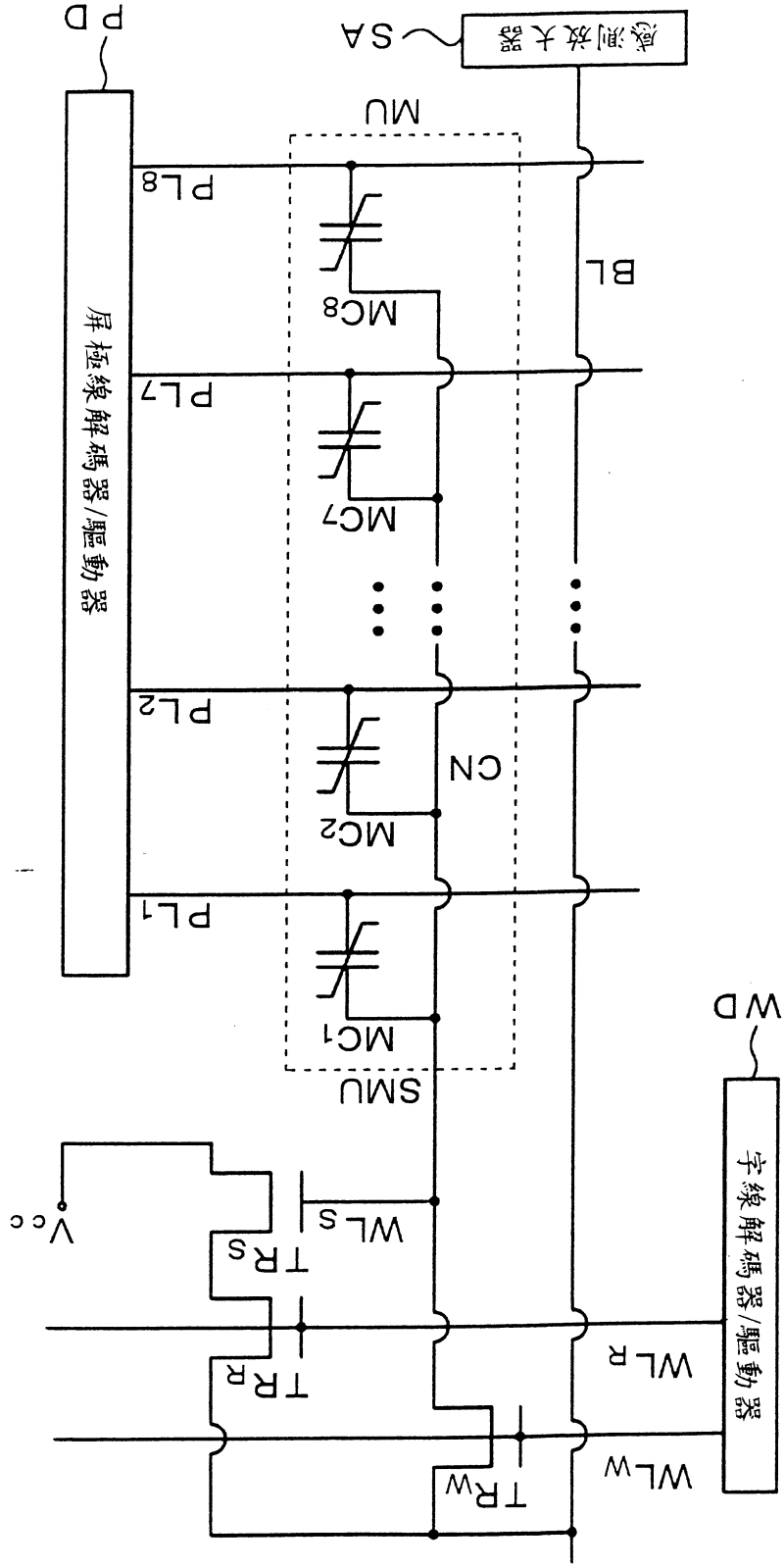

感測放大器
SA
PD
MU
BL
PL8
MC8
PL7
MC7
PL2
MC2
CN
PL1
MC1
SMU
屏極線解碼器/驅動器
WD
字線解碼器/驅動器
WLW
WLR
WLS
TRW
TRR
TRS
Vcc

圖 22

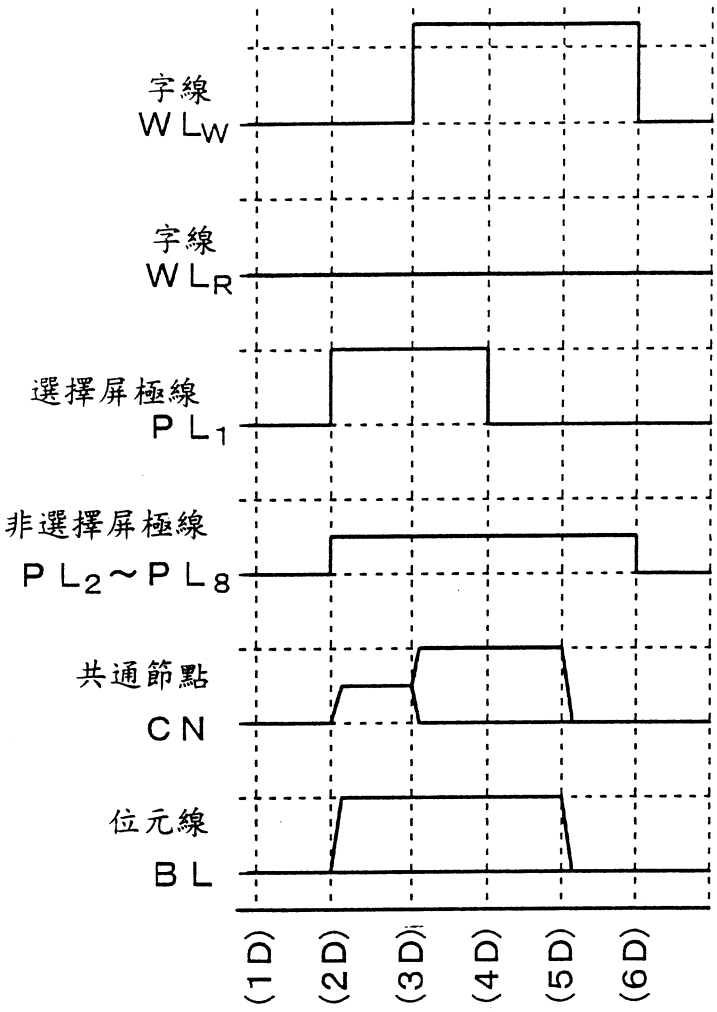

字線
WLW
字線
WLR
選擇屏極線
PL1
非選擇屏極線
PL2～PL8
共通節點
CN
位元線
BL
(1D)
(2D)
(3D)
(4D)
(5D)
(6D)

圖 23

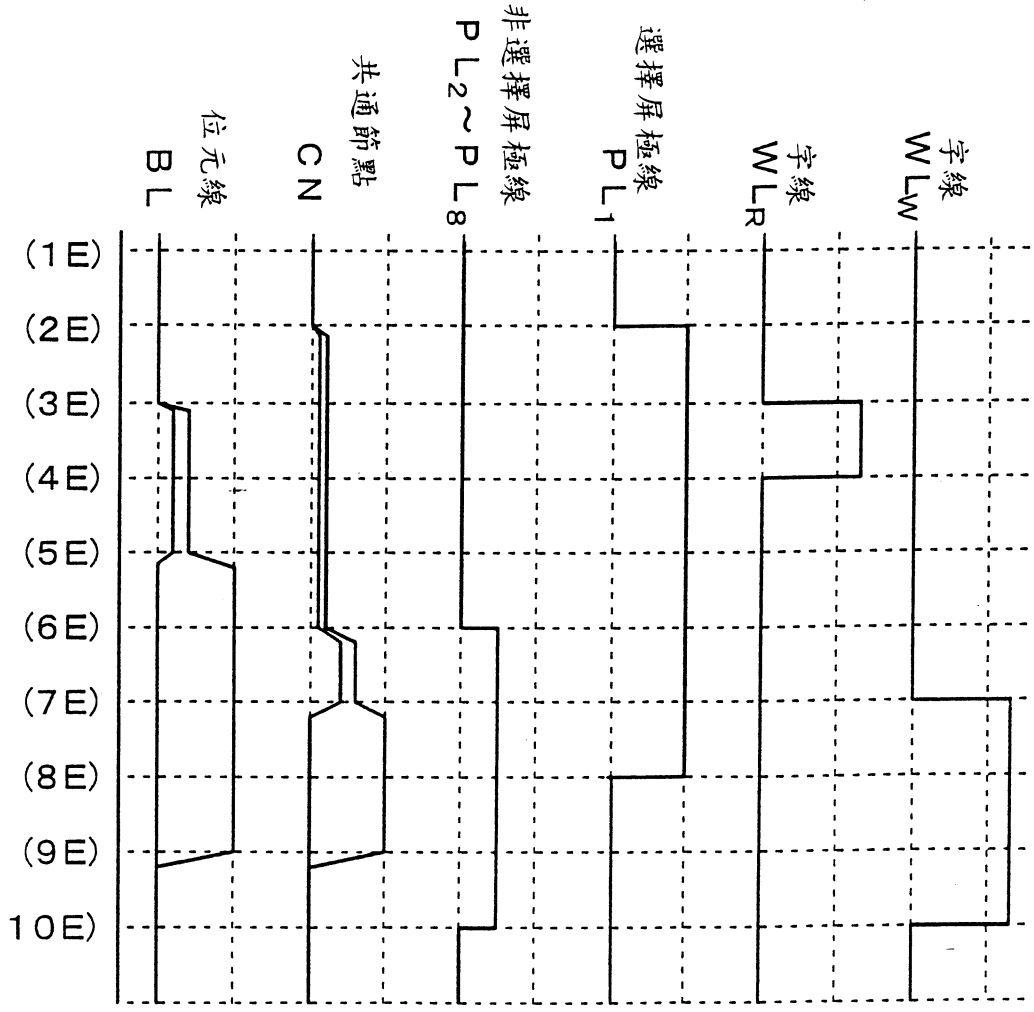

字線
WLW
字線
WLR
選擇屏極線
PL1
非選擇屏極線
PL2～PL8
共通節點
CN
位元線
BL
(1Ⅲ)
(2Ⅲ)
(3Ⅲ)
(4Ⅲ)
(5Ⅲ)
(6Ⅲ)
(7Ⅲ)
(8Ⅲ)
(9Ⅲ)
10Ⅲ)

圖 24

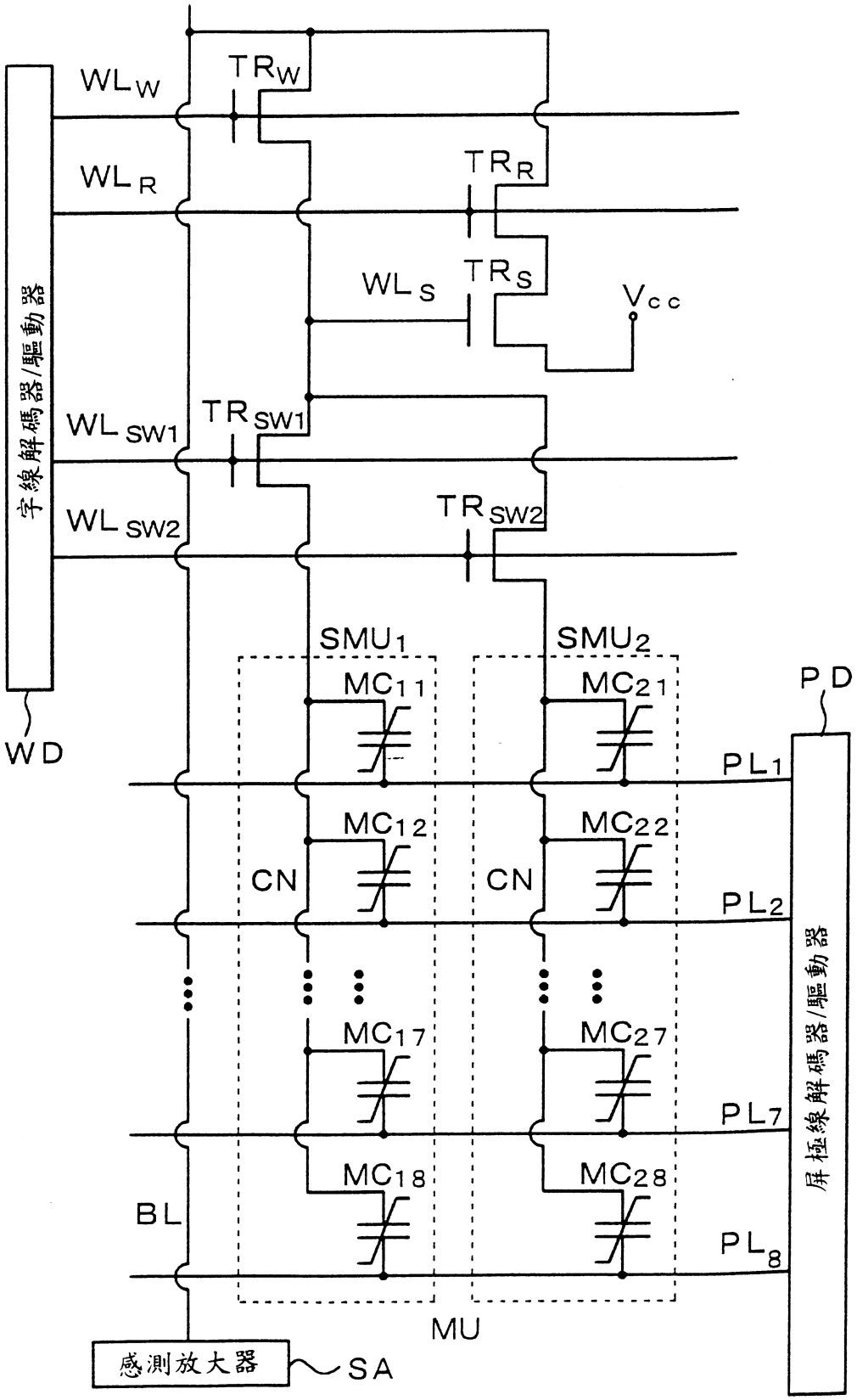

字線解碼器/驅動器
WD
WLW
WLR
WLS
WLSW1
WLSW2
TRW
TRR
TRS
TRSW1
TRSW2
Vcc
SMU1
SMU2
MC11
MC21
MC12
MC22
MC17
MC27
MC18
MC28
CN
CN
PD
PL1
PL2
PL7
PL8
屏極線解碼器/驅動器
BL
MU
感測放大器
SA

圖 25

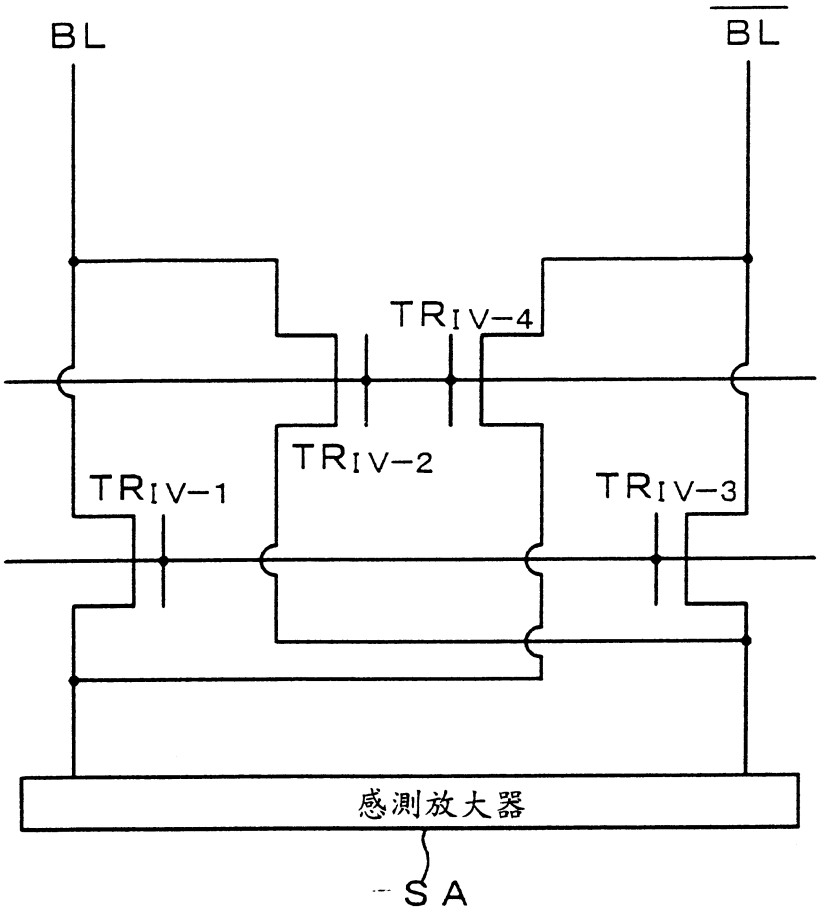


圖 26

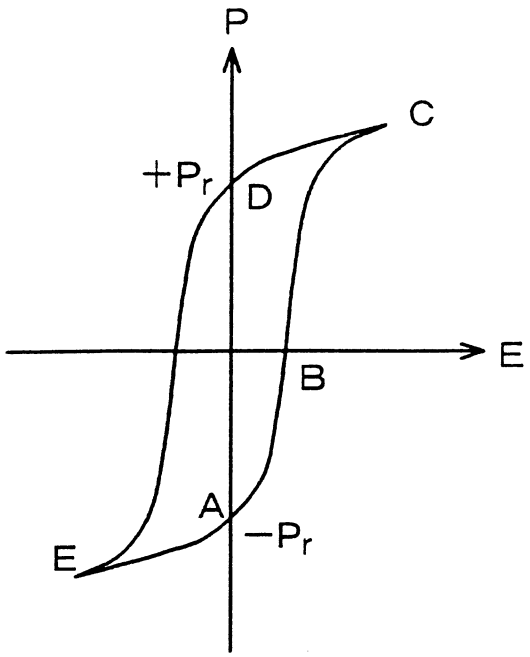


圖　27

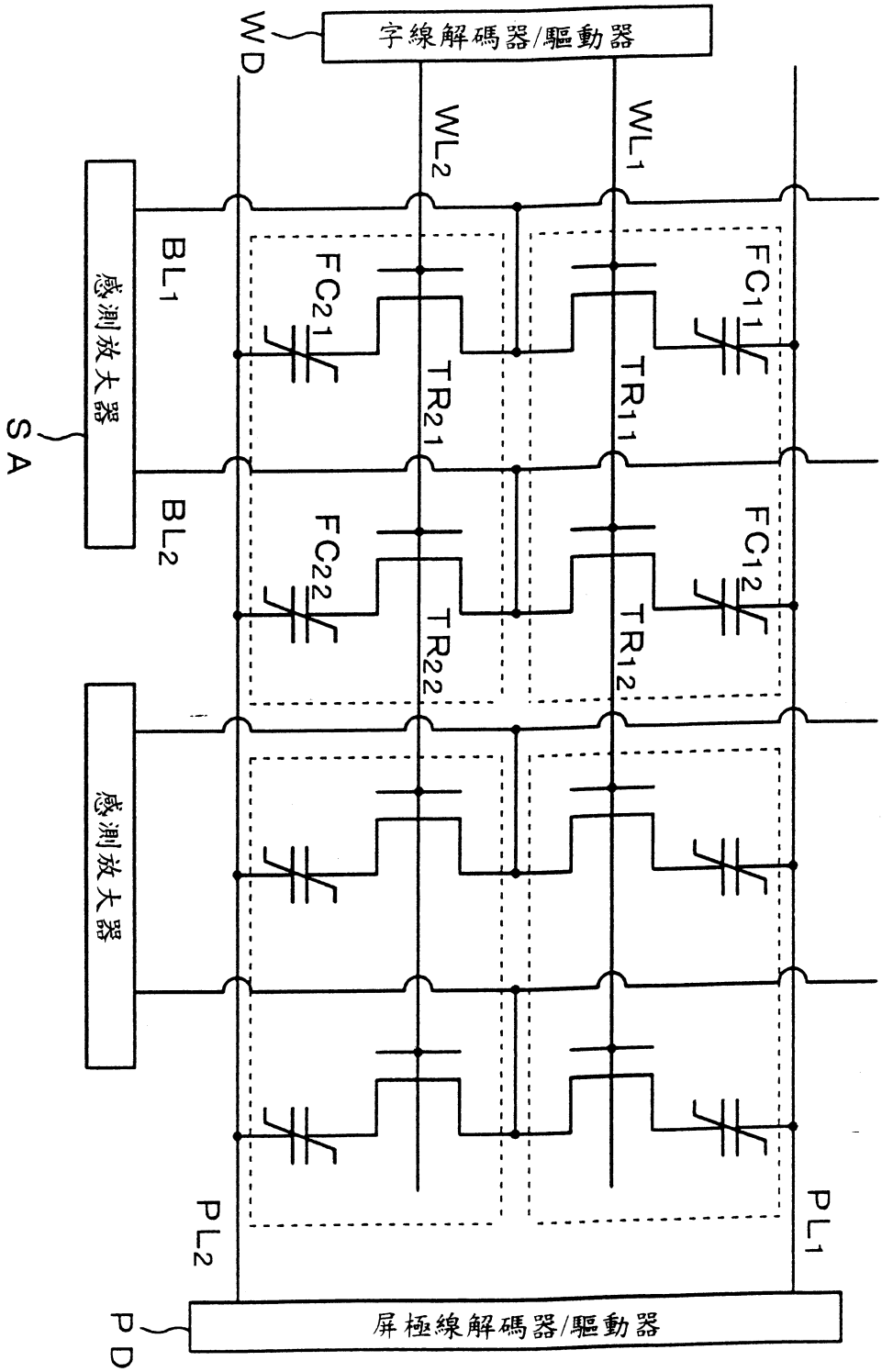

字線解碼器/驅動器
WD
WL2
WL1
感測放大器
SA
BL1
BL2
FC21
FC22
FC11
FC12
TR21
TR22
TR11
TR12
感測放大器
PL2
PL1
屏極線解碼器/驅動器
PD

圖 28 (先前技藝)

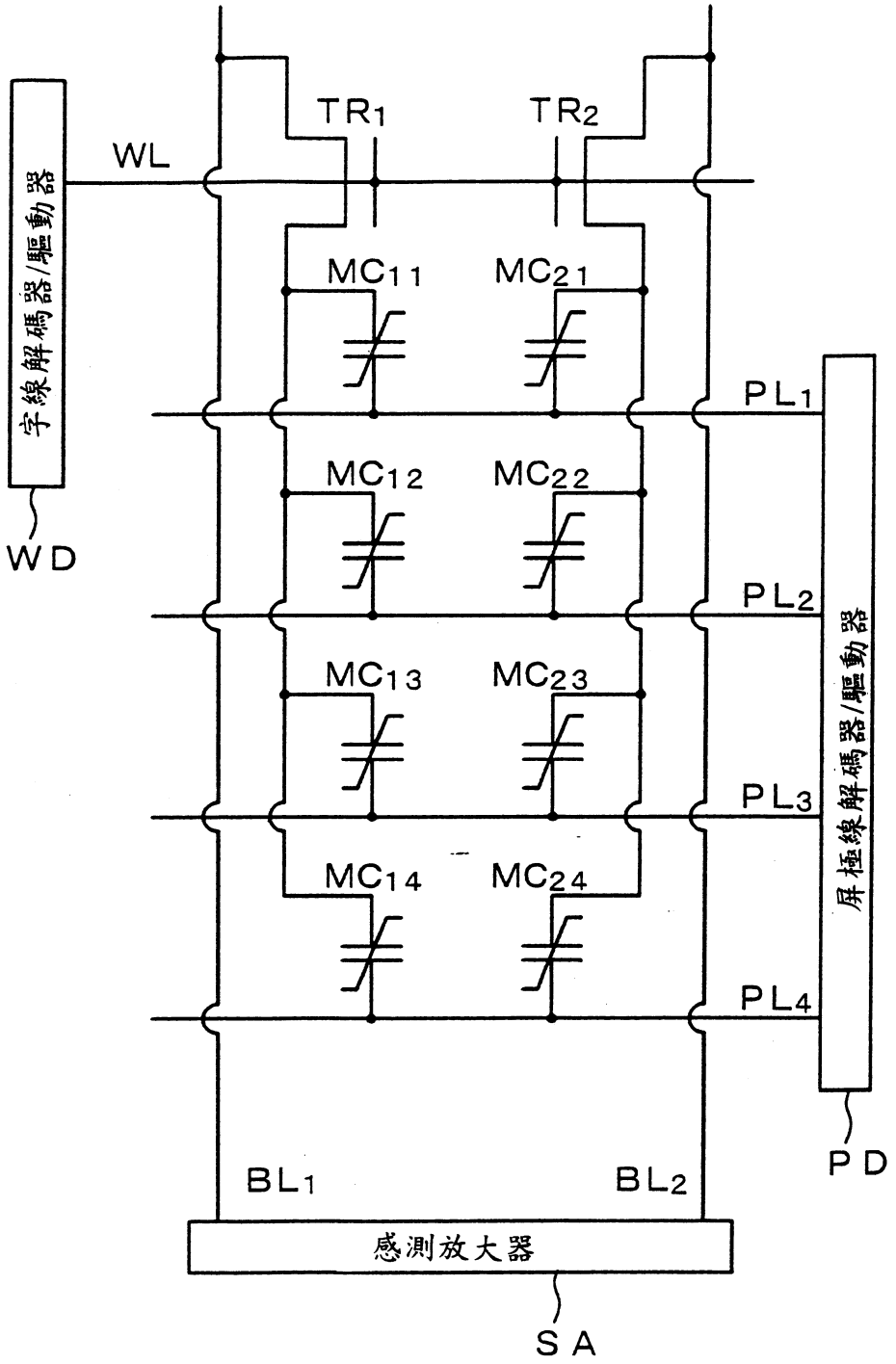

字線解碼器/驅動器
WL
TR1
TR2
MC11
MC21
MC12
MC22
MC13
MC23
MC14
MC24
PL1
PL2
PL3
PL4
屏極線解碼器/驅動器
WD
PD
BL1
BL2
感測放大器
SA

圖 29 (先前技藝)

六、申請專利範圍

1. 一種強介質型非揮發性半導體記憶裝置之驅動方法，其特徵在於：此裝置包含記憶體單位，該記憶體單位包含：

(A)位元線；

(B)選擇用電晶體；

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單位；

(D) M條屏極線；及

(E)連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極就子記憶體單位為共通，該共通之第一電極係經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

讀出儲存在自外部指定之指定位址之記憶體單元內之資料，並鎖存至感測放大器後，輸出被鎖存在感測放大器內之該資料

，其中於輸出被鎖存在前述感測放大器內之資料後，將被鎖存在感測放大器內之該資料再寫入前述指定位址的記憶體單元內，

而後，在未自外部指定位址下，讀出儲存在構成子記憶體單位之其他記憶體單元內的資料，並鎖存至感測放大器內。

2. 如申請專利範圍第1項之強介質型非揮發性半導體記憶裝置之驅動方法，其中於讀出儲存在構成子記憶體單位

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

之其他記憶體單元內之資料，並鎖存至感測放大器內後，將被鎖存在感測放大器內之該資料再寫入該其他的記憶體單元內。

3. 如申請專利範圍第2項之強介質型非揮發性半導體記憶裝置之驅動方法，其中構成子記憶體單位之全部其他記憶體單元，係在未自外部指定位址下，依序執行資料的讀出及資料的再寫入。

4. 如申請專利範圍第1項之強介質型非揮發性半導體記憶裝置之驅動方法，其中於讀出儲存在構成子記憶體單位之其他記憶體單元內之資料，並鎖存至感測放大器內後，輸出被鎖存在感測放大器內之該資料。

5. 如申請專利範圍第4項之強介質型非揮發性半導體記憶裝置之驅動方法，其中讀出儲存在構成子記憶體單位之其他記憶體單元內之資料，並鎖存至感測放大器內，而後再輸出被鎖存在感測放大器內之該資料後，將被鎖存在感測放大器內之該資料再寫入該其他記憶體單元內。

6. 如申請專利範圍第5項之強介質型非揮發性半導體記憶裝置之驅動方法，其中構成子記憶體單位之全部其他記憶體單元，係在未自外部指定位址下，依序執行資料的讀出、輸出及資料的再寫入。

7. 一種強介質型非揮發性半導體記憶裝置之驅動方法，其特徵在於：此裝置包含記憶體單位，該記憶體單位包含：

(A)位元線；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

(B)選擇用電晶體；

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單位；

(D) M條屏極線；及

(E)連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極就子記憶體單位為共通，該共通之第一電極係經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

將須寫入之資料鎖存在感測放大器內後，在自外部所指定之指定位址的記憶體單元內寫入該資料，其中將被鎖存在感測放大器內之資料寫入前述指定位址之記憶體單元後，將須寫入之資料鎖存在感測放大器內，而後，在未自外部指定位址下，在構成子記憶體單位之其他記憶體單元內寫入該資料。

8. 如申請專利範圍第7項之強介質型非揮發性半導體記憶裝置之驅動方法，其中構成子記憶體單位之全部其他記憶體單元，係在未自外部指定位址下，依序執行資料的寫入。

9. 一種強介質型非揮發性半導體記憶裝置之驅動方法，其特徵在於：此裝置包含記憶體單位，該記憶體單位包含：

(A)位元線；

(B)選擇用電晶體；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

六、申請專利範圍

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單位；

(D) M條屏極線；及

(E) 連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極就子記憶體單位為共通，該共通之第一電極係經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

將須寫入之資料鎖存在感測放大器內後，在自外部所指定之指定位址的記憶體單元內寫入該資料；其中將被鎖存在感測放大器內之資料寫入前述指定位址之記憶體單元內後，在未自外部指定位址下，讀出儲存在構成子記憶體單位之其他記憶體單元內的資料，並鎖存在感測放大器內後，將被鎖存在感測放大器內之該資料再寫入該其他記憶體單元。

10. 如申請專利範圍第9項之強介質型非揮發性半導體記憶裝置之驅動方法，其中構成子記憶體單位之全部其他記憶體單元，係在未自外部指定位址下，依序執行資料的讀出及再寫入。

11. 一種強介質型非揮發性半導體記憶裝置，其特徵在於包含記憶體單位，該記憶體單位包含：

(A)位元線；

(B)選擇用電晶體；

(C)包含M個(其中，M≧2)之記憶體單元的子記憶體單

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂

六、申請專利範圍

位；

(D) M條屏極線；及

(E)連接於位元線的感測放大器；

各記憶體單元包含第一電極與強介電層與第二電極；

構成子記憶體單位之記憶體單元的第一電極就子記憶體單位為共通，該共通之第一電極係經由選擇用電晶體連接於位元線，第二電極則連接於屏極線；

進一步包含：

(F)儲存自外部所指定之屏極線之位址的指定屏極線位址暫存器；及

(G)依序增量指定屏極線之屏極線位址的屏極線位址計數器。

12. 如申請專利範圍第11項之強介質型非揮發性半導體記憶裝置，其中進一步包含比較器，其係連接於指定屏極線位址暫存器及屏極線位址計數器，

比較儲存在指定屏極線位址暫存器內之指定屏極線位址的值，與屏極線位址計數器之屏極線位址之值。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線