

申請日期	91 年 12 月 9 日
案 號	91135564
類 別	HOLL 23/48

A4
C4
200301007

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明人 創作	姓 名	(1) 中尾光博
	國 籍	(1) 日本國神奈川縣横浜市保土谷區瀬戸谷町一五一-----二〇三
	住、居所	
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都港區芝浦一丁目一番一號
	代 表 人 姓 名	(1) 岡村正

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2001年12月12日 2001-378779 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明背景】

1 發明領域

本發明是關於，藉由倒裝晶片(flip-chip)法將半導體晶片整批連接封裝於裝配構件的技術，特別是關於，改良半導體晶片及裝配構件的電極附近之構造及連接狀態的半導體裝置，及其製造方法。

2 先行技術

先簡單說明，藉由一般之倒裝晶片方式的無引線焊接方法，將半導體晶片電氣方式連接在外圍器等的裝配構件上，同時將半導體晶片與裝配構件相連接，並加以封裝的製造過程如下。

例如第 7 圖所示，半導體晶片 101 是跟成爲裝配構件的玻璃環氧基板 103 成面對面配置。這時，要將形成在晶片 101 的金(Au)柱形突塊 102，與配設在基板 103 的銅(Cu)引線 104 的位置對準。在引線 104 上，藉由電鍍電解法預先堆疊形成有與其寬度大體上相同的厚型突起物(突設物)之 Sn - Ag 電鍍突塊 105。電鍍突塊 105 也可以使用 Sn 形成。同時，電鍍突塊 105 的寬度具體上是約 50 μm 。

而在晶片 101 與基板 103 之間，填充熱硬化性絕緣薄膜等的封裝樹脂 106。在此狀態下，將晶片 101 朝基板 103 熱壓接。藉此，如第 8 圖所示，經由電鍍突塊 105 連接柱形突塊 102 與引線 104。亦即，一次進行柱形突塊 102 與引線 104 間的電氣接續，及經由封裝樹脂 106 之晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 2）

片 101 與玻璃環氧基板 103 的封裝。

近年來，在半導體裝置的製造技術之領域，隨著裝置的細緻化及高密度化等，對窄引線間隔化的需求愈來愈強烈。但是，通常的電鍍突塊 105 的寬度大約是 50 μm ，成為窄間隔化的最大阻礙原因。但是，只是單純地縮小引線 104 的寬度，則在引線 104 上形成電鍍突塊 105 時，電鍍突塊 105 的積層位置容易錯開，或電鍍突塊 105 容易從引線 104 上掉落。其結果，有可能發生柱形突塊 102、引線 104、及電鍍突塊 105 間的電氣接觸不良。甚至於，有可能引起半導體裝置的電氣性能及可靠性等的劣化，對半導體裝置的品質產生問題。而且，也有可能因電鍍突塊 105 的位置錯開等使半導體裝置的製造產能降低，使半導體裝置的生產效率降低。

【發明揭示】

本發明一局面的半導體裝置，其特徵為，具備有：在主面上設有，覆蓋規定處所的表面，配設薄膜形狀的電鍍部之引線的晶片搭載構件；在主面上設有突塊，同時經由上述電鍍部將此突塊電氣方式連接在上述引線，而搭載於上述晶片搭載構件的半導體晶片；以及設在上述半導體晶片與上述晶片搭載構件間的密封構件。

本發明另一局面的半導體裝置的製造方法，其特徵為，將主面上設有突塊的半導體晶片，與主面上設有，覆蓋規定處所的表面，配設薄膜形狀的電鍍部之引線的晶片搭

五、發明說明 (3)

載構件，配置成面對面；在上述半導體晶片與上述晶片搭載構件之間設密封構件；並經由上述電鍍部電氣方式連接上述突塊與上述引線，再使用上述密封構件密封接合上述半導體晶片與上述晶片搭載構件間，藉此一次整批連接密封上述半導體晶片與上述晶片搭載構件。

本發明另一局面的半導體裝置的製造方法，其特徵為，將主面上設有突塊的半導體晶片，與主面上設有，覆蓋規定處所的表面，配設薄膜形狀的電鍍部之引線，同時在上述主面上設有密封構件的晶片搭載構件，配置成面對面；並經由上述電鍍部電氣方式連接上述突塊與上述引線，再使用上述密封構件密封接合上述半導體晶片與上述晶片搭載構件間，藉此一次整批連接密封上述半導體晶片與上述晶片搭載構件。

【發明的詳細說明】

茲參照圖示之實施形態說明本發明的詳情如下。

(第 1 實施形態)

第 1 圖及第 2 圖是第 1 實施形態的半導體裝置的架構及製造過程的截面圖。本實施形態的特徵是在倒裝晶片 (flip-chip) 方式的無引線焊接法。

首先說明本實施形態的半導體裝置的架構。

如第 1 圖所示，在半導體晶片 1 的一主面上，設有電氣方式連接在未圖示電極的突塊 (柱形突塊) 2。實際上是

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

，對 1 個半導體晶片 1 設有複數個柱形突塊 2，但只表示 1 個，其餘全省略未圖示。

本實施形態是使用不容易劣化的材料形成柱形突塊 2。具體上是，使用不容易氧化的金(Au)形成柱形突塊 2。此 AU 柱形突塊 2 的前端部 2a 是形成為突出的形狀。這種形狀是，使用未圖示的焊接工具，將規定量的金附著在半導體晶片 1 的電極後，在停止供應金的狀態下令焊接工具遠離半導體晶片 1，便可以很容易形成。經由這種形成方法，柱形突塊 2 的前端部 2a 是成為如扭斷金線的狀態。

另一方面，用以搭載半導體晶片 1 的晶片搭載構件(安裝基板)的晶片搭載基板 3，是由例如玻璃環氧樹脂等形成。在此晶片搭載基板 3 的內部或表面，設有未圖示的各種配線。本實施形態的晶片搭載基板 3 使用如紙般薄的薄片基板。亦即，晶片搭載基板 3 使用所謂 PTP(Paper Thin Package)基板。在此晶片搭載基板 3 的一主面上，設有與各種配線電氣方式相連接的銅(Cu)製的引線(內部引線)4。

此 Cu 內部引線 4 不必如上述傳統技術須要支持向引線上寬度方向延伸的厚狀突起物(突設物)的電鍍 Sn - Ag 電鍍突塊 105。因此，內部引線 4 是形成為從斜面所視的寬度是愈離開晶片搭載基板 3 寬度愈窄的略呈台形狀。同時，內部引線 4 的基板側端部的寬度是與柱形突塊 2 的最大寬度大體上相同，或以下的大小。亦即，較之在傳統技

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

術所說明的 Cu 引線 104 的寬度，內部引線 4 的基板側端部之寬度相當狹窄，很精緻。具體上是，內部引線 4 的基板側端部的寬度大約是 $40\ \mu\text{m}$ ，而其前端側端部的寬度是大約 $20\sim 30\ \mu\text{m}$ 。內部引線 4 的前端側端部的寬度尺寸，與柱形突塊 2 的前端部 2a 的最大寬度約略相同。由於將內部引線 4 形成為上述大小及形狀，可以達成窄引線間隔化(窄間距化)。依據本發明人等所做的實驗，可以將傳統上約 $84\ \mu\text{m}$ 的引線間隔(間距)，至少縮小到其 7 成強的約 $60\ \mu\text{m}$ 。

在內部引線 4 的表面施加有電鍍。具體上是，在內部引線 4 上形成有全面覆蓋其與柱形突塊 2 連接部分及其周圍表面的厚度約 $0.6\ \mu\text{m}$ 的薄膜形狀之電鍍部(電鍍薄膜、電鍍層)5。藉此，便可以不使用在傳統技術說明的電鍍 Sn - Ag 突塊 105，也能夠使柱形突塊 2 與內部引線 4 的連接部分及其周圍的材質不容易氧化及劣化。同時，也可以避免如傳統技術的電鍍 Sn - Ag 突塊 105 從引線 104 上滑落，接觸到鄰近引線 104 的側面，引起短路等電氣接觸不良事故。當然，不必考慮電鍍 Sn - Ag 突塊 105 的位置偏移等。因之，後述的柱形突塊 2 與內部引線 4 的連接作業也可以簡單且迅速完成。

而在通常的所謂 TAB(Tape Automated Bonding)方式，設在內部引線表面的電鍍薄膜的厚度，通常最厚也是到 $0.2\ \mu\text{m}$ 前後。對此，本實施形態的內部引線 4 表面的電鍍薄膜 5 的厚度是約 $0.6\ \mu\text{m}$ ，厚度較厚。因此，本實施形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

態的內部引線 4 對熱或水分的耐久性較佳。亦即，電鍍薄膜 5 內側的內部引線 4 不容易劣化。

本實施形態是藉由無電解電鍍法以錫(Sn)為原料形成電鍍薄膜 5。此無電解電鍍法較之電解電鍍法，可以縮短製程時間，同時，不需要掩罩或電極等的特殊構件及裝置等。因此，可以簡化作業，提高生產效率，同時可以削減生產成本。

其次說明本實施形態的半導體裝置的製造方法。

首先，如第 1 圖所示，以柱形突塊 2 與內部引線 4 成面對面的姿勢配置半導體晶片 1 及晶片搭載基板 3。這個時候，在半導體晶片 1 與晶片搭載基板 3 之間設(填充)密封構件 6，以密封其空隙並接合半導體晶片 1 與晶片搭載基板 3。此密封構件 6 是由，不會使 Sn 電鍍薄膜 5 熔化，或連接柱形突塊 2 與內部引線 4 時，不會在其連接部分發生共振之溫度下，可發揮熱硬化性及接合性的熱硬化性樹脂構成。具體上是，密封構件 6 是由，在約 160 °C ~ 200 °C 的溫度下，可發揮熱硬化性及接合性的熱硬化性樹脂構成。再者，密封構件 6 也可以在將半導體晶片 1 面對晶片搭載基板 3 配置之前，預先設在晶片搭載基板 3 上。

接著，對半導體晶片 1、晶片搭載基板 3、密封樹脂 6 加熱，同時從該等之厚度方向外側擠壓。進行此項熱壓接時的溫度是設定在約 160 °C ~ 200 °C 左右之溫度範圍內。從本發明人等的實驗結果發現，以約 180 °C 進行熱

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

壓接時，可以非常迅速完成半導體晶片 1 與晶片搭載基板 3 的接合及密封。同時發現，可以使半導體晶片 1 與晶片搭載基板 3 的接合及密封狀態，以及電鍍薄膜 5 的存在狀態等成爲極良好的狀態。同時，熱壓接所需要的時間也很短，可以大幅度減低柱形突塊 2 或內部引線 4 等電氣系統的熱度上的負擔。

一般來講，TAB(Tape Automated Bonding)法，或使突塊與引線共晶以連接的方向，需要較 200 °C 爲高的溫度。以這種高溫進行熱壓接時，半導體裝置的熱度上的負擔當然會較本實施形態大，因此容易引起半導體裝置的品質劣化。因而成爲半導體裝置的產能降低，生產效率下降的原因。對此，本實施形態的半導體裝置的製造方法能以較低溫的 180 °C 進行以抑制熱度的負擔，以製造半導體裝置，因此可以提高半導體裝置的產能，提高生產效率。同時，藉由此半導體裝置的製造方法製造的半導體裝置的品質當然不容易劣化。

接著，如第 2 圖所示，柱形突塊 2 抵接到內部引線 4，而繼續擠壓加熱，直到其前端部 2a 的寬度變成差不多與內部引線 4 的前端側端部相同的寬度。藉此可以實現，柱形突塊 2 與內部引線 4 的電鍍薄膜 5 表面的電氣方式適中的接合狀態。然後，將擠壓力保持一定大小，使柱形突塊 2 的前端部 2a 不會過度變形，以此狀態繼續加熱，使密封用樹脂 6 固化。確認密封樹脂 6 固化後，解除加熱及擠壓，結束此熱壓接製程。藉此，柱形突塊 2 與內部引線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

4 便經由電鍍薄膜 5 電氣方式連接成適中的接合狀態。與此之同時，半導體晶片 1 與晶片搭載基板 3 便以其間由密封樹脂 6 大體上完全密封的狀態，接合(固著)在一起。

如此，依據本實施形態的半導體裝置的製造方法時，可以整批一次完成柱形突塊 2 與內部引線 4 的接合；半導體晶片 1 與晶片搭載基板 3 的接合；以及將該等的空隙密封成適宜的狀態。在以下的說明，這項工程稱作整批連接密封製程(倒裝晶片整批連接密封製程)。

藉由上述的整批連接密封製程將半導體晶片 1 固定在晶片搭載基板 3，完成搭載後，移行至封裝製程。本實施形態是例如第 3 圖所示，除了密封樹脂 6 外，在半導體晶片 1 的周圍以半導體晶片 1 為對稱中心配設密封樹脂 7、8。密封樹脂 7、8 以跟密封樹脂 6 相同的材料形成。夾著半導體晶片 1 在晶片搭載基板 3 的相反側配設，用以保護半導體晶片 1 受到外部的撞擊或水分的影響之表面基板的保護基板 9。這時，也可以在保護基板 9 與半導體晶片 1 之間適宜配設接合劑(接合樹脂)等。

然後，與上述整批連接密封製程同樣，對半導體晶片 1、晶片搭載基板 3、密封樹脂 6、7、8、及保護基板 9 加熱，同時從該等的厚度方向外側擠壓，進行密封。此後，藉由熱壓接安裝未圖示的接地基板或球層基板等。藉此，製成在 1 片晶片搭載基板 3 上搭載 1 片半導體晶片 1 的半導體裝置 10。亦即，製成單層構造的單一晶片封裝體的半導體裝置 10。再者，在半導體裝置 10，晶片搭載基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

3 兼具所謂外圍器(封裝構件)的功能。

如以上所說明，依據包含倒裝晶片整批連接密封製程的第 1 實施形態的半導體裝置的製造方法時，可以實現引線間隔的窄間距化，將半導體裝置精緻化。同時，其電氣性能或可靠性不容易受損，能夠以高效率、低成本，且簡單製造良質且長壽命的半導體裝置。同時，第 1 實施形態的半導體裝置的製造方法，可以不使用特殊的裝置、設備或材料便能夠實施，極富萬用性。因此，在半導體裝置的製造過程，幾乎沒有成本上的負擔。

又如第 3 圖所示，半導體裝置 10 具有，以半導體晶片 1 為對稱中心，在半導體晶片 1 的周圍，成對稱狀分別配置晶片搭載基板 3、保護基板 9、及由同樣材料形成的密封樹脂 6、7、8 的構造。依據如此的對稱構造時，可以不必在半導體裝置 10 的內部配設特別的補強構造或補強構件，或增大晶片搭載基板 3 的厚度，便能夠良好抑制因晶片搭載基板 3 的扭曲等造成的複雜的變形。藉此可以良好抑制半導體裝置 10 整體的複雜的變形。同時，採上述對稱構造時，縱使在半導體裝置 10 內部發生複雜的變形，該變形會以半導體晶片 1 為對稱中心發生。因此，變形引起的應力會均勻分散在半導體晶片 1 的周圍，不會局部性集中在半導體裝置 10 內部的特定處所。尤其是，變形造成的應力不會局部性集中在半導體裝置 10 的重要構成要素的半導體晶片 1。這種分散因變形造成的應力使其影響緩和的作用及效果，對一般認為較弱的精緻的單一晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（ 10）

封裝體極為有效。亦即，對此第 1 實施形態的半導體裝置 10 極為有效。

如此，縱使半導體裝置 10 厚度不大且精緻，也不太容易會使構件相互間以變形而應力集中之點為起點發生剝落，或變形之負荷集中加在半導體晶片 1。因此，半導體裝置 10 的品質不容易劣化、壽命很長，同時容易將電氣性能保持在穩定的狀態，可靠性很高。同時，具有上述構造的半導體裝置 10，對溫度或濕度的變化等使封裝體整體產生扭曲或失真的抗力很強，不太會受到其使用環境的限制。如此，因半導體裝置 10 精緻而萬用性高，因此極富實用性。

（第 2 實施形態）

第 4 圖及第 5 圖是表示第 2 實施形態的半導體裝置的架構及製造過程的截面圖。再者，與第 1 實施形態相同的部分標示同一記號，詳細說明省略。

本實施形態的半導體裝置與上述第 1 實施形態不同的地方是，設在半導體晶片 1 的 Au 柱形突塊 11 的前端部 11a 的形狀，及柱形突塊 11 與 Cu 內部引線 4 的連接狀態。

如第 4 圖所示，柱形突塊 11 的前端部 11a 是形成為略為平坦形狀。這種形狀可以，藉由例如下述的兩種方法形成。其一是，使用焊接工具在半導體晶片 1 的電極上與第 1 實施形態同樣形成柱形突塊 2 後，將其擠壓到柱形突

五、發明說明 (1)

塊 2 的前端部 2a 成爲略呈平坦的形狀。擠壓柱形突塊 2 的前端部 2a 的製程是使用，例如一般用來校平突塊高度的所謂調平工具 (leveling tool)。另一是，在在半導體晶片 1 的電極上形成柱形突塊 2 的電極側端部後，以停止供應金的狀態下，令焊接工具向沿半導體晶片 1 的主面的方向移動。此方法不使焊接工具如第 1 實施形態向離開半導體晶片 1 的方向移動。藉此，將柱形突塊 11 的前端部 11a 調成略爲平坦的形狀。

將上述形狀的柱形突塊 11 與內部引線 4，與第 1 實施形態同樣藉由整批連接密封製程，經由電鍍薄膜 5 以電氣方式相連接。此第 2 實施形態是如第 5 圖所示，從外側兩方向擠壓半導體晶片 1 及晶片搭載基板 3，直到成爲內部引線 4 的前端部從其前端部 11a 側突入 (埋沒) 柱形突塊 11 的內部規定量的狀態。這時，柱形突塊 11 與內部引線 4 的連接部分 12 與第 1 實施形態一樣，不會引起共晶，經由電鍍薄膜 5 電氣方式以適中的狀態相連接。

在本實施形態，柱形突塊 11 的前端部 11a 是形成爲略呈平坦的形狀。藉此，柱形突塊 11 與內部引線 4 很容易以適中的狀態相接觸。其結果，能夠簡單且迅速進行柱形突塊 11 與內部引線 4 的連接作業。同時，可以提高進行整批連接密封製程時，對柱形突塊 11 與內部引線 4 的位置錯開的邊際。進而可以提高對半導體晶片 1 與晶片搭載基板 3 的位置錯開的邊際。因此，依據本實施形態的半導體裝置的製造方法時，可以高效率、低成本、且更簡單

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

地製成精緻而良質且壽命長的半導體裝置。

同時，在本實施形態，突入柱形突塊 11 內部的內部引線 4 的突入量(埋沒量)可以很容易調整成適宜、適中的量。亦即，較之第 1 實施形態，可以很容易調節半導體晶片 1 與晶片搭載基板 3 的間隔，可以將整個半導體裝置的厚度形成為較薄。在以下的說明，半導體晶片 1 與晶片搭載基板 3 的間隔，稱作晶片連接高度。

具體說明之，傳統技術的半導體裝置的晶片連接高度，及第 2 圖中的 h 1 所示之第 1 實施形態的半導體裝置 10 的晶片連接高度是約 60 μm 。對此，依據本發明人等所做的實驗發現，第 5 圖中的 h 2 所示之第 2 實施形態的半導體裝置的晶片連接高度可以降低到約 30 μm 。在最近的半導體業界，晶片連接高度的現今的目標值是約 40 μm 。因此，第 2 實施形態的半導體裝置的晶片連接高度已遠超過該目標值。其結果對薄型的半導體封裝體，特別是封裝體的厚度在約 0.2 mm 以下的薄型半導體封裝體極為有效。

附帶說明，若半導體晶片 1 的厚度是約 60 μm 、晶片搭載基板 3 的厚度是約 50 μm ，在傳統技術及第 1 實施形態，半導體晶片 1 外側至晶片搭載基板 3 外側的厚度是約 170 μm 。對此，可以將晶片連接高度 h 2 設定在約 30 μm 的第 2 實施形態，半導體晶片 1 外側至晶片搭載基板 3 外側的厚度可以縮小到約 140 μm 。

如以上所說明，依據第 2 實施形態的半導體裝置及半導體裝置的製造方法時，可以跟第 1 實施形態同樣達成窄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

間距化。同時，可以使半導體裝置薄型化。因此，可以使半導體裝置更精緻。

(第 3 實施形態)

第 6 圖是表示第 3 實施形態的半導體裝置的架構的截面圖。再者，與第 1 實施形態相同的部分標示相同的記號，詳細說明從略。

本實施形態的半導體裝置 21 具備有複數層，例如 4 層的，堆積藉由上述第 2 實施形態的半導體裝置的製造方法整批連接密封的半導體晶片 1 及晶片搭載基板 3。亦即，本實施形態的半導體裝置 21 是被構成爲，具備複數個半導體晶片 1 的多晶片封裝體中的所謂積層型封裝體。多晶片封裝體稱作多晶片模組或多區塊模組。而積層型封裝體則稱作積層型模組或積層型裝置。

而在本實施形態的半導體裝置 21，半導體晶片 1 是使用例如 256 MB 的 DRAM。因此，本實施形態的半導體裝置 21 是構成爲所謂積層型 DRAM 封裝體 21。積層型 DRAM 封裝體 21 是堆積複數層記憶器晶片的積層型記憶組件、或稱作積層型記憶模組的半導體裝置的一種。

以下說明藉由本實施形態的半導體裝置的製造方法的積層型 DRAM 封裝體 21 的製造過程。

首先，藉由第 2 實施形態的半導體裝置的製造方法，將半導體晶片 1 整批連接密封搭載於晶片搭載基板 3。接著，將此一組半導體晶片 1 及晶片搭載基板 3 堆積 4 層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

這時，對 4 層的各晶片搭載基板 3，沿積層方向交互配置中間基材的中間基板 22。接著，從積層方向兩外側，用表面基板 23、電源接地基板 24 及球層基板 25，夾壓該等已完成積層的各半導體晶片 1、晶片搭載基板 3、及中間基板 22。這時，也可以在各基板 3、22、23、24、25 之間適宜配設接合劑等。然後，沿該等的積層方向熱壓接各基板 3、22、23、24、25，藉此製造第 6 圖所示的積層型 DRAM 封裝體 21。

在此積層型 DRAM 組件 21，表面基板 23 是兼具有保護內部的半導體晶片的保護基板功能。同時，4 片的各中間基板分別在規定位置及以規定形狀形成有層間連接用配線 26 及層間連接用端子 27。同樣地，電源接地基板 24 分別在規定位置及以規定形狀形成有電源接地用配線 28 及電源接地用端子 29。球層基板 25 分別在規定位置及以規定形狀形成有外部端子連接用配線 30 及外部端子 31。4 片的各半導體晶片 1 是經由：4 片的各晶片搭載基板 3 所具有的配線；層間連接用配線 26 及層間連接用端子 27；電源接地用配線 28 及電源接地用端子 29；以及外部端子連接用配線 30 及外部端子 31，分別以規定的電氣路徑成電氣方式與未圖示的外部電源或外部裝置等相連接。

再說明，爲了比較此第 3 實施形態的積層型 DRAM 封裝體 21 的厚度，與傳統技術的積層型 DRAM 封裝體的厚度，由本發明人等進行的實驗。具體上是，使用由傳統技術將其一體化的半導體晶片 101 及晶片搭載基板 103 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

組合，製造由跟積層型 DRAM 封裝體 21 相同架構構成的未圖示之 4 層型的半導體裝置，作為傳統技術的積層型 DRAM 封裝體 21。這時，傳統技術的積層型 DRAM 封裝體的厚度是約 1.8 mm。對此，本實施形態的積層型 DRAM 封裝體 21 可以將各層的晶片連接高度分別減少約 20 μm 。除此之外，可使內部引線等的厚度較薄，又可以將各層的晶片連接高度分別降低約 15 μm 。其結果是，降低 4 層分的晶片連接高度約 140 μm ，達成薄型化。

同時發現，若一併減少表面基板 23、電源接地基板 24、及球層基板 25 的厚度，便可以使積層型 DRAM 封裝體 21 整體厚度減少約 400 μm 。因此，本實施形態的積層型 DRAM 封裝體 21 可以使第 6 圖中以 H 表示的厚度成為約 1.4 mm。

如以上所說明，本實施形態的半導體裝置雖是多層構造，但很精緻。亦即，依據本實施形態的半導體裝置的製造方法時，縱然是多層構造的半導體裝置，仍可以簡單且精緻製成。而且，其薄型化的效果是積層數愈多愈有效。

再者，本發明的半導體裝置及半導體裝置的製造方法不受上述第 1 ~ 第 3 各實施形態的限制。在不脫離本發明主旨的範圍內，可以變更成各種設定或組合各種設定，以實施該等的架構或製程的一部分。

例如，如果能夠將 Cu 內部引線的截面形狀，形成與 Au 柱形突塊同樣大小，達成窄間距化，則其截面形狀便不限定為上述台形狀。長方形狀、正方形狀、或半圓形狀

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

等均可以。Au 柱形突塊的截面形狀也一樣。例如，可以將第 2 實施形態的柱形突塊 11 形成爲，其前端部 11a 向晶片 1 側凹陷的形狀。藉此，內部引線 4 的前端側端部可以較容易突入柱形突塊 11。

而內部引線及柱形突塊的材質並不限定爲銅或金。只要能將半導體裝置的電氣性能維持在所希望的水準者便可以。同樣地，晶片搭載基板的形成材料也不限定爲玻璃環氧樹脂。同時，Sn 電鍍薄膜 5 也可以不用上述的無電解電鍍法，改用电鍍法。

同時，上述 Sn 電鍍薄膜 5 只要形成在整個內部引線中的至少與柱形突塊成電氣方式相連接的部分便已足夠。例如第 1 實施形態的內部引線 4，其截面是形成爲台形狀時，只要至少在其前端側端部(上底)上形成有電鍍膜，便可以抑制在柱形突塊與內部引線的連接部分的氧化。進而可以抑制半導體裝置的電氣性能的受損。以下舉一例簡單說明這種微小且薄型的電鍍薄膜的形成方法。

首先，與第 1 實施形態一樣，藉由無電解電鍍法配設覆蓋內部引線的連接柱形突塊的部分及其周圍的大體上整面的電鍍薄膜。接著，僅在設於內部引線的前端側端部上的電鍍薄膜上設防止蝕刻用的掩罩。在這種狀態下，向內部引線的左右兩側施加蝕刻，去除設在該等上面的電鍍薄膜。藉此，可以在寬度較傳統技術的內部引線 104 的寬度狹窄的內部引線的前端側端部上，以可以幾乎完全排除可能在形成時發生位置偏移的因素之情況下，配設微小且薄

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

型的電鍍薄膜。

同時，依據這種方法時，也可以在不損及柱形突塊與內部引線的連接部分的電氣連接狀態的狀態下，在去除電鍍薄膜時同時也一併蝕刻內部引線的左右兩側部，形成寬度更窄的長方形狀或正方形狀的內部引線。藉此，可以達成進一步的窄間距化。

而在第 2 實施形態，內部引線對柱形突塊的相對大小及形狀，也可以形成為內部引線的幾乎整體可以突入柱形突塊內部。藉此可以擴大柱形突塊與內部引線的連接領域，以保持良好的連接狀態下達成進一步的精緻化。

同時，各密封樹脂也可以組合由不相同的複數種材料所形成者，而對半導體晶片配置成相互不對稱狀。預先藉由實驗或模擬分析，可加在半導體晶片的熱量或應力，而採用該等不會集中在半導體晶片的材料即可。

而搭載於晶片搭載基板的半導體晶片並不一定是第 3 實施形態所述的 256 MB 的 DRAM。可以在一個半導體裝置的內部混合搭載邏輯晶片與記憶晶片。可以依所希望的半導體裝置的性能或功能適宜採用適中的半導體晶片。

而且，搭載於一片晶片搭載基板的半導體晶片的搭載數；晶片搭載基板及中間基板的積層數；或半導體裝置整體的內部架構等，可以依所希望的半導體裝置的性能或功能等適宜做適當的設計。依據本發明的半導體裝置的製造方法時，若是相同構造的半導體裝置，較之其他的製造方法，本方法可以製成良質且精緻的半導體裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

【圖式的簡單說明】

第 1 圖是表示第 1 實施形態的半導體裝置的製造方法的製程截面圖。

第 2 圖是表示第 1 實施形態的半導體裝置的製造方法的製程截面圖。

第 3 圖是表示第 1 實施形態的半導體裝置的一部分的截面圖。

第 4 圖是表示第 2 實施形態的半導體裝置的製造方法的製程截面圖。

第 5 圖是表示第 2 實施形態的半導體裝置的製造方法的製程截面圖。

第 6 圖是表示第 3 實施形態的半導體裝置的一部分的截面圖。

第 7 圖是表示先行技術的半導體裝置的製造方法的製程截面圖。

第 8 圖是表示先行技術的半導體裝置的製造方法的製程截面圖。

【圖號說明】

- 1：半導體晶片
- 2：柱形突塊
- 2a：前端部
- 3：晶片搭載基板
- 4：內部引線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

- 5 : 電鍍薄膜
- 6、7、8 : 密封樹脂
- 9 : 保護基板
- 10 : 半導體裝置
- 11 : 柱形突塊
- 12 : 導體層
- 21 : 積層型 DRAM 組件
- 22 : 中間基板
- 23 : 表面基板
- 24 : 電源接地基板
- 25 : 球層基板
- 26 : 層間連接用配線
- 27 : 層間連接用端子
- 28 : 電源接地用配線
- 29 : 電源接地用端子
- 30 : 外部端子連接用配線
- 31 : 外部端子
- 101 : 半導體晶片
- 102 : 柱形突塊
- 103 : 基板
- 104 : 引線
- 105 : 電鍍突塊
- 106 : 密封樹脂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半 導 體 裝 置 及 其 製 造 方 法)

本發明提供的半導體裝置具備有：在主面上設有，覆蓋規定處所的表面，配設薄膜形狀的電鍍部之引線的晶片搭載構件；在主面上設有突塊，同時經由上述電鍍部將此突塊電氣方式連接在上述引線，而搭載於上述晶片搭載構件的半導體晶片；以及設在上述半導體晶片與上述晶片搭載構件間的密封構件。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

六、申請專利範圍 1

1.一種半導體裝置，其特徵為，具備有：

在主面上設有，覆蓋規定部位的表面，配設薄膜形狀的電鍍部之引線的晶片搭載構件；

在主面上設有突塊，同時經由上述電鍍部將此突塊電氣方式連接在上述引線，而搭載於上述晶圓搭載構件的半導體晶片；以及

設在上述半導體晶片與上述晶片搭載構件間的密封構件。

2.如申請專利範圍第1項所述之半導體裝置，其中

上述電鍍部是以大體上全面覆蓋上述引線與上述突塊的連接部分，及其周圍狀配設之。

3.如申請專利範圍第1項所述之半導體裝置，其中

上述電鍍部是使用錫，以無電解電鍍法形成。

4.如申請專利範圍第1項所述之半導體裝置，其中

上述突塊是被形成為，其前端部朝向上述引線側突出的形狀。

5.如申請專利範圍第1項所述之半導體裝置，其中

上述突塊是，前端部形成為略呈平坦的形狀，同時，在與上述引線連接之部分，上述引線突入內部。

6.如申請專利範圍第1項所述之半導體裝置，其中

上述半導體晶片與上述晶片搭載構件，堆疊成複數層

7.一種半導體裝置的製造方法，其特徵為，

將主面上設有突塊的半導體晶片，與主面上設有，覆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 2

蓋規定部位的表面，配設薄膜形狀的電鍍部之引線的晶片搭載構件，配置成面對面；

在上述半導體晶片與上述晶片搭載構件之間設密封構件；以及

並經由上述電鍍部電氣方式連接上述突塊與上述引線，再使用上述密封構件密封接合上述半導體晶片與上述晶片搭載構件間，藉此連接密封上述半導體晶片與上述晶片搭載構件。

8.如申請專利範圍第7項所述之半導體裝置的製造方法，其中

上述電鍍部是以大體上全面覆蓋上述引線與上述突塊的連接部分，及其周圍狀配設之。

9.如申請專利範圍第7項所述之半導體裝置的製造方法，其中

上述電鍍部是使用錫，以無電解電鍍法形成。

10.如申請專利範圍第7項所述之半導體裝置的製造方法，其中

上述突塊是被形成為，其前端部朝向上述引線側突出的形狀。

11.如申請專利範圍第7項所述之半導體裝置的製造方法，其中

將上述突塊的前端部形成為略呈平坦的形狀，同時，連接密封上述半導體晶片與上述晶片搭載構件，使上述引線突入上述突塊內部。

裝

訂

線

六、申請專利範圍 3

12.如申請專利範圍第 7 項所述之半導體裝置的製造方法，其中

上述半導體晶片與上述晶片搭載構件的連接密封，是以 160°C 以上 200°C 以下的溫度實施。

13.如申請專利範圍第 7 項所述之半導體裝置的製造方法，其中

將藉由上述連接密封加以連接的上述半導體晶片及上述晶片搭載構件，堆疊成複數層。

14.一種半導體裝置的製造方法，其特徵為，

將主面上設有突塊的半導體晶片，與主面上設有，覆蓋規定部位的表面，配設薄膜形狀的電鍍部的引線，同時在上述主面上設有密封構件的晶片搭載構件，配置成面對面；以及

並經由上述電鍍部電氣方式連接上述突塊與上述引線，再使用上述密封構件密封接合上述半導體晶片與上述晶片搭載構件間，藉此連接密封上述半導體晶片與上述晶片搭載構件。

15.如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中

上述電鍍部是以大體上全面覆蓋上述引線與上述突塊的連接部分，及其周圍狀配設之。

16.如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中

上述電鍍部是使用錫，以無電解電鍍法形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍 4

17.如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中

上述突塊是被形成為，其前端部朝向上述引線側突出的形狀。

18.如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中

將上述突塊的前端部形成為略呈平坦的形狀，同時，連接密封上述半導體晶片與上述晶片搭載構件，使上述引線突入上述突塊內部。

19.如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中

上述半導體晶片與上述晶片搭載構件的連接密封，是以 160°C 以上 200°C 以下的溫度實施。

20.如申請專利範圍第 14 項所述之半導體裝置的製造方法，其中

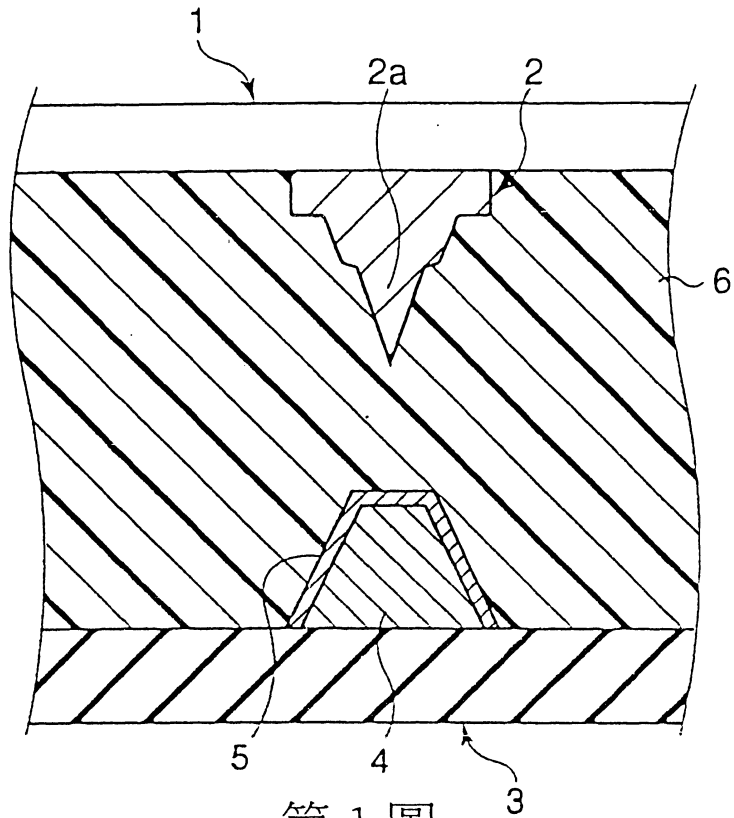
將藉由上述連接密封加以連接的上述半導體晶片及上述晶片搭載構件，堆疊成複數層。

(請先閱讀背面之注意事項再填寫本頁)

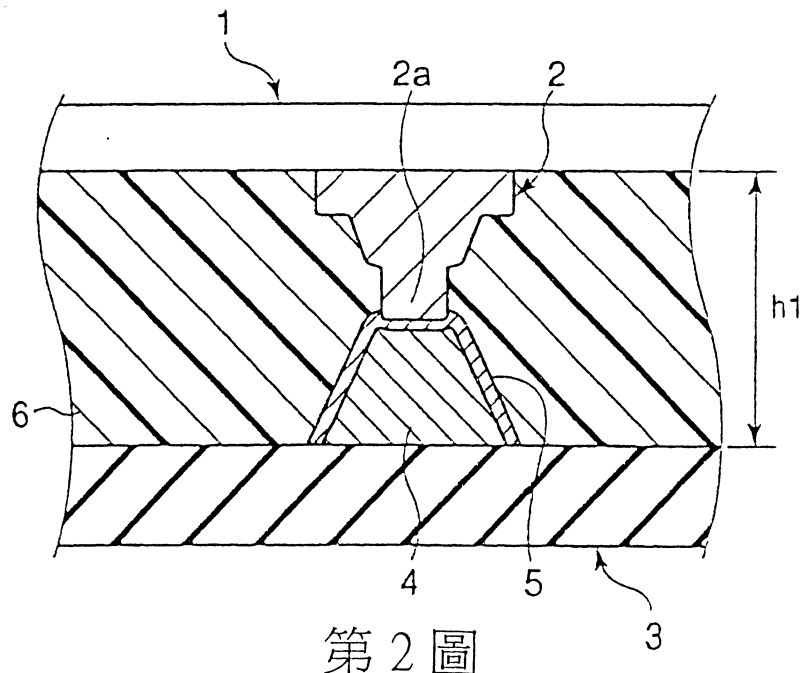
裝

訂

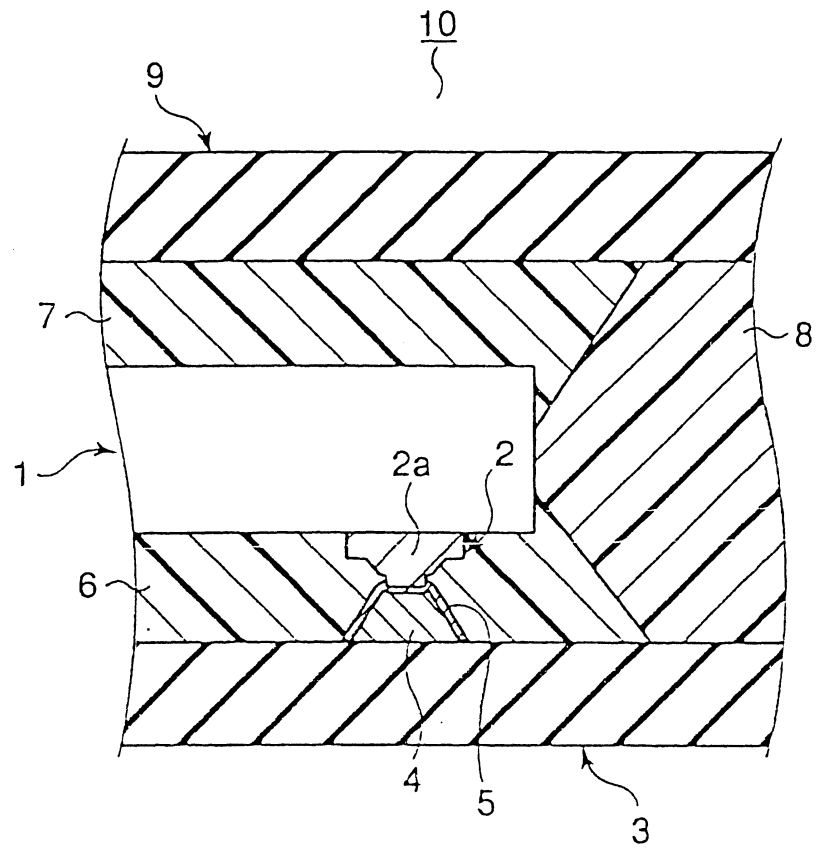
線



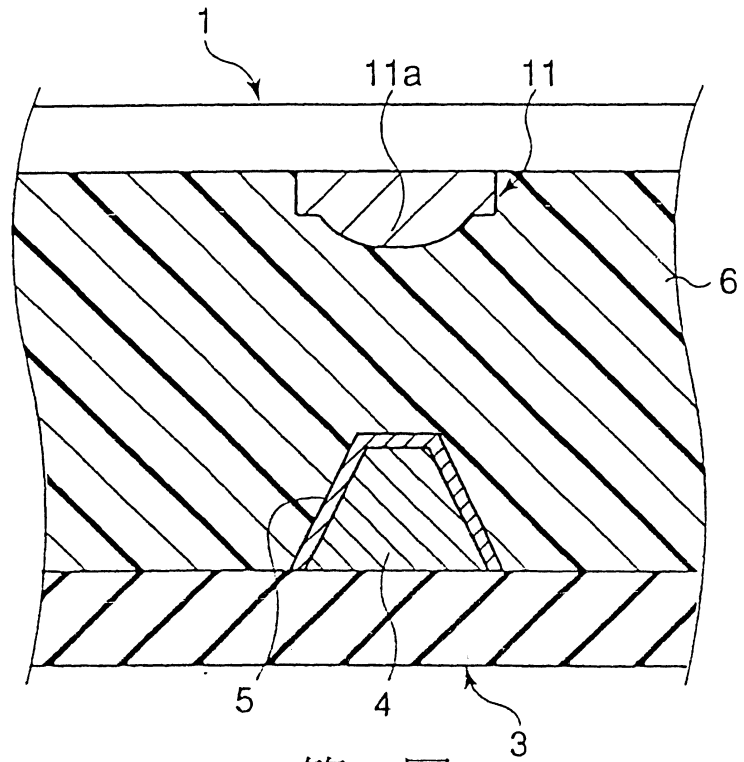
第 1 圖



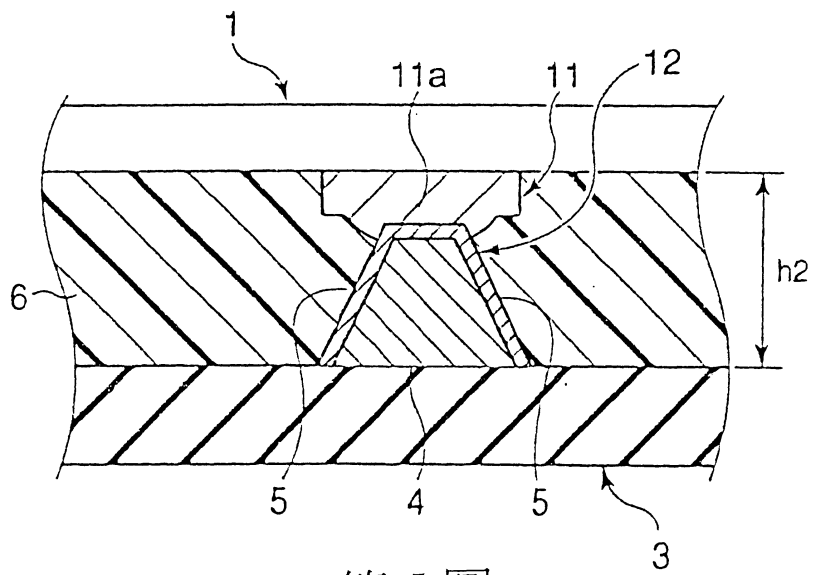
第 2 圖



第 3 圖

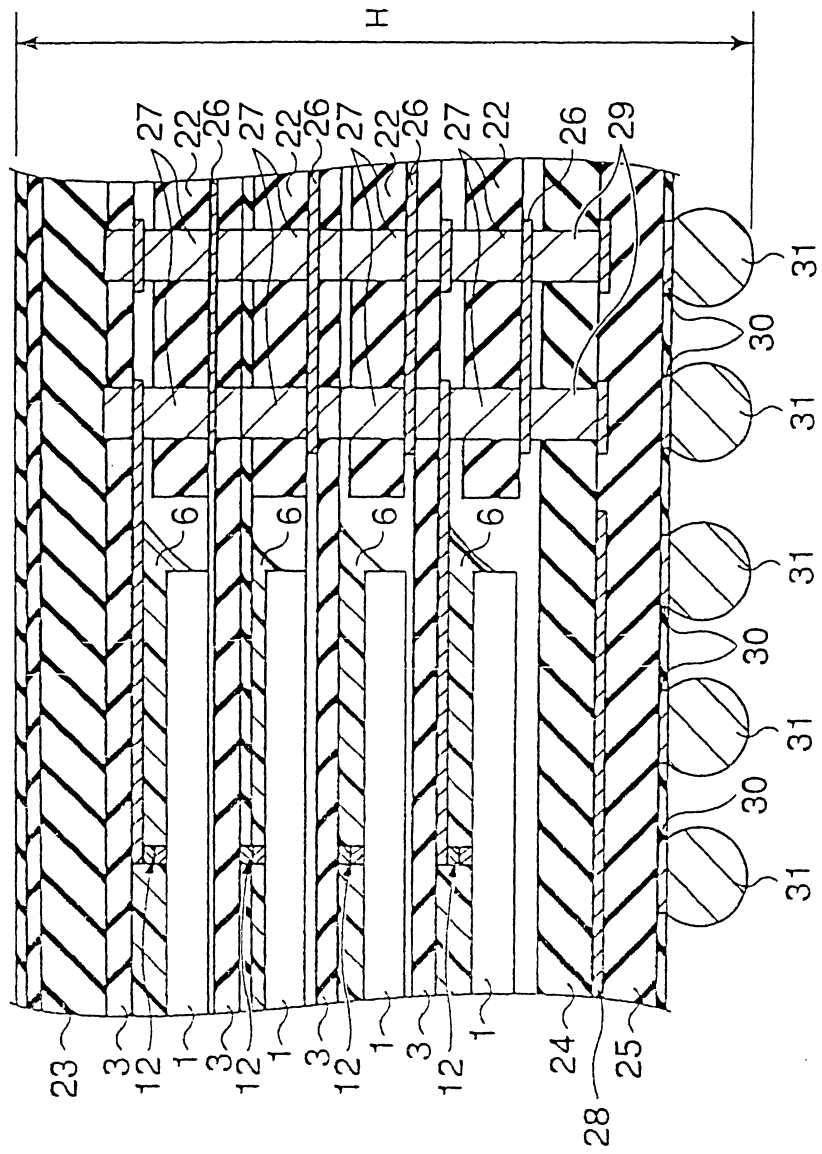


第 4 圖

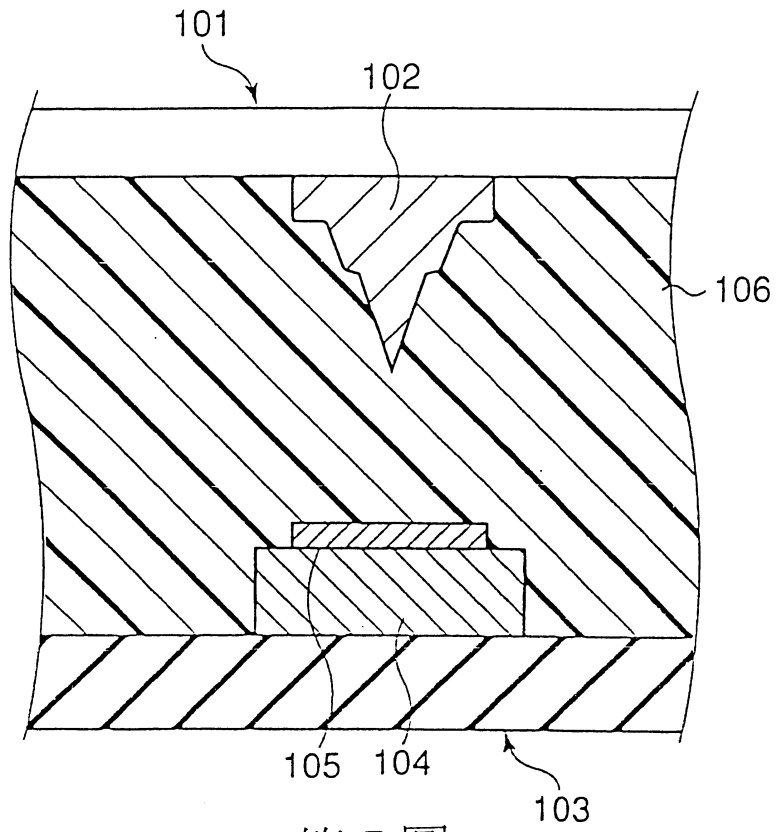


第 5 圖

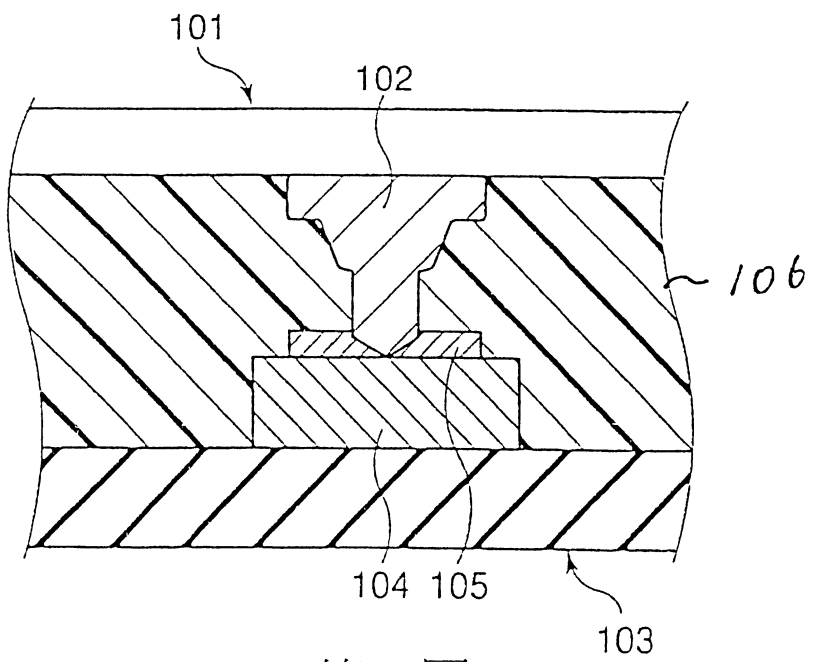
21



第6圖



第 7 圖



第 8 圖

(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

1:半導體晶片

2:柱狀突塊

2a:前端部

3:晶片搭載基板

4:內部引線

5:電鍍薄膜

6:密封樹脂