

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-103605

(P2015-103605A)

(43) 公開日 平成27年6月4日(2015.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/06 3 1 1 B	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 29/06 3 0 1 G	
HO 1 L 29/06 (2006.01)	HO 1 L 29/91 D	
HO 1 L 29/861 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2013-241893 (P2013-241893)
 (22) 出願日 平成25年11月22日 (2013.11.22)

(71) 出願人 591128453
 株式会社メガチップス
 大阪府大阪市淀川区宮原一丁目1番1号
 (74) 代理人 100080159
 弁理士 渡辺 望稔
 (74) 代理人 100090217
 弁理士 三和 晴子
 (72) 発明者 佐々木 真吾
 千葉県千葉市美浜区中瀬1丁目3番地 株
 式会社メガチップス内
 Fターム(参考) 5F038 BH04 BH13 BH18 CA02 CA05
 CA09 CD02 EZ13 EZ20
 5F048 AA02 BA01 BE02 BE04 BE05
 BE09 BF18 BH01 BH05 CC06

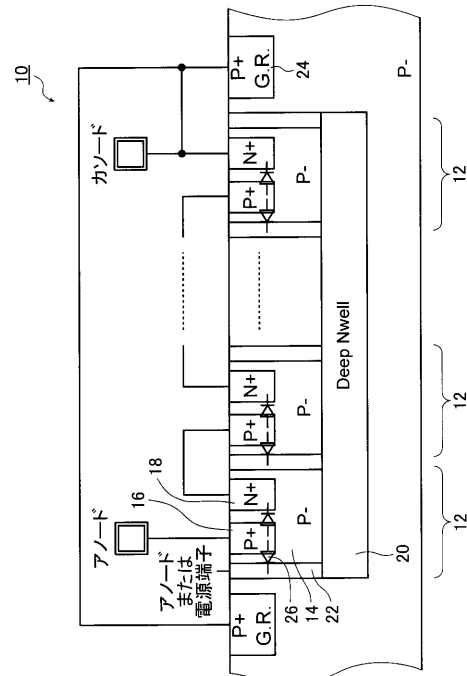
(54) 【発明の名称】 E S D保護回路

(57) 【要約】

【課題】ダイオードストリングのリーク電流が増加することを防止することができるE S D保護回路を提供する。

【解決手段】E S D保護回路のダイオードストリングは、通常動作時に、アノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成されている。各々のダイオードは、NウェルおよびディープNウェルによって基板分離された、各々対応するP型基板の中に形成されたP型アクティブ領域およびN型アクティブ領域からなるPN接合によって構成されている。初段のダイオードのP型アクティブ領域がダイオードストリングのアノードとなり、前段のダイオードのN型アクティブ領域が順次後段のダイオードのP型アクティブ領域に接続され、最終段のダイオードのN型アクティブ領域がダイオードストリングのカソードとなる。NウェルおよびディープNウェルは、ダイオードストリングのアノード、もしくは、半導体集積回路の電源端子に接続される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ダイオードストリングを備え、前記ダイオードストリングを使用して、ESDによる静電破壊から、半導体集積回路の内部回路を保護するESD保護回路であって、

前記ダイオードストリングは、通常動作時に、前記ダイオードストリングのアノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成され、

各々の前記ダイオードは、NウェルおよびディープNウェルによって基板分離された、各々対応するP型基板もしくはPウェルの中に形成されたP型アクティブ領域およびN型アクティブ領域からなるPN接合によって構成され、

初段の前記ダイオードのP型アクティブ領域が前記ダイオードストリングのアノードとなり、前段の前記ダイオードのN型アクティブ領域が順次後段の前記ダイオードのP型アクティブ領域に接続され、最終段の前記ダイオードのN型アクティブ領域が前記ダイオードストリングのカソードとなり、

前記NウェルおよびディープNウェルは、前記ダイオードストリングのアノード、もしくは、前記半導体集積回路の電源端子に接続されていることを特徴とするESD保護回路。

10

【請求項 2】

ダイオードストリングを備え、前記ダイオードストリングを使用して、ESDによる静電破壊から、半導体集積回路の内部回路を保護するESD保護回路であって、

前記ダイオードストリングは、通常動作時に、前記ダイオードストリングのアノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成され、

各々の前記ダイオードは、PウェルおよびディープPウェルによって基板分離された、各々対応するN型基板もしくはNウェルの中に形成されたP型アクティブ領域およびN型アクティブ領域からなるPN接合によって構成され、

初段の前記ダイオードのP型アクティブ領域が前記ダイオードストリングのアノードとなり、前段の前記ダイオードのN型アクティブ領域が順次後段の前記ダイオードのP型アクティブ領域に接続され、最終段の前記ダイオードのN型アクティブ領域が前記ダイオードストリングのカソードとなり、

前記PウェルおよびディープPウェルは、前記ダイオードストリングのカソード、もしくは、前記半導体集積回路のグランド端子に接続されていることを特徴とするESD保護回路。

20

30

【請求項 3】

さらに、前記半導体集積回路のグランド端子から信号入力端子へ向かって順方向に接続されたダイオードと、

前記電源端子と前記グランド端子との間に接続され、ESDによる過電圧が前記電源端子に印加された時にオンして、前記電源端子から前記グランド端子へ向かってESDによる電流を流す保護素子とを備え、

前記ダイオードストリングは、前記信号入力端子から前記グランド端子へ向かって順方向に接続されている請求項 1 または 2 に記載のESD保護回路。

40

【請求項 4】

さらに、前記半導体集積回路のグランド端子から前記電源端子へ向かって順方向に接続されたダイオードを備え、

前記ダイオードストリングは、前記電源端子から前記グランド端子へ向かって順方向に接続されている請求項 1 または 2 に記載のESD保護回路。

【請求項 5】

前記ダイオードストリングは、前記半導体集積回路の信号入力端子からグランド端子へ向かって順方向に接続され、

前記NウェルおよびディープNウェルは、前記半導体集積回路の電源端子に接続されて

50

いる請求項 1 に記載の E S D 保護回路。

【請求項 6】

前記ダイオードストリングは、前記半導体集積回路の電源端子からグランド端子へ向かって順方向に接続され、

前記 N ウェルおよびディープ N ウェルは、前記半導体集積回路の電源端子に接続されている請求項 1 に記載の E S D 保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイオードストリングを使用して、E S D (Electro-Static Discharge : 静電気放電) による静電破壊から、半導体集積回路の内部回路を保護する E S D 保護回路に関するものである。

10

【背景技術】

【0002】

寄生容量の低減や動作電圧の調整などの観点から、例えば、半導体集積回路の電源端子 - グランド端子間または信号入力端子 - グランド端子間の E S D 保護回路において、複数のダイオードが直列に接続されたダイオードストリングが使用されることがある。

【0003】

図 6 は、ダイオードストリングを備える E S D 保護回路の構成を表す一例の回路図である。同図には、保護端子 (Zap PAD) と基準端子 (Base PAD) との間に接続された半導体集積回路の内部回路 28 が示されている。

20

E S D 保護回路としてのダイオードストリング 50 は、通常動作時に、アノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成され、保護端子から基準端子へ向かって順方向に接続されている。

例えば、保護端子は、信号入力端子または電源端子であり、基準端子は、グランド端子である。

【0004】

通常動作時に、保護端子に供給される電圧を V_{zb} 、ダイオードストリング 50 のしきい値電圧を $V_{on_diost r}$ とすると、両者の間には、式 (1) に示す関係が成り立つ。

30

$$V_{zb} < V_{on_diost r} \dots (1)$$

従って、ダイオードストリング 50 は、通常動作時にはオフであり、内部回路 28 の動作には何ら影響を与えない。

【0005】

一方、基準端子を基準として、通常動作時に、電圧 V_{zb} よりも高い、E S D によるプラスの過電圧が保護端子に印加された場合、ダイオードストリング 50 がオンし、E S D による電流は、保護端子からダイオードストリング 50 を介して基準端子へ向かって放電される。

このように、ダイオードストリング 50 により、E S D による静電破壊から、内部回路 28 を保護することができる。

40

【0006】

続いて、図 7 は、従来のダイオードストリングのレイアウトを表す一例の断面図である。同図に示すように、従来のダイオードストリング 50 を構成する各々のダイオード 52 は、N ウェル 54 の中に形成された P 型アクティブ領域 (P+) 56 および N 型アクティブ領域 (N+) 58 からなる P N 接合によって構成されている。

同図中、最も左側のダイオード 52 が初段のダイオードであり、最も右側のダイオード 52 が最終段のダイオードである。

【0007】

初段のダイオード 52 の P 型アクティブ領域 56 がダイオードストリング 50 のアノードとなり、その N 型アクティブ領域 58 が、2 段目のダイオード 52 の P 型アクティブ領

50

域 5 6 に接続されている。以後同様に、前段のダイオード 5 2 の N 型アクティブ領域 5 8 が順次後段のダイオード 5 2 の P 型アクティブ領域 5 6 に接続され、最終段のダイオード 5 2 の N 型アクティブ領域 5 8 がダイオードストリング 5 0 のカソードとなる。

【 0 0 0 8 】

また、ダイオードストリング 5 0 の周囲には、ガードリング (G . R .) (P +) 6 0 が配置されている。ガードリング 6 0 は、ダイオードストリング 5 0 のカソードに接続されている。

【 0 0 0 9 】

一般的に、ダイオードストリング 5 0 を構成する各々のダイオード 5 2 は、図 7 に示すように、N ウェル 5 4 内に形成される。この構成では、通常動作時に、ダイオードストリング 5 0 のアノードおよびカソードに供給される電圧が、ダイオードストリング 5 0 がターンオンする電圧にいたっていない場合であっても、図 8 に示すように、僅かな漏れ電流が各ダイオード 5 2 のアノード - カソード間に流れる。

各々のダイオード 5 2 の漏れ電流は、各々のダイオード 5 2 を構成する P 型アクティブ領域 5 6、N ウェル 5 4、および、P 型基板 (P -) 6 2 からなる縦方向の寄生 P N P バイポーラトランジスタ 6 6 のベース電流となり、リーク電流の増加をもたらす可能性がある。

【 0 0 1 0 】

ダイオードストリング 5 0 のアノードとカソードとの間の電圧が高くなるに従って、寄生 P N P バイポーラトランジスタ 6 6 のエミッタ - コレクタ間の電圧が高くなり、それだけリーク電流が増える。

また、温度が高くなるに従って、ダイオードストリング 5 0 を構成する各々のダイオード 5 2 の P N 接合における漏れ電流が大きくなり、寄生 P N P バイポーラトランジスタ 6 6 のベース電流が増えるため、リーク電流が増える。

【 0 0 1 1 】

これに対し、リーク電流を低減する方法として、例えば、以下の 2 つの方法 1、2 が考えられる。

【 0 0 1 2 】

(方法 1) ダイオードストリング 5 0 を構成する各々のダイオード 5 2 の面積を小さくする。

ダイオード 5 2 の面積を小さくすることにより、寄生 P N P バイポーラトランジスタ 6 6 のサイズが小さくなるため、リーク電流を低減することができる。

しかし、この方法では、E S D 保護回路としてのダイオードストリング 5 0 のサイズが小さくなるため、同一電流に対するクランプ電圧が大きくなり、E S D 保護回路としての特性が劣化する。

【 0 0 1 3 】

(方法 2) ダイオードストリング 5 0 を構成するダイオード 5 2 の段数を増やす。

ダイオード 5 2 の段数を増やすことにより、ダイオード 5 2 の漏れ電流が減少するため、結果として寄生 P N P バイポーラのベース電流が抑えられるため、リーク電流を低減することができる。

しかし、この方法では、ダイオードストリング 5 0 のしきい値が高くなるため、同様に、同一電流に対するクランプ電圧が大きくなり、E S D 保護素子としての特性が劣化する。また、レイアウト面積が増大するという別の問題が発生する。さらに、通常動作時の電源電圧が高くなると、必要なダイオード 5 2 の段数が大幅に増加し、E S D 保護回路として、ダイオードストリング 5 0 を使用することができなくなる。

【 0 0 1 4 】

従来、ダイオードストリング 5 0 のリーク電流が問題になることはほとんどなかったが、近年では、これが問題となる可能性が生じてきた。

例えば、半導体集積回路の製造プロセスが進歩するに従って、N ウェル 5 4 の深さは浅くなる傾向がある。N ウェル 5 4 の深さが浅くなると、縦方向の寄生 P N P バイポーラト

10

20

30

40

50

ランジスタ 66 のベース長が短くなるため、リーク電流が増加する。

また、従来の半導体集積回路は、取り扱う信号が低速であったため、リーク電流を気にする必要がない場合が多かった。しかし、近年の半導体集積回路は、数 GHz という高速の信号を取り扱うことから、微少なリーク電流であっても信号特性に影響が出る。そのため、近年の半導体集積回路では、従来は問題となっていなかったレベルのリーク電流でも、許容されなくなっている。

【0015】

図9は、ダイオードストリングを構成するダイオードの段数と、ダイオードストリングがオンする電圧、および、所定のリーク電流が流れ始める電圧との関係を表す一例のグラフである。

このグラフから、ダイオードストリング50がオンする電圧は、ダイオードストリング50を構成するダイオード52の段数に依存して変化することが分かる。つまり、ダイオード52の段数を増やすことにより、ダイオード52の段数に応じて、ダイオードストリング50のしきい値電圧を大きくすることができる。

その一方で、所定のリーク電流が流れ始める電圧は、ダイオードストリング50を構成するダイオード52の段数に単純に依存して変化しない。つまり、ダイオード52の段数を単純に増やしても、ダイオード52の段数に応じて、リーク電流を低減することはできない。

【0016】

通常、レイアウト面積や、ESD保護回路の駆動力等の観点から、ダイオードストリング50を構成するダイオード52の段数は、通常動作時にオンしない範囲でできる限り少なくなるように設計される。

しかし、微少なリーク電流でも問題となるような半導体集積回路では、例えば、ダイオードストリング50を構成するダイオード52の段数を増やしてリーク電流を低減する必要があるが、前述のように、単純にダイオード52の段数を増やすだけでは、リーク電流を低減することは難しい。

【0017】

ここで、本発明に関連性のある先行技術文献として、特許文献1～4がある。

例えば、特許文献1には、p型基板と、n型エピタキシャル層との間に、n+型埋込層を形成することが記載されている。特許文献2～4にも、同様の埋込層を形成することが記載されている。

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開平9-213947号公報

【特許文献2】特開2003-224252号公報

【特許文献3】特開2004-47937号公報

【特許文献4】特開2010-171134号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

本発明の目的は、前記従来技術の問題点を解消し、ダイオードストリングのリーク電流が増加することを防止することができるESD保護回路を提供することにある。

【課題を解決するための手段】

【0020】

上記目的を達成するために、本発明は、ダイオードストリングを備え、前記ダイオードストリングを使用して、ESDによる静電破壊から、半導体集積回路の内部回路を保護するESD保護回路であって、

前記ダイオードストリングは、通常動作時に、前記ダイオードストリングのアノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成さ

10

20

30

40

50

れ、

各々の前記ダイオードは、NウェルおよびディープNウェルによって基板分離された、各々対応するP型基板もしくはPウェルの中に形成されたP型アクティブ領域およびN型アクティブ領域からなるPN接合によって構成され、

初段の前記ダイオードのP型アクティブ領域が前記ダイオードストリングのアノードとなり、前段の前記ダイオードのN型アクティブ領域が順次後段の前記ダイオードのP型アクティブ領域に接続され、最終段の前記ダイオードのN型アクティブ領域が前記ダイオードストリングのカソードとなり、

前記NウェルおよびディープNウェルは、前記ダイオードストリングのアノード、もしくは、前記半導体集積回路の電源端子に接続されていることを特徴とするESD保護回路を提供するものである。

10

【0021】

また、本発明は、ダイオードストリングを備え、前記ダイオードストリングを使用して、ESDによる静電破壊から、半導体集積回路の内部回路を保護するESD保護回路であって、

前記ダイオードストリングは、通常動作時に、前記ダイオードストリングのアノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成され、

各々の前記ダイオードは、PウェルおよびディープPウェルによって基板分離された、各々対応するN型基板もしくはNウェルの中に形成されたP型アクティブ領域およびN型

20

アクティブ領域からなるPN接合によって構成され、
初段の前記ダイオードのP型アクティブ領域が前記ダイオードストリングのアノードとなり、前段の前記ダイオードのN型アクティブ領域が順次後段の前記ダイオードのP型アクティブ領域に接続され、最終段の前記ダイオードのN型アクティブ領域が前記ダイオードストリングのカソードとなり、

前記PウェルおよびディープPウェルは、前記ダイオードストリングのカソード、もしくは、前記半導体集積回路のグランド端子に接続されていることを特徴とするESD保護回路を提供する。

【0022】

ここで、さらに、前記半導体集積回路のグランド端子から信号入力端子へ向かって順方向に接続されたダイオードと、

30

前記電源端子と前記グランド端子との間に接続され、ESDによる過電圧が前記電源端子に印加された時にオンして、前記電源端子から前記グランド端子へ向かってESDによる電流を流す保護素子とを備え、

前記ダイオードストリングは、前記信号入力端子から前記グランド端子へ向かって順方向に接続されていることが好ましい。

【0023】

また、さらに、前記半導体集積回路のグランド端子から前記電源端子へ向かって順方向に接続されたダイオードを備え、

前記ダイオードストリングは、前記電源端子から前記グランド端子へ向かって順方向に接続されていることが好ましい。

40

【0024】

また、前記ダイオードストリングは、前記半導体集積回路の信号入力端子からグランド端子へ向かって順方向に接続され、

前記NウェルおよびディープNウェルは、前記半導体集積回路の電源端子に接続されていることが好ましい。

【0025】

また、前記ダイオードストリングは、前記半導体集積回路の電源端子からグランド端子へ向かって順方向に接続され、

前記NウェルおよびディープNウェルは、前記半導体集積回路の電源端子に接続されて

50

いることが好ましい。

【発明の効果】

【0026】

本発明では、ダイオードストリングを構成する各々のダイオードが、例えば、NウェルおよびディープNウェルによって基板分離された、各々対応するP型基板またはPウェルの中に形成されている。これにより、本発明によれば、ダイオードストリングのリーク電流がベース電流となってオンする縦方向の寄生PNPバイポーラトランジスタが存在しないため、ダイオードストリングのリーク電流が増加することを防止することができる。

【図面の簡単な説明】

【0027】

【図1】本発明のESD保護回路が備えるダイオードストリングのレイアウトを表す一実施形態の断面図である。

【図2】図1に示すダイオードストリングを備えるESD保護回路の構成を表す一例の回路図である。

【図3】図2に示すダイオードストリングのレイアウトを表す一例の断面図である。

【図4】図1に示すダイオードストリングを備えるESD保護回路の構成を表す別の例の回路図である。

【図5】図4に示すダイオードストリングのレイアウトを表す一例の断面図である。

【図6】ダイオードストリングを備えるESD保護回路の構成を表す一例の回路図である。

【図7】従来のダイオードストリングのレイアウトを表す一例の断面図である。

【図8】図7に示すダイオードストリングにおいて、ダイオードストリングを構成する各々のダイオードに流れる漏れ電流、および、寄生PNPバイポーラトランジスタを介して流れるリーク電流を表す一例の概念図である。

【図9】ダイオードストリングを構成するダイオードの段数と、ダイオードストリングがオンする電圧、および、所定のリーク電流が流れ始める電圧との関係を表す一例のグラフである。

【発明を実施するための形態】

【0028】

以下に、添付の図面に示す好適実施形態に基づいて、本発明のESD保護回路を詳細に説明する。

【0029】

図1は、本発明のESD保護回路が備えるダイオードストリングのレイアウトを表す一実施形態の断面図である。

本実施形態のESD保護回路は、図6に示すESD保護回路の場合と同様に、ダイオードストリング10を備え、ダイオードストリング10を使用して、ESDによる静電破壊から、半導体集積回路の内部回路28を保護するものである。

ダイオードストリング10は、通常動作時に、アノードおよびカソードに供給される電圧ではオンしない段数のダイオードを直列に接続して構成され、保護端子から基準端子へ向かって順方向に接続されている。

同様に、保護端子は、信号入力端子または電源端子であり、基準端子は、グランド端子である。

【0030】

図1に示すダイオードストリング10を構成する各々のダイオード12は、各々対応するP型基板(P-)14の中に形成され、P型アクティブ領域(P+)16およびN型アクティブ領域(N+)18からなるPN接合によって構成されている。

基板表面と平行な方向に対して、各々のダイオード12の形成領域を含むように、基板表面から所定の深さにディープNウェル(Deep Nwell)20が形成されている。また、基板表面と直交する方向に対して、各々のダイオード12の形成領域の周囲を取り囲み、かつ、基板表面とディープNウェル20との間を接続するように、Nウェル(N-)22が

10

20

30

40

50

形成されている。

これにより、各々のダイオード 1 2 に対応する P 型基板 1 4 は、N ウェル 2 2 およびディープ N ウェル 2 0 によって基板分離されている。

同様に、同図中、最も左側のダイオード 1 2 が初段のダイオードであり、最も右側のダイオード 1 2 が最終段のダイオードである。

【 0 0 3 1 】

初段のダイオード 1 2 の P 型アクティブ領域 1 6 がダイオードストリング 1 0 のアノードとなり、その N 型アクティブ領域 1 8 が、2 段目のダイオード 1 2 の P 型アクティブ領域 1 6 に接続されている。以後同様に、前段のダイオード 1 2 の N 型アクティブ領域 1 8 が順次後段のダイオード 1 2 の P 型アクティブ領域 1 6 に接続され、最終段のダイオード 1 2 の N 型アクティブ領域 1 8 がダイオードストリング 1 0 のカソードとなる。

10

【 0 0 3 2 】

また、ダイオードストリング 1 0 の周囲には、ガードリング (G . R .) (P +) 2 4 が配置されている。ガードリング 2 4 は、ダイオードストリング 1 0 のカソードに接続されている。

【 0 0 3 3 】

N ウェル 2 2 およびディープ N ウェル 2 0 は、ダイオードストリング 1 0 のアノード、もしくは、電源端子に接続されている。

ディープ N ウェル 2 0 には、通常動作時に、ダイオードストリング 1 0 のアノードに供給される電圧よりも高い電圧を供給する必要がある。その理由は、初段のダイオード 1 2 を構成する P 型アクティブ領域 1 6 と、N ウェル 2 2 およびディープ N ウェル 2 0 によって構成される寄生ダイオード 2 6 がオンするのを防止し、ダイオードストリング 1 0 のアノードから寄生ダイオード 2 6 を介して N ウェル 2 2 およびディープ N ウェル 2 0 が接続されたノードへリーク電流が流れないようにするためである。

20

【 0 0 3 4 】

本実施形態のダイオードストリング 1 0 では、ダイオードストリング 1 0 を構成する各々のダイオード 1 2 が、N ウェル 2 2 およびディープ N ウェル 2 0 によって基板分離された、各々対応する P 型基板 1 4 の中に形成されている。これにより、ダイオードストリング 1 0 のリーク電流がベース電流となってオンする縦方向の寄生 P N P バイポーラトランジスタが存在しないため、ダイオードストリング 1 0 のリーク電流が増加することを防止することができる。

30

【 0 0 3 5 】

一方で、ダイオードストリング 1 0 を構成する各々のダイオード 1 2 の P 型基板 (P - 領域) 1 4 、N ウェル 2 2 およびディープ N ウェル 2 0 、ならびに、P 型基板 1 4 からなる寄生 P N P バイポーラトランジスタが存在する。

しかし、N ウェル 2 2 およびディープ N ウェル 2 0 には、通常動作時に、ダイオードストリング 1 0 のアノードに供給される電圧以上の電圧が供給されるため、この寄生 P N P バイポーラトランジスタが、通常動作時に動作することはない。従って、この寄生 P N P バイポーラトランジスタを介してリーク電流が増加することはない。

40

【 0 0 3 6 】

次に、図 1 に示すダイオードストリング 1 0 の適用方法について説明する。

ダイオードストリング 1 0 は、例えば、信号入力端子とグランド端子との間の保護、もしくは、電源端子とグランド端子との間の保護に適用することが想定される。

まず、ダイオードストリング 1 0 を、信号入力端子とグランド端子との間の保護に適用する場合について説明する。

【 0 0 3 7 】

図 2 は、図 1 に示すダイオードストリングを備える E S D 保護回路の構成を表す一例の回路図である。同図には、電源端子 V D D とグランド端子 G N D との間に接続され、信号入力端子 I N を介して入力される信号に基づいて動作する内部回路 2 8 が示されている。同図に示す E S D 保護回路 3 0 は、図 1 に示すダイオードストリング 1 0 と、ダイオード

50

32と、保護素子34とを備えている。

【0038】

ダイオードストリング10は、信号入力端子INからグランド端子GNDへ向かって順方向に接続され、通常動作時に、信号入力端子INに供給される信号の電圧およびグランド端子GNDに供給されるグランド電圧ではオンしない段数のダイオード12を直列に接続して構成されている。また、ダイオードストリング10のNウェル22およびディープNウェル20は、図3に示すように、電源端子VDDに接続されている。

ダイオード32は、グランド端子GNDから信号入力端子INへ向かって順方向に接続されている。

保護素子34は、電源端子VDDとグランド端子GNDとの間に接続されている。保護素子34は、具体的な回路の構成を省略しているが、通常動作時にはオフし、ESDによる過電圧が電源端子に印加された時にオンして、電源端子VDDからグランド端子GNDへ向かってESDによる電流を流すものである。

【0039】

通常動作時に、電源端子VDDに供給される電源電圧をVdd、グランド端子GNDに供給されるグランド電圧をVgnd、信号入力端子INに入力される信号の電圧をVinとすると、これらの電源電圧Vdd、グランド電圧Vgndおよび信号の電圧Vinの通常動作時の関係は、式(2)に示すようになる。

$$Vdd > Vin > Vgnd \quad \dots \quad (2)$$

【0040】

通常動作時において、ダイオードストリング10のしきい値は、信号の電圧Vinよりも大きい電圧に設定されているため、ダイオードストリング10はオンしない。

また、信号入力端子INから電源端子VDDへ向かって、初段のダイオード12を構成するP型アクティブ領域16と、Nウェル22およびディープNウェル20とによって構成される寄生ダイオード26が存在するが、電源電圧Vdd > 信号の電圧Vinであるため、この寄生ダイオード26もオンしない。

ダイオード32は、信号の電圧Vin > グランド電圧Vgndであるためオンしない。

保護素子34は、電源電圧Vddおよびグランド電圧Vgndではオンしない。

従って、ESD保護回路30は、内部回路28の通常動作時には何ら影響を与えない。

【0041】

一方、ESD発生時において、まず、グランド端子GNDを基準として、電源電圧Vddよりも大きいプラスの過電圧が信号入力端子に印加された場合、ダイオードストリング10がオンし、信号入力端子INからダイオードストリング10を介してグランド端子GNDへ向かってESDによる電流が流れる。

このように、ダイオードストリング10により、ESDによる静電破壊から、信号入力端子INに接続されている内部回路28を保護することができる。

【0042】

続いて、グランド端子GNDを基準として、グランド電圧Vgndよりも小さいマイナスの過電圧が信号入力端子INに印加された場合、ダイオード32がオンし、グランド端子GNDからダイオード32を介して信号入力端子INへ向かってESDによる電流が流れる。

このように、ダイオード32により、ESDによる静電破壊から、信号入力端子INに接続されている内部回路28を保護することができる。

【0043】

続いて、電源端子VDDを基準として、プラスの過電圧が信号入力端子INに印加された場合、寄生ダイオード26がオンし、信号入力端子INから寄生ダイオード26を介して電源端子VDDへ向かってESDによる電流が流れる。

このように、寄生ダイオード26により、ESDによる静電破壊から、信号入力端子INに接続されている内部回路28を保護することができる。

【0044】

10

20

30

40

50

続いて、電源端子VDDを基準として、マイナスの過電圧が信号入力端子INに印加された場合、ダイオード32および保護素子34がオンし、電源端子VDDから保護素子34、グランド端子GNDおよびダイオード32を介して信号入力端子INへ向かってESDによる電流が流れる。

このように、ダイオード32および保護素子34により、ESDによる静電破壊から、信号入力端子INに接続されている内部回路28を保護することができる。

【0045】

続いて、ダイオードストリング10を、電源端子とグランド端子との間の保護に適用する場合について説明する。

【0046】

図4は、図1に示すダイオードストリングを備えるESD保護回路の構成を表す別の回路図である。同図には、同様に、電源端子VDDとグランド端子GNDとの間に接続された内部回路28が示されている。同図に示すESD保護回路40は、図1に示すダイオードストリング10と、ダイオード36とを備えている。

ダイオードストリング10は、電源端子VDDからグランド端子GNDへ向かって順方向に接続され、通常動作時に、電源電圧V_{dd}およびグランド電圧V_{gnd}ではオンしない段数のダイオード12を直列に接続して構成されている。また、ダイオードストリング10のNウェル22およびディープNウェル20は、図5に示すように、電源端子VDDに接続されている。

ダイオード36は、グランド端子GNDから電源端子VDDへ向かって順方向に接続されている。

【0047】

通常動作時において、ダイオードストリング10のしきい値は、電源電圧V_{dd}よりも大きい電圧に設定されているため、ダイオードストリング10はオンしない。

また、初段のダイオード12を構成するP型アクティブ領域16と、Nウェル22およびディープNウェル20とによって構成される寄生ダイオード26は、寄生ダイオード26のアノードおよびカソードがともに電源電圧V_{dd}であるため、オンしない。

ダイオード36は、電源電圧V_{dd} > グランド電圧V_{gnd}であるためオンしない。

従って、ESD保護回路40は、内部回路28の通常動作時には何ら影響を与えない。

【0048】

一方、ESD発生時において、まず、グランド端子GNDを基準として、プラスの過電圧が電源端子VDDに印加された場合、ダイオードストリング10がオンし、電源端子VDDからダイオードストリング10を介してグランド端子GNDへ向かってESDによる電流が流れる。

このように、ダイオードストリング10により、ESDによる静電破壊から、電源端子VDDに接続されている内部回路28を保護することができる。

【0049】

続いて、グランド端子GNDを基準として、マイナスの過電圧が電源端子VDDに印加された場合、ダイオード36がオンし、グランド端子GNDからダイオード36を介して電源端子VDDへ向かってESDによる電流が流れる。

このように、ダイオード36により、ESDによる静電破壊から、電源端子VDDに接続されている内部回路28を保護することができる。

【0050】

なお、Nウェル22およびディープNウェル20を形成する方法は従来公知であり、本発明においても、従来公知の方法を含む、各種の方法を利用してNウェル22およびディープNウェル20を形成することができる。

また、基板分離されたP型基板14にさらにP型不純物を注入してPウェル(P-)を形成し、ダイオードストリング10を構成する各々のダイオード12を、各々対応するPウェルの中に形成することもできる。

【0051】

10

20

30

40

50

また、ダイオードストリング 10 において、N ウェルおよびディープNウェルの代わりに、PウェルおよびディープPウェルを、P型基板またはPウェルの代わりに、N型基板もしくはNウェルを、それぞれ使用し、PウェルおよびディープPウェルを、ダイオードストリングのカソード、もしくは、グランド端子に接続することにより、同様の機能を有するダイオードストリングを構成することができる。

【0052】

本発明は、基本的に以上のようなものである。

以上、本発明について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【符号の説明】

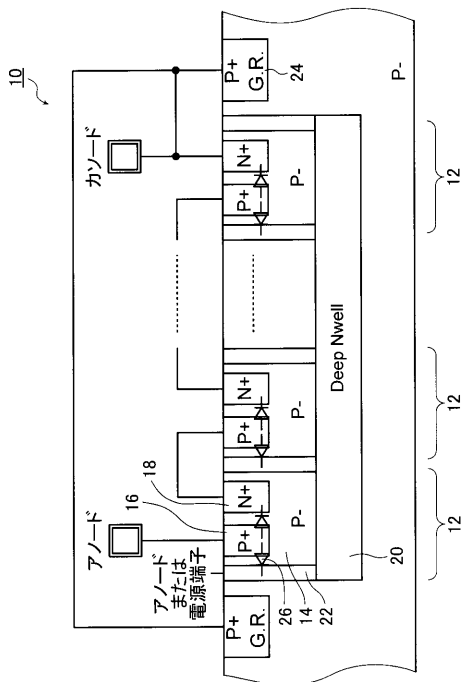
【0053】

- 10、50 ダイオードストリング
- 12、52 ダイオード
- 14、62 P型基板
- 16、56 P型アクティブ領域
- 18、58 N型アクティブ領域
- 20 ディープNウェル
- 22、54 Nウェル
- 24、60 ガードリング
- 26 寄生ダイオード
- 28 内部回路
- 30、40 ESD保護回路
- 32、36 ダイオード
- 34 保護素子
- 66 寄生PNPバイポーラトランジスタ

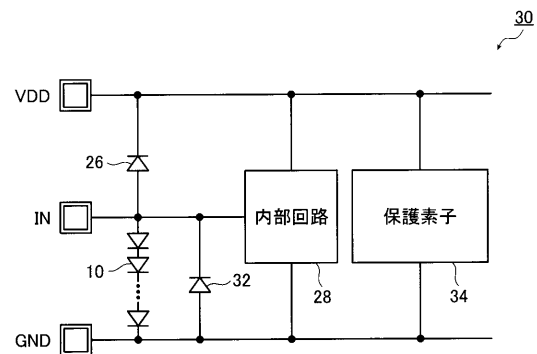
10

20

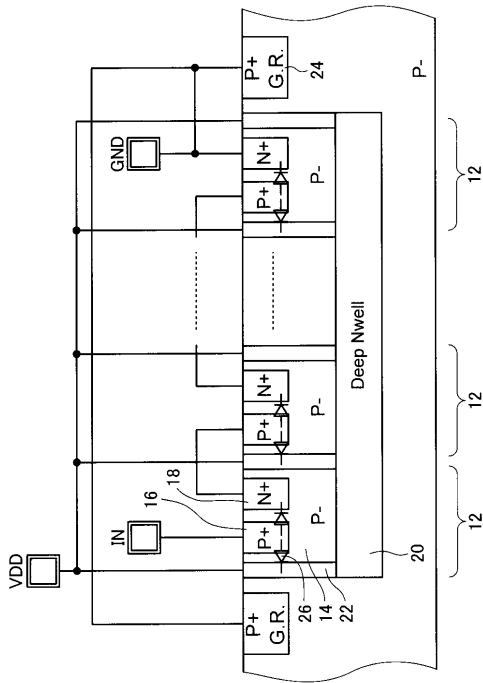
【図1】



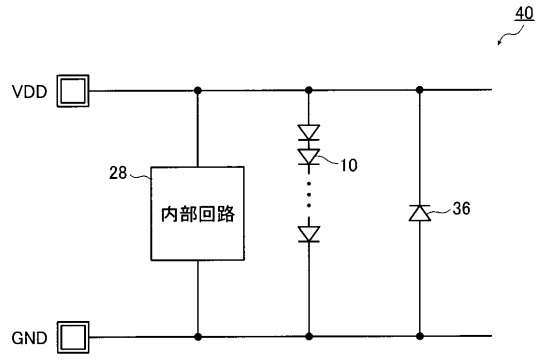
【図2】



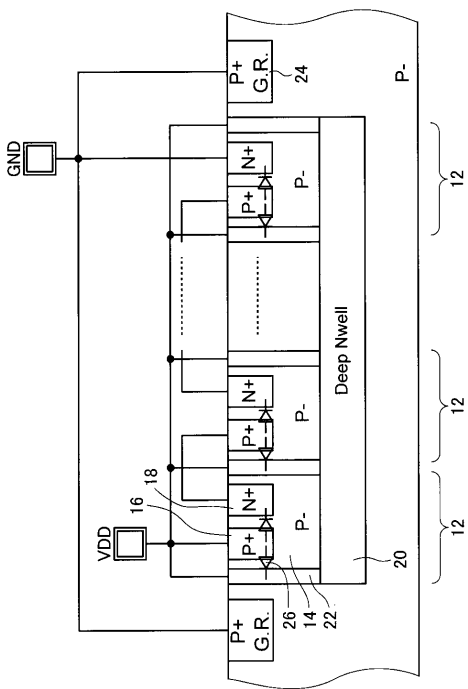
【図3】



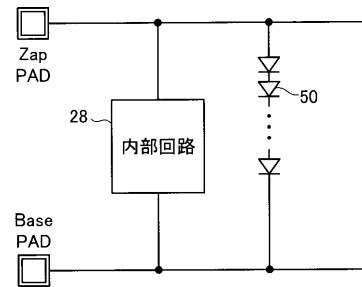
【図4】



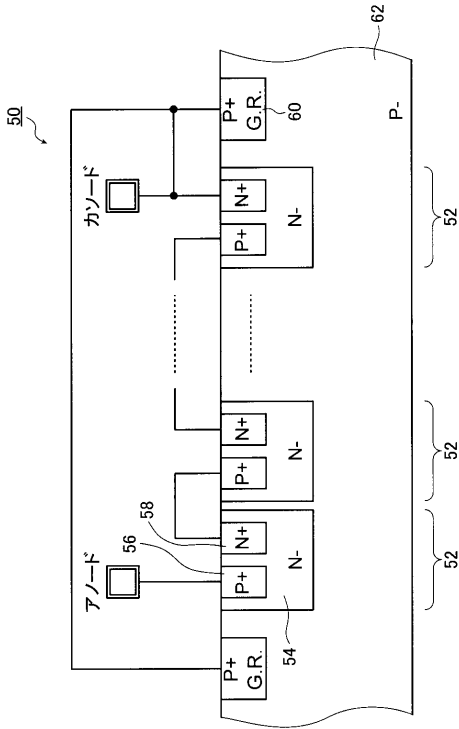
【図5】



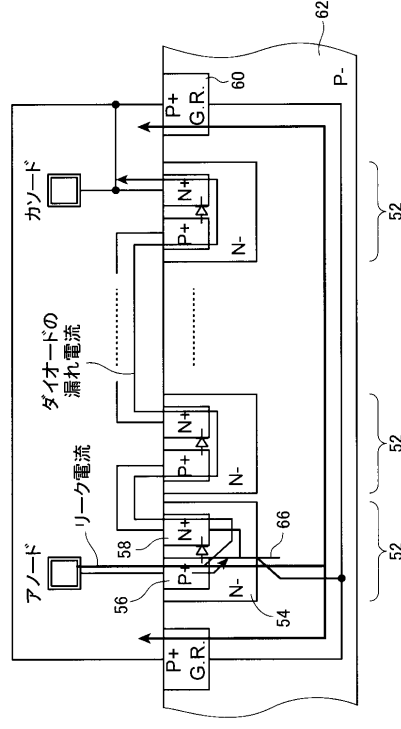
【図6】



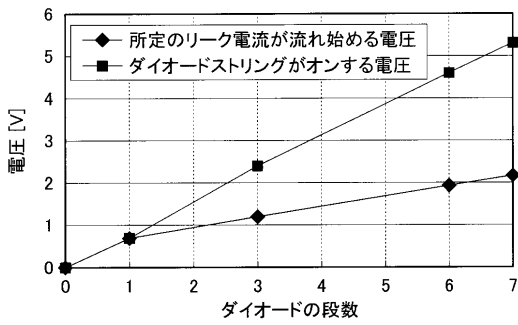
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/868 (2006.01)