

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 23 日 (23.01.2014)



(10) 国际公布号
WO 2014/012265 A1

- (51) 国际专利分类号:
H01L 21/28 (2006.01) H01L 29/772 (2006.01)
- (21) 国际申请号: PCT/CN2012/079092
- (22) 国际申请日: 2012 年 7 月 24 日 (24.07.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210246582.2 2012 年 7 月 16 日 (16.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 杨红 (YANG, Hong) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 马雪丽 (MA, Xueli) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 王文武 (WANG, Wenwu) [CN/CN]; 中国北

京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 韩锴 (HAN, Kai) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 王晓磊 (WANG, Xiaolei) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 殷华湘 (YIN, Huaxiang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 闫江 (YAN, Jiang) [US/US]; 美国纽约州纽堡市蕾蒙娜路 30 号, New York 12550 (US)。

(74) 代理人: 北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,

[见续页]

(54) Title: METHOD FOR FORMING GATE STRUCTURE, METHOD FOR FORMING SEMICONDUCTOR COMPONENT, AND SEMICONDUCTOR COMPONENT

(54) 发明名称: 栅极结构的形成方法、半导体器件的形成方法以及半导体器件

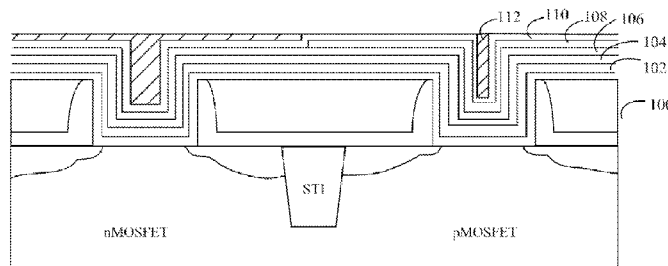


图 8 / Fig. 8

(57) Abstract: A method for forming a gate structure, a method for forming a semiconductor component, and the semiconductor component. The method provided for forming the gate structure comprises: providing a substrate (100), where the substrate (100) comprises an nMOSFET region and a pMOSFET region, where the nMOSFET region and the pMOSFET region respectively are provided with gate grooves, where the gate grooves respectively are provided at the bottom parts thereof with gate dielectric layers; forming a gate dielectric protective layer (102) on the surface of the substrate (100); forming an oxygen-adsorbing element layer (104) on the gate dielectric protective layer (102); forming an etching barrier layer (106) on the oxygen-adsorbing element layer (104); forming a work function adjustment layer (110) on the etching barrier layer (106); performing a metal layer deposition and annealing processing to fill a metal layer (112) in the gate grooves; and removing the metal layer (112) outside of the gate grooves. The method provided for forming the gate structure allows for effectively reduced equivalent gate oxide layer thickness.

(57) 摘要: 一种栅极结构的形成方法, 半导体器件的形成方法以及半导体器件。提供一种栅极结构的形成方法, 包括: 提供衬底 (100), 所述衬底 (100) 包括 nMOSFET 区和 pMOSFET 区, 所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽, 所述栅沟槽的底部分别具有栅介质层; 在所述衬底 (100) 的表面上形成栅介质保护层 (102); 在所述栅介质保护层 (102) 上形成吸氧元素层 (104); 在所述吸氧元素层 (104) 上形成刻蚀阻挡层 (106); 在所述刻蚀阻挡层 (106) 上形成功函数调整层 (110); 进行金属层淀积和退火处理, 以在所述栅沟槽内填充金属层 (112); 以及去除所述栅沟槽之外的金属层 (112)。该提供的栅极结构形成方法能够有效降低等效栅氧化层厚度。



WO 2014/012265 A1



SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW。

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD,
TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

栅极结构的形成方法、半导体器件的形成方法以及半导体器件

本申请要求于 2012 年 7 月 16 日提交中国专利局、申请号为 201210246582.2、发明名称为“栅极结构的形成方法、半导体器件的形成方法以及半导体器件”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体技术领域，更具体地，涉及栅极结构的形成方法、半导体器件的形成方法以及半导体器件。

10 背景技术

随着半导体技术的迅速发展，极大规模集成电路的互补金属氧化物半导体（CMOS）器件的特征尺寸正在遵循摩尔定律的预测不断缩小，传统的多晶硅栅和二氧化硅栅介质正面临着许多技术挑战。例如，在 45 纳米技术节点及以后，二氧化硅栅介质层的厚度约为几个原子层的厚度，将引起栅泄漏电流和功耗的急剧上升。此外，多晶硅栅电极引起多晶硅耗尽效应，还有过高的栅电阻等问题。为此，高介电常数栅介质（高 k）和金属栅电极等材料的引入，可以有效地解决 CMOS 器件的这些问题，并且高 k 栅介质和金属栅电极结构已经被美国英特尔公司成功应用到了 32 纳米技术中。

然而，高 k 栅介质/金属栅结构的引入也带来了一些新的问题，例如，在高 k 栅介质的生长过程中，在高 k 栅介质与半导体衬底表面之间存在一层不可避免的二氧化硅界面层。通常，高 k 栅介质/金属栅工艺的界面层厚度约为 0.5 至 0.7 纳米。但 CMOS 器件进入 32 纳米及以下技术节点后，高 k 栅介质的等效栅氧化层厚度不超过 0.7 纳米，甚至要求更高，并且，后续工艺的高温退火过程将增加界面层的厚度。因此，通过工艺条件和/或材料的优化来实现高 k 栅介质层的等效氧化层厚度降低，成为了业界的研究难点与重点。

发明内容

针对上述问题，本发明提供一种新的 CMOS 制造方法，能够有效降低等效栅氧化层厚度。

根据本公开的实施例，提供一种栅极结构的形成方法，包括：

-2-

提供衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层；

在所述衬底的表面上形成栅介质保护层；

在所述栅介质保护层上形成吸氧元素层；

5 在所述吸氧元素层上形成刻蚀阻挡层；

在所述刻蚀阻挡层上形成功函数调整层；

进行金属层淀积和退火处理，以在所述栅沟槽内填充金属层；以及
去除所述栅沟槽之外的金属层。

根据本公开的实施例，提供一种栅极结构的形成方法，包括：

10 提供衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层；

在所述衬底的表面上形成栅介质保护层；

在所述栅介质保护层上形成刻蚀阻挡层；

在所述刻蚀阻挡层上形成吸氧元素层；

15 在所述吸氧元素层上形成功函数调整层；

进行金属层淀积和退火处理，以在所述栅沟槽内填充金属层；以及
去除所述栅沟槽之外的金属层。

根据本公开的实施例，提供一种半导体器件的形成方法，包括：

20 提供衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层；
以及

在所述衬底的表面上采用上述方法形成栅极结构。

根据本公开的实施例，提供一种半导体器件，包括：

衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

25 形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：
栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的
刻蚀阻挡层；所述刻蚀阻挡层之上的第二功函数调整层；以及所述第二功函数
调整层之上的金属层；以及

形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：

-3-

栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第一功函数调整层；所述第一功函数调整层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层。

根据本公开的实施例，提供一种半导体器件，包括：

5 衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的吸氧元素层；所述吸氧元素层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层；以及

10 形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的吸氧元素层；所述吸氧元素层之上的第一功函数调整层；所述的第一功函数调整层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层。

本公开实施例提供的栅极结构形成方法，通过在栅介质层的上方引入吸氧元素层，从而在后续的高温退火过程中隔绝外界氧气进入栅介质层下面的界面层并吸除界面层中的氧，能够有效地降低等效栅氧化层厚度。吸氧元素层上方的功函数调整层能够减弱吸氧元素层对金属栅的等效功函数的影响，从而降低等效功函数调节的难度。而且，栅介质层与吸氧元素层之间的栅介质保护层，能够在阻挡金属栅的金属扩散的同时避免吸氧元素进入栅介质层，从而避免造成过大的栅泄漏电流以及较差的可靠性特性。

20

此外，本公开实施例提供的栅极结构形成方法与主流后栅工艺兼容，具有良好的工艺稳定性和可重复性，可以应用于大规模生产。

附图说明

通过结合附图对本公开实施例的描述，本发明的以上的和其它目的、特点和优点将变得清楚。在各附图中，相同或类似的附图标记表示相同或者类似的结构或步骤。

25

图 1-8 是根据本公开的实施例一的栅极结构形成方法中各中间结构的示意图；

图 9-16 是根据本公开的实施例二的栅极结构形成方法中各中间结构的

示意图。

具体实施方式

研究发现，“吸氧工艺”是降低高k栅介质的等效氧化层厚度的有效方法之一。其主要原理是一些金属或其它不饱和氧化介质材料的吉布斯自由能远大于半导体衬底，即这些金属的氧化物或者不饱和氧化介质的饱和氧化物比半导体衬底的氧化物更加稳定和更容易形成。因此，可以在栅介质结构中增加一些金属薄膜或者其他不饱和氧化介质薄膜，通过高温退火工艺，实现对高k栅介质和半导体衬底之间的界面层的氧元素吸除，使得界面层厚度减小甚至消失，从而实现栅介质层的等效栅氧化层厚度降低。

然而，引入吸氧工艺之后，吸氧元素有可能进入高k栅介质层从而引起过大的栅泄漏电流，并且增加金属栅的等效功函数调节的难度，此外还有界面层减薄引入的可靠性变差的问题等。

本公开实施例提供的栅极结构形成方法，在栅介质层的上方形成吸氧元素层，从而在后续的高温退火过程中隔绝外界氧气进入栅介质层下面的界面层并吸除界面层中的氧，能够有效地降低等效栅氧化层厚度。在吸氧元素层的上方形成功函数调整层，能够减弱吸氧元素层对金属栅的等效功函数的影响，从而降低等效功函数调节的难度。而且，栅介质层与吸氧元素层之间的栅介质保护层，能够在阻挡金属栅的金属扩散的同时避免吸氧元素进入栅介质层，从而避免造成过大的栅泄漏电流以及较差的可靠性特性。

下面结合附图描述本发明的具体实施方式。

在下面的描述中阐述了很多细节以便于充分理解本发明，但本发明还可以采用不同于在此描述的其它方式来实现，本领域技术人员可以在不脱离本发明范围的情况下做推广，因此本发明不受下面公开的实施例的限制。

其次，在描述本公开的实施例时，为便于说明，表示器件结构的剖面图会不依一般比例作局部放大，而且示意图只是示例，其不应限制本发明的范围。

应当注意，以下涉及第一特征在第二特征之“上”或“上方”的结构或步骤可以包括第一特征和第二特征直接接触的情况，也可以包括有其他特征存在于第一特征与第二特征之间的情况。即，第一特征和第二特征可

-5-

能不是直接接触。

本公开的实施例提供一种半导体器件，包括：

衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

5 形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层；以及

10 形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第一功函数调整层；所述第一功函数调整层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层。

本公开的另一实施例提供一种半导体器件，包括：

衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

15 形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第二功函数调整层；所述第二功函数调整层之上的第一功函数调整层；以及所述第一功函数调整层之上的金属层；以及

20 形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第一功函数调整层；以及所述第一功函数调整层之上的金属层。

本公开的另一实施例提供一种半导体器件，包括：

25 衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的吸氧元素层；所述吸氧元素层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层；以及

-6-

形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的吸氧元素层；所述吸氧元素层之上的第一功函数调整层；所述的第一功函数调整层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层。

本公开的另一实施例提供一种半导体器件，包括：

衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的吸氧元素层；所述吸氧元素层之上的第二功函数调整层；所述第二功函数调整层之上的第一功函数调整层；以及所述第一功函数调整层之上的金属层；以及

形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的吸氧元素层；所述吸氧元素层之上的第一功函数调整层；以及所述第一功函数调整层之上的金属层。

可选地，所述栅介质保护层的厚度为 5 埃至 5 纳米。可选地，所述栅介质保护层材料是氮化钛。可选地，所述吸氧元素层的厚度为 5 埃至 50 埃。可选地，所述吸氧元素层材料是钛。

为了更清楚地理解上述半导体器件的结构，本公开的实施例还提供了上述半导体器件的栅极结构的形成方法。应当注意，以下步骤仅是示意性的，不应构成对本发明的限制。

实施例一

图 1-8 示出了根据本公开的实施例一的栅极结构形成方法。该方法包括以下步骤：

步骤 S11: 提供衬底 100，所述衬底 100 包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层。如图 1 所示。

仅作为一个示例，衬底 100 可以通过以下步骤形成：

-7-

步骤 S11-1: 在半导体衬底内形成浅沟槽隔离结构 (STI)。

具体地, 半导体衬底的材料可以是单晶硅 (Si)、单晶锗 (Ge)、锗硅 (GeSi)、镓砷 (GaAs)、磷化铟 (InP)、镓铟砷 (GaInAs) 或碳化硅 (SiC); 也可以是绝缘体上硅 (SOI)。半导体衬底可以包括 N 阱、P 阱或双阱。

5 浅沟槽隔离结构将半导体衬底隔离成 nMOSFET 区和 pMOSFET 区。

步骤 S11-2: 在半导体衬底上依次淀积界面层、栅介质层和栅层。

可选地, 界面层的材料是氧化硅, 其厚度约为 4Å 至 10Å。界面层的材料也可以是其他硅氧化物, 如 SiO_xN_y 。可选地, 栅介质层的材料是 HfO_2 , 其厚度约为 15Å 至 40Å。栅介质层的材料也可以是其他高 K 介质, 如其他 hf 基氧化物, 或 Hf 基多元氧化物和稀土基多元氧化物。例如 HfAlON 、 HfLaON 、 HfSiON 、 $\text{CeO}_2\text{-HfO}_2$ 化合物或 LaLuO_3 。栅层的材料可以是多晶硅或其他材料。栅层可以具有叠层结构。

步骤 S11-3: 在栅层上形成具有栅极图案的掩模, 并用该掩模进行刻蚀以形成栅极结构。

15 具体地, 栅极结构包括伪栅以及刻蚀后的栅介质层和界面层。

步骤 S11-4: 在栅极结构的两侧形成侧墙, 并以栅极结构和侧墙为掩模进行离子注入以形成源/漏区。

具体地, 侧墙可以具有单层、双层或多层结构; 源/漏区可以包括源/漏轻掺杂 (LDD) 结构。

20 步骤 S11-5: 淀积金属前介质层, 并进行化学机械研磨 (CMP) 直至露出伪栅。

具体地, 金属前介质层的材料可以是氧化硅玻璃或氮化硅 (Si_3N_4); 也可以是 PSG、BSG、FSG 或其他低 K 介质中的一种或组合。CMP 的过程可以包括两步, 第一步去除多余的金属前介质层, 第二步去除掩模。

25 步骤 S11-6: 进行刻蚀以去除伪栅。

具体地, 刻蚀可以停止在栅介质层, 也可以停止在半导体衬底。

应当注意, 在刻蚀停止在半导体衬底的情况下, 还包括在下一步骤前形成新的栅介质层。具体地, 可以用原子层沉积 (ALD)、物理气相沉积 (PVD) 或化学气相沉积 (CVD) 形成栅介质层。

至此,形成了 nMOSFET 区和 pMOSFET 区, nMOSFET 区和 pMOSFET 区内的栅沟槽, 以及栅沟槽底部的栅介质层。

步骤 S12: 在所述衬底 100 的表面上形成栅介质保护层 102。如图 2 所示。

5 具体地, 可以用 ALD、PVD、CVD、金属有机化合物化学气相淀积 (MOCVD) 或等离子体增强原子层沉积 (PEALD) 在衬底 100 的表面上形成栅介质保护层 102。优选地, 栅介质保护层 102 的厚度约为 $5\text{\AA}$ 至 5nm 。优选地, 栅介质保护层 102 的材料是 TiN。栅介质保护层 102 的材料也可以是其他金属化合物, 如 TaN。

10 步骤 S13: 在所述栅介质保护层 102 上形成吸氧元素层 104。如图 3 所示。

具体地, 可以用 ALD、PVD、CVD、MOCVD 或 PEALD 在所述栅介质保护层 102 上形成吸氧元素层 104。优选地, 吸氧元素层 104 的厚度约为 $5\text{\AA}$ 至 $50\text{\AA}$ 。优选地, 吸氧元素层 104 的材料是 Ti。吸氧元素层 104 的材料也可以是其他金属, 如 Al。

15 步骤 S14: 在所述吸氧元素层 104 上形成刻蚀阻挡层 106。如图 4 所示。

具体地, 可以用 ALD、PVD、CVD、MOCVD 或 PEALD 在所述吸氧元素层 104 上形成刻蚀阻挡层 106。优选地, 刻蚀阻挡层 106 的厚度约为 1nm 至 8nm 。优选地, 刻蚀阻挡层 106 的材料是 TaN。刻蚀阻挡层 106 的材料也可以是其他金属化合物, 如 TiN。

20 步骤 S15: 在所述刻蚀阻挡层 106 上形成功函数调整层。

在本实施例中, 在所述刻蚀阻挡层 106 上形成功函数调整层进一步包括:

25 步骤 S15-1: 在所述刻蚀阻挡层 106 上形成第一功函数调整层 108。如图 5 所示。

第一功函数调整层 108 用于调整 pMOSFET 区的金属栅的功函数。优选地, 第一功函数调整层 108 的厚度约为 2nm 至 20nm 。优选地, 第一功函数调整层 108 的材料是 TiN。第一功函数调整层 108 的材料也可以是 Ti 等金属或金属化合物。

步骤 S15-2: 刻蚀所述 nMOSFET 区之上的第一功函数调整层 108。如图 6 所示。

具体地, 可以用光刻胶保护 pMOSFET 区来进行刻蚀, 然后去除光刻胶。刻蚀方法包括干法刻蚀和湿法刻蚀等。

5 步骤 S15-3: 在所述衬底的表面上形成第二功函数调整层 110。如图 7 所示。

第二功函数调整层 110 用于调整 nMOSFET 区的金属栅的功函数。优选地, 第二功函数调整层 110 的厚度约为 2nm 至 20nm。优选地, 第二功函数调整层 110 的材料是 TiAl。第二功函数调整层 110 的材料也可以是 TaN
10 等金属化合物, 或 Ti/Al/Ti 等金属夹层结构。

在其他实施例中, 可以先形成 nMOSFET 区的功函数调整层再形成 pMOSFET 区的功函数调整层。具体地, 在所述刻蚀阻挡层 106 上形成功函数调整层可以包括: 在所述刻蚀阻挡层 106 上形成第二功函数调整层; 刻蚀所述 pMOSFET 区之上的第二功函数调整层; 以及在所述衬底的表面上
15 形成第一功函数调整层。

步骤 S16: 进行金属层淀积和退火处理, 以在所述栅沟槽内填充金属层 112。如图 8 所示。

具体地, 可以用 ALD、PVD、CVD、MOCVD 或 PEALD 进行金属层淀积。优选地, 金属层 112 的材料是 Al。金属层 112 的材料也可以是 TiAl、
20 W 等金属材料。

步骤 S17: 去除所述栅沟槽之外的金属层 112。

具体地, 可以用 CMP 去除栅沟槽之外的金属层 112。

至此, 得到了根据实施例一形成的栅极结构以及相应的半导体器件。

可见, 在栅介质保护层与刻蚀阻挡层之间引入吸氧元素层, 从而在后续的高温退火过程中隔绝外界氧气进入栅介质层下面的界面层并吸除界面层中的氧, 能够有效地降低等效栅氧化层厚度。吸氧元素层上方的功函数调整层能够减弱吸氧元素对金属栅的等效功函数的影响, 从而降低等效功函数调节的难度。
25

而且, 通过选择合适的栅介质保护层厚度, 能够在实现吸氧效果的同

时避免吸氧元素进入栅介质层，从而避免栅泄漏电流升高和可靠性变差等问题。

吸氧元素层也可以引入于刻蚀阻挡层之上，以下结合附图对这种情况做详细的描述。

5 实施例二

图 9-16 是根据本公开的实施例二的栅极结构形成方法中各中间结构的示意图。

该方法包括以下步骤：

10 步骤 S21：提供衬底 200，所述衬底 200 包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层。如图 9 所示。

该步骤的细节与实施例一相同或类似，在此不再赘述。

步骤 S22：在所述衬底 200 的表面上形成栅介质保护层 202。如图 10 所示。

15 该步骤的细节与实施例一相同或类似，在此不再赘述。

步骤 S23：在所述栅介质保护层 202 上形成刻蚀阻挡层 204。如图 11 所示。

20 优选地，刻蚀阻挡层 204 的厚度约为 1nm 至 8nm。优选地，刻蚀阻挡层 204 的材料是 TaN。刻蚀阻挡层 204 的材料也可以是其他金属化合物，如 TiN。

步骤 S24：在所述刻蚀阻挡层 204 上形成吸氧元素层 206。如图 12 所示。

优选地，吸氧元素层 206 的厚度约为 5Å 至 50Å。优选地，吸氧元素层 206 的材料是 Ti。吸氧元素层 206 的材料也可以是其他金属，如 Al。

25 步骤 S25：在所述吸氧元素层 206 上形成功函数调整层。

在本实施例中，在所述吸氧元素层 206 上形成功函数调整层进一步包括：

步骤 S25-1：在所述吸氧元素层 206 上形成第一功函数调整层 208。如图 13 所示。

第一功函数调整层 208 用于调整 pMOSFET 区的金属栅的功函数。优选地，第一功函数调整层 208 的厚度约为 2nm 至 20nm。优选地，第一功函数调整层 208 的材料是 TiN。第一功函数调整层 208 的材料也可以是 Ti 等金属或金属化合物。

5 步骤 S25-2: 刻蚀所述 nMOSFET 区之上的第一功函数调整层 208，直至露出所述吸氧元素层 206。如图 14 所示。

具体地，可以用光刻胶保护 pMOSFET 区，采用对第一功函数调整层的材料和吸氧元素层的材料选择比高的方法来刻蚀所述 nMOSFET 区之上的第一功函数调整层 208，使刻蚀停止在吸氧元素层 206，然后去除光刻胶。

10 步骤 S25-3: 在所述衬底的表面上形成第二功函数调整层 210。如图 15 所示。

第二功函数调整层 210 用于调整 nMOSFET 区的金属栅的功函数。优选地，第二功函数调整层 210 的厚度约为 2nm 至 20nm。优选地，第二功函数调整层 210 的材料是 TiAl。第二功函数调整层 210 的材料也可以是 TaN 等金属化合物，或 Ti/Al/Ti 等金属夹层结构。

在其他实施例中，可以先形成 nMOSFET 区的功函数调整层再形成 pMOSFET 区的功函数调整层。具体地，在所述吸氧元素层 206 上形成功函数调整层可以包括：在所述吸氧元素层 206 上形成第二功函数调整层 210；刻蚀所述 pMOSFET 区之上的第二功函数调整层 210，直至露出所述吸氧元素层 206；以及在所述衬底的表面上形成第一功函数调整层 208。

20 步骤 S26: 进行金属层淀积和退火处理，以在所述栅沟槽内填充金属层 212。如图 16 所示。

具体地，可以用 ALD、PVD、CVD、MOCVD 或 PEALD 进行金属层淀积。优选地，金属层 212 的材料是 Al。金属层 212 的材料也可以是 TiAl、W 等金属材料。

步骤 S27: 去除所述栅沟槽之外的金属层 212。

具体地，可以用 CMP 去除栅沟槽之外的金属层 212。

至此，得到了根据实施例二形成的栅极结构以及相应的半导体器件。

可见，在刻蚀阻挡层之上引入吸氧元素层，从而在后续的高温退火过

-12-

程中隔绝外界氧气进入栅介质层下面的界面层并吸除界面层中的氧，能够有效地降低等效栅氧化层厚度。吸氧元素层上方的功函数调整层能够减弱吸氧元素对金属栅的等效功函数的影响，从而降低等效功函数调节的难度。

而且，通过选择合适的栅介质保护层和刻蚀阻挡层的厚度，能够在实现吸氧效果的同时避免吸氧元素进入栅介质层，从而避免栅泄漏电流升高和可靠性变差等问题。

以上虽然结合附图详细描述了本公开的实施例，但本领域普通技术人员应当理解，以上所描述的实施方式只是用于说明本发明，而不构成对本发明的限制。本领域普通技术人员还应当理解，在不脱离由所附的权利要求所限定的范围的情况下，可以进行各种改变、替代和变换。因此，本发明的范围仅由所附的权利要求及其等同含义来限定。

-13-

权 利 要 求

1. 一种栅极结构的形成方法，包括：

提供衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层；

- 5 在所述衬底的表面上形成栅介质保护层；
 在所述栅介质保护层上形成吸氧元素层；
 在所述吸氧元素层上形成刻蚀阻挡层；
 在所述刻蚀阻挡层上形成功函数调整层；
10 进行金属层淀积和退火处理，以在所述栅沟槽内填充金属层；以及
 去除所述栅沟槽之外的金属层。

2. 如权利要求 1 所述的方法，其中：

- 在所述刻蚀阻挡层上形成功函数调整层进一步包括：
 在所述刻蚀阻挡层上形成第一功函数调整层；
15 刻蚀所述 nMOSFET 区之上的第一功函数调整层；以及
 在所述衬底的表面上形成第二功函数调整层，
 或者，在所述刻蚀阻挡层上形成功函数调整层进一步包括：
 在所述刻蚀阻挡层上形成第二功函数调整层；
 刻蚀所述 pMOSFET 区之上的第二功函数调整层；以及
20 在所述衬底的表面上形成第一功函数调整层。

3. 如权利要求 1 至 2 中任一项所述的方法，其中：
 所述栅介质保护层的厚度为 5 埃至 5 纳米。

25 4. 如权利要求 1 至 2 中任一项所述的方法，其中：
 所述栅介质保护层材料是氮化钛 (TiN)。

5. 如权利要求 1 至 2 中任一项所述的方法，其中：
 所述吸氧元素层的厚度为 5 埃至 50 埃。

6. 如权利要求 1 至 2 中任一项所述的方法，其中：
所述吸氧元素层的材料是钛（Ti）。

- 5 7. 一种栅极结构的形成方法，包括：
提供衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层；
在所述衬底的表面上形成栅介质保护层；
在所述栅介质保护层上形成刻蚀阻挡层；
10 在所述刻蚀阻挡层上形成吸氧元素层；
在所述吸氧元素层上形成功函数调整层；
进行金属层淀积和退火处理，以在所述栅沟槽内填充金属层；以及
去除所述栅沟槽之外的金属层。
- 15 8. 如权利要求 7 所述的方法，其中在所述吸氧元素层上形成功函数调整层进一步包括：
在所述吸氧元素层上形成第一功函数调整层；
刻蚀所述 nMOSFET 区之上的第一功函数调整层，直至露出所述吸氧元素层；以及
20 在所述衬底的表面上形成第二功函数调整层，
或者，在所述吸氧元素层上形成功函数调整层进一步包括：
在所述吸氧元素层上形成第二功函数调整层；
刻蚀所述 pMOSFET 区之上的第二功函数调整层，直至露出所述吸氧元素层；以及
25 在所述衬底的表面上形成第一功函数调整层。

9. 如权利要求 7 至 8 中任一项所述的方法，其中：
所述栅介质保护层的厚度为 5 埃至 5 纳米。

-15-

10. 如权利要求 7 至 8 中任一项所述的方法，其中：
所述栅介质保护层材料是氮化钛（TiN）。

11. 如权利要求 7 至 8 中任一项所述的方法，其中：
所述吸氧元素层的厚度为 5 埃至 50 埃。

12. 如权利要求 7 至 8 中任一项所述的方法，其中：
所述吸氧元素层材料是钛（Ti）。

13. 一种半导体器件的形成方法，包括：

提供衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区，所述 nMOSFET 区和所述 pMOSFET 区分别具有栅沟槽，所述栅沟槽的底部分别有栅介质层；以及

在所述衬底的表面上采用如权利要求 1 至 12 中任一项所述的方法形成栅极结构。

14. 一种半导体器件，包括：

衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：
栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层；以及

形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：
栅介质保护层；所述栅介质保护层之上的吸氧元素层；所述吸氧元素层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的第一功函数调整层；所述第一功函数调整层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层。

15. 如权利要求 14 所述的半导体器件，其中：
所述栅介质保护层的厚度为 5 埃至 5 纳米。

16. 如权利要求 14 所述的半导体器件，其中：
所述栅介质保护层材料是氮化钛（TiN）。

5 17. 如权利要求 14 所述的半导体器件，其中：
所述吸氧元素层的厚度为 5 埃至 50 埃。

18. 如权利要求 14 所述的半导体器件，其中：
所述吸氧元素层材料是钛（Ti）。

10

19. 一种半导体器件，包括：

衬底，所述衬底包括 nMOSFET 区和 pMOSFET 区；

形成于所述 nMOSFET 区之上的第二栅极结构，所述第二栅极结构包括：
栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的
15 吸氧元素层；所述吸氧元素层之上的第二功函数调整层；以及所述第二功函数
调整层之上的金属层；以及

形成于所述 pMOSFET 区之上的第一栅极结构，所述第一栅极结构包括：
栅介质保护层；所述栅介质保护层之上的刻蚀阻挡层；所述刻蚀阻挡层之上的
吸氧元素层；所述吸氧元素层之上的第一功函数调整层；所述的第一功函数调
20 整层之上的第二功函数调整层；以及所述第二功函数调整层之上的金属层。

20. 如权利要求 19 所述的半导体器件，其中：
所述栅介质保护层的厚度为 5 埃至 5 纳米。

25 21. 如权利要求 19 所述的半导体器件，其中：
所述栅介质保护层材料是氮化钛（TiN）。

22. 如权利要求 19 所述的半导体器件，其中：
所述吸氧元素层的厚度为 5 埃至 50 埃。

-17-

23. 如权利要求 19 所述的半导体器件，其中：
所述吸氧元素层的材料是钛（Ti）。

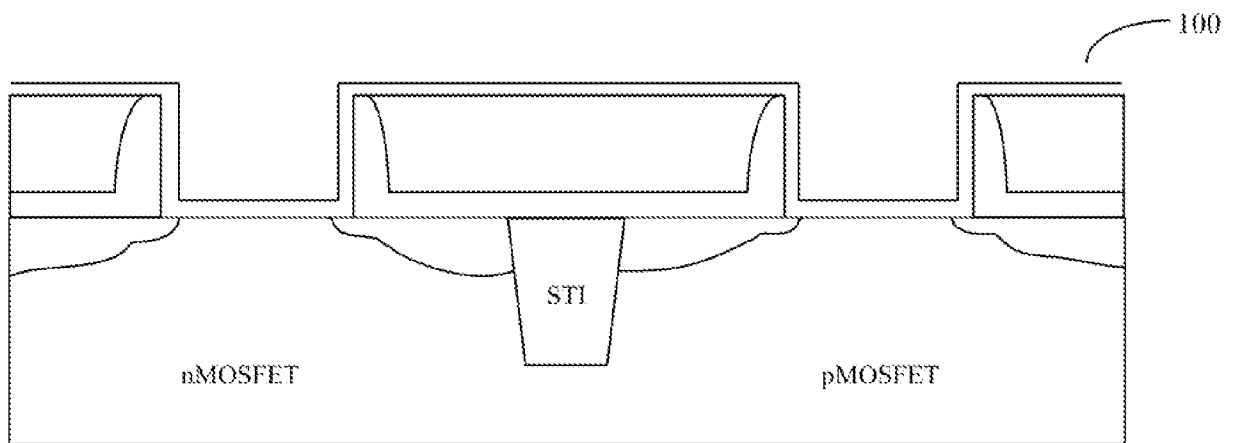


图 1

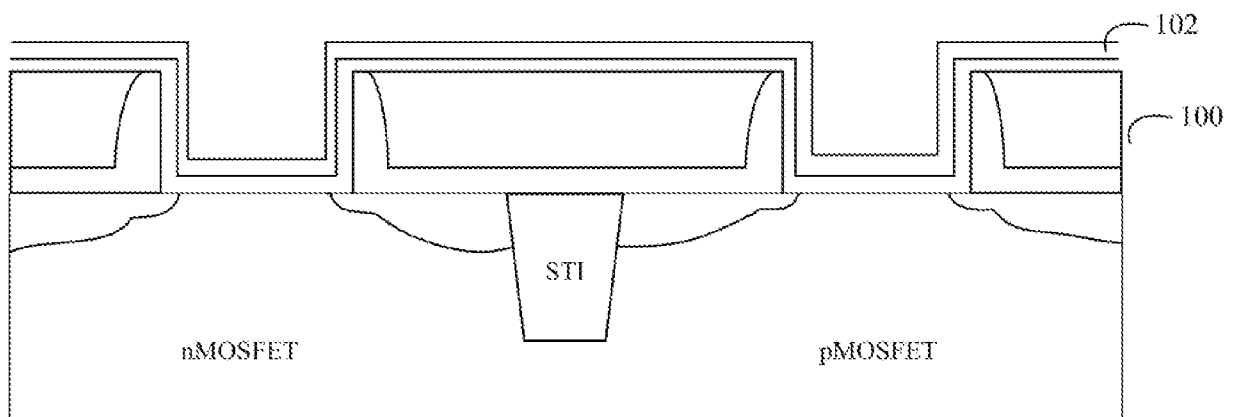


图 2

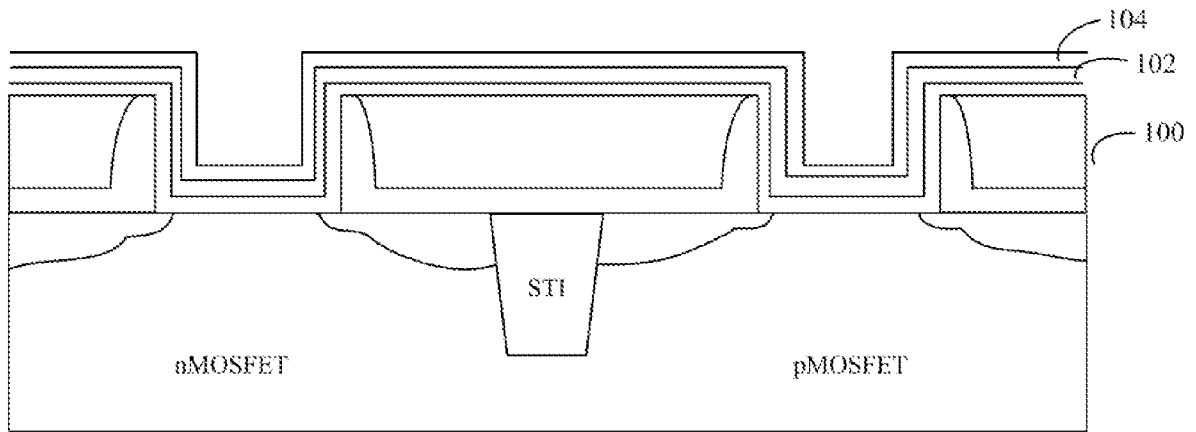


图 3

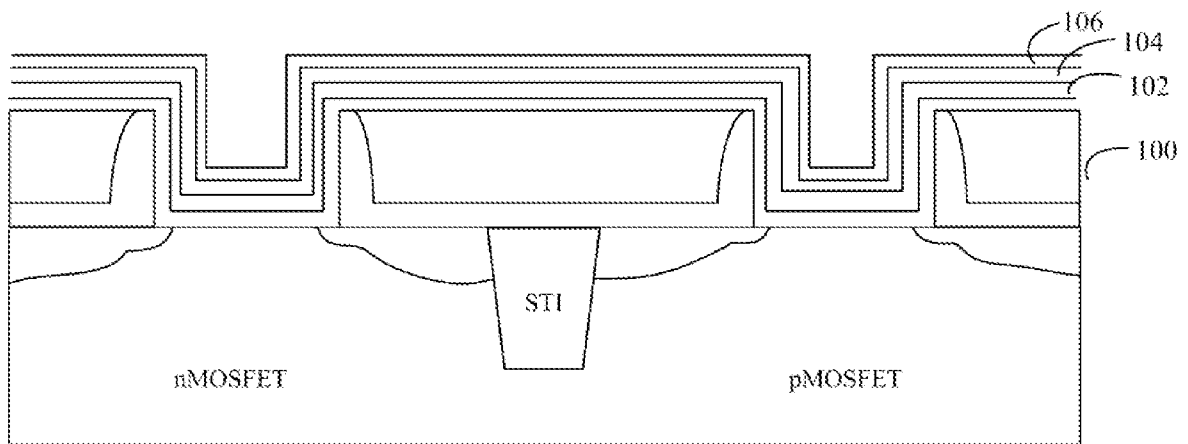


图 4

—3/8—

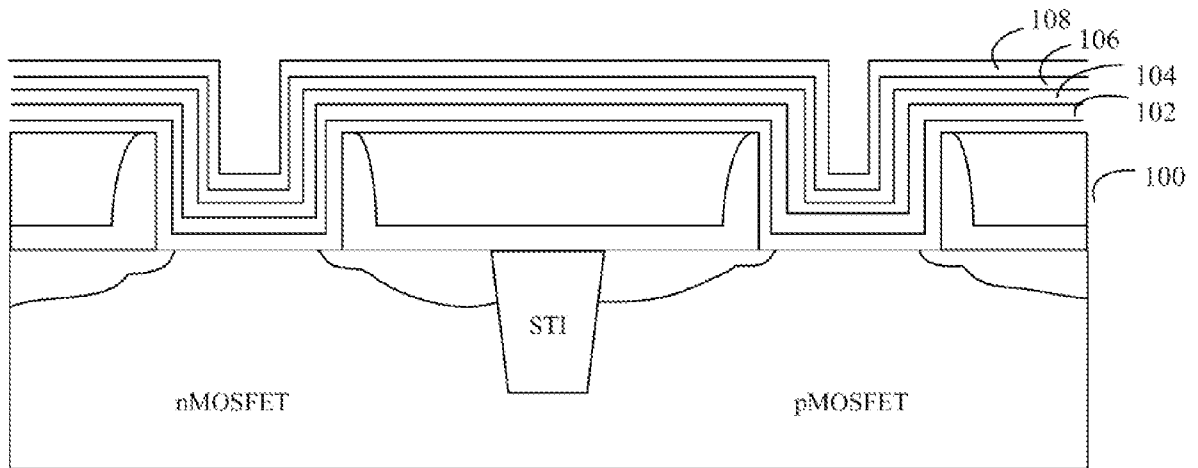


图 5

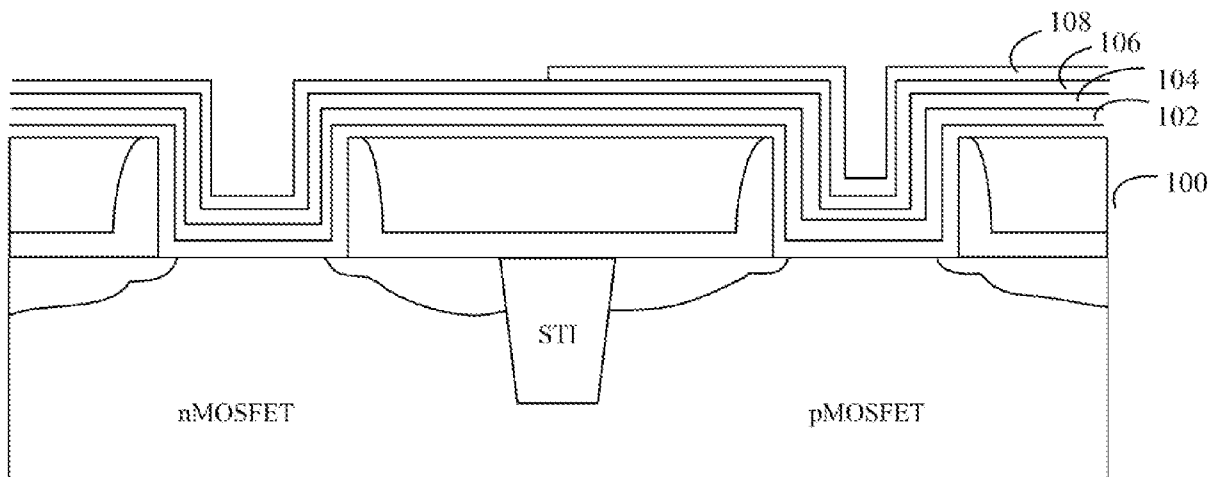


图 6

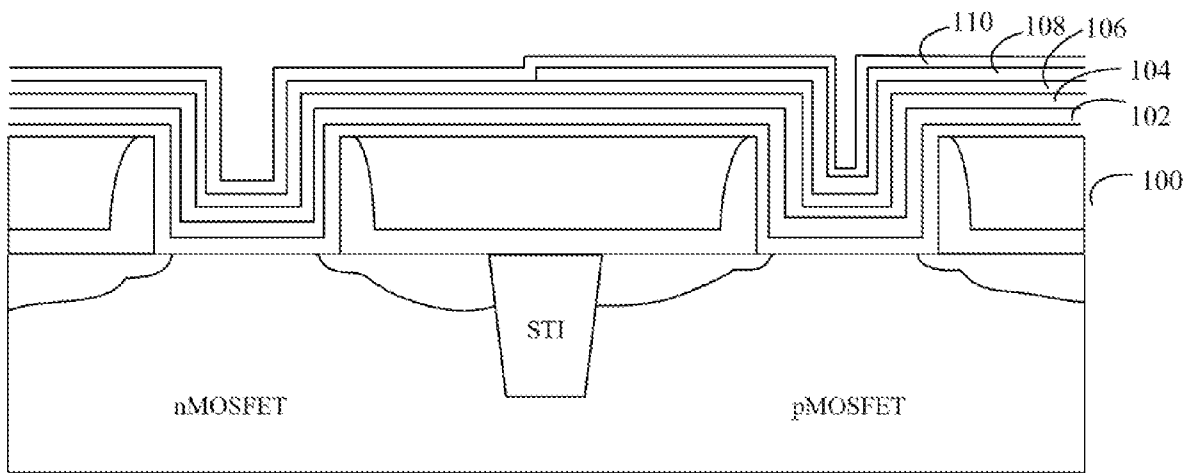


图 7

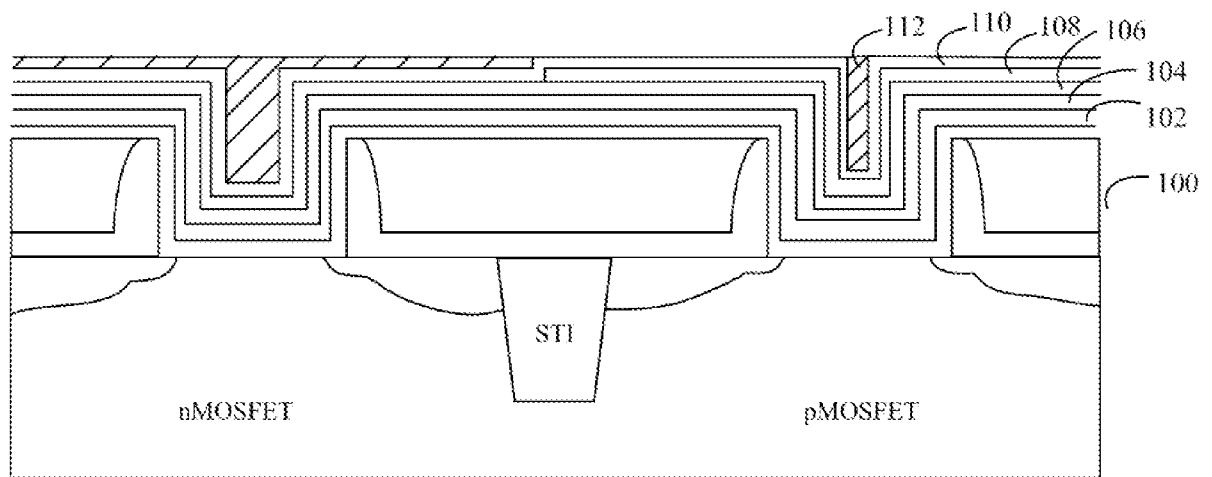


图 8

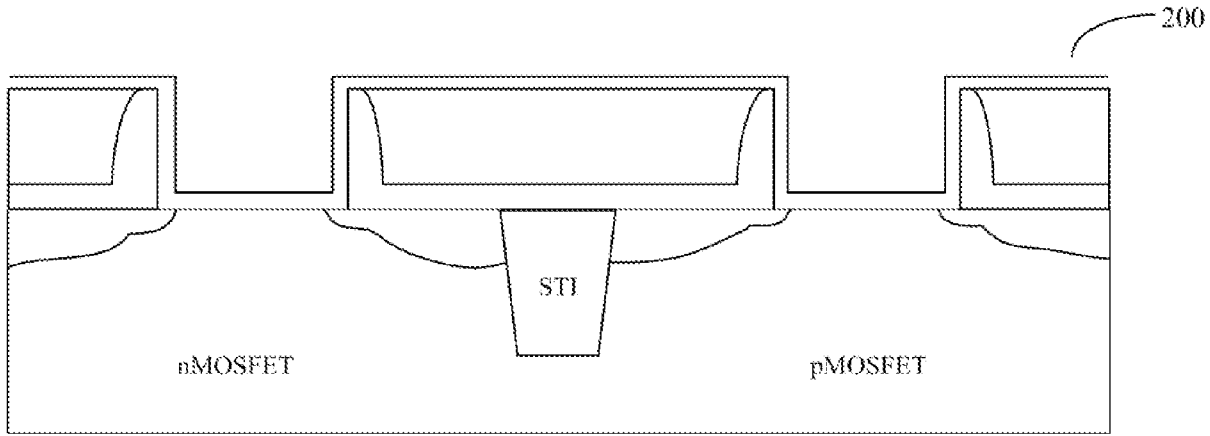


图 9

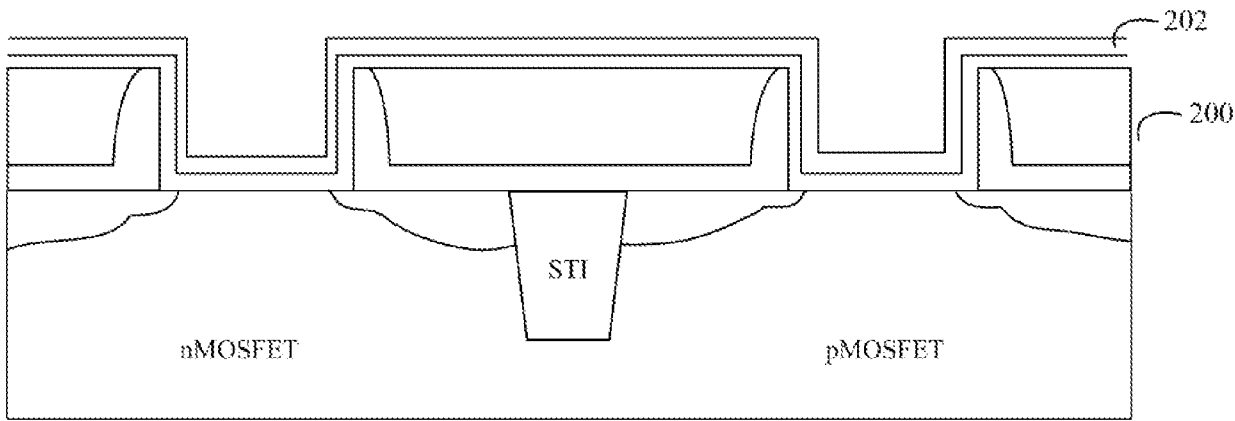


图 10

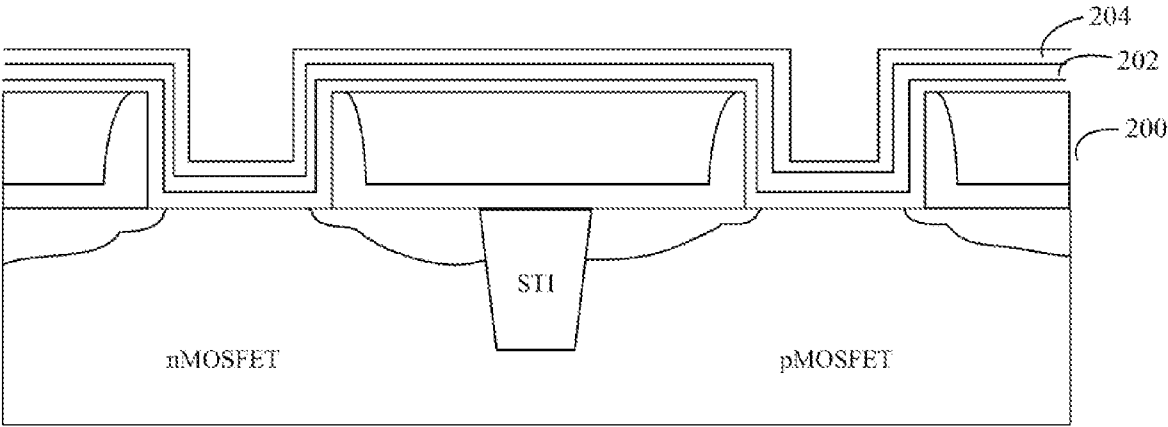


图 11

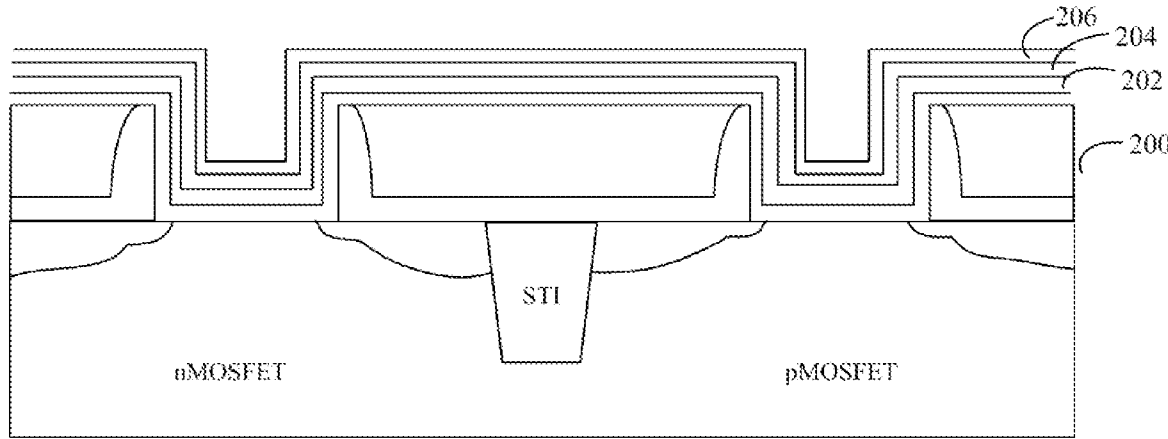


图 12

—7/8—

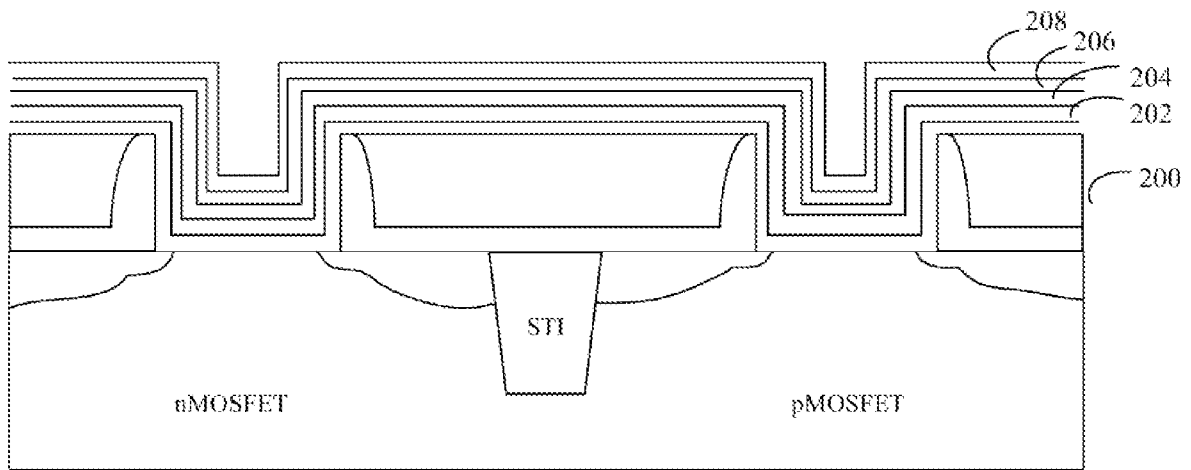


图 13

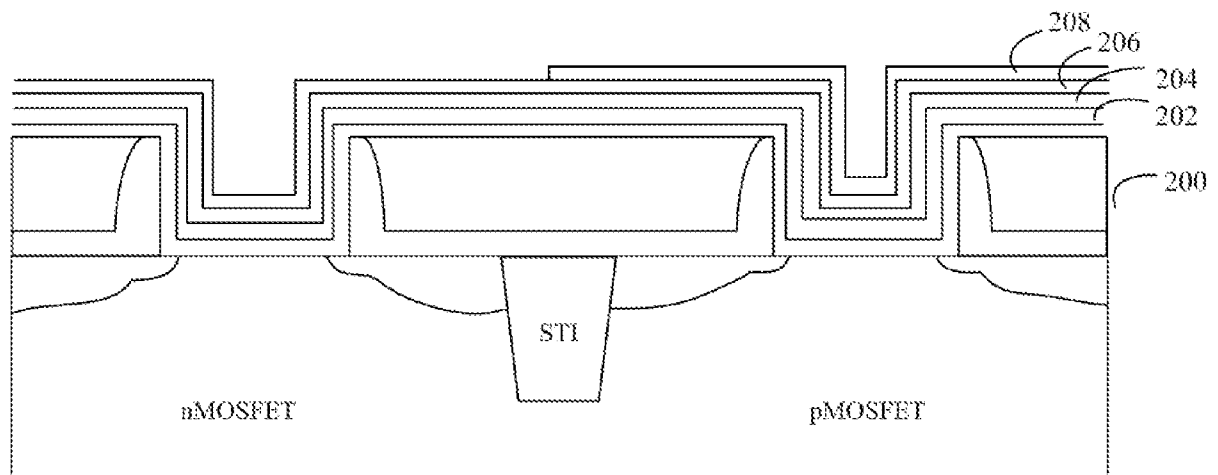


图 14

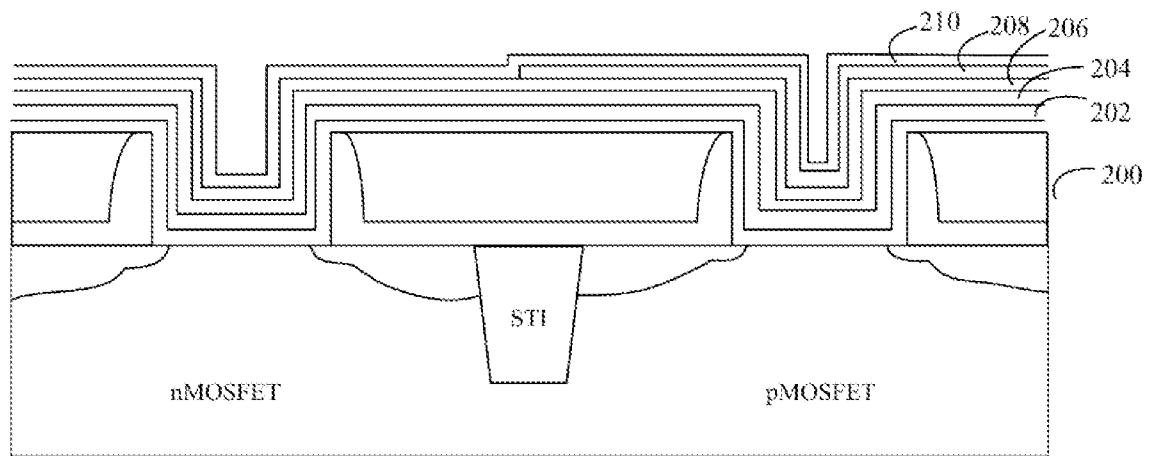


图 15

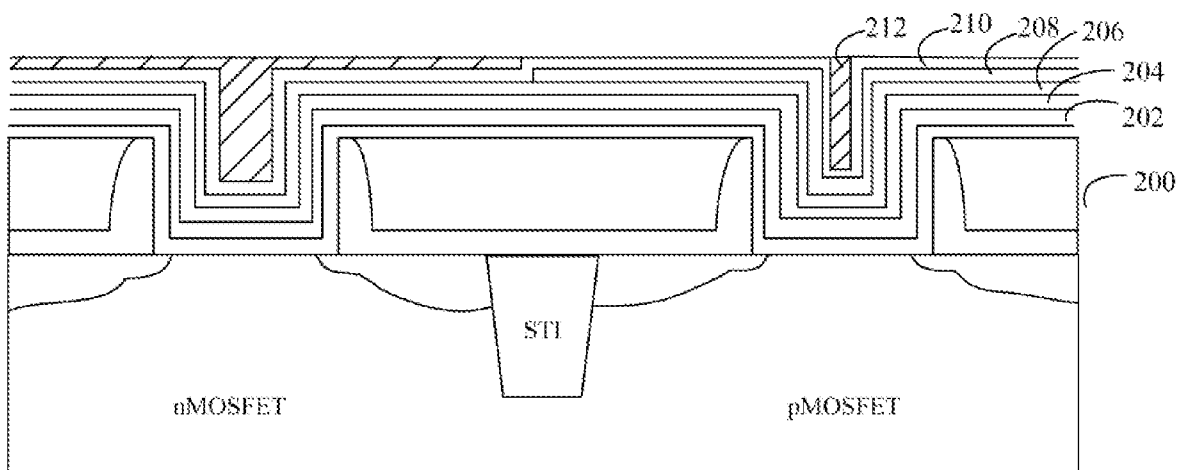


图 16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/079092

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used): WPI, EPODOC, CNPAT, CNKI: gate, mos, absorb+, prevent, dielectric, insulat+, work function, oxid+, oxygen

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102104042 A (INST MICROELECTRONICS CHINESE ACAD SCI) 22 June 2011 (22.06.2011) description, paragraphs [0014] to [0022], and figures 2-9	1, 3-7, 9-14
Y	US 2011/0241130 A1 (CHAN et al.) 06 October 2011 (06.10.2011) description, paragraphs [0013] to [0030], and figure 1	1, 3-7, 9-14
Y	CN 102299156 A (INST MICROELECTRONICS CHINESE ACAD SCI) 28 December 2011 (28.12.2011) description, paragraphs [0027]-[0028], and figures 10 and 11	1, 3-7, 9-14
Y	CN 102237398 A (INST MICROELECTRONICS CHINESE ACAD SCI) 09 November 2011 (09.11.2011) description, paragraphs [0020] to [0030], and figures 2-8	1, 3-7, 9-14
A		2, 8, 15-23

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 April 2013(15.04.2013)	Date of mailing of the international search report 25 April 2013(25.04.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer GAO, Mingjie Telephone No. (86-10) 62411783

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079092

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102104042 A	22.06.2011	WO 2011075987 A1	30.06.2011
		US 2011/227163 A1	22.09.2011
US 2011/0241130 A1	06.10.2011	None	
CN 102299156 A	28.12.2011	None	
CN 102237398 A	09.11.2011	US 2011/254063 A1	20.10.2011
		WO 2011/130993 A1	27.10.2011

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079092

CLASSIFICATION OF SUBJECT MATTER:

H01L 21/28 (2006.01) i

H01L 29/772 (2006.01) i

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI,EPODOC,CNPAT,CNKI:
 栅, 吸氧, 吸收氧, 阻挡氧, 沟槽, 功函数, 栅绝缘, 栅介质, 栅氧化, gate,mos,absorb+,prevent,dielectric,insulat+,work
 function,oxid+,oxygen

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN102104042A (中国科学院微电子研究所) 22.6 月 2011(22.06.2011)说明书第 0014 段-第 0022 段及附图 2-9	1,3-7,9-14
Y	US2011/0241130A1 (CHAN et al.) 06.10 月 2011(06.10.2011) 说明书第 0013-0030 及附图 1	1,3-7,9-14
Y	CN102299156A(中国科学院微电子研究所) 28.12 月 2011(28.12.2011)说明书第 0027-0028 段及附图 10-11	1,3-7,9-14
Y	CN102237398A(中国科学院微电子研究所) 09.11 月 2011 (09.11.2011) 说明书第 0020-0030 段及附图 2-8	1,3-7,9-14
A		2,8,15-23

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
 引用文件的公布日而引用的或者因其他特殊理由而引
 用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
 理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
 发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
 结合并且这种结合对于本领域技术人员为显而易见时,
 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

15.4 月 2013 (15.04.2013)

国际检索报告邮寄日期

25.4 月 2013 (25.04.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

高铭洁

电话号码: (86-10) 62411783

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/079092

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102104042A	22.06.2011	WO2011075987 A1	30.06.2011
		US2011/0227163A1	22.09.2011
US2011/0241130A1	06.10.2011	无	
CN102299156A	28.12.2011	无	
CN102237398A	09.11.2011	US2011/0254063A1	20.10.2011
		WO2011/130993A1	27.10.2011

续：主题的分类：

H01L 21/28(2006.01) i

H01L 29/772(2006.01) i