

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成18年8月10日(2006.8.10)

【公開番号】特開2000-243973(P2000-243973A)
 【公開日】平成12年9月8日(2000.9.8)
 【出願番号】特願平11-177091
 【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/762 (2006.01)

【F I】

H 0 1 L 29/78 6 2 6 B

H 0 1 L 27/08 3 3 1 E

H 0 1 L 21/76 D

H 0 1 L 29/78 6 2 1

【手続補正書】

【提出日】平成18年6月22日(2006.6.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】 半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造の半導体装置であって、

前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、

前記SOI層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、

前記SOI層に設けられ、外部から電位固定可能なボディー領域とを備え、

前記素子分離領域のうち少なくとも一部の領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記SOI層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の前記素子形成領域のうちの少なくとも1つの素子形成領域及び前記ボディー領域と接して形成されることを特徴とする、半導体装置。

【請求項2】 前記複数の素子形成領域は、第1の素子用の複数の第1の素子形成領域と第2の素子用の複数の第2の素子形成領域とを含み、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域をさら含み、前記部分分離領域は第1及び第2の部分分離領域を含み、

前記複数の第1の素子形成領域はそれぞれ前記第1の部分分離領域によって素子分離され、前記複数の第2の素子形成領域はそれぞれ前記第2の部分分離領域によって素子分離され、前記複数の第1の素子形成領域と前記複数の第2の素子形成領域とは前記完全分離領域によって素子分離される、請求項1記載の半導体装置。

【請求項3】 前記複数の素子形成領域は、第1の回路用の複数の素子形成領域と第2の回路用の複数の素子形成領域とを含み、

前記第1の回路用の複数の素子形成領域は前記SOI層を貫通した完全分離領域によって素子分離され、前記第2の回路用の複数の素子形成領域は前記部分分離領域によって素子分離される、

請求項 1 記載の半導体装置。

【請求項 4】 前記 S O I 層は第 1 及び第 2 の部分 S O I 層を含み、前記第 1 の部分 S O I 層の膜厚は前記第 2 の部分 S O I 層の膜厚よりも薄く形成され、

前記複数の第 1 の素子形成領域は前記第 1 の部分 S O I 層に形成され、前記複数の第 2 の素子形成領域は前記第 2 の部分 S O I 層に形成される、

請求項 3 記載の半導体装置。

【請求項 5】 前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、

前記所定の回路用素子形成領域と前記他の回路用素子形成領域とは前記 S O I 層を貫通した完全分離領域によって素子分離される、

請求項 1 記載の半導体装置。

【請求項 6】 前記素子分離領域は前記 S O I 層を貫通した完全絶縁領域を有する完全分離領域を含み、

前記複数の素子形成領域は互いに隣接して形成される入出力 N M O S トランジスタ形成領域及び入出力 P M O S トランジスタ形成領域を含み、

前記完全分離領域は少なくとも前記入出力 N M O S トランジスタ形成領域と前記入出力 P M O S トランジスタ形成領域との境界近傍領域に形成される、

請求項 1 記載の半導体装置。

【請求項 7】 前記素子形成領域は入出力 N M O S トランジスタ形成領域あるいは入出力 P M O S トランジスタ形成領域と隣接して形成される内部回路形成領域をさらに含み

前記完全分離領域は、前記入出力 N M O S トランジスタ形成領域及び前記入出力 P M O S トランジスタ形成領域のうち前記内部回路形成領域と隣接配置された領域と前記内部回路形成領域との境界近傍領域にさらに形成される、

請求項 6 記載の半導体装置。

【請求項 8】 (a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、

(b)前記 S O I 層を選択的に表面から貫通させることなく除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記 S O I 層の領域が複数の素子形成領域となり、

(c)前記複数のトレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複数のトレンチのうち少なくとも 1 つのトレンチ内の絶縁膜と前記少なくとも 1 つのトレンチ下の前記 S O I 層とにより部分分離領域が構成され、

(d)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える

半導体装置の製造方法。

【請求項 9】 前記複数のトレンチは第 1 及び第 2 のトレンチを含み、前記少なくとも 1 つのトレンチは前記第 1 のトレンチを含み、

前記ステップ (b)の後、ステップ (c)の前に、

(e)前記第 1 及び第 2 のトレンチのうち、前記第 2 のトレンチの底部から前記 S O I 層をさらに除去して、前記 S O I 層を貫通させるステップをさらに備え、

前記ステップ (c)によって、前記第 1 のトレンチ内の絶縁膜と前記第 1 のトレンチ下の前記 S O I 層とにより前記部分分離領域が構成され、前記 S O I 層を貫通した前記第 2 のトレンチ内の絶縁膜により完全分離領域が構成される、

請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記第 2 のトレンチの形成幅は前記第 1 のトレンチの形成幅より広く、

前記ステップ (b)は、

(b-1)前記第 1 のトレンチの底面は塞がり、第 2 のトレンチの底面の中心部は露出する程度に、前記第 1 及び第 2 のトレンチそれぞれの側面に側壁体を形成するステップと、

(b-2)前記側壁体をマスクとして前記第2のトレンチの中心部下の前記SOI層を貫通させるステップと、
を備える、
請求項9記載の半導体装置の製造方法。

【請求項11】 前記ステップ(b)の後、

(f)前記複数のトレンチの下方の前記SOI層に不純物を導入して高濃度領域を形成するステップをさらに備える、
請求項9あるいは請求項10記載の半導体装置の製造方法。

【請求項12】 (a)半導体基板、埋め込み絶縁層及びシリコン層からなるSOI構造のSOI基板を準備するステップと、

(b)前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、

(c)前記シリコン層の前記貫通部に前記シリコン層の表面から突出するように第1の絶縁膜を埋め込むとともに、前記シリコン層上に第2の絶縁膜を選択的に形成するステップと、

(d)前記第2の絶縁膜が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とによりSOI層が構成され、前記第2絶縁膜とその下方の前記シリコン層とにより部分分離領域が構成され、前記第1の絶縁膜により完全分離領域が構成され、

(e)前記部分分離領域あるいは前記完全分離領域によって素子分離される複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、
半導体装置の製造方法。

【請求項13】 前記ステップ(d)は、

(d-1)前記SOI層の上層部に不純物濃度分布のピークが存在し、かつチャネリング現象が生じるように所定の導電型の不純物を導入して前記所定の素子の活性領域を形成するステップを含む、

請求項8記載の半導体装置の製造方法。

【請求項14】 (a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、

(b)前記SOI層を選択的に表面から貫通させて少なくとも1つの第1のトレンチを形成するステップと、

(c)前記SOI層を選択的に表面から貫通させることなく複数の第2のトレンチを形成するステップとを備え、前記複数の第2のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、前記複数の第2のトレンチは複合トレンチと非貫通トレンチとを含み、前記複合トレンチは前記少なくとも1つの第1のトレンチを含んで前記少なくとも1つの第1のトレンチの形成幅より広く形成されることにより、前記第1のトレンチ形成部である貫通部と前記第1のトレンチ形成部以外の非貫通部とからなり、前記非貫通トレンチは前記少なくとも1つの第1のトレンチを含まずに非貫通部のみで形成され、

(d)前記複合トレンチ及び非貫通トレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複合トレンチの前記非貫通部の絶縁膜及び前記非貫通部下の前記SOI層よりなる部分分離部と前記貫通部の絶縁膜よりなる完全分離部とから複合分離領域が構成され、前記非貫通トレンチ内の絶縁膜とその下方の前記SOI層とにより部分分離領域が構成され、

(e)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、
半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を呈しており、前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記SOI層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、前記SOI層に設けられ、外部から電位固定可能なポディー領域とを備え、前記素子分離領域のうち少なくとも一部の領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記SOI層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の前記素子形成領域のうちの少なくとも1つの素子形成領域及び前記ポディー領域と接して形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【補正の内容】

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【補正の内容】

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】削除

【補正の内容】

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】削除

【補正の内容】

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【補正の内容】

【手続補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 0

【補正方法】削除

【補正の内容】

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 1

【補正方法】削除

【補正の内容】

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】削除

【補正の内容】

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 3

【補正方法】削除

【補正の内容】

【手続補正 1 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】削除

【補正の内容】

【手続補正 1 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 5

【補正方法】変更

【補正の内容】

【0 0 2 5】

請求項 6 記載の半導体装置において、前記素子分離領域は前記 S O I 層を貫通した完全絶縁領域を有する完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成される入出力 N M O S トランジスタ形成領域及び入出力 P M O S トランジスタ形成領域を含み、前記完全分離領域は少なくとも前記入出力 N M O S トランジスタ形成領域と前記入出力 P M O S トランジスタ形成領域との境界近傍領域に形成される。

【手続補正 1 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】変更

【補正の内容】

【0 0 2 6】

請求項 7 記載の半導体装置において、前記素子形成領域は入出力 N M O S トランジスタ形成領域あるいは入出力 P M O S トランジスタ形成領域と隣接して形成される内部回路形成領域をさらに含み、前記完全分離領域は、前記入出力 N M O S トランジスタ形成領域及び前記入出力 P M O S トランジスタ形成領域のうち前記内部回路形成領域と隣接配置された領域と前記内部回路形成領域との境界近傍領域にさらに形成される。

【手続補正 1 8】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 7
【補正方法】 削除
【補正の内容】
【手続補正 1 9】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 2 8
【補正方法】 削除
【補正の内容】
【手続補正 2 0】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 2 9
【補正方法】 削除
【補正の内容】
【手続補正 2 1】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 0
【補正方法】 削除
【補正の内容】
【手続補正 2 2】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 1
【補正方法】 削除
【補正の内容】
【手続補正 2 3】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 2
【補正方法】 削除
【補正の内容】
【手続補正 2 4】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 3
【補正方法】 削除
【補正の内容】
【手続補正 2 5】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 4
【補正方法】 削除
【補正の内容】
【手続補正 2 6】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 5
【補正方法】 削除
【補正の内容】
【手続補正 2 7】
【補正対象書類名】 明細書
【補正対象項目名】 0 0 3 6
【補正方法】 削除
【補正の内容】
【手続補正 2 8】
【補正対象書類名】 明細書

- 【補正対象項目名】 0 0 3 7
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 2 9】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 3 8
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 3 0】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 3 9
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 3 1】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 4 0
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 3 2】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 4 1
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 3 3】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 4 2
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 3 4】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 4 3
 - 【補正方法】 削除
 - 【補正の内容】
 - 【手続補正 3 5】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 4 4
 - 【補正方法】 変更
 - 【補正の内容】
 - 【 0 0 4 4】
- この発明に係る請求項 8 記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、(b)前記 S O I 層を選択的に表面から貫通させることなく除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記 S O I 層の領域が複数の素子形成領域となり、(c)前記複数のトレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複数のトレンチのうち少なくとも 1 つのトレンチ内の絶縁膜と前記少なくとも 1 つのトレンチ下の前記 S O I 層とにより部分分離領域が構成され、(d)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。
- 【手続補正 3 6】
 - 【補正対象書類名】 明細書
 - 【補正対象項目名】 0 0 4 5

【補正方法】変更

【補正の内容】

【0045】

請求項9記載の半導体装置の製造方法において、前記複数のトレンチは第1及び第2のトレンチを含み、前記少なくとも1つのトレンチは前記第1のトレンチを含み、前記ステップ(b)の後、ステップ(c)の前に、(e)前記第1及び第2のトレンチのうち、前記第2のトレンチの底部から前記SOI層をさらに除去して、前記SOI層を貫通させるステップをさらに備え、前記ステップ(c)によって、前記第1のトレンチ内の絶縁膜と前記第1のトレンチ下の前記SOI層とにより前記部分分離領域が構成され、前記SOI層を貫通した前記第2のトレンチ内の絶縁膜により完全分離領域が構成される。

【手続補正37】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

請求項10記載の半導体装置の製造方法において、前記第2のトレンチの形成幅は前記第1のトレンチの形成幅より広く、前記ステップ(b)は、(b-1)前記第1のトレンチの底面は塞がり、第2のトレンチの底面の中心部は露出する程度に、前記第1及び第2のトレンチそれぞれの側面に側壁体を形成するステップと、(b-2)前記側壁体をマスクとして前記第2のトレンチの中心部下の前記SOI層を貫通させるステップとを備える。

【手続補正38】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

請求項11記載の半導体装置の製造方法において、前記ステップ(b)の後、(f)前記複数のトレンチの下方の前記SOI層に不純物を導入して高濃度領域を形成するステップをさらに備える。

【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

請求項12記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びシリコン層からなるSOI構造のSOI基板を準備するステップと、(b)前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、(c)前記シリコン層の前記貫通部に前記シリコン層の表面から突出するように第1の絶縁膜を埋め込むとともに、前記シリコン層上に第2の絶縁膜を選択的に形成するステップと、(d)前記第2の絶縁膜が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とによりSOI層が構成され、前記第2絶縁膜とその下方の前記シリコン層とにより部分分離領域が構成され、前記第1の絶縁膜により完全分離領域が構成され、(e)前記部分分離領域あるいは前記完全分離領域によって素子分離される複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】削除

【補正の内容】

【手続補正 4 1】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】削除

【補正の内容】

【手続補正 4 2】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】削除

【補正の内容】

【手続補正 4 3】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

請求項 1 3 記載の半導体装置の製造方法において、前記ステップ(d)は、(d-1)前記 S O I 層の上層部に不純物濃度分布のピークが存在し、かつチャネリング現象が生じるように所定の導電型の不純物を導入して前記所定の素子の活性領域を形成するステップを含む。

【手続補正 4 4】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

この発明に係る請求項 1 4 記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、(b)前記 S O I 層を選択的に表面から貫通させて少なくとも 1 つの第 1 のトレンチを形成するステップと、(c)前記 S O I 層を選択的に表面から貫通させることなく複数の第 2 のトレンチを形成するステップとを備え、前記複数の第 2 のトレンチ間の前記 S O I 層の領域が複数の素子形成領域となり、前記複数の第 2 のトレンチは複合トレンチと非貫通トレンチとを含み、前記複合トレンチは前記少なくとも 1 つの第 1 のトレンチを含んで前記少なくとも 1 つの第 1 のトレンチの形成幅より広く形成されることにより、前記第 1 のトレンチ形成部である貫通部と前記第 1 のトレンチ形成部以外の非貫通部とからなり、前記非貫通トレンチは前記少なくとも 1 つの第 1 のトレンチを含まずに非貫通部のみで形成され、(d)前記複合トレンチ及び非貫通トレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複合トレンチの前記非貫通部の絶縁膜及び前記非貫通部下の前記 S O I 層よりなる部分分離部と前記貫通部の絶縁膜よりなる完全分離部とから複合分離領域が構成され、前記非貫通トレンチ内の絶縁膜とその下方の前記 S O I 層とにより部分分離領域が構成され、(e)前記複数の素子形成領域それぞれに所定の素子を形成するステップとをさらに備えている。

【手続補正 4 5】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】削除

【補正の内容】

【手続補正 4 6】

【補正対象書類名】明細書

【補正対象項目名】 0 0 6 3

【補正方法】 変更

【補正の内容】

【 0 0 6 3 】

そして、素子分離用の部分酸化膜 3 1の下部にはチャンネル形成領域と同じ導電型のウェル領域 1 1 , 1 2 (たとえば $10^{17} \sim 5 \cdot 10^{18} / \text{cm}^3$ の不純物濃度、不純物濃度はチャンネル形成領域と同じかそれ以上、濃度が高いほどパンチスルーが防止でき分離性能は良くなる) が設けられている。

【手続補正 4 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 7 3

【補正方法】 変更

【補正の内容】

【 0 0 7 3 】

< 第 2 の態様 >

これを避けるためには、図 6 に示す第 2 の態様に示すように、形成深さが S O I 層 3 の膜厚より十分に浅いドレイン領域 5 s 及びソース領域 6 s を形成する方が好ましい。すなわち、部分酸化膜 3 1 の下面よりもドレイン領域 5 s 及びソース領域 6 s を浅く形成すると良い。図 6 のように、形成深さの浅いドレイン領域 5 s 及びソース領域 6 s を形成するためには、低エネルギーイオン注入によってソース、ドレイン領域 6 s , 5 s を形成すればよい。

【手続補正 4 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 7 5

【補正方法】 変更

【補正の内容】

【 0 0 7 5 】

なぜならば、ビルトイン状態で、ソース/ドレイン空乏層が埋め込み酸化膜 2 まで到達するため、ソース/ドレイン領域 6 s / 5 s とウェル領域 1 1 (1 2) との接合容量の低減化を図りながら、部分酸化膜 3 1 及びウェル領域 1 1 (1 2) による部分分離領域による分離特性の向上が図れるからである。

【手続補正 4 9】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 9 0

【補正方法】 変更

【補正の内容】

【 0 0 9 0 】

次に、図 1 1 に示すように、500 nm 程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法で C M P 処理により窒化膜 4 2 の途中まで研磨し、その後、窒化膜 4 2、酸化膜 4 1 の除去を行うことにより、部分酸化膜 3 1 及びその下の S O I 層 3 (ウェル領域) と完全酸化膜 3 2 とが選択的に形成された構造を得ることができる。このように、C M P 処理による酸化膜を研磨することにより、部分酸化膜 3 1 及び完全酸化膜 3 2 の上面を凹凸なく均一に形成することができる。なお、図 9 の構造を得た後、図 1 2 で示すイオン注入を行った場合は、図 1 3 に示すように、部分酸化膜 3 1 下に高濃度ウェル領域 5 2 が形成されることになる。高濃度ウェル領域 5 2 により安定性良く基板電位固定することができる。

【手続補正 5 0】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 9 1

【補正方法】 変更

【補正の内容】

【0091】

以下、既存の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタ形成領域にPMOSTランジスタを形成することにより、図5で示した第1の態様のSOI構造、あるいは図6で示した第2の態様のSOI構造を得ることができる。

【手続補正51】

【補正対象書類名】明細書

【補正対象項目名】0099

【補正方法】変更

【補正の内容】

【0099】

以下、既存の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタ形成領域にPMOSTランジスタを形成することにより、図5で示した第1の態様のSOI構造、あるいは図6で示した第2の態様のSOI構造を得ることができる。

【手続補正52】

【補正対象書類名】明細書

【補正対象項目名】0118

【補正方法】変更

【補正の内容】

【0118】

<製造方法(その6)(第3の態様)>

製造方法の極端な例として、部分分離により素子分離されたトランジスタのゲート電極形成後、あるいはコンタクトや配線工程などの後工程の実施段階で、部分分離領域をSOI層3を貫通するようにエッチング除去し、その後酸化膜を埋め込んで完全分離領域に変更することも可能である。

【手続補正53】

【補正対象書類名】明細書

【補正対象項目名】0141

【補正方法】変更

【補正の内容】

【0141】

以下、既存の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタ形成領域にPMOSTランジスタを形成することにより、図32で示したSOI構造を得ることができる。

【手続補正54】

【補正対象書類名】明細書

【補正対象項目名】0147

【補正方法】変更

【補正の内容】

【0147】

このように、低誘電率膜76の底面及び側面にシリコン酸化膜78を形成するのは、シリコン(ドレイン領域5、ソース領域6、ウェル領域11, 12等)との界面に生じる欠陥や界面電荷の発生を確実に抑制するためである。なお、シリコン酸化膜78は熱酸化法やCVD法を用いて形成される。

【手続補正55】

【補正対象書類名】明細書

【補正対象項目名】0149

【補正方法】変更

【補正の内容】

【0149】

このように、低誘電率膜 77 の側面にシリコン酸化膜 79 を形成するのは、チャンネル形成領域 7 が存在する側面方向のシリコン（ドレイン領域 5、ソース領域 6）との界面に生じる欠陥や界面電荷の発生を確実に抑制することを主眼としたためである。

【手続補正 56】

【補正対象書類名】明細書

【補正対象項目名】0186

【補正方法】変更

【補正の内容】

【0186】

さらに、部分分離領域 113 を PMOS 活性領域 101、PMOS ボディーコンタクト領域 102、n ウェル領域 104、NMOS 活性領域 111 及び NMOS ボディーコンタクト領域 112 以外の領域に n ウェル領域 104 に連続して形成されるように設定することにより、完全分離領域 105 及び部分分離領域 113 からなる複合分離領域を設計することができる。

【手続補正 57】

【補正対象書類名】明細書

【補正対象項目名】0198

【補正方法】変更

【補正の内容】

【0198】

この回路例では、PMOS トランジスタ Q3 及び Q13 が出力 PMOS 領域 119 に形成され、NMOS トランジスタ Q4 及び Q14 が出力 NMOS 領域 109 に形成される。

【手続補正 58】

【補正対象書類名】明細書

【補正対象項目名】0200

【補正方法】変更

【補正の内容】

【0200】

また、実施の形態 8 の第 1 の態様は NMOS 領域、PMOS 領域間の全領域に完全分離領域を設けるのではなく、入出力 NMOS 領域、入出力 PMOS 領域の境界近傍領域のみに完全分離領域 114 を設けることにより、ラッチアップ現象を効果的に抑制しながら、回路形成面積の増大を最小限に抑えることができる。

【手続補正 59】

【補正対象書類名】明細書

【補正対象項目名】0201

【補正方法】変更

【補正の内容】

【0201】

< 第 2 の態様 >

なお、入出力 NMOS 領域 106、入出力 PMOS 領域 116 間の完全分離は、図 65 のように、入出力 NMOS 領域 106、入出力 PMOS 領域 116 間の境界近傍領域のみに設けてる以外に、図 68 に示す第 2 の態様のように、入出力 NMOS 領域 106 及び入出力 PMOS 領域 116 を完全に囲うように完全分離領域 115 を形成してもよい。

【手続補正 60】

【補正対象書類名】明細書

【補正対象項目名】0207

【補正方法】変更

【補正の内容】

【0207】

したがって、NMOS領域126とPMOS領域136との境界近傍領域は、図71に示すように、NMOS領域126は酸化膜54とウェル領域169とによる部分分離領域127で周囲と分離されるのに対し、PMOS領域136は酸化膜54のみによる完全分離領域120で周囲と分離される。

【手続補正61】

【補正対象書類名】明細書

【補正対象項目名】0209

【補正方法】変更

【補正の内容】

【0209】

また、基板浮遊効果がNMOSトランジスタに比べて穏やかなPMOSトランジスタは、周辺の一部に完全分離領域を形成しても大きな悪影響はなく、NMOS領域126、PMOS領域136間を完全分離領域120によって絶縁分離しながら面積効率を高めた配置となり、レイアウトに余裕がない場合等に有効となる。

【手続補正62】

【補正対象書類名】明細書

【補正対象項目名】0224

【補正方法】変更

【補正の内容】

【0224】

実施の形態10の第2の態様では、入出力NMOS領域151及び入出力PMOS領域152それぞれの部分分離領域127A及び137Aをp⁺ボディ領域146及びn⁺ボディ領域147で囲うことにより、サージの影響でウェル領域の電位が上昇して生じるラッチアップ現象を抑制することができる。

【手続補正63】

【補正対象書類名】明細書

【補正対象項目名】0247

【補正方法】変更

【補正の内容】

【0247】

そして、第2の態様は、図80及び図81のように、ソース領域154及びボディー領域164を隣接して形成できる分、集積度の向上を図ることができる。

【手続補正64】

【補正対象書類名】明細書

【補正対象項目名】0248

【補正方法】変更

【補正の内容】

【0248】

< 第3の態様 >

図82に示すように、部分分離領域161と隣接し、通常ソース領域154となる部分の一部にボディー領域164を設け、ソース領域154上にコンタクト165を設けても、第2の態様と同等の効果を奏する。

【手続補正65】

【補正対象書類名】明細書

【補正対象項目名】0249

【補正方法】変更

【補正の内容】

【0249】

さらに、第3の態様は、図82のように、ソース領域154となる領域内にボディー領

域 1 6 4 を完全重複して形成できる分、第 1 及び第 2 の態様以上に集積度の向上を図ることができる。

【手続補正 6 6】

【補正対象書類名】明細書

【補正対象項目名】0 2 5 2

【補正方法】変更

【補正の内容】

【0 2 5 2】

なお、製造方法としては、酸化膜 1 7 3 下に p^- のウェル領域形成後、斜め回転注入でボロンや BF_2 をウェル領域に達するように注入すれば、図 8 3 で示すように、 p 領域 1 7 4 , 1 7 5 を形成することができる。

【手続補正 6 7】

【補正対象書類名】明細書

【補正対象項目名】0 2 5 5

【補正方法】変更

【補正の内容】

【0 2 5 5】

このとき、図 8 4 の右側に示すように、ドレイン領域 1 8 3 及びソース領域 1 8 4 の不純物濃度プロファイルと、ウェル領域 1 8 2 の不純物濃度プロファイルとの比較した場合、ウェル領域 1 8 2 の不純物濃度ピークがドレイン領域 1 8 3 及びソース領域 1 8 4 の不純物濃度ピークより SOI 層 3 の表面からの深さが深くなるように設定する。

【手続補正 6 8】

【補正対象書類名】明細書

【補正対象項目名】0 2 8 8

【補正方法】変更

【補正の内容】

【0 2 8 8】

$DT-MOS$ 領域 2 2 5 , 2 2 6 はそれぞれ p 型のウェル領域 2 3 1 (部分分離領域 2 3 0) 内に n^+ の $NMOS$ 活性領域 2 3 2 と p^+ のボディー領域 2 3 4 とを設け、 $NMOS$ 活性領域 2 3 2 はコンタクト 2 3 8 を介して配線層 2 3 9 に接続するとともに、 $NMOS$ 活性領域 2 3 2 の中心部に設けられるゲート電極 2 3 3 はコンタクト 2 3 5 (ゲートコンタクト) を介して配線層 2 3 7 に電氣的に接続され、ボディー領域 2 3 4 はコンタクト 2 3 6 (ボディーコンタクト) を介して配線層 2 3 7 に電氣的に接続される。

【手続補正 6 9】

【補正対象書類名】明細書

【補正対象項目名】0 3 0 4

【補正方法】変更

【補正の内容】

【0 3 0 4】

このように、フィールドトランジスタ $Q 3 1$ によって外部入力端子 $P 1$, 接地レベル間に保護回路を設け、フィールドトランジスタ $Q 3 3$ によって電源 , 接地レベル間の寄生ダイオードパスを設けている。

【手続補正 7 0】

【補正対象書類名】明細書

【補正対象項目名】0 3 1 2

【補正方法】変更

【補正の内容】

【0 3 1 2】

<その他>

なお、フィールドトランジスタのソース/ドレイン領域 (n^+ 領域 2 6 1 , 2 6 2) を

埋め込み酸化膜 2 に到達させることなく、空乏層が埋め込み酸化膜 2 に到達するレベルの深さに形成しても良い。

【手続補正 7 1】

【補正対象書類名】明細書

【補正対象項目名】0 3 2 4

【補正方法】削除

【補正の内容】

【手続補正 7 2】

【補正対象書類名】明細書

【補正対象項目名】0 3 2 5

【補正方法】削除

【補正の内容】

【手続補正 7 3】

【補正対象書類名】明細書

【補正対象項目名】0 3 2 6

【補正方法】削除

【補正の内容】

【手続補正 7 4】

【補正対象書類名】明細書

【補正対象項目名】0 3 2 7

【補正方法】削除

【補正の内容】

【手続補正 7 5】

【補正対象書類名】明細書

【補正対象項目名】0 3 2 8

【補正方法】削除

【補正の内容】

【手続補正 7 6】

【補正対象書類名】明細書

【補正対象項目名】0 3 2 9

【補正方法】削除

【補正の内容】

【手続補正 7 7】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 0

【補正方法】削除

【補正の内容】

【手続補正 7 8】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 1

【補正方法】削除

【補正の内容】

【手続補正 7 9】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 2

【補正方法】削除

【補正の内容】

【手続補正 8 0】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 3

【補正方法】削除

【補正の内容】

【手続補正 8 1】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 4

【補正方法】削除

【補正の内容】

【手続補正 8 2】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 5

【補正方法】削除

【補正の内容】

【手続補正 8 3】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 6

【補正方法】削除

【補正の内容】

【手続補正 8 4】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 7

【補正方法】変更

【補正の内容】

【0 3 3 7】

請求項 6 記載の半導体装置の完全分離領域は少なくとも入出力 N M O S トランジスタ形成領域と入出力 P M O S トランジスタ形成領域との境界近傍領域に形成されるため、ラッチアップ現象を効果的に抑制することができる。

【手続補正 8 5】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 8

【補正方法】変更

【補正の内容】

【0 3 3 8】

請求項 7 記載の半導体装置の完全分離領域は、入出力用トランジスタ形成領域と内部回路形成領域との間の境界近傍領域にさらに形成されるため、ノイズ影響を受けやすい入出力用トランジスタ形成領域の影響を内部回路形成領域から完全に遮断することができる。

【手続補正 8 6】

【補正対象書類名】明細書

【補正対象項目名】0 3 3 9

【補正方法】削除

【補正の内容】

【手続補正 8 7】

【補正対象書類名】明細書

【補正対象項目名】0 3 4 0

【補正方法】削除

【補正の内容】

【手続補正 8 8】

【補正対象書類名】明細書

【補正対象項目名】0 3 4 1

【補正方法】削除

【補正の内容】

【手続補正 8 9】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 2
【補正方法】削除
【補正の内容】
【手続補正 9 0】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 3
【補正方法】削除
【補正の内容】
【手続補正 9 1】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 4
【補正方法】削除
【補正の内容】
【手続補正 9 2】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 5
【補正方法】削除
【補正の内容】
【手続補正 9 3】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 6
【補正方法】削除
【補正の内容】
【手続補正 9 4】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 7
【補正方法】削除
【補正の内容】
【手続補正 9 5】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 8
【補正方法】削除
【補正の内容】
【手続補正 9 6】
【補正対象書類名】明細書
【補正対象項目名】0 3 4 9
【補正方法】削除
【補正の内容】
【手続補正 9 7】
【補正対象書類名】明細書
【補正対象項目名】0 3 5 0
【補正方法】削除
【補正の内容】
【手続補正 9 8】
【補正対象書類名】明細書
【補正対象項目名】0 3 5 1
【補正方法】削除
【補正の内容】

【手続補正 9 9】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 2

【補正方法】削除

【補正の内容】

【手続補正 1 0 0】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 3

【補正方法】削除

【補正の内容】

【手続補正 1 0 1】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 4

【補正方法】削除

【補正の内容】

【手続補正 1 0 2】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 5

【補正方法】削除

【補正の内容】

【手続補正 1 0 3】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 6

【補正方法】削除

【補正の内容】

【手続補正 1 0 4】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 7

【補正方法】変更

【補正の内容】

【0 3 5 7】

この発明に係る請求項 8 記載の半導体装置の製造方法によって形成される半導体装置において、複数の素子形成領域のうち、少なくとも 1 つのトレンチ内の絶縁膜とその下方の S O I 層とによって素子分される素子形成領域に対し、基板浮遊効果を抑えた素子分離がなされる。

【手続補正 1 0 5】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 8

【補正方法】変更

【補正の内容】

【0 3 5 8】

請求項 9 記載の半導体装置の製造方法によって形成される複数の素子形成領域は、第 1 のトレンチ内の絶縁膜とその下方の S O I 層とによって基板浮遊効果を抑えた素子分離がなされるとともに、S O I 層を貫通した第 2 のトレンチ内の絶縁膜によって完全な素子分離がなされる。

【手続補正 1 0 6】

【補正対象書類名】明細書

【補正対象項目名】0 3 5 9

【補正方法】変更

【補正の内容】

【 0 3 5 9 】

請求項 1 0 記載の半導体装置の製造方法は、第 1 及び第 2 のトレンチ間の形成幅の違いを利用して、側壁体をマスクとして第 2 のトレンチの中心部下の S O I 層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができる。

【 手 続 補 正 1 0 7 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 0

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 3 6 0 】

請求項 1 1 記載の半導体装置の製造方法は、複数のトレンチの下方の S O I 層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する素子形成領域を安定性良く電位固定することができる。

【 手 続 補 正 1 0 8 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 1

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 3 6 1 】

この発明に係る請求項 1 2 記載の半導体装置の製造方法は、シリコン層とエピタキシャル成長層とにより S O I 層を構成するため、結晶性の良い S O I 層を形成することができる。

【 手 続 補 正 1 0 9 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 2

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 1 1 0 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 3

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 1 1 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 4

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 1 1 2 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 5

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 1 1 3 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 3 6 6

【 補 正 方 法 】 削 除

【 補 正 の 内 容 】

【 手 続 補 正 1 1 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【補正対象項目名】 0 3 6 7

【補正方法】 変更

【補正の内容】

【 0 3 6 7 】

請求項 1 3 記載の半導体装置の製造方法のステップ (d) は、S O I 層の上層部に濃度分布のピークが存在し、かつチャネリング現象が生じるように所定の導電型の不純物を導入して所定の素子の活性領域を形成するステップを含むため、S O I 層の上層部に不純物濃度のピークを存在させながら、チャネリング現象により埋め込み絶縁膜の表面にかけて不純物が分布する所定の素子の活性領域を得ることができる。

【手続補正 1 1 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 3 6 8

【補正方法】 変更

【補正の内容】

【 0 3 6 8 】

この発明における請求項 1 4 記載の半導体装置の製造方法は、ステップ (b) , (c) を行うことにより、複合分離領域用の複合トレンチと部分分離領域用の非貫通トレンチとを同時に形成することができる。

【手続補正 1 1 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 3 6 9

【補正方法】 削除

【補正の内容】

【手続補正 1 1 7】

【補正対象書類名】 明細書

【補正対象項目名】 図面の簡単な説明

【補正方法】 変更

【補正の内容】

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である S O I 構造の半導体装置の第 1 の態様を示す断面図である。

【図 2】 実施の形態 1 の第 1 の態様を示す断面図である。

【図 3】 実施の形態 1 の第 1 の態様の平面図である。

【図 4】 実施の形態 1 の第 2 の態様の構造を示す断面図である。

【図 5】 実施の形態 2 の第 1 の態様を示す断面図である。

【図 6】 実施の形態 2 の第 2 の態様を示す断面図である。

【図 7】 実施の形態 2 の第 3 の態様を示す断面図である。

【図 8】 実施の形態 2 における素子分離工程 (その 1) を示す断面図である。

【図 9】 実施の形態 2 における素子分離工程 (その 1) を示す断面図である。

【図 1 0】 実施の形態 2 における素子分離工程 (その 1) を示す断面図である。

【図 1 1】 実施の形態 2 における素子分離工程 (その 1) を示す断面図である。

【図 1 2】 高濃度ウェル領域形成工程を示す断面図である。

【図 1 3】 高濃度ウェル領域形成工程を示す断面図である。

【図 1 4】 実施の形態 2 における素子分離工程 (その 2) を示す断面図である。

【図 1 5】 実施の形態 2 における素子分離工程 (その 2) を示す断面図である。

【図 1 6】 実施の形態 2 における素子分離工程 (その 2) を示す断面図である。

【図 1 7】 実施の形態 2 における素子分離工程 (その 2) を示す断面図である。

【図 1 8】 実施の形態 2 における素子分離工程 (その 2) を示す断面図である。

【図 1 9】 実施の形態 2 における素子分離工程 (その 3) を示す断面図である。

【図 2 0】 実施の形態 2 における素子分離工程 (その 3) を示す断面図である。

- 【図 2 1】 実施の形態 2 における素子分離工程（その 3）を示す断面図である。
- 【図 2 2】 実施の形態 2 における素子分離工程（その 3）を示す断面図である。
- 【図 2 3】 実施の形態 2 における素子分離工程（その 4）を示す断面図である。
- 【図 2 4】 実施の形態 2 における素子分離工程（その 4）を示す断面図である。
- 【図 2 5】 実施の形態 2 における素子分離工程（その 4）を示す断面図である。
- 【図 2 6】 実施の形態 2 における素子分離工程（その 4）を示す断面図である。
- 【図 2 7】 実施の形態 2 における素子分離工程（その 4）を示す断面図である。
- 【図 2 8】 実施の形態 3 の第 1 の態様を示す断面図である。
- 【図 2 9】 実施の形態 3 の第 2 の態様を示す断面図である。
- 【図 3 0】 実施の形態 4 の S O I 構造を示す断面図である。
- 【図 3 1】 実施の形態 4 の S O I 構造を示す断面図である。
- 【図 3 2】 実施の形態 4 の他の S O I 構造を示す断面図である。
- 【図 3 3】 実施の形態 4 における素子分離工程を示す断面図である。
- 【図 3 4】 実施の形態 4 における素子分離工程を示す断面図である。
- 【図 3 5】 実施の形態 4 における素子分離工程を示す断面図である。
- 【図 3 6】 実施の形態 4 における素子分離工程を示す断面図である。
- 【図 3 7】 実施の形態 4 における素子分離工程を示す断面図である。
- 【図 3 8】 実施の形態 5 の第 1 の態様を示す断面図である。
- 【図 3 9】 実施の形態 5 の第 2 の態様を示す断面図である。
- 【図 4 0】 実施の形態 5 の第 3 の態様を示す断面図である。
- 【図 4 1】 実施の形態 6 の第 1 の態様を示す断面図である。
- 【図 4 2】 実施の形態 6 の第 2 の態様を示す断面図である。
- 【図 4 3】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。
- 。
- 【図 4 4】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。
- 。
- 【図 4 5】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。
- 。
- 【図 4 6】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。
- 。
- 【図 4 7】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。
- 。
- 【図 4 8】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。
- 。
- 【図 4 9】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。
- 。
- 【図 5 0】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。
- 。
- 【図 5 1】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。
- 。
- 【図 5 2】 実施の形態 6 の第 3 の態様を示す断面図である。
- 【図 5 3】 実施の形態 6 の第 4 の態様を示す断面図である。
- 【図 5 4】 実施の形態 6 の第 5 の態様を示す断面図である。
- 【図 5 5】 実施の形態 2 の第 4 の態様を示す断面図である。
- 【図 5 6】 実施の形態 2 の第 5 の態様を示す断面図である。
- 【図 5 7】 実施の形態 2 の第 6 の態様を示す断面図である。
- 【図 5 8】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。
- 【図 5 9】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。
- 【図 6 0】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。
- 【図 6 1】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。

- 【図 6 2】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。
- 【図 6 3】 実施の形態 7 による完全分離領域の設定方法を示す説明図である。
- 【図 6 4】 ラッチアップ現象説明用の説明図である。
- 【図 6 5】 実施の形態 8 の第 1 の態様を示す断面図である。
- 【図 6 6】 入力回路の一例を示す回路図である。
- 【図 6 7】 出力回路の一例を示す回路図である。
- 【図 6 8】 実施の形態 8 の第 2 の態様を示す断面図である。
- 【図 6 9】 実施の形態 8 の第 3 の態様を示す平面図である。
- 【図 7 0】 実施の形態 9 の第 1 の態様を示す平面図である。
- 【図 7 1】 図 7 0 の A - A 断面を示す断面図である。
- 【図 7 2】 実施の形態 9 の第 2 の態様を示す平面図である。
- 【図 7 3】 図 7 2 の B - B 断面を示す断面図である。
- 【図 7 4】 実施の形態 10 の第 1 の態様を示す平面図である。
- 【図 7 5】 実施の形態 10 の第 2 の態様を示す平面図である。
- 【図 7 6】 実施の形態 11 の第 1 の態様を示す平面図である。
- 【図 7 7】 実施の形態 11 の第 2 の態様を示す平面図である。
- 【図 7 8】 実施の形態 12 の第 1 の態様を示す平面図である。
- 【図 7 9】 図 7 8 の C - C 断面を示す断面図である。
- 【図 8 0】 実施の形態 12 の第 2 の態様を示す平面図である。
- 【図 8 1】 図 8 0 の D - D 断面を示す断面図である。
- 【図 8 2】 実施の形態 12 の第 3 の態様を示す平面図である。
- 【図 8 3】 実施の形態 13 を示す断面図である。
- 【図 8 4】 実施の形態 14 の第 1 の態様の特徴を示す説明図である。
- 【図 8 5】 実施の形態 14 の第 2 の態様の特徴を示す説明図である。
- 【図 8 6】 実施の形態 15 の第 1 の態様を示す断面図である。
- 【図 8 7】 実施の形態 15 の第 2 の態様を示す平面図である。
- 【図 8 8】 実施の形態 16 の第 1 の態様を示す断面図である。
- 【図 8 9】 実施の形態 16 の第 2 の態様を示す断面図である。
- 【図 9 0】 実施の形態 17 の第 1 の態様を示す断面図である。
- 【図 9 1】 実施の形態 17 の回路構成を示す回路図である。
- 【図 9 2】 実施の形態 17 の第 2 の態様を示す断面図である。
- 【図 9 3】 実施の形態 18 の DT - MOS を示す平面図である。
- 【図 9 4】 実施の形態 19 を示す断面図である。
- 【図 9 5】 実施の形態 20 の第 1 の態様を示す断面図である。
- 【図 9 6】 実施の形態 20 のフィールドトランジスタの入力回路への利用例を示す回路図である。
- 【図 9 7】 実施の形態 20 のフィールドトランジスタの出力回路への利用例を示す回路図である。
- 【図 9 8】 実施の形態 20 の第 2 の態様を示す断面図である。
- 【図 9 9】 実施の形態 20 の第 3 の態様を示す平面図である。
- 【図 100】 ドレイン/ソース領域の不純物分布を示す説明図である。
- 【図 101】 図 7 4 の E - E 断面を示す断面図である。
- 【図 102】 従来の SOI 構造の半導体装置を示す断面図である。