

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ H01L 29/78 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월02일 10-0549008 2006년01월26일
------------------------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자	10-2004-0018122 2004년03월17일	(65) 공개번호 (43) 공개일자	10-2005-0092933 2005년09월23일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 서형원
 경기도용인시기홍읍신갈리45번지유정타운203호

 양원석
 경기도수원시팔달구망포동동수원엘지빌리지2차203-1403

 송두현
 경기도용인시구성면보정리진산마을삼성5차아파트511동1203호

 윤재만
 서울특별시관악구신림6동352-12

(74) 대리인 박상수

심사관 : 임동우

(54) 등방성식각 기술을 사용하여 핀 전계효과 트랜지스터를 제조하는 방법

요약

등방성식각 기술을 사용하여 핀 전계효과 트랜지스터를 제조하는 방법이 개시된다. 이 방법은 반도체기판 상에 하드마스크 패턴을 형성하는 것을 구비한다. 상기 하드마스크 패턴은 하부 하드마스크 패턴 및 상부 하드마스크 패턴을 갖는다. 상기 하드마스크 패턴을 식각마스크로 사용하여 상기 반도체기판을 식각하여 활성영역을 한정하는 트렌치를 형성한다. 그 후, 등방성식각 기술을 사용하여 상기 하부 하드마스크 패턴을 리세스시킨다. 이어서, 상기 트렌치를 채우고 상기 리세스된 하부 하드마스크 패턴의 측벽을 덮는 소자분리막을 형성한다. 이때, 상기 상부 하드마스크 패턴을 제거하여 상기 리세스된 하부 하드마스크 패턴의 상부면을 노출시킨다. 그 후, 상기 리세스된 하부 하드마스크 패턴을 식각 마스크로 사용하여 상기 활성영역의 소정영역을 식각하여 핀(fin)을 형성한다. 이어서, 상기 하부 하드마스크 패턴을 제거하여 상기 핀의 상부면을 노출시키고, 상기 노출된 핀의 측벽들 및 상부면을 덮는 게이트전극을 형성한다. 이 때, 상기 게이트전극은 상기 핀과 절연되도록 형성된다.

대표도

도 1

색인어

등방성식각 기술(isotropic etching technique), 핀 전계효과 트랜지스터(fin field effect transistor; FinFET), 단채널효과(short channel effect)

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예들에 따른 핀 전계효과 트랜지스터를 제조하는 방법을 설명하기 위한 레이아웃도이다.

도 2a 내지 도 9b는 본 발명의 바람직한 실시예에 따른 핀 전계효과 트랜지스터를 제조하는 방법을 설명하기 위해 도 1의 절단선 X-X' 및 Y-Y'를 따라 취해진 단면도들이다.

도 10a 내지 도 15b는 본 발명의 다른 실시예에 따른 핀 전계효과 트랜지스터를 제조하는 방법을 설명하기 위한 단면도들이다.

* 도면의 주요 부분에 대한 도면 부호의 설명 *

- 21, 51: 반도체기판, 23, 53: 채널방지영역,
- 25, 55: 패드 산화막, 27, 57: 하부 하드마스크 패턴,
- 27a: 리세스된 하드마스크 패턴, 29, 59: 상부 하드마스크 패턴,
- 31, 61: 트렌치, 33, 63: 소자분리막,
- 35, 65: 포토레지스트 패턴, 37, 67: 핀(fin),
- 39, 69: 채널방지막, 41, 71: 게이트 절연막,
- 43, 73: 게이트 전극, 45, 75: 게이트 하드마스크 패턴,
- 47, 77: 스페이서, 49, 79: 소오스/드레인 영역들

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조방법에 관한 것으로서, 보다 상세하게는 등방성식각기술을 사용하여 핀 전계효과 트랜지스터를 제조하는 방법에 관한 것이다.

반도체 소자는 모오스 트랜지스터와 같은 개별소자(discrete device)를 스위칭 소자로 널리 채택하고 있다. 반도체 소자의 집적도가 증가함에 따라, 상기 모오스 트랜지스터는 점점 스케일 다운되고 있다. 그 결과, 상기 모오스 트랜지스터의 채널 길이가 감소하여 단채널 효과(short channel effect)가 발생한다.

일반적으로, 단채널 효과에 따른 문턱전압의 감소를 방지하기 위해 채널영역 내에 채널이온들을 고농도로 도우핑하는 방법이 사용된다. 그러나, 채널이온들을 고농도로 도우핑할 경우, 채널저항이 증가하여 전류구동능력이 감소된다. 또한, 채널이온들의 농도 증가는, 채널영역과 소오스/드레인 사이의 전기장의 증가로 이어진다. 이에 따라, 채널영역과 소오스/드레인 사이에 누설전류가 증가한다. 특히, 디램셀과 같이 전하를 저장하는 커패시터가 소오스 또는 드레인에 연결되어 있는 경우, 상기 누설전류의 증가는 전하 보유 특성의 열화로 나타난다.

따라서, 상기 단채널 효과를 감소시키기 위한 방안으로 3차원 트랜지스터에 대한 연구가 널리 진행되고 있다. 특히, 채널 폭이 작아 트랜지스터의 온-오프 특성이 좋은 핀 전계효과 트랜지스터에 대한 연구가 널리 진행되고 있다.

상기 핀 전계효과 트랜지스터를 제조하는 방법이 미국특허 제6,689,650호에 "자기정렬 게이트를 갖는 핀 전계효과 트랜지스터(fin field effect transistor with self-aligned gate)"라는 제목으로 감비노 등(Gambino et al.)에 의해 개시된 바 있다.

상기 미국특허 제6,689,650호에 개시된 방법에 따르면, 핀에 자기정렬된 게이트를 형성할 수 있어 채널영역과 소오스/드레인 사이의 저항을 감소시킬 수 있는 장점이 있다. 그러나, 상기 미국특허 제6,689,650호에 개시된 방법에 따르면, 핀을 형성하기 위해 통상의 사진/식각에 의해 하드마스크를 패터닝한다. 그러나, 사진/식각 기술을 사용하여 하드마스크를 패터닝하여 좁은 폭을 갖는 하드마스크 패턴을 형성하는 것은 한계가 있다.

결과적으로, 좁은 폭을 갖는 핀을 형성하는 방법을 최적화할 필요가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 핀을 형성하는 방법을 최적화하여, 단채널 효과를 방지하면서 고집적할 수 있는 핀 전계효과 트랜지스터를 제조하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여, 본 발명의 실시예들은 등방성식각 기술을 사용하여 핀 전계효과 트랜지스터를 제조하는 방법을 제공한다. 이 방법은 반도체기판 상에 하드마스크 패턴을 형성하는 것을 구비한다. 상기 하드마스크 패턴은 하부 하드마스크 패턴 및 상부 하드마스크 패턴을 갖는다. 상기 하드마스크 패턴을 식각마스크로 사용하여 상기 반도체기판을 식각하여 활성영역을 한정하는 트렌치를 형성한다. 그 후, 등방성식각 기술을 사용하여 상기 하부 하드마스크 패턴을 리세스시킨다. 이어서, 상기 트렌치를 채우고 상기 리세스된 하부 하드마스크 패턴의 측벽을 덮는 소자분리막을 형성한다. 이때, 상기 상부 하드마스크 패턴을 제거하여 상기 리세스된 하부 하드마스크 패턴의 상부면을 노출시킨다. 그 후, 상기 리세스된 하부 하드마스크 패턴을 식각 마스크로 사용하여 상기 활성영역의 소정영역을 식각하여 핀(fin)을 형성한다. 이어서, 상기 하부 하드마스크 패턴을 제거하여 상기 핀의 상부면을 노출시키고, 상기 노출된 핀의 측벽들 및 상부면을 덮는 게이트전극을 형성한다. 이 때, 상기 게이트전극은 상기 핀과 절연되도록 형성된다. 본 발명의 실시예들에 따르면, 하부 하드마스크 패턴을 등방성식각 기술을 사용하여 리세스시키어 리세스된 하부 하드마스크 패턴을 형성한다. 이에 따라, 사진/식각 기술의 한계를 넘는 좁은 폭을 갖는 핀을 패터닝할 수 있다.

바람직하게는, 상기 하드마스크 패턴을 형성하기 전, 상기 반도체기판 상에 채널 이온들을 주입하여 채널방지영역을 형성할 수 있다. 상기 채널방지영역은 채널이 핀에 한정되도록 하기 위해 형성될 수 있다.

또한, 상기 하드마스크 패턴은 패드 산화막을 더 포함할 수 있다. 상기 패드산화막은 상기 하부 하드마스크 패턴과 상기 반도체기판 사이의 스트레스를 완화하기 위해 사용된다.

한편, 상기 소자분리막을 형성하는 것은 상기 리세스된 하부 하드마스크 패턴을 갖는 반도체기판 상에 절연막을 형성하는 것을 포함한다. 상기 절연막을 상기 리세스된 하부 하드마스크 패턴의 상부면이 노출될 때 까지 평탄화한다.

바람직하게는, 상기 소자분리막을 형성한 후, 상기 소자분리막을 선택적으로 리세스시키어 상기 활성영역의 상부면을 노출시킬 수 있다. 그 결과, 상기 리세스된 하부 하드마스크 패턴의 하부 영역을 제외하고, 상기 활성영역의 상부면이 노출된다.

바람직하게는, 상기 활성영역의 소정영역을 식각하기 전, 상기 소자분리막을 갖는 반도체기판 상에 상기 리세스된 하부 하드마스크 패턴을 가로지르는 그루브를 갖는 포토레지스트 패턴을 형성할 수 있다. 상기 포토레지스트 패턴 및 상기 리세스된 하부 하드마스크 패턴을 식각마스크로 사용하여 상기 활성영역의 소정영역을 식각한다. 상기 활성영역의 소정영역을 식각한 후, 상기 포토레지스트 패턴을 제거한다.

상기 기술적 과제를 이루기 위하여 본 발명의 다른 실시예들은 등방성식각 기술을 사용하여 핀 전계효과 트랜지스터를 제조하는 방법을 제공한다. 이 방법은 반도체기판 상에 하드마스크 패턴을 형성하는 것을 구비한다. 상기 하드마스크 패턴을

식각마스크로 사용하여 상기 반도체기판을 식각하여 활성영역을 한정하는 트렌치를 형성한다. 그 후, 상기 트렌치를 채우고 상기 하드마스크 패턴의 측벽들을 덮는 소자분리막을 형성한다. 이어서, 상기 하드마스크 패턴을 가로지르는 그루브를 갖는 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴 및 상기 하드마스크 패턴을 식각마스크로 사용하여 상기 소자분리막을 식각하여 상기 활성영역의 양 측벽들을 노출시키고, 상기 포토레지스트 패턴을 제거한다. 그 후, 등방성식각 기술을 사용하여 상기 노출된 활성영역을 리세스시켜 핀을 형성하고, 상기 하드마스크 패턴을 제거하여 상기 핀의 상부면을 노출시킨다. 상기 노출된 핀의 측벽들 및 상부면을 덮는 게이트전극을 형성한다. 이 때, 상기 게이트전극은 상기 핀과 절연되도록 형성된다. 본 발명의 다른 실시예들에 따르면, 등방성식각 기술을 사용하여 활성영역을 리세스시켜 핀을 형성하므로 공정을 단순화할 수 있다.

바람직하게는, 상기 하드마스크 패턴을 형성하기 전, 상기 반도체기판 상에 채널 이온들을 주입하여 채널방지영역을 형성할 수 있다.

한편, 상기 하드마스크 패턴은 차례로 적층된 하부 하드마스크 패턴 및 상부 하드마스크 패턴을 포함할 수 있으며, 이에 더하여 패드 산화막을 포함할 수 있다.

이에 더하여, 상기 소자분리막을 형성하는 것은 상기 하드마스크 패턴을 갖는 반도체기판 상에 절연막을 형성하는 것을 포함한다. 상기 절연막을 상기 하부 하드마스크 패턴의 상부면이 노출될 때 까지 평탄화한다.

바람직하게는, 상기 소자분리막을 형성한 후, 상기 소자분리막을 선택적으로 리세스시킬 수 있다. 이때, 상기 소자분리막은 상기 반도체기판의 활성영역과 거의 동일한 높이를 갖도록 리세스될 수 있다. 이에 따라, 사진/식각 기술을 사용하여 상기 게이트 전극을 형성하는 것이 쉽다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 1은 본 발명의 실시예들에 따른 핀 전개효과 트랜지스터를 제조하는 방법을 설명하기 위한 레이아웃도이고, 도 2a 내지 도 9b는 본 발명의 제1 실시예들에 따른 핀 전개효과 트랜지스터를 제조하는 방법을 설명하기 위한 단면도들이다. 도 2a 내지 도 9b의 도면번호들에 있어서, "a"는 도 1의 절단선 X-X'를 따라 취해진 단면도들이고, "b"는 도 1의 절단선 Y-Y'를 따라 취해진 단면도들이다.

도 1, 도 2a 및 도 2b를 참조하면, 반도체기판(21) 상에 하드마스크 패턴을 형성한다. 상기 반도체기판(21)은 P형(P-type) 실리콘 기판일 수 있다. 이때, 상기 하드마스크 패턴을 형성하기 전, 상기 반도체기판(21) 내에 채널이온들을 주입하여 채널방지영역(23)을 형성할 수 있다. N-모오스 트랜지스터의 경우, P형 채널이온들을 주입하여 상기 채널방지영역(23)을 형성한다. 이와 달리, P-모오스 트랜지스터의 경우, N형 채널이온들을 주입하여 상기 채널방지영역(23)을 형성한다. 상기 채널방지영역(23)은 채널영역 이외의 영역들에서 채널이 형성되는 것을 방지하기 위해 형성될 수 있다. 또한, 상기 채널방지영역(23)은 문턱전압을 조절하기 위해 형성될 수 있다. 이와 달리, 상기 반도체기판(21)은 실리콘-온-인슐레이터(silicon on insulator; SOI) 기판일 수 있다. 상기 반도체기판(21)이 SOI 기판인 경우, 지시번호 "23"은 인슐레이터를 나타낸다.

한편, 상기 하드마스크 패턴은 차례로 적층된 하부 하드마스크 패턴(27) 및 상부 하드마스크 패턴(29)을 포함한다. 상기 하부 하드마스크 패턴(27)은 상기 반도체기판(21)에 대하여 식각선택비를 갖는 물질막으로 형성한다. 바람직하게는, 상기 하부 하드마스크 패턴(27)은 실리콘질화막(SiN)으로 형성할 수 있다. 또한, 상기 상부 하드마스크 패턴(29)은 상기 하부 하드마스크 패턴(27)에 대하여 식각 선택비를 갖는 물질막으로 형성한다. 한편, 상기 상부 하드마스크 패턴(29)은 반사방지막(anti-reflective coating layer; ARC)일 수 있다. 이에 더하여, 상기 하드마스크 패턴은 상기 하부 하드마스크 패턴(27)과 상기 반도체기판 사이에 패드 산화막(25)을 더 포함할 수 있다. 상기 패드 산화막은 열산화공정을 사용하여 상기 반도체기판(21)을 산화시켜 형성할 수 있다. 상기 패드 산화막(25)은 상기 하부 하드마스크 패턴(27)과 상기 반도체기판(21) 사이의 스트레스를 완화하는 역할을 한다.

상기 하드마스크 패턴은 패드 산화막, 하부 하드마스크막 및 상부 하드마스크막을 차례로 형성하고, 이들을 사진 및 식각 공정을 사용하여 패터닝하여 형성할 수 있다.

도 1, 도 3a 및 도 3b를 참조하면, 상기 상부 및 하부 하드마스크 패턴(29, 27)을 식각마스크로 사용하여 상기 반도체기판(21)을 식각하여 활성영역을 한정하는 트렌치(31)를 형성한다. 이때, 상기 채널방지영역(23)의 일부가 함께 식각될 수 있다.

도 1, 도 4a 및 도 4b를 참조하면, 상기 트렌치(31)가 형성된 후, 상기 하부 하드마스크 패턴(27)을 등방성식각 기술을 사용하여 식각한다. 상기 등방성 식각은 습식 또는 건식 식각기술을 사용하여 수행될 수 있다. 상기 등방성 식각은 상기 하부 하드마스크 패턴(27)을 선택적으로 식각할 수 있는 에천트를 사용하여 수행되는 것이 바람직하다. 이때, 상기 상부 하드마스크 패턴(29)은 상기 하부 하드마스크 패턴(27)의 상부면이 식각되는 것을 방지한다. 그 결과, 상기 하부 하드마스크 패턴(27)의 측벽들이 리세스되어 리세스된 하부 하드마스크 패턴(27a)이 형성된다. 바람직하게는, 상기 리세스된 하부 하드마스크 패턴(27a)은 10?? 내지 900??의 폭을 갖도록 형성될 수 있다.

도 1, 도 5a 및 도 5b를 참조하면, 상기 리세스된 하부 하드마스크 패턴(27a)을 갖는 반도체기판 상에 절연막을 형성한다. 상기 절연막은 실리콘 산화막으로 형성할 수 있다. 상기 절연막은 상기 트렌치(31)를 채우고, 상기 하부 하드마스크 패턴(27a)의 측벽들을 덮도록 형성된다. 그 후, 상기 절연막을 상기 하부 하드마스크 패턴(27a)의 상부면이 노출될 때 까지 평탄화시켜 소자분리막(33)을 형성한다. 이 때, 상기 상부 하드마스크 패턴(29)이 함께 제거된다.

이와 달리, 상기 절연막을 형성하기 전, 상기 상부 하드마스크 패턴(29)을 먼저 제거할 수 있다. 그 후, 절연막을 형성하고, 이를 상기 리세스된 하부 하드마스크 패턴(27a)이 노출될 때 까지 평탄화하여 소자분리막(33)을 형성한다.

도 1, 도 6a 및 도 6b를 참조하면, 상기 소자분리막(33)을 리세스시켜 상기 소자분리막(33)의 높이를 낮춘다. 바람직하게는, 상기 반도체기판(21)의 상부면이 노출될 때 까지 상기 소자분리막(33)을 리세스시킨다. 이 때, 상기 패드산화막(29)의 일부가 제거될 수 있다. 그 결과, 상기 리세스된 하부 하드마스크 패턴(27a)에 인접한 활성영역이 노출된다. 한편, 상기 소자분리막(33)을 리세스시키는 것은 상기 소자분리막(33)의 높이를 조절하여 상기 반도체기판(21)의 활성영역과 유사한 높이를 갖도록 하기 위한 것이다. 따라서, 이 단계에서 상기 소자분리막(33)을 리세스시키는 것은 생략될 수 있다.

도 1, 도 7a 및 도 7b를 참조하면, 상기 소자분리막(33)을 갖는 반도체기판 상에 상기 리세스된 하부 하드마스크 패턴(27a)을 가로지르는 그루브를 갖는 포토레지스트 패턴(35)을 형성한다. 상기 그루브를 통해 상기 하부 하드마스크 패턴(27a)의 상부면 및 상기 하부 하드마스크 패턴(27a)에 인접한 활성영역이 노출된다. 또한, 상기 활성영역에 인접한 소자분리막(33)이 노출될 수 있다. 상기 포토레지스트 패턴(35) 및 상기 하부 하드마스크 패턴(27a)을 식각마스크로 사용하여 상기 반도체기판(21)의 활성영역을 식각한다. 그 결과, 좁은 폭을 갖는 핀(37)이 형성된다.

한편, 상기 소자분리막(33)을 리세스시키는 것을 생략한 경우, 상기 하부 하드마스크 패턴(27a)에 인접한 활성영역은 상기 소자분리막(33)에 의해 노출이 방지된다. 이 경우, 상기 포토레지스트 패턴(35)을 식각마스크로 사용하여 상기 활성영역이 노출될 때 까지 상기 소자분리막(33)을 리세스시킨다. 그 결과, 상기 소자분리막(33) 내에 상기 활성영역을 노출시키는 그루브가 형성된다. 그 후, 상기 노출된 활성영역을 식각하여 핀(37)을 형성한다.

도 1, 도 8a 및 도 8b를 참조하면, 상기 핀(37)이 형성된 후, 상기 포토레지스트 패턴(35), 상기 하부 하드마스크 패턴(27a) 및 상기 패드 산화막(29)을 제거하여 상기 반도체기판(21)의 활성영역을 노출시킨다. 상기 하부 하드마스크 패턴(27a)과 상기 패드 산화막(29)은 습식식각 기술을 사용하여 제거될 수 있다. 이때, 상기 핀(37)의 상부면이 노출된다. 그 후, 상기 핀(37)과 상기 소자분리막(33) 사이의 빈 공간을 채우는 갭 충전막(gap filling layer)를 형성하고, 이를 리세스시켜 채널방지막(39)을 형성한다.

이와 달리, 상기 채널방지막(39)은 상기 하부 하드마스크 패턴(27a)을 제거하기 전에 형성될 수 있다. 즉, 상기 포토레지스트 패턴(35)을 제거한 후, 상기 핀(37)과 상기 소자분리막(33) 사이의 빈 공간을 채우는 갭 충전막을 형성한다. 그 후, 상기 갭 충전막을 전면식각하여 채널방지막(39)을 형성하고, 상기 하부 하드마스크 패턴(27a) 및 상기 패드 산화막(25)을 제거한다.

한편, 상기 채널방지막(39)은 상기 핀(37)에 인접한 활성영역에서 채널이 형성되는 것을 방지하는 역할을 한다. 따라서, 상기 채널방지영역(23)의 이온농도가 높아 상기 인접한 활성영역에서 채널이 형성되는 것을 방지할 수 있는 경우, 상기 채널방지막(39)을 형성하는 것은 생략될 수 있다. 또한, 상기 핀(37)에 인접한 활성영역에서 채널을 형성하기 위한 목적으로 상기 채널방지막(39)을 형성하는 것을 생략할 수 있다.

도 1, 도 9a 및 도 9b를 참조하면, 상기 채널방지막(37)을 갖는 반도체기판 상에 게이트 절연막(41)을 형성한다. 바람직하게는, 상기 게이트 절연막(41)은 상기 반도체기판(21)을 열산화시키어 형성할 수 있다. 그 결과, 상기 핀(37)의 측벽들 및 상부면에 게이트 절연막(41)이 형성된다. 한편, 상기 채널방지막(37)을 형성하는 것이 생략된 경우, 상기 게이트 절연막(41)은 상기 핀(37)에 인접한 활성영역의 상부에도 형성된다.

상기 게이트 절연막(41)을 갖는 반도체기판 상에 게이트 도전막 및 게이트 하드마스크막을 차례로 형성한다. 상기 게이트 도전막은 폴리실리콘과 금속막을 적층하여 형성할 수 있다. 또한, 상기 게이트 하드마스크막은 실리콘질화막으로 형성할 수 있다. 상기 게이트 도전막은 상기 핀(37)의 측벽들 및 상부면을 덮는다. 그 후, 상기 게이트 하드마스크막 및 상기 게이트 도전막을 패터닝하여 게이트 하드마스크 패턴(45) 및 게이트 전극(43)을 형성한다. 상기 게이트 전극(43)은 상기 핀(37)의 측벽들을 덮는다.

상기 게이트 하드마스크 패턴(45)을 이온주입마스크로 사용하여 불순물 이온들을 주입하여 소오스/드레인 영역들(49)을 형성한다. 바람직하게는, 상기 게이트 전극(43) 및 상기 게이트 하드마스크 패턴(45)의 측벽 상에 스페이서들(47)을 형성할 수 있다. 상기 스페이서들(47)은 실리콘 질화막으로 형성할 수 있으며, 실리콘산화막과 실리콘질화막을 적층하여 형성할 수 있다. 그 후, 상기 소오스/드레인 영역들(49)을 갖는 반도체기판 상에 층간절연막(도시하지 않음)을 형성하고, 상기 층간절연막을 관통하여 상기 소오스/드레인 영역들(49)에 전기적으로 접속하는 소오스/드레인 콘택들(도시하지 않음)을 형성할 수 있다.

본 발명의 실시예들에 따르면, 등방성식각기술을 사용하여 상기 하부 하드마스크 패턴(27)을 리세스시키어 리세스된 하부 하드마스크 패턴(27a)을 형성한다. 그 후, 상기 리세스된 하부 하드마스크 패턴(27a)을 식각마스크로 사용하여 상기 활성영역을 식각하여 좁은 폭을 갖는 핀(37)을 형성한다. 결과적으로, 사진/식각기술을 사용하여 형성하기 어려운 핀을 쉽게 형성할 수 있다.

도 10a 내지 도 15b는 본 발명의 다른 실시예들에 따른 핀 전계효과 트랜지스터를 제조하는 방법을 설명하기 위한 단면도들이다.

도 10a 및 도 10b를 참조하면, 도 2a 내지 도 3b를 참조하여 설명한 바와 같이, 반도체기판(51) 상에 하드마스크 패턴을 형성하고, 상기 반도체기판(51)을 식각하여 트렌치(61)를 형성한다. 또한, 도 2a 및 도 2b를 참조하여 설명한 바와 같이, 채널방지막(53)을 형성할 수 있다. 한편, 상기 반도체기판(51)이 SOI 기판인 경우, 지시번호 "53"은 인슐레이터를 나타낸다.

한편, 상기 하드마스크 패턴은 하부 하드마스크 패턴(57) 및 상부 하드마스크 패턴(59)을 포함할 수 있으며, 패드산화막(55)을 포함할 수 있다. 그러나, 상기 상부 하드마스크 패턴(59)은 생략될 수 있다.

도 11a 및 도 11b를 참조하면, 상기 트렌치(61)를 채우는 절연막을 형성한다. 상기 절연막은 실리콘산화막으로 형성할 수 있다. 상기 절연막을 상기 하부 하드마스크 패턴(57)의 상부면이 노출될 때 까지 평탄화하여 소자분리막(63)을 형성한다. 본 발명의 다른 실시예들에서는 도 4a 및 도 4b를 참조하여 설명한 바와 같이 등방성식각기술을 사용하여 상기 하부 하드마스크 패턴(57)을 리세스시키는 것은 생략된다.

도 12a 및 도 12b를 참조하면, 상기 소자분리막(63)을 상기 반도체기판(51)의 상부면과 거의 동일레벨까지 리세스시킨다. 이때, 상기 반도체기판(51)의 활성영역은 상기 하부 하드마스크 패턴(57) 및 상기 패드산화막(55)에 의해 노출이 방지된다. 한편, 상기 소자분리막(63)을 리세스시키는 것은 생략될 수 있다.

도 13a 및 도 13b를 참조하면, 상기 리세스된 소자분리막(63)을 갖는 반도체기판 상에 포토레지스트 막을 형성한다. 상기 포토레지스트 막을 패터닝하여 상기 하부 하드마스크 패턴(57)의 상부면을 가로지르는 그루브를 갖는 포토레지스트 패턴(65)을 형성한다. 이때, 상기 그루브를 통해 상기 하부 하드마스크 패턴(57)에 인접한 소자분리막(65)이 노출된다.

상기 포토레지스트 패턴(65) 및 상기 하부 하드마스크 패턴(57)을 식각마스크로 사용하여 상기 노출된 소자분리막(65)을 식각하여 리세스시킨다. 이때, 상기 노출된 소자분리막(65)을 상기 채널방지막(53)과 거의 동일레벨이 되도록 리세스시킨다. 그 결과, 도 13b에 도시된 바와 같이, 상기 활성영역의 측벽들이 노출된다.

도 14a 및 도 14b를 참조하면, 상기 활성영역의 측벽들이 노출된 후, 상기 포토레지스트 패턴(65)을 제거한다. 그 후, 상기 반도체기판(21)을 습식 식각기술을 사용하여 식각하여 상기 노출된 활성영역의 측벽들을 리세스시킨다. 그 결과, 상기 노출된 활성영역의 측벽들이 리세스되어 핀(67)이 형성된다. 한편, 상기 채널방지영역(53)의 일부도 리세스될 수 있다.

도 15a 및 도 15b를 참조하면, 상기 핀(67)이 형성된 후, 상기 하부 하드마스크 패턴(57) 및 상기 패드산화막(55)을 제거한다. 그 결과, 상기 핀(67)의 상부면이 노출된다. 그 후, 도 9a 및 도 9b를 참조하여 설명한 바와 같이, 상기 핀(67)의 측벽들 및 상부면 상에 게이트 절연막(71)을 형성한다. 한편, 상기 게이트 절연막(71)을 형성하기 전, 상기 핀(67)과 상기 소자분리막(63) 사이의 채널방지영역(53) 상에 채널방지막(69)을 형성할 수 있다.

상기 게이트 절연막(71)을 갖는 반도체기판 상에 게이트 도전막 및 게이트 하드마스크막을 형성한다. 그 후, 상기 게이트 하드마스크막 및 상기 게이트 도전막을 패터닝하여 게이트 하드마스크 패턴(75) 및 게이트 전극(73)을 형성한다. 상기 게이트 전극(73)은 상기 핀(67)의 측벽들을 덮는다.

한편, 도 9a 및 도 9b를 참조하여 설명한 바와 같이, 상기 게이트 하드마스크 패턴(75)을 이온주입마스크로 사용하여 불순물 이온들을 주입하여 소오스/드레인 영역들(79)을 형성한다. 그 후, 상기 소오스/드레인 영역들(79)을 갖는 반도체기판 상에 층간절연막(도시하지 않음)을 형성하고, 상기 층간절연막을 관통하여 상기 소오스/드레인 영역들(79)에 전기적으로 접속하는 소오스/드레인 콘택들(도시하지 않음)을 형성할 수 있다.

본 발명의 다른 실시예들에 따르면, 상기 하부 하드마스크 패턴(57)을 리세스시키는 공정을 생략할 수 있어 핀 전계효과 트랜지스터를 제조하는 공정을 단순화시킬 수 있다.

발명의 효과

본 발명에 따르면, 사진/식각 기술을 사용하여 형성하기 어려운 핀을 형성할 수 있어, 단채널 효과를 방지하면서 고집적화된 핀 전계효과 트랜지스터를 제조하는 방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1.

반도체기판 상에 하부 하드마스크 패턴 및 상부 하드마스크 패턴을 갖는 하드마스크 패턴을 형성하고,

상기 하드마스크 패턴을 식각마스크로 사용하여 상기 반도체기판을 식각하여 활성영역을 한정하는 트렌치를 형성하고,

등방성식각 기술을 사용하여 상기 하부 하드마스크 패턴을 리세스시키고,

상기 트렌치를 채우고 상기 리세스된 하부 하드마스크 패턴의 측벽을 덮는 소자분리막을 형성함과 아울러 상기 리세스된 하부 하드마스크 패턴의 상부면을 노출시키고,

상기 리세스된 하부 하드마스크 패턴을 식각 마스크로 사용하여 상기 활성영역의 소정영역을 식각하여 핀(fin)을 형성하고,

상기 하부 하드마스크 패턴을 제거하여 상기 핀의 상부면을 노출시키고,

상기 노출된 핀의 측벽들 및 상부면을 덮는 게이트전극을 형성하되, 상기 게이트전극은 상기 핀과 절연된 핀 전계효과 트랜지스터 제조방법.

청구항 2.

제 1 항에 있어서,

상기 하드마스크 패턴을 형성하기 전, 상기 반도체기판 상에 채널 이온들을 주입하여 채널방지영역을 형성하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 3.

제 2 항에 있어서,

상기 소자분리막을 형성함과 아울러 상기 리세스된 하부 하드마스크 패턴의 상부면을 노출시키는 것은

상기 리세스된 하부 하드마스크 패턴을 갖는 반도체기판 상에 절연막을 형성하고,

상기 절연막을 상기 리세스된 하부 하드마스크 패턴의 상부면이 노출될 때 까지 평탄화하는 것을 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 4.

제 3 항에 있어서,

상기 활성영역의 소정영역을 식각하기 전, 상기 소자분리막을 갖는 반도체기판 상에 상기 리세스된 하부 하드마스크 패턴을 가로지르는 그루브를 갖는 포토레지스트 패턴을 형성하고,

상기 활성영역의 소정영역을 식각한 후, 상기 포토레지스트 패턴을 제거하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 5.

제 3 항에 있어서,

상기 소자분리막을 형성한 후, 상기 소자분리막을 선택적으로 리세스시켜 상기 활성영역의 상부면을 노출시키는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 6.

제 5 항에 있어서,

상기 활성영역의 소정영역을 식각하기 전, 상기 리세스된 소자분리막을 갖는 반도체기판 상에 상기 리세스된 하부 하드마스크 패턴 및 상기 활성영역을 가로지르는 그루브를 갖는 포토레지스트 패턴을 형성하고,

상기 활성영역의 소정영역을 식각한 후, 상기 포토레지스트 패턴을 제거하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 7.

제 1 항에 있어서,

상기 게이트 전극을 형성하는 것은

상기 핀의 측벽들 및 상부면을 덮는 게이트절연막을 형성하고,

상기 게이트절연막을 갖는 반도체기판 상에 게이트 도전막 및 게이트 하드마스크막을 형성하고,

상기 게이트 하드마스크막 및 상기 게이트 도전막을 차례로 패터닝하는 것을 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 8.

제 7 항에 있어서,

상기 게이트 전극이 형성된 후, 소오스/드레인 영역들을 형성하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 9.

제 1 항에 있어서,

상기 식각된 활성영역 상에 채널방지막을 형성하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 10.

제 9 항에 있어서,

상기 소자분리막을 형성함과 아울러 상기 리세스된 하부 하드마스크 패턴의 상부면을 노출시키는 것은

상기 리세스된 하부 하드마스크 패턴을 갖는 반도체기판 상에 절연막을 형성하고,

상기 절연막을 상기 리세스된 하부 하드마스크 패턴의 상부면이 노출될 때 까지 평탄화하는 것을 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 11.

제 10 항에 있어서,

상기 활성영역의 소정영역을 식각하기 전, 상기 소자분리막을 갖는 반도체기판 상에 상기 리세스된 하부 하드마스크 패턴을 가로지르는 그루브를 갖는 포토레지스트 패턴을 형성하고,

상기 활성영역의 소정영역을 식각한 후, 상기 포토레지스트 패턴을 제거하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 12.

반도체기판 상에 하드마스크 패턴을 형성하고,

상기 하드마스크 패턴을 식각마스크로 사용하여 상기 반도체기판을 식각하여 활성영역을 한정하는 트렌치를 형성하고,

상기 트렌치를 채우고 상기 하드마스크 패턴의 측벽들을 덮는 소자분리막을 형성하고,

상기 하드마스크 패턴을 가로지르는 그루브를 갖는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴 및 상기 하드마스크 패턴을 식각마스크로 사용하여 상기 소자분리막을 식각하여 상기 활성영역의 양 측벽들을 노출시키고,

상기 포토레지스트 패턴을 제거하고,

등방성식각 기술을 사용하여 상기 노출된 활성영역을 리세스키어 핀을 형성하고,

상기 하드마스크 패턴을 제거하여 상기 핀의 상부면을 노출시키고,

상기 노출된 핀의 측벽들 및 상부면을 덮는 게이트전극을 형성하되, 상기 게이트전극은 상기 핀과 절연된 핀 전계효과 트랜지스터 제조방법.

청구항 13.

제 12 항에 있어서,

상기 하드마스크 패턴을 형성하기 전, 상기 반도체기판 상에 채널 이온들을 주입하여 채널방지영역을 형성하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 14.

제 13 항에 있어서,

상기 하드마스크 패턴은 차례로 적층된 하부 하드마스크 패턴 및 상부 하드마스크 패턴을 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 15.

제 14 항에 있어서,

상기 소자분리막을 형성하는 것은

상기 하드마스크 패턴을 갖는 반도체기판 상에 절연막을 형성하고,

상기 절연막을 상기 하부 하드마스크 패턴의 상부면이 노출될 때 까지 평탄화하는 것을 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 16.

제 15 항에 있어서,

상기 소자분리막을 형성한 후, 상기 소자분리막을 선택적으로 리세스시키는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 17.

제 14 항에 있어서,

상기 하드마스크 패턴은 패드 산화막을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 18.

제 12 항에 있어서,

상기 게이트 전극을 형성하는 것은

상기 핀의 측벽들 및 상부면을 덮는 게이트절연막을 형성하고,

상기 게이트절연막을 갖는 반도체기판 상에 게이트 도전막 및 게이트 하드마스크막을 형성하고,

상기 게이트 하드마스크막 및 상기 게이트 도전막을 차례로 패터닝하는 것을 포함하는 핀 전계효과 트랜지스터 제조방법.

청구항 19.

제 18 항에 있어서,

상기 게이트 전극이 형성된 후, 소오스/드레인 영역들을 형성하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

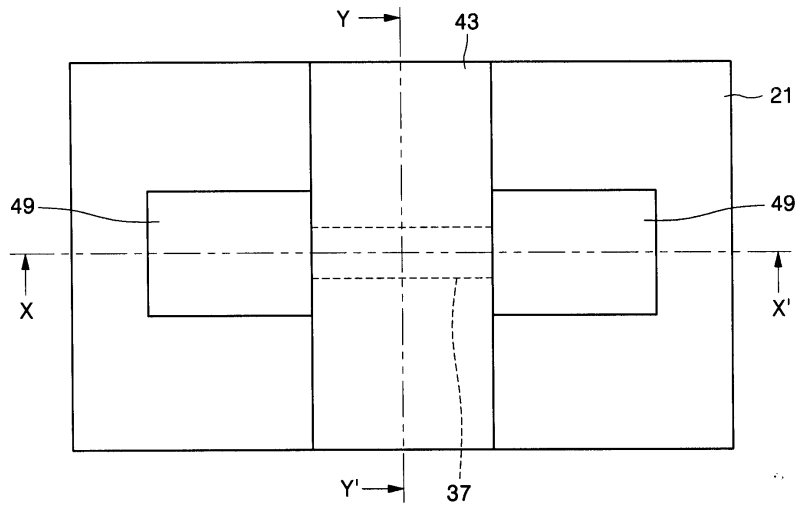
청구항 20.

제 12 항에 있어서,

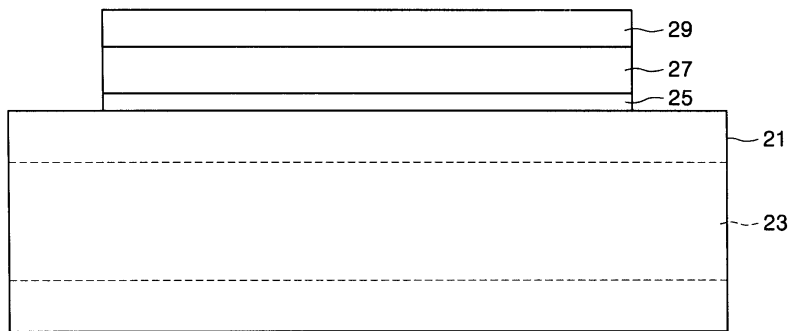
상기 핀과 소자분리막 사이의 리세스된 활성영역 상에 채널방지막을 형성하는 것을 더 포함하는 핀 전계효과 트랜지스터 제조방법.

도면

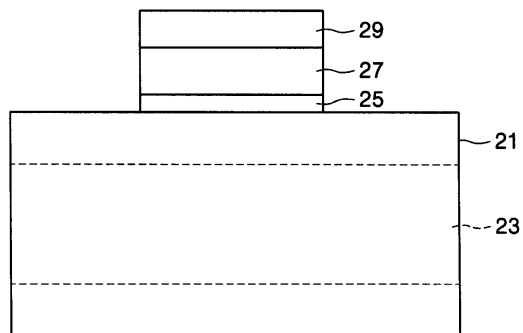
도면1



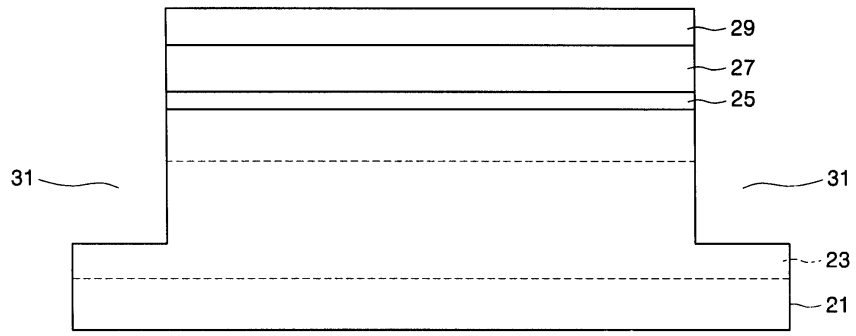
도면2a



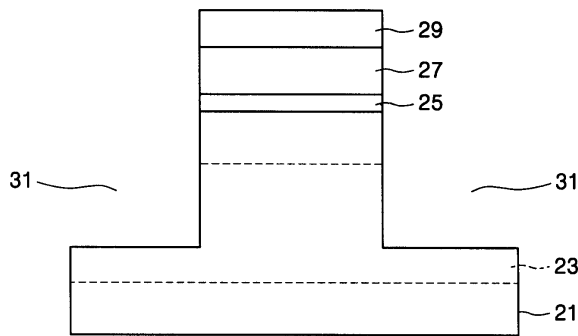
도면2b



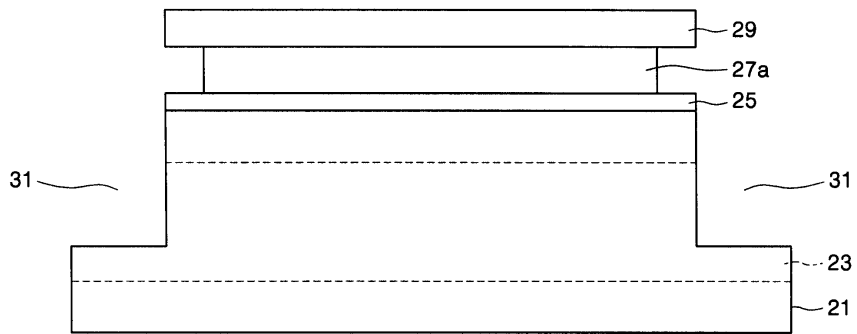
도면3a



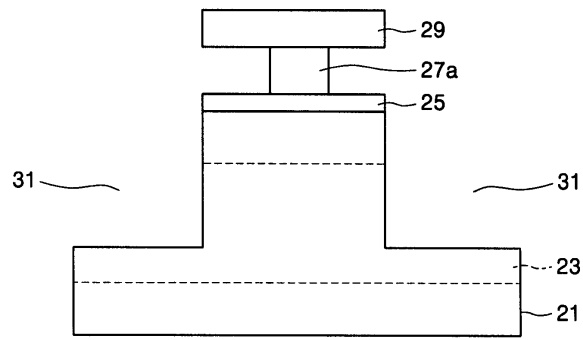
도면3b



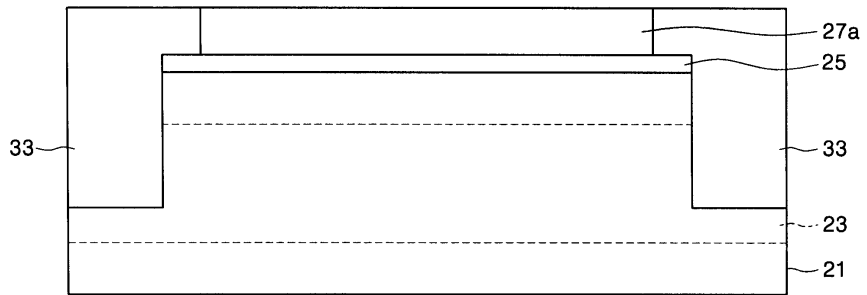
도면4a



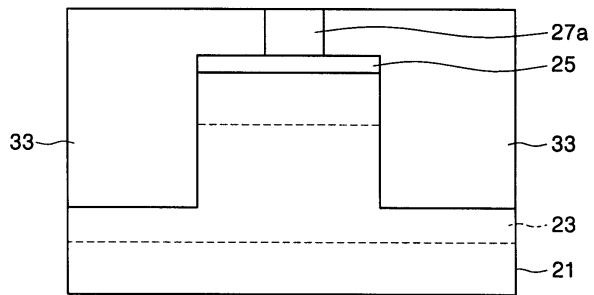
도면4b



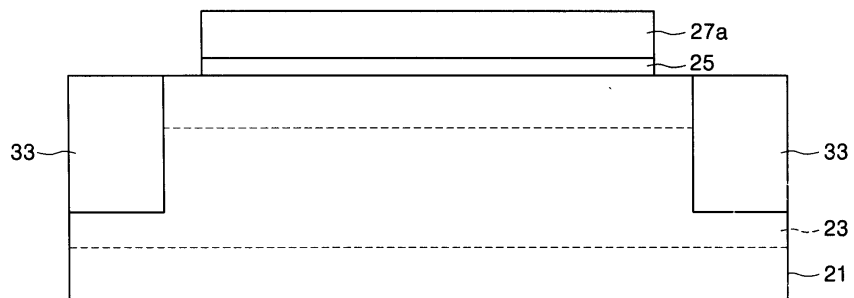
도면5a



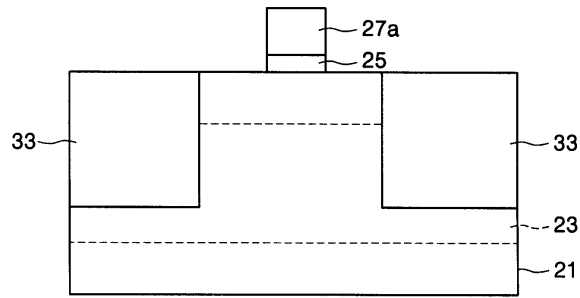
도면5b



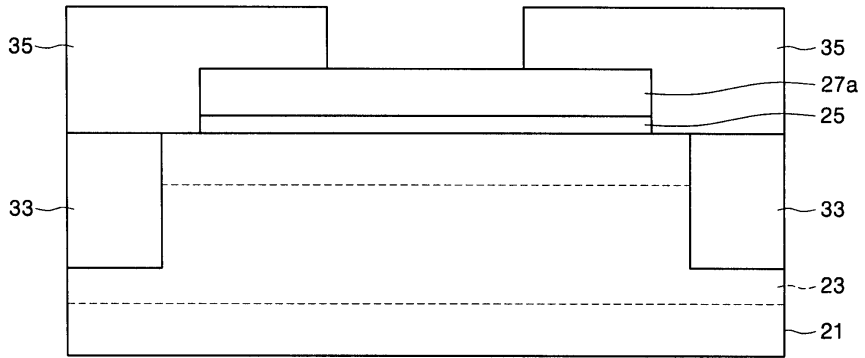
도면6a



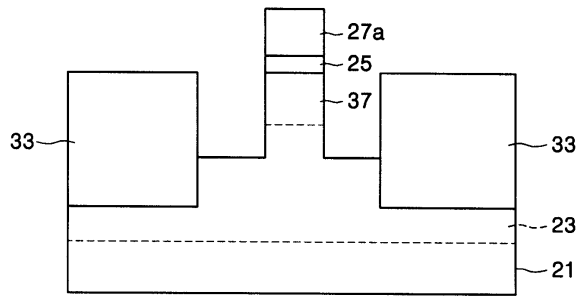
도면6b



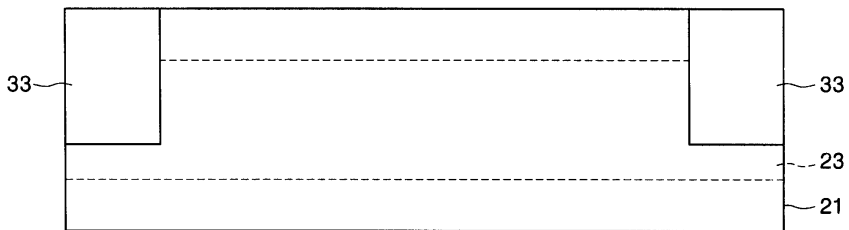
도면7a



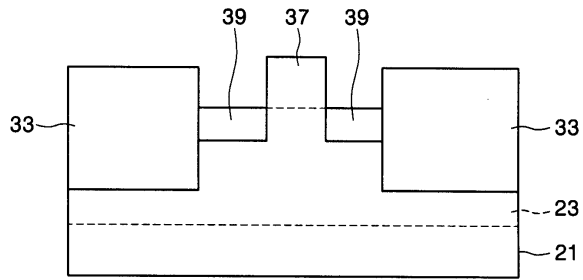
도면7b



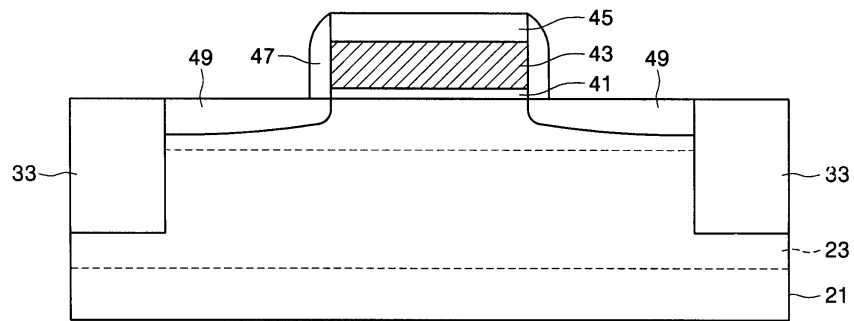
도면8a



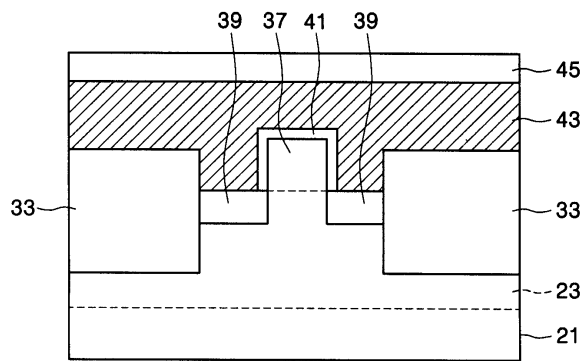
도면8b



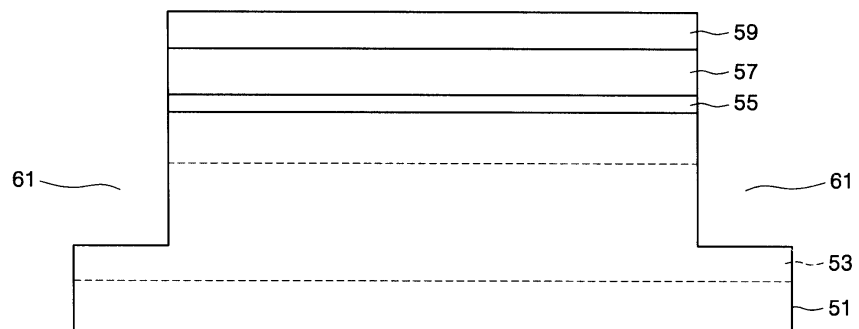
도면9a



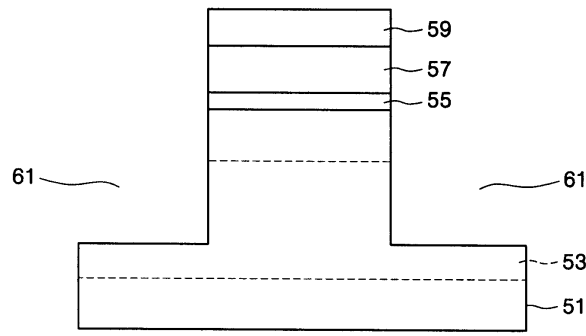
도면9b



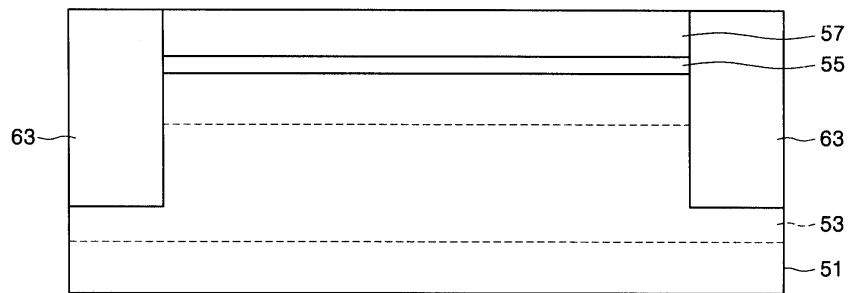
도면10a



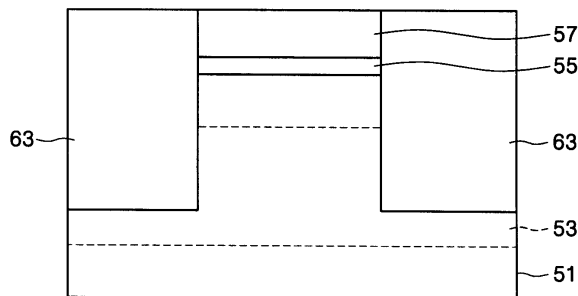
도면10b



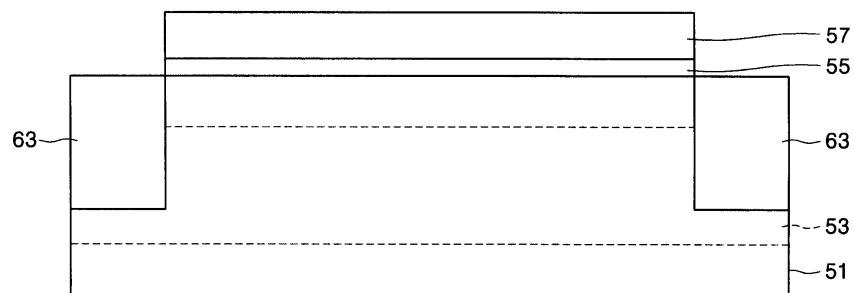
도면11a



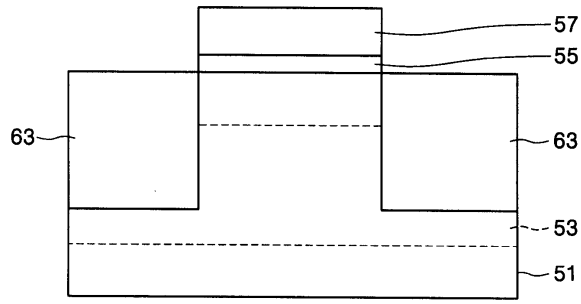
도면11b



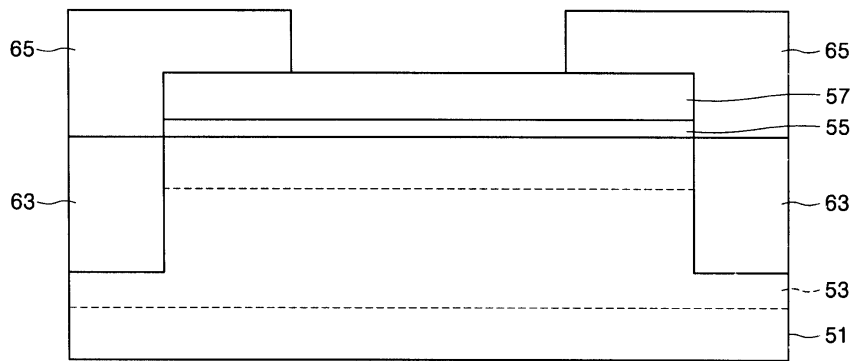
도면12a



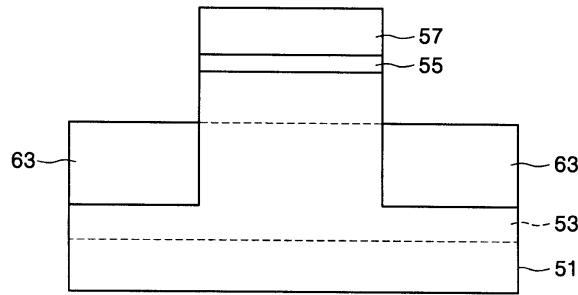
도면12b



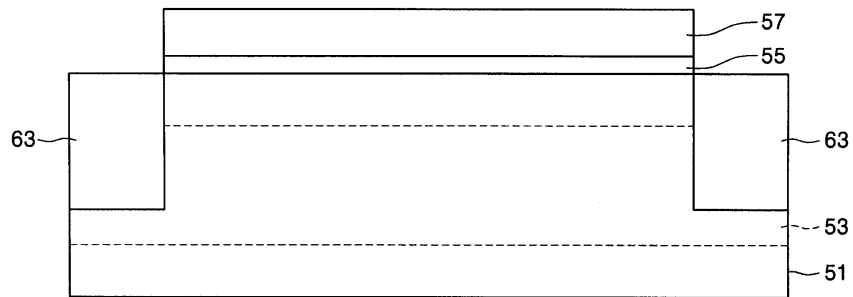
도면13a



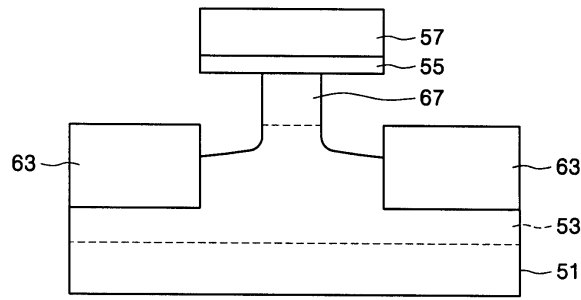
도면13b



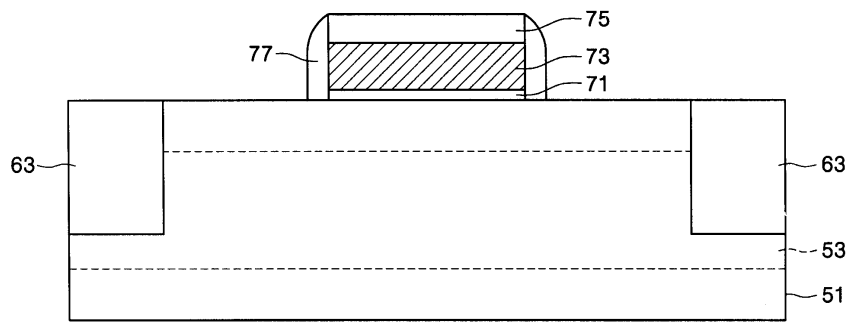
도면14a



도면14b



도면15a



도면15b

