

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191817

(P2017-191817A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>H01L 29/78</b> (2006.01)	H01L 29/78	658A
<b>H01L 21/336</b> (2006.01)	H01L 29/78	652F
<b>H01L 29/12</b> (2006.01)	H01L 29/78	652K
	H01L 29/78	653A
	H01L 29/78	652J

審査請求 未請求 請求項の数 1 O L (全 13 頁) 最終頁に続く

(21) 出願番号	特願2016-78925 (P2016-78925)	(71) 出願人	000003207 トヨタ自動車株式会社 愛知県豊田市トヨタ町1番地
(22) 出願日	平成28年4月11日 (2016.4.11)	(71) 出願人	000003609 株式会社豊田中央研究所 愛知県長久手市横道41番地の1
		(71) 出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
		(74) 代理人	110000110 特許業務法人快友国際特許事務所
		(72) 発明者	小野木 淳士 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

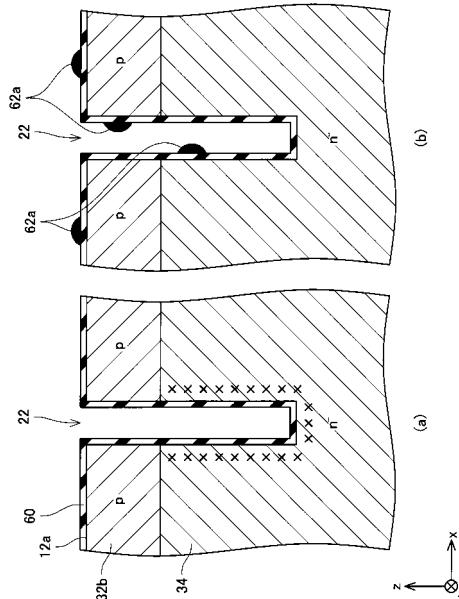
(54) 【発明の名称】スイッチング素子の製造方法

## (57) 【要約】

【課題】 トレンチの側面にマスクの変質部が残存することを抑制する。

【解決手段】 本明細書が開示する製造方法により製造されるスイッチング素子は、トレンチの短手方向の端部に位置する第1側面に沿ってボディ領域から下側に伸びているp型の第1接続領域と、トレンチの長手方向の端部に位置する第2側面に沿ってボディ領域から下側に伸びているp型の第2接続領域と、トレンチの底面においてゲート絶縁層に接しているとともに第1接続領域と第2接続領域に接続されているp型の底部領域を有している。前記製造方法が、第1側面に犠牲酸化膜を形成する工程と、犠牲酸化膜上に第1側面の一部を覆うマスクを形成する工程と、マスクに覆われていない範囲の第1側面にp型不純物を注入する工程と、マスクをエッティングにより除去する工程と、犠牲酸化膜をエッティングにより除去する工程を有する。

【選択図】図10



**【特許請求の範囲】****【請求項 1】**

スイッチング素子の製造方法であって、  
前記スイッチング素子が、  
半導体基板と、  
前記半導体基板の上面に設けられたトレンチと、  
前記トレンチの内面を覆っているゲート絶縁層と、  
前記トレンチ内に配置されており、前記ゲート絶縁層によって前記半導体基板から絶縁  
されているゲート電極、  
を有しており、  
前記半導体基板が、  
前記トレンチの短手方向の端部に位置する第1側面において前記ゲート絶縁層に接して  
いるn型のソース領域と、  
前記第1側面において前記ソース領域の下側で前記ゲート絶縁層に接しており、前記ト  
レンチの長手方向の端部に位置する第2側面において前記ゲート絶縁層に接しているp型  
のボディ領域と、  
前記第1側面に沿って前記ボディ領域から下側に伸びているp型の第1接続領域と、  
前記第2側面に沿って前記ボディ領域から下側に伸びているp型の第2接続領域と、  
前記ボディ領域の下側の前記第1側面の前記第1接続領域が存在しない範囲において前  
記ゲート絶縁層に接しており、前記ボディ領域によって前記ソース領域から分離されてい  
るn型のドリフト領域と、  
前記トレンチの底面において前記ゲート絶縁層に接しており、前記第1接続領域と前記  
第2接続領域に接続されているp型の底部領域、  
を有しており、  
前記製造方法が、  
前記トレンチを形成する工程と、  
前記第1側面に犠牲酸化膜を形成する工程と、  
前記犠牲酸化膜の表面に、前記第1側面の一部を覆うマスクを形成する工程と、  
前記トレンチの深さ方向に対して傾斜した方向に沿った不純物照射によって、前記マス  
クに覆われていない範囲の前記第1側面にp型不純物を注入する工程と、  
前記マスクをエッティングにより除去する工程と、  
前記犠牲酸化膜をエッティングにより除去する工程、  
を有する製造方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本明細書が開示する技術は、スイッチング素子の製造方法に関する。

**【0002】**

特許文献1には、トレンチ内に配置されたゲート電極を備えるスイッチング素子が開示  
されている。このスイッチング素子は、n型のソース領域とp型のボディ領域とn型のド  
リフト領域を有する。ソース領域は、トレンチの側面においてゲート絶縁層に接して  
いる。ボディ領域は、トレンチの側面においてソース領域の下側でゲート絶縁層に接して  
いる。ドリフト領域は、トレンチの側面においてボディ領域の下側でゲート絶縁層に接して  
いる。また、このスイッチング素子は、p型の接続領域とp型の底部領域を有している。底  
部領域は、トレンチの底面においてゲート絶縁層に接している。接続領域は、トレンチの  
短手方向の側面（トレンチの短手方向の端部に位置する側面）の一部に設けられている。  
接続領域は、短手方向の側面に沿ってボディ領域から下側に伸びている。接続領域によ  
つて、底部領域とボディ領域とが接続されている。上述したドリフト領域は、短手方向の側  
面のうちの接続領域が存在しない範囲でゲート絶縁層に接している。

**【0003】**

10

20

30

40

50

このスイッチング素子がオフするときには、底部領域からドリフト領域に空乏層が伸びる。この空乏層によって、底部領域の近傍（すなわち、トレンチの底部近傍）における電界集中が抑制される。このスイッチング素子がオンするときには、接続領域を介してボディ領域から底部領域にホールが供給される。底部領域にホールが供給されると、底部領域からドリフト領域に広がっていた空乏層が底部領域に向かって収縮して消滅する。このため、スイッチング素子がオンするときに短時間でドリフト領域の抵抗が低下する。したがって、このスイッチング素子では、損失が生じ難い。

【先行技術文献】

【特許文献】

【0004】

10

【特許文献1】特開2007-242852号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

20

特許文献1のスイッチング素子のようにトレンチの短手方向の側面の一部に設けられたp型の接続領域は、従来は、以下のようにして形成される。まず、トレンチの短手方向の側面を部分的に覆うマスクが形成される。ここでは、接続領域を形成しない範囲にマスクが形成される。次に、トレンチの深さ方向に対して傾斜した方向に沿った不純物照射によって、マスクに覆われていない範囲の短手方向の側面にp型不純物が注入される。これによって、短手方向の側面に露出する範囲に、部分的に、接続領域が形成される。その後、マスクがエッチングにより除去される。

【0006】

上記の製造方法では、トレンチの短手方向の側面にp型不純物を注入する際に、マスクにもp型不純物が注入される。マスクへのp型不純物の注入によって、マスクの一部が変質する場合がある。すると、その後にマスクをエッチングするときに、マスクの変質部を除去できず、トレンチの側面にマスクの変質部が残存する場合がある。このため、スイッチング素子の製造歩留まりが低下するという問題がある。

【課題を解決するための手段】

【0007】

30

本明細書が開示する製造方法により製造されるスイッチング素子は、半導体基板と、前記半導体基板の上面に設けられたトレンチと、前記トレンチの内面を覆っているゲート絶縁層と、前記トレンチ内に配置されているとともに前記ゲート絶縁層によって前記半導体基板から絶縁されているゲート電極を有している。前記半導体基板は、ソース領域と、ボディ領域と、第1接続領域と、第2接続領域と、ドリフト領域と、底部領域を有している。前記ソース領域は、前記トレンチの短手方向の端部に位置する第1側面において前記ゲート絶縁層に接しているn型の領域である。前記ボディ領域は、前記第1側面において前記ソース領域の下側で前記ゲート絶縁層に接しており、前記トレンチの長手方向の端部に位置する第2側面において前記ゲート絶縁層に接しているp型の領域である。前記第1接続領域は、前記第1側面に沿って前記ボディ領域から下側に伸びているp型の領域である。前記第2接続領域は、前記第2側面に沿って前記ボディ領域から下側に伸びているp型の領域である。前記ドリフト領域は、前記ボディ領域の下側の前記第1側面の前記第1接続領域が存在しない範囲において前記ゲート絶縁層に接しており、前記ボディ領域によって前記ソース領域から分離されているn型の領域である。前記底部領域は、前記トレンチの底面において前記ゲート絶縁層に接しており、前記第1接続領域と前記第2接続領域に接続されているp型の領域である。本明細書が開示する製造方法は、前記トレンチを形成する工程と、前記第1側面に犠牲酸化膜を形成する工程と、前記犠牲酸化膜の表面に、前記第1側面の一部を覆うマスクを形成する工程と、前記トレンチの深さ方向に対して傾斜した方向に沿った不純物照射によって前記マスクに覆われていない範囲の前記第1側面にp型不純物を注入する工程と、前記マスクをエッチングにより除去する工程と、前記犠牲酸化膜をエッチングにより除去する工程を有する。

40

50

## 【0008】

この製造方法では、第1側面に犠牲酸化膜を形成し、その犠牲酸化膜の表面にマスクを形成する。その後の不純物照射によってマスクに覆われていない範囲の第1側面にp型不純物が注入され、その注入範囲に第1接続領域が形成される。また、不純物照射によって、マスクが変質する場合がある。この場合、その後にマスクをエッチングする際に、マスクの変質部が犠牲酸化膜の表面に残存する。しかしながら、このようにマスクの変質部が残存した場合でも、その後の犠牲酸化膜をエッチングする工程において、犠牲酸化膜と共にマスクの変質部も除去される。この製造方法によれば、第1側面にマスクの変質部が残存することを防止することができる。

## 【図面の簡単な説明】

10

## 【0009】

## 【図1】MOSFET10の上面図。

## 【図2】図1のII-II線におけるMOSFET10の断面図。

## 【図3】図1のIII-III線におけるMOSFET10の断面図。

## 【図4】図1のIV-IV線におけるMOSFET10の断面図。

## 【図5】MOSFET10の製造工程を示す半導体基板の断面図。

## 【図6】MOSFET10の製造工程を示す半導体基板の断面図。

## 【図7】MOSFET10の製造工程を示す半導体基板の上面図。

## 【図8】MOSFET10の製造工程を示す半導体基板の断面図。

## 【図9】MOSFET10の製造工程を示す半導体基板の断面図。

## 【図10】MOSFET10の製造工程を示す半導体基板の断面図。

## 【図11】MOSFET10の製造工程を示す半導体基板の断面図。

## 【図12】変形例の製造工程を示す半導体基板の上面図。

20

## 【発明を実施するための形態】

## 【0010】

図1～4は、実施形態のMOSFET10を示している。図2～4に示すように、MOSFET10は、半導体基板12と、電極、絶縁層等を備えている。なお、図1では、図の見易さのため、半導体基板12の上面12a上の電極、絶縁層の図示を省略している。以下では、半導体基板12の上面12aと平行な一方をx方向といい、上面12aに平行でx方向に直交する方向をy方向といい、半導体基板12の厚み方向をz方向という。半導体基板12は、SiC(炭化シリコン)によって構成されている。

30

## 【0011】

図2、3に示すように、半導体基板12の上面12aには、複数のトレンチ22が設けられている。図1に示すように、各トレンチ22は、y方向に直線状に長く伸びている。複数のトレンチ22は、x方向に間隔を開けて配列されている。図2～4に示すように、各トレンチ22の内面は、ゲート絶縁層24によって覆われている。ゲート絶縁層24は、底部絶縁層24aと側面絶縁膜24bを有している。底部絶縁層24aは、トレンチ22の底部に配置されている。底部絶縁層24aは、トレンチ22の底面と、トレンチ22の底面近傍の側面を覆っている。底部絶縁層24aは、トレンチ22の深さ方向に厚く形成されている。側面絶縁膜24bは、底部絶縁層24aの上部に位置するトレンチ22の側面を覆っている。各トレンチ22内には、底部絶縁層24aの上部にゲート電極26が配置されている。各ゲート電極26は、ゲート絶縁層24(すなわち、底部絶縁層24aと側面絶縁膜24b)によって半導体基板12から絶縁されている。側面絶縁膜24bの厚み(すなわち、トレンチ22の側面とゲート電極26の側面の間の間隔)は、底部絶縁層24aの厚み(すなわち、ゲート電極26の下端とトレンチ22の底面の間の間隔)よりも薄い。各ゲート電極26の上面は、層間絶縁膜28によって覆われている。

40

## 【0012】

半導体基板12の上面12aには、上部電極70が配置されている。上部電極70は、層間絶縁膜28が設けられていない部分で半導体基板12の上面12aに接している。上部電極70は、層間絶縁膜28によってゲート電極26から絶縁されている。半導体基板

50

12の下面12bには、下部電極72が配置されている。下部電極72は、半導体基板12の下面12bに接している。

#### 【0013】

図1～4に示すように、半導体基板12の内部には、複数のソース領域30、ボディ領域32、ドリフト領域34、ドレイン領域35、複数の底部領域36及び複数の接続領域38(38a及び38b)が設けられている。

#### 【0014】

各ソース領域30は、n型領域である。図1～3に示すように、各ソース領域30は、半導体基板12の上面12aに露出する位置に配置されており、上部電極70にオーミック接触している。また、各ソース領域30は、トレンチ22の短手方向の側面(短手方向の端部に位置する側面であり、y方向に沿って伸びる側面)において、側面絶縁膜24bに接している。各ソース領域30は、トレンチ22の上端部において、側面絶縁膜24bに接している。

#### 【0015】

ボディ領域32は、p型領域である。ボディ領域32は、各ソース領域30に接している。ボディ領域32は、2つのソース領域30に挟まれた範囲から各ソース領域30の下側まで伸びている。ボディ領域32は、高濃度領域32aと低濃度領域32bを有している。高濃度領域32aは、低濃度領域32bよりも高いp型不純物濃度を有している。高濃度領域32aは、2つのソース領域30に挟まれた範囲に配置されている。高濃度領域32aは、上部電極70にオーミック接触している。低濃度領域32bは、高濃度領域32aとソース領域30の下側に配置されている。低濃度領域32bは、トレンチ22の短手方向の側面において、側面絶縁膜24bに接している。すなわち、低濃度領域32bは、ソース領域30の下側で、側面絶縁膜24bに接している。また、図1、4に示すように、低濃度領域32bは、トレンチ22の長手方向の側面(長手方向の端部に位置する側面であり、x方向に沿って伸びる側面)に隣接する範囲にも配置されている。低濃度領域32bは、トレンチ22の長手方向の側面において、側面絶縁膜24bに接している。ボディ領域32の下端(すなわち、低濃度領域32bの下端)は、ゲート電極26の下端(すなわち、底部絶縁層24aの上面)よりも上側に配置されている。

#### 【0016】

ドリフト領域34は、n型領域である。ドリフト領域34は、ボディ領域32の下側に配置されており、ボディ領域32によってソース領域30から分離されている。図2に示すように、ドリフト領域34は、トレンチ22の短手方向の側面において、側面絶縁膜24b及び底部絶縁層24aに接している。すなわち、ドリフト領域34は、ボディ領域32の下側で、側面絶縁膜24b及び底部絶縁層24aに接している。

#### 【0017】

ドレイン領域35は、n型領域である。ドレイン領域35は、ドリフト領域34よりも高いn型不純物濃度を有している。ドレイン領域35は、ドリフト領域34の下側に配置されている。ドレイン領域35は、半導体基板12の下面12bに露出している。ドレイン領域35は、下部電極72にオーミック接触している。

#### 【0018】

各底部領域36は、p型領域である。各底部領域36は、対応するトレンチ22の底面に露出する範囲に配置されている。各底部領域36は、対応するトレンチ22の底面において、底部絶縁層24aに接している。図4に示すように、各底部領域36は、対応するトレンチ22の底面に沿ってy方向に長く伸びている。各底部領域36は、対応するトレンチ22の底面全域で底部絶縁層24aに接している。図2に示すように、各底部領域36の周囲は、ドリフト領域34に囲まれている。後述する接続領域38が形成されている箇所を除いて、各底部領域36は、ドリフト領域34によってボディ領域32から分離されている。

#### 【0019】

図1に示すように、接続領域38は、トレンチ22の短手方向の側面に沿って設けられ

10

20

30

40

50

ている第1接続領域38aと、トレンチ22の長手方向の側面に沿って設けられている第2接続領域38bを有している。図3に示すように、第1接続領域38aは、ボディ領域32からトレンチ22の短手方向の側面に沿って下側に伸びている。図1に示すように、第1接続領域38aは、トレンチ22の短手方向の側面の一部に設けられている。トレンチ22の1つの側面に対して、複数の第1接続領域38aが形成されている。図3に示すように、第1接続領域38aは、トレンチ22の短手方向の側面において、側面絶縁膜24bと底部絶縁層24aに接している。第1接続領域38aの下端は、底部領域36に接続されている。すなわち、第1接続領域38aによって、ボディ領域32と底部領域36が接続されている。図4に示すように、第2接続領域38bは、ボディ領域32からトレンチ22の長手方向の側面に沿って下側に伸びている。第2接続領域38bは、トレンチ22の長手方向の側面において、側面絶縁膜24bと底部絶縁層24aに接している。第2接続領域38bの下端は、底部領域36に接続されている。すなわち、第2接続領域38bによって、ボディ領域32と底部領域36が接続されている。

#### 【0020】

次に、MOSFET10の動作について説明する。MOSFET10の使用時には、MOSFET10と負荷（例えば、モータ）と電源が直列に接続される。MOSFET10と負荷の直列回路に対して、電源電圧（本実施形態では、約800V）が印加される。MOSFET10のドレイン側（下部電極72）がソース側（上部電極70）よりも高電位となる向きで、電源電圧が印加される。ゲート電極26にゲートオン電位（ゲート閾値よりも高い電位）を印加すると、側面絶縁膜24bに接する範囲のボディ領域32（低濃度領域32b）にチャネル（反転層）が形成され、MOSFET10がオンする。ゲート電極26にゲートオフ電位（ゲート閾値以下の電位）を印加すると、チャネルが消滅し、MOSFET10がオフする。以下に、MOSFET10のターンオフ時とターンオン時の動作について、詳細に説明する。

#### 【0021】

MOSFET10をターンオフさせる場合には、ゲート電極26の電位をゲートオン電位からゲートオフ電位に引き下げる。すると、チャネルが消失し、下部電極72の電位が上昇する。下部電極72の電位は、上部電極70に対して電源電圧分（すなわち、約800V）だけ高い電位まで上昇する。下部電極72の電位が上昇する過程において、底部領域36と下部電極72の間の容量結合によって、底部領域36の電位が少し上昇する。すると、底部領域36から接続領域38a、38bとボディ領域32を介して上部電極70へホールが流れる。このようにホールが流れている間は、底部領域36の電位の上昇が抑制され、底部領域36の電位が上部電極70の電位よりもわずかに高い電位に維持される。

#### 【0022】

また、下部電極72の電位の上昇に伴って、ドレイン領域35及びドリフト領域34の電位も上昇する。ドリフト領域34の電位が上昇すると、ボディ領域32とドリフト領域34の間に電位差が生じる。このため、ボディ領域32とドリフト領域34の界面のpn接合に逆電圧が印加される。したがって、ボディ領域32からドリフト領域34に空乏層が広がる。また、ドリフト領域34の電位が上昇すると、底部領域36とドリフト領域34の間に電位差が生じる。このため、底部領域36とドリフト領域34の界面のpn接合に逆電圧が印加される。したがって、底部領域36からドリフト領域34に空乏層が広がる。このように、ボディ領域32からだけでなく底部領域36からもドリフト領域34に空乏層が広がるので、ドリフト領域34が短時間で空乏化される。さらに、底部領域36から伸びる空乏層によって各トレンチ22の下端部近傍の半導体領域が保護されるので、各トレンチ22の下端部近傍の半導体領域に電界が集中し難い。したがって、MOSFET10は高い耐圧を有する。

#### 【0023】

また、ドリフト領域34の電位が上昇すると、接続領域38a、38bとドリフト領域34の界面のpn接合にも逆電圧が印加される。接続領域38a、38bのp型不純物濃

度が低いので、p n 接合から接続領域 3 8 a、3 8 b に広く空乏層が広がる。これによって、接続領域 3 8 a、3 8 b が空乏化される。接続領域 3 8 a、3 8 b が空乏化されることによって、底部領域 3 6 が上部電極 7 0 から電気的に分離される。底部領域 3 6 がボディ領域 3 2 から電気的に分離されると、底部領域 3 6 から上部電極 7 0 に向かうホールの流れが停止し、底部領域 3 6 の電位がフローティングとなる。このため、底部領域 3 6 の電位が、下部電極 7 2 の電位の上昇に伴って上昇する。このように、底部領域 3 6 の電位が上昇することで、底部領域 3 6 と下部電極 7 2 の間の電位差が過大となることが防止される。下部電極 7 2 の電位が上部電極 7 0 に対して電源電圧分高い電位まで上昇することで、MOSFET 1 0 のターンオフが完了する。

## 【0024】

MOSFET 1 0 をターンオンさせる場合には、ゲート電極 2 6 の電位をゲートオフ電位からゲートオン電位に引き上げる。すると、トレンチ 2 2 の短手方向の側面において側面絶縁膜 2 4 b に接している範囲のボディ領域 3 2 (低濃度領域 3 2 b) に電子が引き寄せられる。これによって、この範囲のボディ領域 3 2 が p 型から n 型に反転し、チャネルが形成される。チャネルによって、ソース領域 3 0 とドリフト領域 3 4 が接続される。これによって、ドリフト領域 3 4 、ドレイン領域 3 5 及び下部電極 7 2 の電位が低下する。ドリフト領域 3 4 の電位が低下すると、ボディ領域 3 2 とドリフト領域 3 4 の界面の p n 接合に印加されていた逆電圧が低下する。このため、ボディ領域 3 2 からドリフト領域 3 4 に広がっていた空乏層が、ボディ領域 3 2 に向かって収縮し、消滅する。これにより、上部電極 7 0 から、ソース領域 3 0 、チャネル、ドリフト領域 3 4 、ドレイン領域 3 5 を経由して下部電極 7 2 へ電子が流れるようになる。すなわち、MOSFET 1 0 がオンする。

10

20

30

40

## 【0025】

また、ドリフト領域 3 4 の電位が低下する過程において、接続領域 3 8 a、3 8 b に広がっている空乏層が、ドリフト領域 3 4 に向かって収縮し、消滅する。その結果、底部領域 3 6 が、接続領域 3 8 a、3 8 b を介してボディ領域 3 2 に電気的に接続される。すると、上部電極 7 0 からボディ領域 3 2 と接続領域 3 8 を介して底部領域 3 6 にホールが流れる。底部領域 3 6 にホールが供給されると、底部領域 3 6 からドリフト領域 3 4 に広がっていた空乏層が底部領域 3 6 に向かって収縮し、消滅する。このため、ドリフト領域 3 4 の抵抗が低下し、上部電極 7 0 から下部電極 7 2 に向かって電子が流れ易くなる。なお、底部領域 3 6 が抵抗を有するため、接続領域 3 8 から底部領域 3 6 に供給されたホールが底部領域 3 6 全体に行き渡るには一定の時間がかかる。接続領域 3 8 の数が少ない場合には、底部領域 3 6 のうちの接続領域 3 8 から遠い部分にホールが供給されるまでに要する時間が長くなり、その部分の周辺のドリフト領域 3 4 で空乏層が消滅するのが遅くなる。これに対し、本実施形態のMOSFET 1 0 では、トレンチ 2 2 の長手方向の側面に第 2 接続領域 3 8 b が設けられているのに加えて、トレンチ 2 2 の短手方向の側面に複数の第 1 接続領域 3 8 a が設けられている。接続領域 3 8 a、3 8 b が高密度で形成されているので、接続領域 3 8 a、3 8 b から底部領域 3 6 にホールが供給されるときに、底部領域 3 6 全体にホールが行き渡り易い。したがって、MOSFET 1 0 では、ゲート電極 2 6 の電位をゲートオン電位に引き上げてから短時間でドリフト領域 3 4 の抵抗が低下する。すなわち、このMOSFET 1 0 は、ターンオンするときに短時間でオン抵抗が低下する。したがって、このMOSFET 1 0 では、損失が生じ難い。

30

40

## 【0026】

次に、実施形態のMOSFET 1 0 の製造方法について説明する。まず、加工前の半導体基板 1 2 を準備する。加工前の半導体基板 1 2 は、ドリフト領域 3 4 と略同じ n 型不純物濃度を有する n 型半導体 (SiC) によって構成されている。

## 【0027】

まず、エピタキシャル成長またはイオン注入によって、ボディ領域 3 2 の低濃度領域 3 2 b を形成する。次に、半導体基板 1 2 の上面 1 2 a を部分的にエッチングすることによって、図 5 に示すようにトレンチ 2 2 を形成する。なお、図 5 及びそれ以降の断面図にお

50

いて、断面(a)は第1接続領域38aが形成される部分の断面を示しており、断面(b)は第1接続領域38aが形成されない部分の断面を示している。

#### 【0028】

次に、トレンチ22の長手方向の側面に、p型不純物を注入する。このp型不純物の注入は、トレンチ22の深さ方向に対してp型不純物の照射方向を傾斜させることで実施される。

#### 【0029】

次に、図6に示すように、CVD法等によって、半導体基板12の上面12aとトレンチ22の内面に、犠牲酸化膜(酸化シリコン膜)60を形成する。次に、図7、8に示すように、レジスト樹脂等によってマスク62を形成する。なお、図7では、マスク62によって覆われる範囲をハッチングにより示している。また、図7のA-A線における断面が図8の断面(a)であり、図7のB-B線における断面が図8の断面(b)である。図7に示すように、マスク62には、トレンチ22を横断する開口部64が設けられている。図8の断面(b)に示すように、マスク62によって覆われる範囲では、上面12aがマスク62によって覆われるとともに、トレンチ22内にマスク62が充填される。すなわち、トレンチ22の側面と底面がマスク62によって覆われる。図8の断面(a)に示すように、マスク62によって覆われていない範囲では、上面12a、トレンチ22の内面(すなわち、側面と底面)において、犠牲酸化膜60が露出している。

10

#### 【0030】

次に、図9に示すように、トレンチ22の深さ方向(すなわち、z方向)に対して傾斜した方向に沿ってp型不純物を照射する。これによって、マスク62に覆われていない範囲のトレンチ22の短手方向の側面とトレンチ22の底面に、p型不純物を注入する。なお、p型不純物は、犠牲酸化膜60を貫通して半導体基板に注入される。マスク62に覆われている範囲では、マスク62によって遮られることで、半導体基板12にp型不純物が注入されない。次に、図9とは反対向きに照射方向を傾斜させて、図9とは反対側のトレンチ22の側面(短手方向の側面)にもp型不純物を注入する。p型不純物の注入工程において、マスク62にもp型不純物が注入される。マスク62にp型不純物が注入されることで、マスク62の一部に変質層が形成される場合がある。

20

#### 【0031】

次に、マスク62をエッチングすることによって、マスク62を除去する。ここで、マスク62の一部に変質層が形成されていると、変質層を除去することができない。このため、図10に示すように、上面12a上の犠牲酸化膜60の表面とトレンチ22内の犠牲酸化膜60の表面に、変質層62aが残存する。

30

#### 【0032】

次に、犠牲酸化膜60をエッチングすることによって、犠牲酸化膜60を除去する。犠牲酸化膜60を除去すると、犠牲酸化膜60の表面に付着している変質層62aも除去される。したがって、図11に示すように、上面12a及びトレンチ22の内面から、犠牲酸化膜60と変質層62aを好適に除去することができる。

#### 【0033】

その後、半導体基板12を熱処理する。すると、トレンチ22の内面(より詳細には、短手方向の側面、長手方向の側面、及び、底面)に注入されたp型不純物が活性化する。これによって、第1接続領域38a、第2接続領域38b、及び、底部領域36が形成される。

40

#### 【0034】

その後、従来公知の方法によって、ゲート絶縁層24、ゲート電極26、層間絶縁膜28、ソース領域30、上部電極70、ドレイン領域35及び下部電極72が形成される。以上の処理によって、図1~4に示すMOSFET10が完成する。

#### 【0035】

なお、上述した実施形態では、トレンチ22の短手方向の両側の側面に第1接続領域38aを形成した。しかしながら、トレンチ22の短手方向の片側の側面のみに第1接続領

50

域 3 8 a が形成されてもよい。

【 0 0 3 6 】

また、上述した実施形態では、トレンチ 2 2 の長手方向の側面への p 型不純物の注入工程を、トレンチ 2 2 の短手方向の側面への p 型不純物の注入工程とは別に実施した。しかしながら、図 1 2 に示すようにマスク 6 2 の開口部 6 4 をトレンチ 2 2 の長手方向の側面を含む範囲にも設け、トレンチ 2 2 の短手方向の側面への p 型不純物の注入と同時に、トレンチ 2 2 の長手方向の側面への p 型不純物の注入を実施してもよい。この場合、短手方向の側面と長手方向の側面の両方に p 型不純物が注入されるように、p 型不純物の照射方向を傾斜させる。

【 0 0 3 7 】

なお、上記実施形態のトレンチ 2 2 の短手方向の側面は、請求項 1 の第 1 側面の一例である。また、上記実施形態のトレンチ 2 2 の長手方向の側面は、請求項 1 の第 2 側面の一例である。

【 0 0 3 8 】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したもののが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの 1 つの目的を達成すること自体で技術有用性を持つものである。

【 符号の説明 】

【 0 0 3 9 】

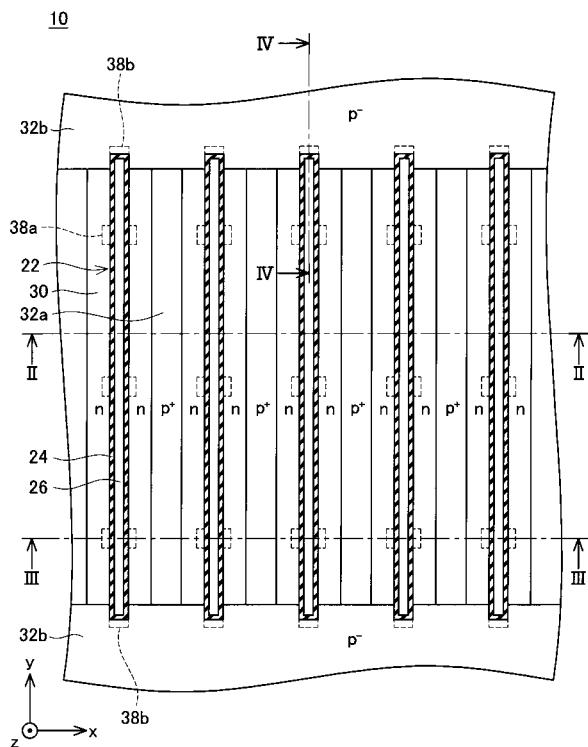
1 0	:	M O S F E T
1 2	:	半導体基板
2 2	:	トレンチ
2 4	:	ゲート絶縁層
2 6	:	ゲート電極
3 0	:	ソース領域
3 2	:	ボディ領域
3 4	:	ドリフト領域
3 5	:	ドレイン領域
3 6	:	底部領域
3 8	:	接続領域

10

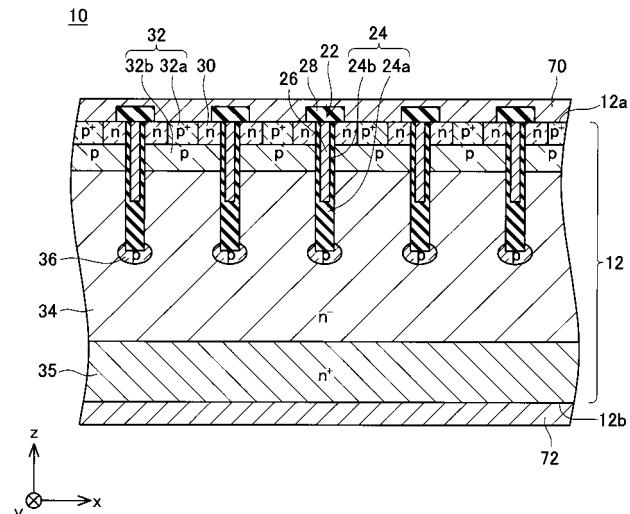
20

30

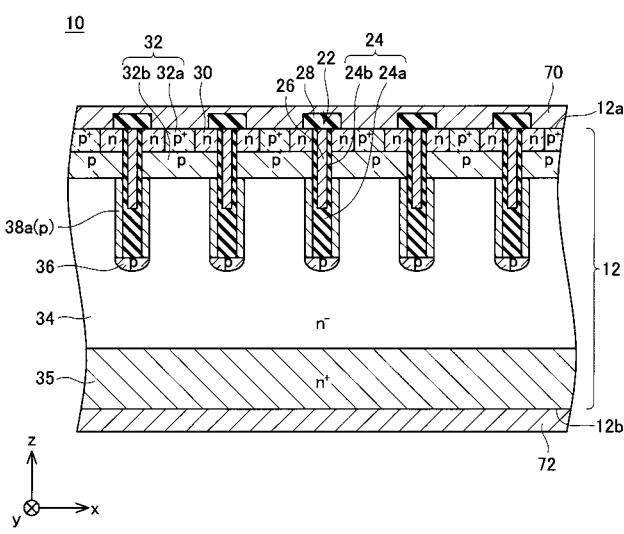
【図1】



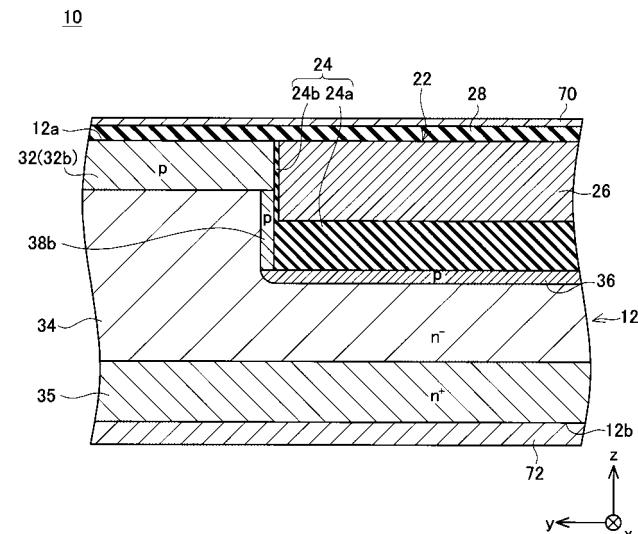
【 図 2 】



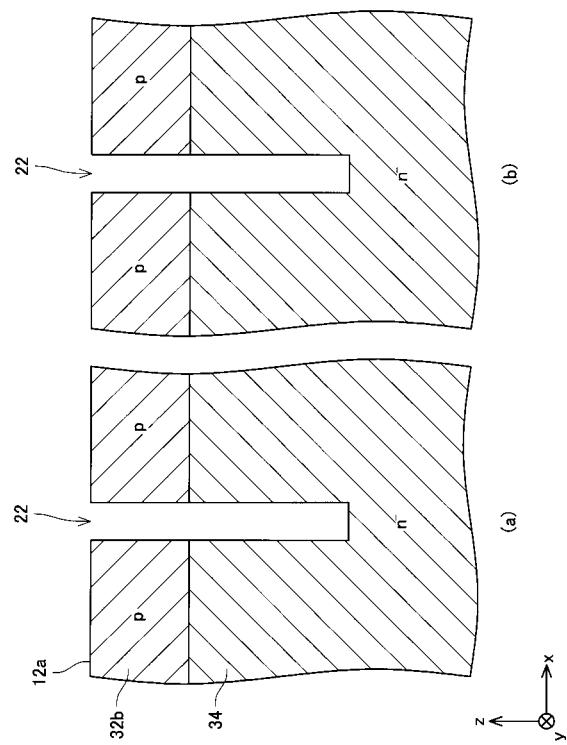
【 3 】



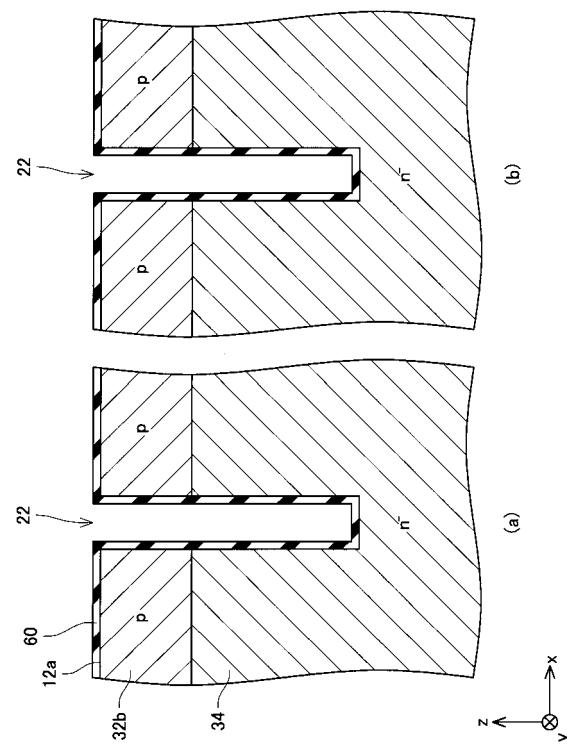
【 図 4 】



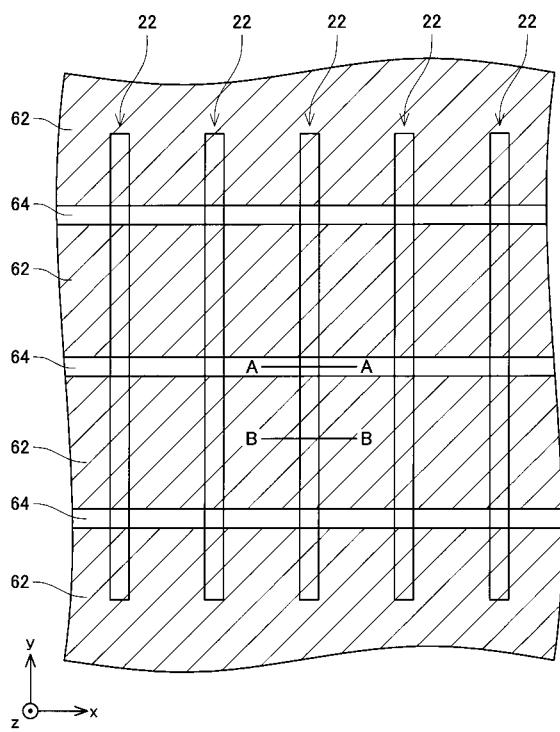
【図5】



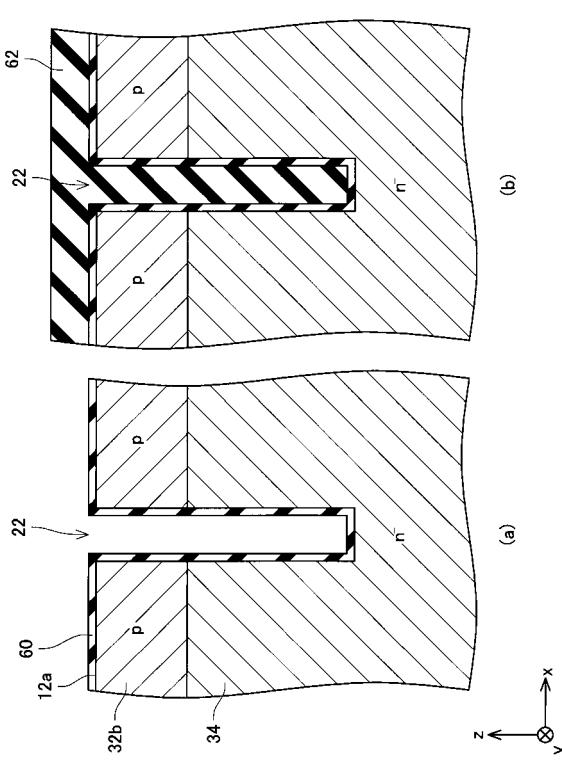
【図6】



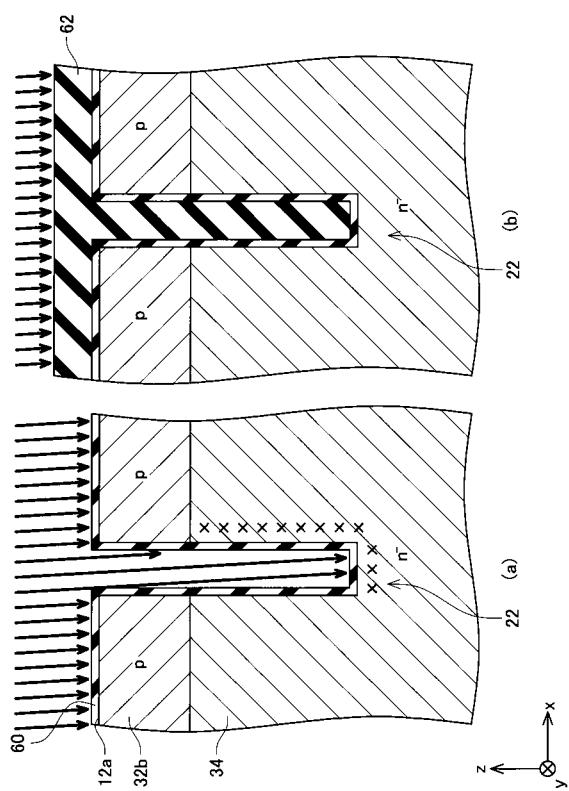
【図7】



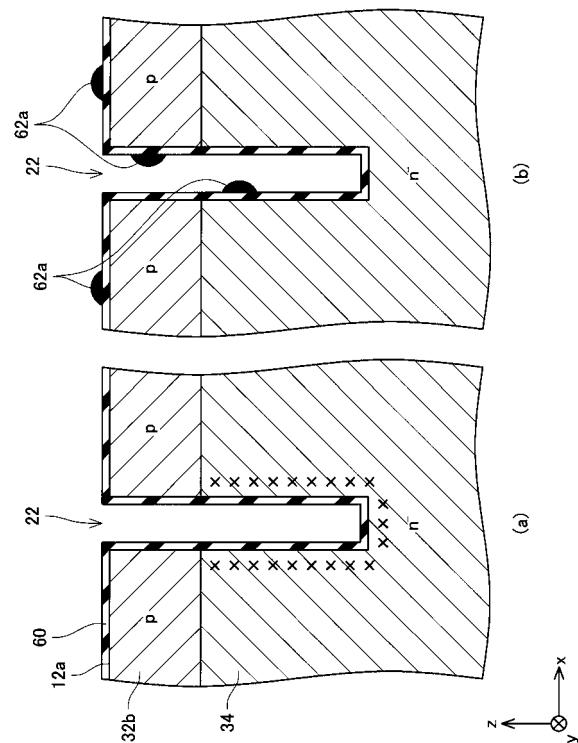
【図8】



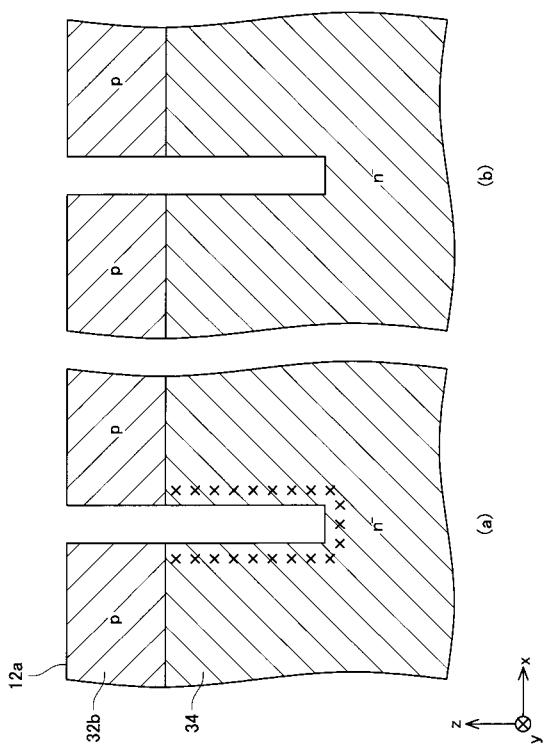
【図9】



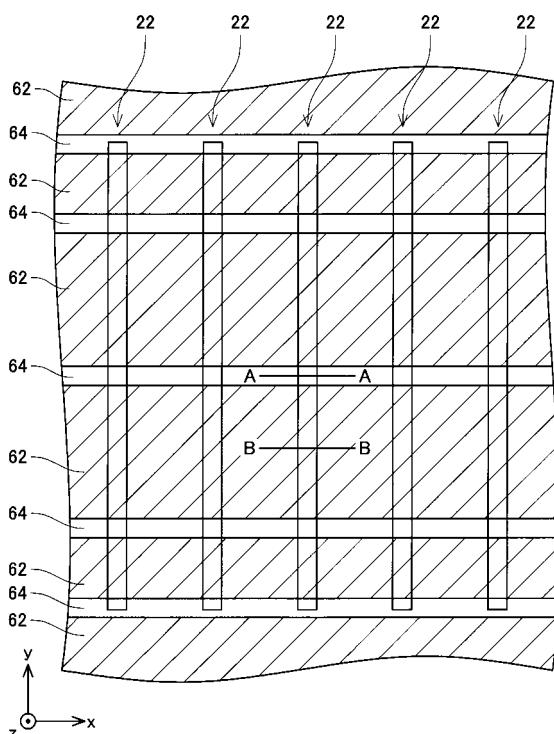
【図10】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 01 L	29/78 6 5 2 D
	H 01 L	29/78 6 5 2 S
	H 01 L	29/78 6 5 8 G
	H 01 L	29/78 6 5 2 T
	H 01 L	29/78 6 5 8 E

(72)発明者 伊藤 孝浩  
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(72)発明者 藤原 広和  
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(72)発明者 青井 佐智子  
愛知県長久手市横道41番地の1 株式会社豊田中央研究所内

(72)発明者 浦上 泰  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内