(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年12 月8 日 (08.12.2005)

PCT

(10) 国際公開番号
WO 2005/117258 A1

(51) 国際特許分類[7]: H03K 5/00, H03M 3/02

(21) 国際出願番号: PCT/JP2004/007197

(22) 国際出願日: 2004 年5 月26 日 (26.05.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山口 晴久 (YAMAGUCHI, Haruhisa) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

(74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

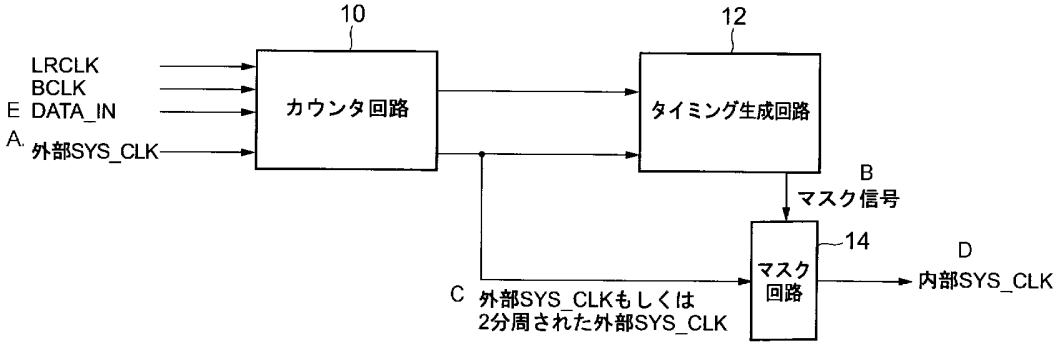
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SYSTEM CLOCK GENERATOR CIRCUIT

(54) 発明の名称: システムクロック生成回路



A... EXTERNAL SYS_CLKS
10... COUNTER CIRCUIT
12... TIMING GENERATOR CIRCUIT
B... MASK SIGNALS
C... EXTERNAL SYS_CLKS OR EXTERNAL SYS_CLKS AS FREQUENCY DIVIDED BY TWO
14... MASK CIRCUIT
D... INTERNAL SYS_CLKS

(57) **Abstract:** A system clock generator circuit for use in a D/A converter that allows the clock of any frequency to be inputted and also allows usage limiting-conditions to be simplified. A system clock generator circuit for use in a D/A converter for demodulating one-bit digital input data, which has been obtained by ΔΣ modulation scheme, into analog output data in synchronism with an internal system clock and for outputting the analog output data, comprises a counter circuit for receiving external system clocks and LR clocks (LRCLK) having predetermined repetitive frequencies to count the number of the external system clocks included in one period of the LR clocks; a timing generator circuit for generating mask signals for thinning, in accordance with the count value as counted by the counter circuit, the external system clocks at predetermined thinning timings; and a mask circuit for masking the external system clocks by use of the mask signals and thinning the clocks in the masked portions to generate internal system clocks.

(57) 要約: 任意の周波数のクロック入力を可能とし、使用上の制約を簡素化することのできるＤＡコンバータに用いるシステムクロック生成回路を提供する。ΔΣ変調方式により得られた１ビットディジタル入力データを内部システムクロックに同期してアナログ出力データに復調して

[続葉有]

WO 2005/117258 A1

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

出力するＤＡコンバータに用いるシステムクロック生成回路であって、所定の繰り返し周波数を持つ外部システムクロックとＬＲクロック（ＬＲＣＬＫ）とを入力し、ＬＲクロックの１周期中に含まれる外部システムクロックのクロック数をカウントするカウンタ回路と、カウンタ回路でカウンタされたカウント値に応じて外部システムクロックを所定の間引きタイミングで間引くマスク信号を生成するタイミング生成回路と、外部システムクロックをマスク信号でマスクし、マスクされた部分のクロックを間引いて内部システムクロックを生成するマスク回路とを具備する。

明 細 書

システムクロック生成回路

技術分野

[0001] 本発明は、DAコンバータの内部システムクロックを生成するシステムクロック生成回路に係り、特に、ΔΣ変調方式により得られた1ビットディジタル入力データからアナログ出力データを復調する、DAコンバータに使用されるシステムクロック生成回路に関する。

背景技術

[0002] ΔΣ変調方式を用いた従来のDAコンバータとしては、特許文献1に記載されるような装置が知られている。

また、ΔΣ変調方式により得られた1ビットディジタルデータを、サンプリング周波数の異なるマルチビットディジタルデータに変換する際に用いられるサンプリング周波数のレート変換装置としては、特許文献2に記載されるものが知られている。

また、ステレオオーディオDAコンバータとしては、非特許文献1に記載されるDAコンバータが知られている。

特許文献1:特開平9−186600号公報

特許文献2:特開平9−148885号公報

非特許文献1:バーブラウン(BURR−BROWN)社製品カタログ PCM1737, PCM1739, ステレオ・オーディオD／Aコンバータ

[0003] 近年、移動体通信端末装置として携帯電話機の普及が著しい。携帯電話機においては、音声信号の処理を行うために、音声処理用のDAコンバータやADコンバータが内蔵されている。また、音声処理用のDAコンバータには、オーバーサンプリング技術やΔΣ変調技術が用いられており、ΔΣ変調部の動作サンプリングレートを可変にできる機能を持っている。

[0004] このため、外部アナログローパスフィルタ(LPF)のアプリケーションに応じてサンプリングレートを変更することにより、高性能高機能のDAコンバータを実現することができる。したがって、携帯電話機だけでなく、DVD−M、DVD−Aはもとより、ホームシア

ターシステム、AVアンプ等のアプリケーションにも広く用いられている。

[0005] 図5は、オーバーサンプリング技術とΔΣ変換技術とを用いたDAコンバータの構成を示す図で、非特許文献1に類似の回路が記載されている。

入力インターフェース回路51と、8倍オーバーサンプリングディジタルフィルタ52と、ΔΣ変調方式を用いたDA変換回路53と、ローパスフィルタ及び出力アンプからなる出力回路54と、外部システムクロックに応答して所定の内部システムクロックを生成し、それぞれの回路51，52，53に供給するシステムクロック生成回路55とから構成されている。

入力インターフェース51には、Lチャンネルと Rチャンネルとの選択を行うためのLRクロックCRCKと、バイクロックBCKと、ΔΣ変調方式により得られた1ビットディジタル入力データDATAが入力される。

ΔΣ変調方式を用いたDA変換回路53の回路構成としては、特許文献1の図1に示されるような回路構成が知られている。

[0006] 図6は、アナログ入力信号からΔΣ変調方式により1ビットディジタル入力データを得るためのAD変換回路の概略構成を示すブロック図である。プリフィルタ回路61、積算回路62、積分器63、比較器64、遅延回路65、1ビットDA変換回路66により構成される。なお、図6に示す回路の詳細動作は周知であるため、その詳細説明は省略する。

[0007] 図7は、図6の回路に現われる各種信号の関係を示す波形図である。

LR選択信号LRCK（A）により選択されたLまたはRチャンネルの音声アナログ信号が、（B）に示すように16乃至24ビットに量子化され、さらに、図示しない8倍オーバーサンプリング信号処理回路によりオーバーサンプリングされて、（C）に示すような量子化されたアナログ信号がプリフィルタ61に入力されると、図6の回路によりΔΣ変調により信号処理され、1ビットのディジタル入力データとして（D）に示すような波形として出力される。

このディジタル出力が、図5に示すデータDATAとして入力インターフェース51に入力されることにより、元のアナログ信号が出力回路54からLチャネル出力、またはRチャネル出力としてアナログ再生される。

発明の開示

発明が解決しようとする課題

[0008] ところで、上述したオーバーサンプリング技術及びΔΣ変調技術を用いて、図5に示すようなDAコンバータを用いて、図7(D)に示す1ビットディジタル入力データをアナログ信号に復調する場合、必要に応じてDA変換回路53に供給される内部システムクロックのタイミング周期を変更する必要がある。

[0009] 通常、図5に示すような回路構成のDAコンバータでは、サンプリングレートが10ー200KHzの基準周波数(f_s)を外部システムクロックとして用意し、システムクロック生成回路75内で所定の倍数(128／192／256／384／512／768／)だけ逓倍し、必要に応じて、この逓倍された内部システムクロックを自動選択して供給するように構成されていた。

このように、サンプリング周波数のサンプリングレートを変更する技術は、特許文献2においても示されているが、いずれも外部システムクロックを均一に所定の倍数だけ逓倍することにより行われている。

[0010] したがって、いずれの場合にも、入力データに応じて任意のサンプリングレートを持つ内部システムクロックを発生させることができない、という問題があった。

本発明は、上述した課題を解決するためになされたもので、ΔΣ変調方式により得られた1ビットディジタル入力データを、任意のサンプリングレートを持つ内部システムクロックに同期させてアナログデータとして復調することのできる、DAコンバータに用いるシステムクロック生成回路を提供することを目的とする。

課題を解決するための手段

[0011] 本発明のシステムクロック生成回路は、ΔΣ変調方式により得られた1ビットディジタル入力データを内部システムクロックに同期して、アナログ出力データに復調して出力するDAコンバータに用いるシステムクロック生成回路であって、所定の繰り返し周波数を持つ外部システムクロックとLRクロック(LRCLK)とを入力し、LRクロックの1周期中に含まれる外部システムクロックのクロック数をカウントするカウンタ回路と、カウンタ回路でカウンタされたカウント値に応じて外部システムクロックを所定の間引きタイミングで間引くマスク信号を生成するタイミング生成回路と、外部システムクロック

をマスク信号でマスクし、マスクされた部分のクロックを間引いて内部システムクロックを生成するマスク回路とを具備したことを特徴とする。

[0012] また、本発明は、前記システムクロック生成回路において、外部システムクロックの繰り返し周波数に応じて間引きタイミングを変更及び／又は分周された外部システムクロックを外部システムクロックとして用いることを特徴とする。

また、本発明は、前記システムクロック生成回路において、LRクロックの1周期を均等に分割し、それぞれの分割領域毎にカウント値を分配して割付け、割付けに応じてマスク信号を生成することを特徴とする。

また、本発明は、前記システムクロック生成回路において、外部システムクロックの繰り返し周波数が基準サンプリングレート(f_S)の256乃至1024倍範囲で任意に選択されることを特徴とする。

[0013] また、本発明は、前記システムクロック生成回路において、間引きタイミングは間引かれるクロック数に応じて、0乃至15クロックのときには16クロック毎に、16乃至31クロックのときには8クロック毎に、32乃至63クロックのときには4クロック毎に、64乃至127クロックのときには2クロック毎に、128乃至255クロックのときには1クロック毎に設定されることを特徴とする。

また、本発明は、システムクロック生成回路を内蔵したDAコンバータであり、このDAコンバータを内蔵した携帯電話機である。

発明を実施するための最良の形態

[0014] 図1は、本発明の一実施の形態を示すシステムクロック生成回路の構成ブロック図である。

LRクロックLRCLK、バイクロックBCLK、1ビットディジタル入力データDATA−IN及び外部システムクロックSYSCLKが入力されるカウンタ回路10と、タイミング生成回路12と、マスク回路14とから構成され、マスク回路14の出力として所定の内部システムクロックSYS−CLKを得る。

[0015] カウンタ回路10は、LRクロックの1周期中に含まれる外部システムクロックのクロック数をカウントする。

タイミング生成回路12は、カウンタ回路10でカウントされたカウント値に応じて、外

部システムクロックを所定のタイミングで間引くマスク信号を生成し、これをマスク回路14に供給する。

マスク回路14には、タイミング生成回路12からのマスク信号と、カウンタ回路10からの外部システムクロック、もしくは、2分周されたシステムクロックとが入力されている。

カウンタ回路10から供給された外部システムクロック、もしくは、2分周された外部システムクロックがマスク信号によりマスクされ、マスクされた部分のクロックが間引かれて内部システムクロックとしてマスク回路14から出力される。この出力された内部システムクロックを用いてDA変換回路を駆動する。

[0016] 図2、図3は、図1の回路動作を説明するためのタイミング波形図である。なお、図3は、図2において、LRクロックの一周期分の動作を拡大して示した図である。

図2に示すように、外部システムクロックとしては、基準サンプリングレート(f_s)の256から1026倍のクロックを発生させている。そして、この外部システムクロックの周波数範囲256ー1024倍の中で、任意の周波数を持つ外部システムクロックの作成を可能とした。そのために、図1のカウンタ回路10でカウントされたカウント値に応じて、外部システムクロックを所定の間引きタイミングで間引き、図2(e)に示すような内部システムクロックを生成する。

なお、歪み率の低下を抑えるために間引くタイミングを、LRクロックの1周期中で均等に割り振ることが必要である。そこで、図2に示す例では、1周期をエリアA, B, C, Dの4分割とし間引かれるクロックが、これらのエリア内に均等に割り振られるようにしている。

[0017] 次に、図1に示すシステムクロック生成回路の回路動作を説明する。

カウンタ回路10は、LRクロックの1周期($1f_s$)中の外部システムクロックの立ち上がり数(クロック数)をカウントする。そして、その結果をタイミング生成回路12に引き渡す。

カウント数が256ー511f_sときは、外部システムクロックをそのままタイミング生成回路12に供給する。また、カウント数が512ー1023f_sのときは、2分周したシステムクロックをタイミング生成回路12に供給する。

[0018] タイミング生成回路12では、LRクロックの1周期($1f_s$)中の外部システムクロックの

カウント数から、この外部システムクロックを間引くタイミングを生成する。間引くタイミングは、1周期中でできるだけ均等に割り振る必要があるため、間引くクロック数を4等分して、図2に示すように、エリアA, B, C, Dに均等に割り振る。

[0019] なお、必要な間引き数によって間引く基本タイミングを次のように設定する。

間引き数

0ー15クロック 16クロック毎に生成

16ー31クロック 8クロック毎に生成

32ー63クロック 4クロック毎に生成

64ー127クロック 2クロック毎に生成

128ー255クロック 1クロック毎に生成

なお、ここでのクロックとは、カウンタ回路10から供給されるクロックで、256ー511f_Sのときは外部システムクロックを示し、512ー1023f_Sのときは2分周したシステムクロックを示す。

[0020] マスク回路14は、タイミング生成回路12で生成されたタイミングにより、カウンタ回路10から供給されたクロック(外部システムクロック、もしくは2分周された外部システムクロック)をマスクすることにより間引きを行う。このマスク回路14で生成された信号を、内部システムクロックとして用いて、ΔΣ処理のための内部システムクロックとして用いる。

[0021] 図4は、図1に示すシステムクロック生成回路中のタイミング生成回路12の詳細構成を示す回路図である。

タイミング生成回路12は、クロックセレクト回路121、エリアカウンタコントロール回路122、エリアAカウンタ123、エリアBカウンタ124、エリアCカウンタ125、エリアDカウンタ126及びクロックイネーブル生成回路127から構成されている。

[0022] クロックセレクト回路121はLRクロックの1周期中の外部システムクロックのカウント結果に従って、外部システムクロックもしくは2分周したクロックのいずれかの出力を選択するために用いられる。

エリアカウンタコントロール回路122は、各エリアカウンタ123ー126のカウントの開始又は終了を制御する。

エリアAカウンタ123はエリアA区間で、エリアBカウンタ124はエリアB区間で、エリアCカウンタ125はエリアC区間で、エリアDカウンタ126はエリアD区間で、それぞれクロックイネーブル信号を発生させるための基準カウンタである。

[0023] クロックイネーブル生成回路127は、エリアカウンタ123ー126からのクロックイネーブル信号に対し、クロックを間引くためのイネーブル信号の生成を行い、これをマスク信号としてマスク回路14に出力する。

クロックイネーブル生成回路127で生成されたマスク信号とクロックセレクト回路121で選択された信号とがマスク回路14によりかけ合わされて内部システムクロックが生成される。

産業上の利用可能性

[0024] 以上説明したように、本発明では、内部システムクロックの周波数を基準サンプリングレート(f_s)の256ー1024倍の範囲で任意の周波数となるように選択することができる。

したがって、ディジタル入力データに応じて、DA変換用の内部システムクロックを自由に選択することができるため、使用上の制約を大幅に緩和することができる。

また、外部システムクロックの間引くタイミングを、LRクロックの1周期内で均等に割り振ることにより、歪み率の低下を抑えることができる。

なお、本発明は、広くDAコンバータ用のタイミングクロック生成回路として用いることができ、これらのDAコンバータを内蔵した携帯電話機やDVD−M、DVD−Aはもとより、ホームシアターシステム、AVアンプ等にも広く利用することができる。

図面の簡単な説明

[0025] [図1]本発明の一実施の形態に係るシステムクロック生成回路の構成を示す図。

[図2]図1に使用される各種信号のタイミングチャート。

[図3]図2を拡大して示したタイミングチャート。

[図4]図1に示すタイミング生成回路の詳細構成を示す回路図。

[図5]ΔΣ変調方式を用いたDAコンバータの構成を示す図。

[図6]ΔΣ変調方式を用いたADコンバータの回路構成を示す図。

[図7]図6に使用される各種波形のタイミングチャート。

符号の説明

[0026] 10 カウンタ回路

12 タイミング生成回路

14 マスク回路

請求の範囲

[1] ΔΣ変調方式により得られた1ビットディジタル入力データを内部システムクロックに同期してアナログ出力データに復調して出力するDAコンバータに用いるシステムクロック生成回路であって、

所定の繰り返し周波数を持つ外部システムクロックとLRクロック(LRCLK)とを入力し、前記LRクロックの1周期中に含まれる前記外部システムクロックのクロック数をカウントするカウンタ回路と、

前記カウンタ回路でカウンタされたカウント値に応じて前記外部システムクロックを所定の間引きタイミングで間引くマスク信号を生成するタイミング生成回路と、

前記外部システムクロックを前記マスク信号でマスクし、マスクされた部分のクロックを間引いて前記内部システムクロックを生成するマスク回路とを具備したことを特徴とするシステムクロック生成回路。

[2] 請求項1に記載のシステムクロック生成回路において、

前記外部システムクロックの繰り返し周波数に応じて前記間引きタイミングを変更及び／又は分周された外部システムクロックを前記外部システムクロックとして用いることを特徴とするシステムクロック生成回路。

[3] 請求項1に記載のシステムクロック生成回路において、

前記LRクロックの1周期を均等に分割し、それぞれの分割領域毎に前記カウント値を分配して割付け、割付けに応じて前記マスク信号を生成することを特徴とするシステムクロック生成回路。

[4] 請求項1に記載のシステムクロック生成回路において、

前記外部システムクロックの繰り返し周波数が基準サンプリングレート(f_S)の256乃至1024倍範囲で任意に選択されることを特徴とするシステムクロック生成回路。

[5] 請求項1に記載のシステムクロック生成回路において、

前記間引きタイミングは間引かれるクロック数に応じて、

0乃至15クロックのときには16クロック毎に、

16乃至31クロックのときには8クロック毎に、

32乃至63クロックのときには4クロック毎に、

64乃至127クロックのときには2クロック毎に、

128乃至255クロックのときには1クロック毎に、

設定されることを特徴とするシステムクロック生成回路。

[6] 請求項1乃至5のいずれか1項に記載したシステムクロック生成回路を内蔵したDAコンバータ。

[7] 請求項7に記載したDAコンバータを内蔵した携帯電話機。

補正書の請求の範囲

[２００４年１０月１９日（１９．１０．０４）国際事務局受理：出願当初の請求の範囲７は補正された；他の請求の範囲は変更なし。（１頁）]

６４乃至１２７クロックのときには２クロック毎に、

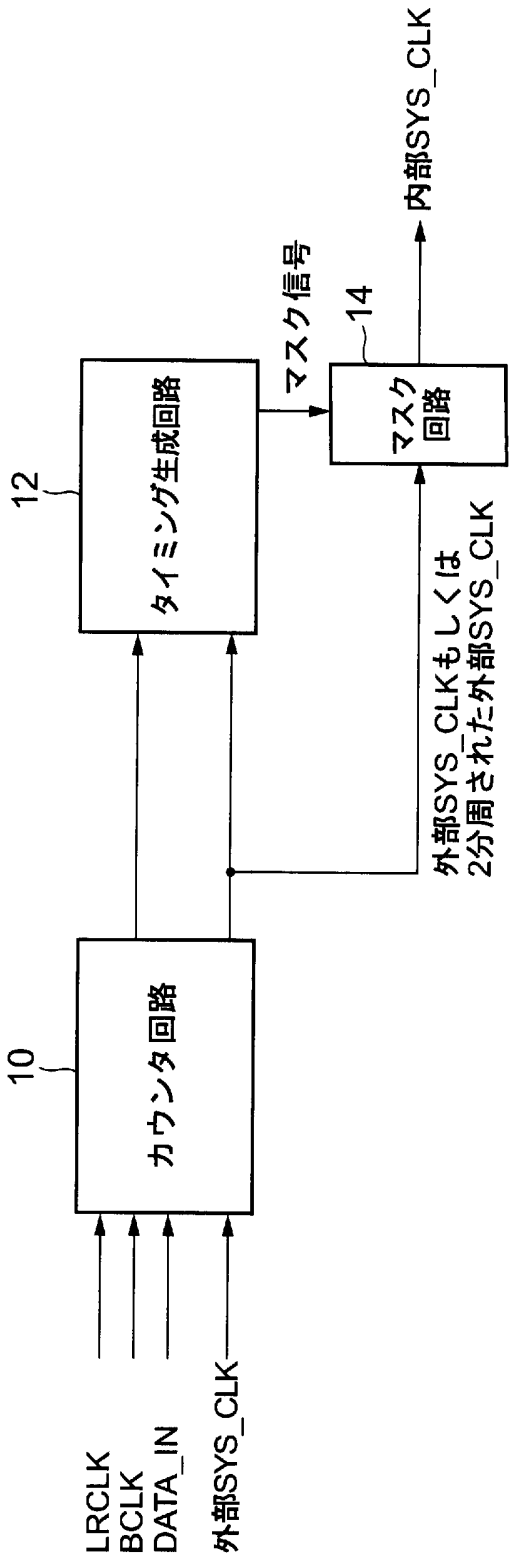
１２８乃至２５５クロックのときには１クロック毎に、

設定されることを特徴とするシステムクロック生成回路。

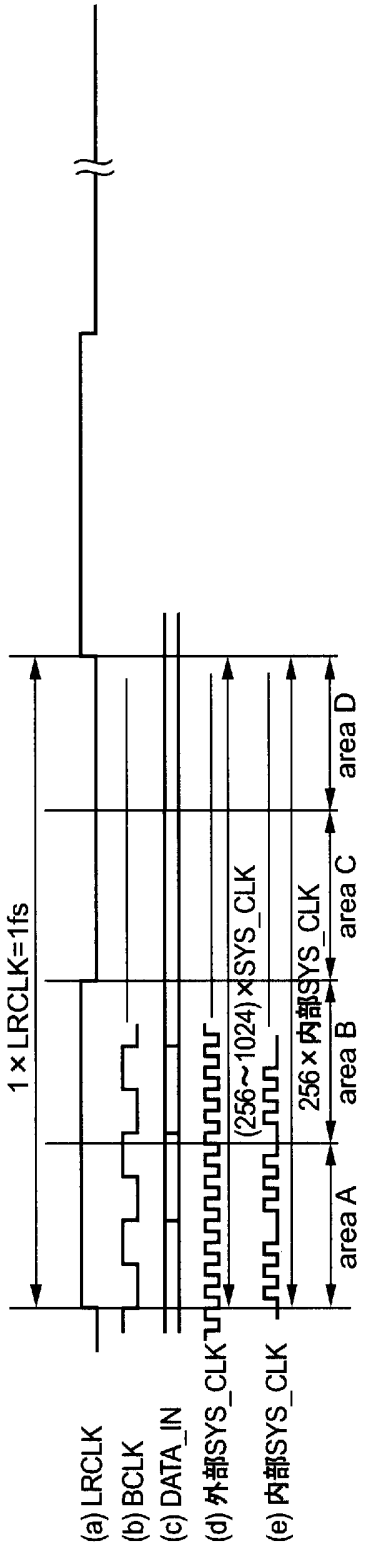
６．　請求項１乃至５のいずれか１項に記載したシステムクロック生成回路を内蔵したＤＡコンバータ。

７．（補正後）請求項６に記載したＤＡコンバータを内蔵した携帯電話機。

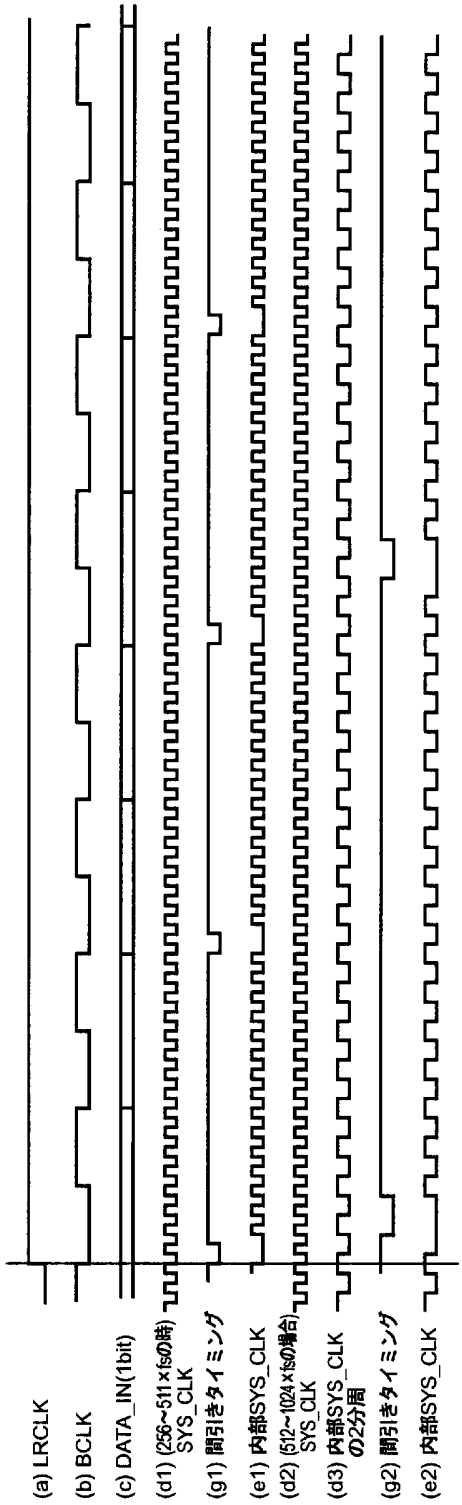
[図1]


LRCLK
BCLK
DATA_IN
外部SYS_CLK
10
カウンタ回路
12
タイミング生成回路
マスク信号
14
マスク回路
内部SYS_CLK
外部SYS_CLKもしくは
2分周された外部SYS_CLK

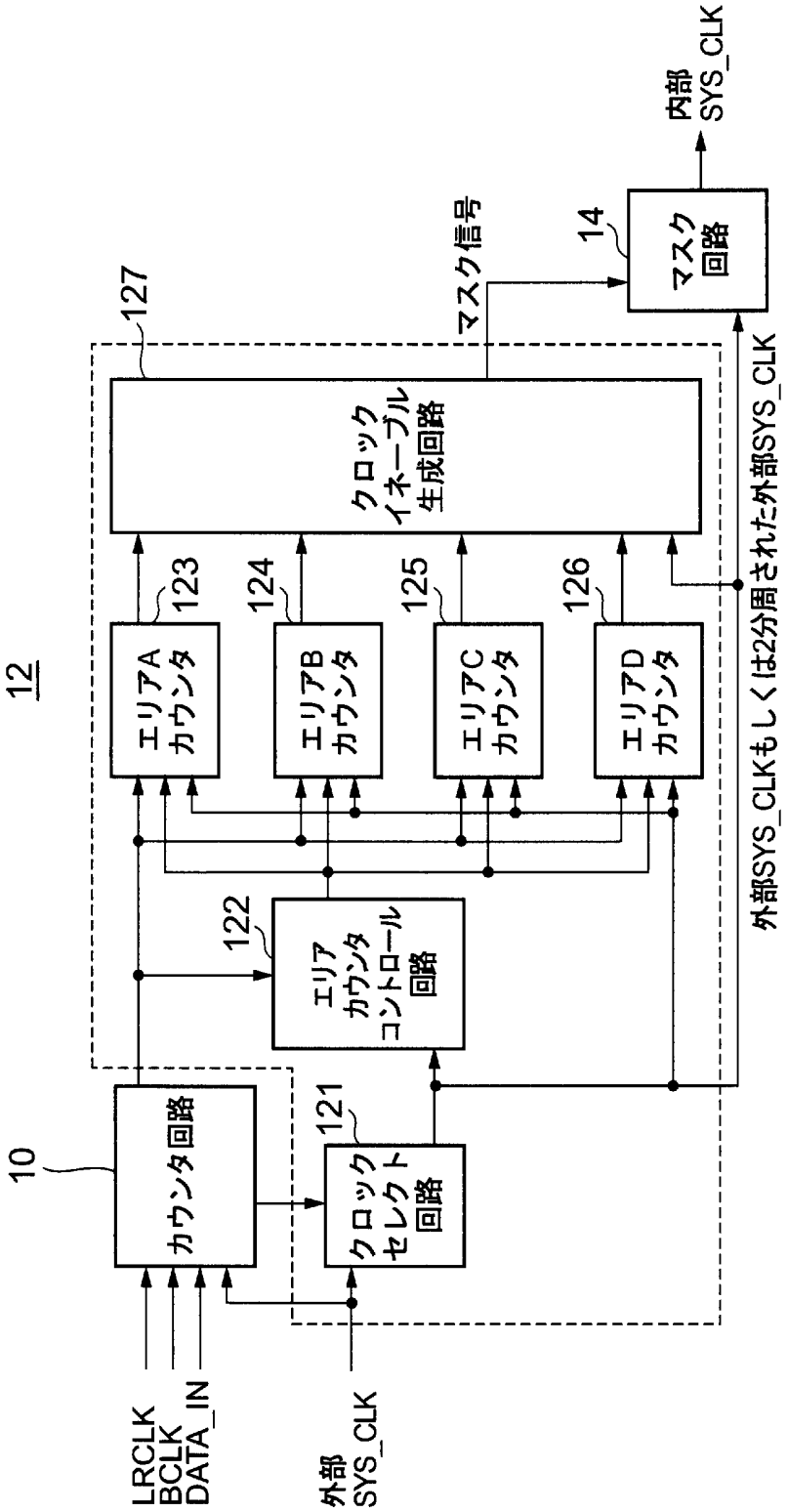
[図2]


1 × LRCLK=1fs
(a) LRCLK
(b) BCLK
(c) DATA_IN
(d) 外部SYS_CLK
(e) 内部SYS_CLK
(256~1024) × SYS_CLK
256 × 内部SYS_CLK
area A
area B
area C
area D

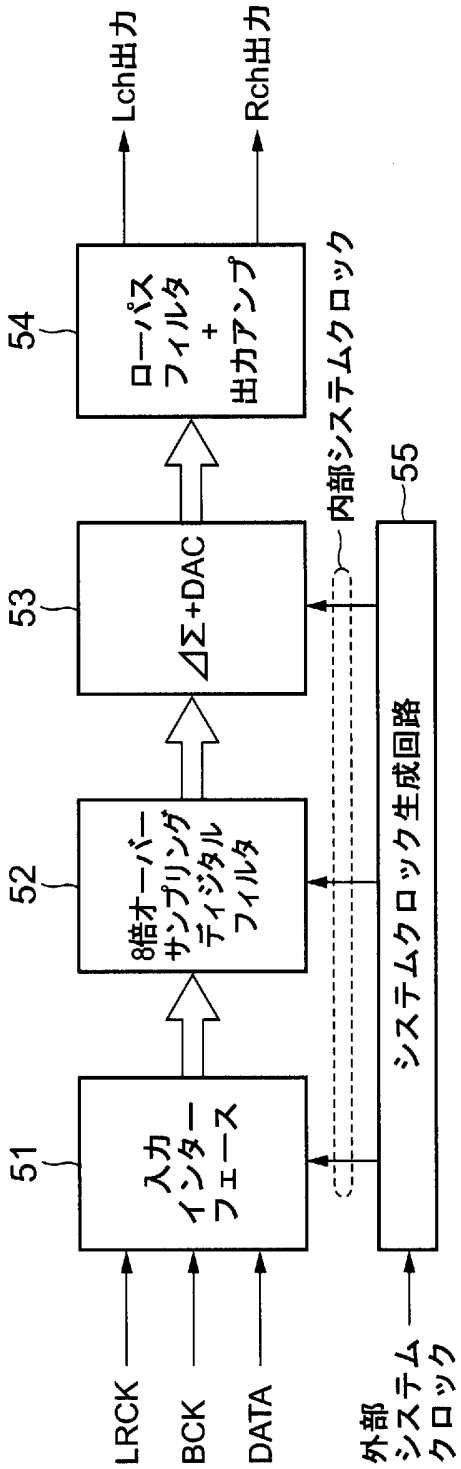
[図3]


(a) LRCLK
(b) BCLK
(c) DATA_IN(1bit)
(d1) (256~511×fsの時) SYS_CLK
(g1) 間引きタイミング
(e1) 内部SYS_CLK
(d2) (512~1024×fsの場合) SYS_CLK
(d3) 内部SYS_CLK の2分周
(g2) 間引きタイミング
(e2) 内部SYS_CLK

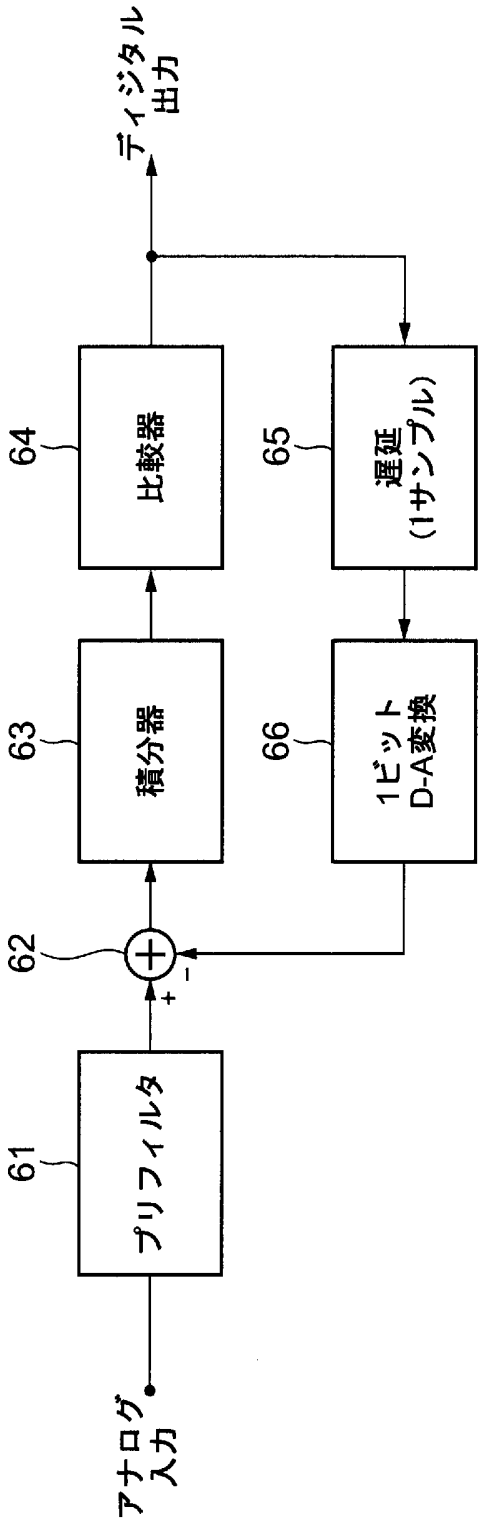
[図4]


内部
SYS_CLK
マスク信号
14
マスク
回路
127
クロック
イネーブル
生成回路
12
123
124
125
126
エリアA
カウンタ
エリアB
カウンタ
エリアC
カウンタ
エリアD
カウンタ
122
エリア
カウンタ
コントロール
回路
外部SYS_CLKもしくは2分周された外部SYS_CLK
10
カウンタ回路
121
クロック
セレクト
回路
LRCLK
BCLK
DATA_IN
外部
SYS_CLK

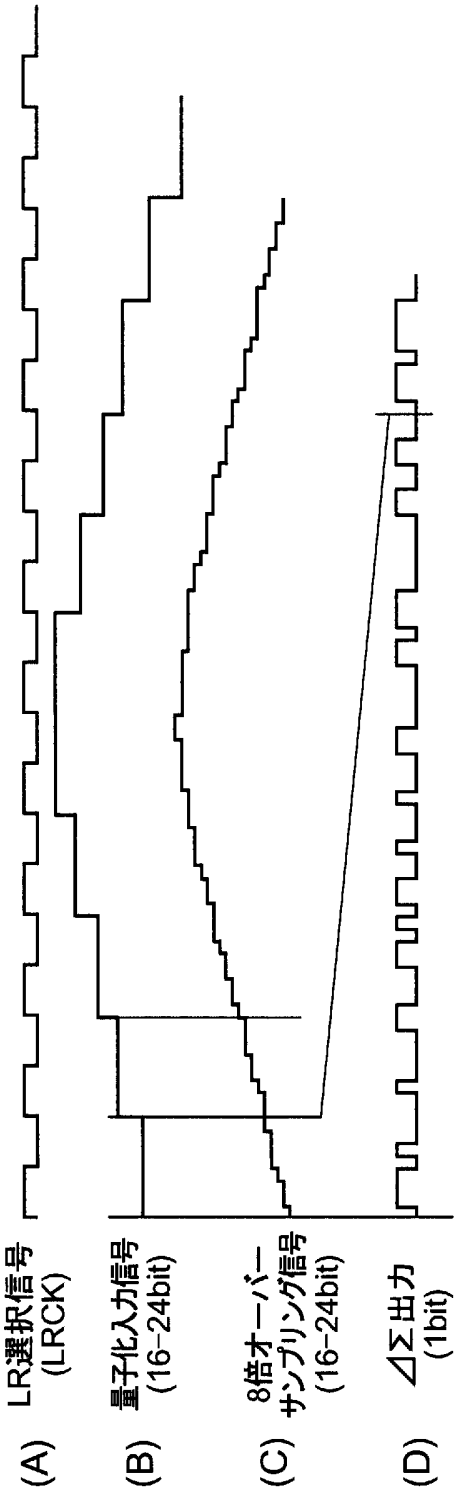
[図5]


Lch出力
Rch出力
54
ローパス
フィルタ
+
出力アンプ
53
ΔΣ+DAC
52
8倍オーバー
サンプリング
ディジタル
フィルタ
51
入力
インター
フェース
内部システムクロック
55
システムクロック生成回路
LRCK
BCK
DATA
外部
システム
クロック

[図6]


ディジタル
出力
64
比較器
65
遅延
(1サンプル)
63
積分器
66
1ビット
D-A変換
62
+
-
61
プリフィルタ
アナログ
入力

[図7]


(A) LR選択信号 (LRCK)
(B) 量子化入力信号 (16-24bit)
(C) 8倍オーバーサンプリング信号 (16-24bit)
(D) ΔΣ出力 (1bit)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/007197

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03K5/00, H03M3/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03K5/00, H03M3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 04-074036 A (Mitsubishi Electric Corp.), 09 March, 1992 (09.03.92), Fig. 1 (Family: none)	1-7
A	JP 04-025247 A (NEC Corp.), 29 January, 1992 (29.01.92), Fig. 1 (Family: none)	1-7
A	JP 05-070048 U (Advantest Corp.), 21 September, 1993 (21.09.93), Fig. 1 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
26 August, 2004 (26.08.04)

Date of mailing of the international search report
14 September, 2004 (14.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００４／００７１９７

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ.[7]　H03K 5/00, H03M 3/02

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））
Ｉｎｔ．Ｃｌ.[7]　H03K 5/00, H03M 3/02

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　　１９２６－１９９６年
日本国公開実用新案公報　１９７１－２００４年
日本国登録実用新案公報　１９９４－２００４年
日本国実用新案登録公報　１９９６－２００４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	ＪＰ　０４－０７４０３６　Ａ（三菱電機株式会社）、１９９２．０３．０９、図１（ファミリー無し）	１～7
A	ＪＰ　０４－０２５２４７　Ａ（日本電気株式会社）、１９９２．０１．２９、図１（ファミリー無し）	１～7
A	ＪＰ　０５－０７００４８　Ｕ（株式会社アドバンテスト）、１９９３．０９．２１、図１（ファミリー無し）	１～7

☐ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０８．２００４	14. 9. 2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	石井　研一	５Ｘ	８１２４
	電話番号　０３－３５８１－１１０１　内線　３５９６		