公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97139742

※ 申請日期：97.10.16　　※IPC 分類：G01R 31/28 (2006.01)

一、發明名稱：(中文/英文)

用於堆疊之半導體器件的可重新組態連接

RECONFIGURABLE CONNECTIONS FOR STACKED SEMICONDUCTOR DEVICES

二、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

美商美光科技公司
MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

羅素　史利佛
SLIFER, RUSSELL

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號
8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國　籍：(中文/英文)

美國　　U.S.A.

三、發明人：(共 1 人)

姓　名：(中文/英文)

布蘭特　基斯
KEETH, BRENT

國　籍：(中文/英文)

美國　　U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年10月16日；11/873,118
2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.
2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

某些實施例包含多個裝置、系統及方法，其包括排列成一堆疊之半導體晶粒、經組態以提供該等晶粒之間的通信之若干連接(該等連接中之至少一部分通過該等晶粒中之至少一者)、及一經組態以檢查該等連接中之缺陷及修復該等連接中之缺陷之模組。

六、英文發明摘要：

Some embodiments include apparatus, systems, and methods comprising semiconductor dice arranged in a stack, a number of connections configured to provide communication among the dice, at least a portion of the connections going through at least one of the dice, and a module configured to check for defects in the connections and to repair defects the connections.

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

705	晶粒
711	電路
712	修復邏輯
713	重新路由邏輯
715	電路組件
716	電路元件
720	連接
731	部分
732	部分
741	電路單元
742	電路單元
749	電路單元
751	信號路徑
752	信號路徑
759	信號路徑
761	暫存器
762	暫存器
769	暫存器
777	記憶體器件
781	線路
782	線路
789	線路
799	部分

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【先前技術】

包含記憶體之半導體器件一般用於電腦及其他電子產品中，例如數位電視、數位相機及蜂巢式電話，以儲存資料及其他資訊。諸如一記憶體器件等半導體器件一般具有許多組件及相關聯電路連接以在該等組件之間來回傳遞資訊。某些記憶體器件可形成於多個半導體晶粒上。

【發明內容】

根據本發明之一個態樣，一裝置包括：排列成一堆疊之晶粒；經組態以提供該等晶粒之間的通信之連接，該等連接中之至少一部分通過該等晶粒中之至少一者；及一模組，其經組態以檢查該等連接中之缺陷及修復該等連接中之缺陷。

根據本發明之另一態樣，一裝置包括：排列成一堆疊之晶粒，該等晶粒中之至少一者包含一電路；及經組態以提供該等晶粒之間的通信之連接，該等連接中之至少一部分通過該等晶粒中之至少一者，其中該等連接之至少一部分係一有缺陷部分且耦合至該電路，且其中該有缺陷部分在該電路正運作時仍保持於該等連接中。

根據本發明之另一態樣，一系統包括：一記憶體器件，其包含排列成一堆疊之晶粒，及經組態以提供該等晶粒之間的通信之連接，該等連接中之至少一部分通過該等晶粒中之至少一者，其中該等連接之至少一部分係一有缺陷部分且耦合至該電路，且其中該有缺陷部分在該電路正運作

時仍保持於該等連接中；及一處理器，其耦合至該等連接且經組態以在該等記憶體器件處傳遞資訊。

根據本發明之另一態樣，一種方法包括：將資訊傳遞至該等連接中耦合於排列成一堆疊之晶粒之間的第一部分，該等連接中之至少一部分通過該等晶粒中之至少一者；及由於該有問題之第一部分而將該資訊重新路由至該等連接之第二部分。

【實施方式】

圖1顯示一根據本發明一實施例之裝置100，其包含器件101、102、103及104及連接120及121。連接120及121可包含導電連接。器件101、102、103及104可透過連接120彼此通信及透過一介面電路110與其他外部裝置(例如，一處理器、一記憶體控制器或其他)通信。

圖1以方框圖顯示器件101、102、103及104。事實上，此等器件可實體排列成一堆疊，且連接120及121可對應於透過此等裝置運行之傳導路徑。本發明人已注意到，諸如機械缺陷、電缺陷或二者等因素可使得連接120及121之一或多個部分無法使用。因此，本發明人已如下文所述發明各種裝置、系統及方法來檢查缺陷及修復缺陷，以便可避免丟棄整個堆疊且可改良產量。

於圖1中，一裝置100可使用連接120及121來傳遞諸如資料、位址、控制等資訊及其他資訊。連接121可包含許多部分，諸如部分131、132、133、134、141、142、151、152、161、162、171、172、173、197、198及199。此等

部分中之每一者可包含一導電路徑。連接121可包含連接120及額外部分123。除使用連接120在器件101、102、103及104之間傳遞資訊外，裝置100可使用額外部分123在介面電路110與一外部器件(例如，一處理器、一記憶體控制器、或其他)之間傳遞額外資訊(例如，額外資料及控制資訊及其他)。

部分131、132、133、134、141、142、151、152、161、162、171、172、173、197、198、及199中之每一者可包含一傳導路徑以傳遞資訊。此等部分可形成不同匯流排以傳遞不同類型之資訊。舉例而言，部分131、132、133、及134可形成一資料匯流排以傳遞代表將儲存於器件101、102、103及104中或自器件101、102、103及104讀取之資料之資訊。部分141及142可形成一位址匯流排以傳遞代表器件101、102、103及104中儲存有資料之各位置之位址之資訊。部分151及152可形成一控制匯流排以傳遞用以控制裝置100之運作之控制資訊。部分161及162可形成一供電匯流排以將電力(例如，電壓Vcc及Vss，Vss可包含接地)提供至器件101、102、103及104。部分171、172及173可形成一匯流排以用於提供資訊(例如，測試位元)來檢查裝置100中之連接120及121內之缺陷。

部分197、198及199可對應於備用部分。裝置100可使用部分197、198及199來修復連接120及121中之一或多個缺陷部分。裝置100可包含用以在連接120及121中檢查缺陷及修復缺陷之電路及活動件(與下文參照圖2至圖9所述之

彼等電路及活動件相似或一致)。

圖1顯示具有特定數量之部分之連接120及121作為一實例。連接120及121之部分數量可變化。舉例而言，連接120可包含數以十計、數以百計或數以千計個部分，以便連接120可包含數以百計或數以千計個通過一堆疊中之該等晶粒之傳導路徑。圖1顯示一其中部分197、198及199(可用作備用部分)係散佈於其他部分中之實例。然而，部分197、198及199之位置可係連接120及121中之任一處。

於圖1中，裝置100可包含僅單個記憶體器件，以便該單個記憶體器件之各部分可分佈於器件101、102、103及104中，其中器件101、102、103及104中之每一者可包含該單個記憶體器件之僅一部分(並非其整體)。裝置100亦可包含一多記憶體器件，其中器件101、102、103及104中之每一者本身可包含一記憶體器件。因此，裝置100可包含(例如)4個記憶體裝置，器件101、102、103及104中之每一者中有一記憶體器件。

裝置100之器件101、102、103及104中之每一者可包含一記憶體器件之一部分或該整個記憶體器件，諸如下文圖2至圖9中顯示之記憶體器件。

圖2顯示一根據本發明一實施例具有連接220之記憶體器件222之方框圖。記憶體器件222可與圖1所示之器件101、102、103及104中之一或多者相關聯。圖2之連接220可與圖1之連接120相關聯。如圖2中顯示，記憶體器件222可包含一儲存資訊之記憶體單元陣列235、一存取記憶體單元

陣列235之解碼電路236、一在記憶體單元之記憶體陣列235之間來回傳遞資訊之I/O(輸入/輸出)電路237、及一控制記憶體器件222之運作(諸如讀取及寫入運作)之控制電路238。記憶體器件222可包含一動態隨機存取記憶體(DRAM)器件、一靜態隨機存取記憶體(SRAM)器件、快閃記憶體器件、或其他記憶體器件、或此等記憶體器件之組合。熟習此項技術者將易於瞭解，記憶體器件222可包含其他組件，該等組件未顯示以有助於聚焦於本文所述之實施例。於某些情形中，記憶體器件222之某些組件可分佈於同一晶粒堆疊之多個半導體晶粒之間。舉例而言，記憶體單元陣列235及解碼電路236可分佈於僅一個晶粒處，且I/O電路237及控制電路238中之至少一部分可分佈於一或多個額外晶粒處。

記憶體器件222可包含至少一個晶粒及多個連接，諸如圖3中顯示之晶粒及連接。

圖3顯示一根據本發明一實施例具有一晶粒305及多個連接320之記憶體器件333之部分剖面圖。記憶體器件333可包含電路311。為清晰起見，圖3以剖面圖解說明顯示連接320及以方框圖解說明顯示電路311。此揭示內容之該等圖示內之特徵可以誇大之尺寸顯示。當該等特徵以一剖面圖顯示時，圖示中所顯示之某些或全部特徵可能不具有剖面線符號(斷面線)。

於圖3中，連接320可對應於圖1之連接120及圖2之連接220。圖3之晶粒305可包含其中可形成有電路311之半導體

材料(例如，矽)306。電路311可包含電路組件312，其可包含記憶體器件333之一記憶體單元陣列、一解碼電路、一控制電路、及其他電路組件。記憶體器件333可使用連接320與電路組件312來回傳遞資訊。連接320可包含大量延伸穿過晶粒305之通孔325(有時稱為穿通孔)，如圖3中顯示。通孔325可填充有傳導材料326以形成連接320之多個部分，諸如部分331、332、341、342、及399。記憶體器件333可使用熟習此項技術者所熟知之技術來形成。舉例而言，包含通孔325之連接120可藉由蝕穿305或藉由向晶粒305施加一雷射來形成。在形成通孔325之後，諸如多晶矽、金屬(例如，銅)、或金屬合金等傳導材料可填充通孔325以形成連接320。

圖3顯示具有一個晶粒(例如晶粒305)之記憶體器件333作為一實例。記憶體器件333可包含排列成一堆疊且由一積體電路(IC)封裝覆蓋之多個晶粒，諸如圖4中顯示之記憶體器件。

圖4顯示一根據本發明一實施例具有排列成一堆疊407之晶粒401、402、403、及404與通過該等晶粒之連接420之IC封裝400之部分剖面圖。IC封裝400亦可稱為一IC晶片，其中晶粒401、402、403、及404在IC晶片內部。晶粒401、402、403、及404可形成一記憶體器件444。晶粒401、402、403、及404中之每一者可包含一與圖3之晶粒305類似或一致之晶粒。因此，晶粒401、402、403、及404中之每一者可包含具有諸如記憶體單元、解碼電路、

控制電路及其他等電路組件之電路，該等電路組件與圖3之記憶體器件333之電路311及電路組件312或圖2之記憶體器件222之彼等電路組件類似或一致。為清晰起見，圖4省略記憶體器件444之電路及電路組件。

IC封裝400可包含一耦合至記憶體器件444之支座440。支座440可包含一陶瓷或有機物封裝基板。觸點421可耦合至支座440以使得記憶體器件444能夠與諸如一處理器或一記憶體控制器等另一器件通信。觸點421可係諸如圖1所示連接121等連接之一部分。於圖4中，IC封裝400可包含一外殼460，其可將支座440之至少一部分及記憶體器件444封閉於一內部462中。內部462可填充有一填充材料，一氣體、一液體或其一組合。該填充材料可包含一聚合物材料。

如圖4中顯示，連接420可包含大量部分431、432、441、442、及499。出於圖解說明之目的，如圖4中顯示，連接420之每一部分可包含一具有一傳導路徑之部分(在圖4中顯示為一虛線)，其通過堆疊407中之晶粒401、402、403、及404。

如上文提及，記憶體器件444可包含諸如記憶體單元、解碼電路、控制電路及其他等電路組件，其並未顯示於圖4中但可與圖2所示之彼等電路組件類似或一致。記憶體器件444之彼等電路組件可分佈於晶粒401、402、403、及404之間。舉例而言，記憶體器件444之記憶體單元可僅位於晶粒401、402、及403處而不位於晶粒404處。因此，晶

粒404可不像晶粒401、402、及403那樣包含記憶體單元。然而，晶粒404可包含一控制電路之一部分、一介面電路之一部分、或記憶體器件444之整個控制電路及一介面電路。該介面電路(其可位於晶粒404處)可與圖1之介面電路110類似或一致。該介面電路可包含適於以適合之資料傳遞率在記憶體器件444與另一器件(諸如一處理器或一記憶體控制器)之間傳遞資訊之電路組件(例如，緩衝器及I/O驅動器)。

晶粒401、402、403、及404可單獨形成，且然後該等單獨之晶粒可排列於堆疊407內，如圖4中顯示。接點438可形成於連接420之每一部分內。如圖4中顯示，晶粒401、402、403、及404可具有一相同大小或大致相同之大小，且可豎直堆疊於支座440上或相對於支座440來堆疊。換言之，晶粒401、402、403、及404可以一與支座440垂直之方向堆疊。每一接點438可位於兩個晶粒之間。接點438可包含兩個接合墊412及一導電材料414。傳導材料414可包含銲料、銅、或一傳導黏合劑。晶粒401、402、403、及404之堆疊407可使用熟習此項技術者所熟知之技術來形成。舉例而言，堆疊407可以一覆晶方式形成，其中晶粒401可用作一基底，然後晶粒402可堆疊於晶粒401上，然後晶粒403可堆疊於晶粒403上，且最後晶粒404可堆疊於晶粒403上。諸如傳導材料414等傳導材料(例如，銲料)可用於在該等晶粒堆疊時將一個晶粒之接合墊接合至另一晶粒之接合墊。在該等晶粒堆疊之後，其可被翻轉且隨後附

接(例如，將晶粒404附接)至一支座，諸如支座440。圖4顯示一IC封裝400之實例，其中記憶體器件444係以一所謂的"覆晶"佈置來排列。然而，IC封裝400可為記憶體器件444具有另一佈置。

於某些情形中，連接420之至少一部分可係有缺陷的。舉例而言，部分431、432、441、442、及499中之至少一者可係相對高電阻(例如，具有不能完全填充通孔之不充足填充傳導材料)、開口(例如，傳導材料之某些部分內之間隙)、接地短路(例如，至Vss)、或接電源短路(例如，Vcc)，表示此等部分中之至少一者有缺陷。於一實施例中，IC封裝400包含電路，其用以檢查缺陷及修復缺陷以便堆疊407仍然可用且避免被丟棄(即使一有缺陷部分在修復之後仍然存在)。因此，由於IC封裝400可包含用以檢查缺陷及修復連接420中之缺陷之電路，在記憶體器件444之一或多個電路組件(例如，記憶體單元、解碼電路、控制電路及其他)正運作時連接420之一有缺陷部分仍可保持於連接420中(但可由一無缺陷部分替換)。於IC封裝400中，用以檢查缺陷及修復缺陷之電路可與圖5至圖7之彼等電路類似或一致。

圖5顯示一根據本發明一實施例具有連接520及用以檢查連接520中之缺陷之電路511及512之記憶體器件555之部分剖面圖。為清晰起見，圖5以剖面圖解說明顯示連接520及以方框圖解說明顯示電路511及512。

記憶體器件555可與圖4之記憶體器件444相關聯，或可

形成記憶體器件444之一部分。因此，記憶體器件555可包含排列於一類似圖4所示記憶體器件444之堆疊407之堆疊中之晶粒。於圖5中顯示具有僅兩個晶粒505及506之記憶體器件555作為一實例。連接520之至少某些部分及電路511可形成於晶粒505上，且連接520之至少某些其他部分及電路512可形成於晶粒506上。晶粒505及506中之每一者可與圖3之晶粒305或圖4之晶粒401、402、403、及404中之一者相關聯。圖5中之連接520可對應於圖1至圖4中所示連接120、220、320、或420中之至少某些部分。圖5顯示一其中連接520可包含部分531、532、571、572、573、及599之實例，該等部分可以與部分331、341、342、及399(圖3)通過晶粒305之類似或一致方式通過晶粒505。為清晰起見，圖5顯示部分531、532、571、572、573、及599中之每一者之僅一部分。連接520亦可包含部分541、542、581、582、583、及589，該等部分可以與部分331、341、342、及399(圖3)通過晶粒305之類似或一致方式通過晶粒506。為清晰起見，圖5顯示部分541、542、581、582、583、及589中之每一者之僅一部分。部分531、532、571、572、573、及599可分別耦合至對應部分541、542、581、582、583、及589，以形成大量通過晶粒505及506之傳導路徑。舉例而言，部分571可耦合(在圖5中象徵性地顯示為一耦合於部分571與581之間的線路)至部分581以形成與圖4中通過晶粒401、402、403、及404之傳導路徑(在圖4中顯示為一虛線)中之兩者類似或一致之傳導路

徑。於另一實例中，部分531可耦合至部分541以形成一與圖4中通過晶粒401、402、403、及404之傳導路徑(在圖4中顯示為一虛線)類似之傳導路徑。為清晰起見，圖5顯示部分571與對應部分581之間的僅一個耦合(例如，一線路)。圖5中其他部分之間的耦合(例如，線路)為清晰起見而未顯示。連接520亦可包含許多額外部分，與晶粒505之部分531、532、571、572、573、及599及晶粒506之部分541、542、581、582、583、及589類似或一致，其為清晰起見而自圖5省略。

如圖5中顯示，部分571可包含重複部分，其係彼此連接且連接至相同電路組件之相同部分之兩個示例。同樣地，部分572、部分573、部分581、部分582及部分583可包含重複部分。記憶體器件555可使用連接520之某些指定部分來開始一測試(或在一測試期間)。因此，若在該測試開始之前該等指定部分中之一或多者有缺陷，則該測試本身可能難以開始。於圖5中，記憶體器件555可在一測試期間使用部分571、572、573、581、582、及583(例如，用作指定部分)以檢查連接520之其他部分內之缺陷。因此，製作部分571、572、573、581、582、及583之複本可允許，即使在該測試開始之前部分571中之一者、部分572中之一者、部分573中之一者、部分581中之一者、部分582中之一者、及/或部分583中之一者有缺陷，亦執行該測試。

於圖5中，部分599可用作一修復(例如，用於重新路由)一有缺陷部分之備用部分。舉例而言，部分599可用於在

部分531或532有缺陷時替換部分531或532。下文參照圖7更詳細地闡述修復缺陷。於圖5中，電路511及512可如下檢查連接520中之缺陷。

晶粒505之電路511可包含掃描單元551、552、及559。電路512可包含與掃描單元551、552、及559類似或一致之掃描單元。電路511之掃描單元551、552、及559中之每一者可耦合至部分531、532及559中之一者。圖5顯示一具有僅三個部分531、532及559之記憶體器件555之實例，該三個部分具有三個對應之掃描單元551、552、及559。然而，記憶體器件555可包含與圖5中所示之彼等類似或一致之多個其他部分及對應之掃描單元。

晶粒506之電路512可包含一掃描邏輯514。圖5顯示位於晶粒506內之掃描邏輯514作為一實例。掃描邏輯514之一部分或整個掃描邏輯514可位於晶粒505內，或晶粒505加上記憶體器件555之一或多個其他晶粒內。因此，掃描邏輯514可位於記憶體器件555之一或多個晶粒內。進一步地，掃描邏輯514之至少一部分可位於記憶體器件555外部之測試設備內，而非整個位於記憶體器件555內。於本文之說明中，"一組件之至少一部分"意味著該組件之僅一部分或該整個組件。舉例而言，"一掃描邏輯之至少一部分"(諸如掃描邏輯514)意指該掃描邏輯之僅一部分或整個掃描邏輯。因此，於圖5中，儘管將掃描邏輯514顯示為位於記憶體器件555內，但掃描邏輯514之至少一部分(掃描邏輯514之僅一部分或整個掃描邏輯514)可位於記憶體器件555

及測試設備之至少一者中，意指掃描邏輯514之一部分可位於記憶體器件555內且掃描邏輯514之另一部分可位於測試設備內，或整個掃描邏輯514可位於記憶體器件555內或測試設備內。

掃描邏輯514可掃描連接520以檢查缺陷。掃描邏輯514可在掃描期間使用掃描資訊517。掃描資訊517可包含諸如掃描位元(例如，測試位元)等資訊，其中該等掃描位元可形成一或多個位元型樣。掃描資訊517內之掃描位元可臨時或永久地儲存於掃描邏輯514內。於缺陷檢查期間，掃描邏輯514可使用掃描資訊517內之至少某些掃描位元作為輸入資料位元，並透過連接520之一或多個部分來傳遞該等輸入資料位元。掃描邏輯514可在連接520之另一部分處獲得輸出資料位元(基於該等輸入資料位元)，且然後比較該等輸入及輸出資料位元之值以確定連接520之一或多個部分是否有缺陷。

掃描單元551、552及559可形成一並列載入移位暫存器，其具有一載入模式以在部分531、532及559處接收輸入資料位元D1、D2及D3，及一移位模式以將位元D1、D2及D3移位出該移位暫存器至部分573。部分573處之信號S_{Dout}可代表輸出資料位元$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$。掃描邏輯514亦可包含信號S_{CLK}及S_{EN}。

該S_{EN}信號可被提供至掃描單元551、552及559中之每一者之載入端子LOAD/SHIFT(載入/移位)，以使得此等掃描單元在檢查部分531、532及599中之缺陷期間處於一載入

模式或一移位模式。舉例而言，在S_{EN}具有一第一信號位準(例如，低)時，掃描單元551、552及559可係處於一載入模式。在S_{EN}具有一第二信號位準(例如，高)時，掃描單元551、552及559可係處於一移位模式。於載入模式中，可在每一掃描單元之對應輸入Din處將位元D1、D2、及D3並列提供(例如，載入)至掃描單元551、552及559。因此，於載入模式中，掃描單元551、552及559可分別含有位元D1、D2、及D3。且然後於移位模式中，掃描單元551、552及559可將位元D1、D2、及D3逐個(例如，圖5所示之自左至右)移位至部分573，其中可獲得位元$D1_{OUT}$、$D2_{OUT}$、and $D3_{OUT}$(例如，由掃描邏輯514獲得。)

圖5中之S_{CLK}信號可代表一時鐘信號，且可被提供至掃描單元551、552及559中每一者之一時鐘端子CK。該S_{CLK}信號可重複地切換以允許此等掃描單元將位元D1、D2、及D3逐個移位至部分573。舉例而言，在掃描單元551、552及559處於一移位模式中時，S_{CLK}信號可切換三次以允許掃描單元551、552及559將三個位元連續移位通過掃描單元551、552及559之端子S_{IN}及S_{OUT}且然後至部分573。

部分573處之S_{Dout}信號(其代表位元$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$)可饋送掃描邏輯514以便掃描邏輯514可比較$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$之值與位元D1、D2、及D3之值來確定部分531、532、及599中之任一者是否可能有缺陷。舉例而言，若位元$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$之值與位元D1、D2、及D3之值匹配，則部分531、532、及599中之任

一者均無缺陷。若位元$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$之值與位元D1、D2、及D3之值不匹配，則部分531、532、及599中之一或多者可能有缺陷。

圖6係一顯示在檢查圖5之記憶體器件555之連接520中之缺陷期間使用之位元D1、D2、D3及位元$D1_{OUT}$、$D2_{OUT}$、$D3_{OUT}$之實例性值之表格600。如表格600中顯示，位元D1、D2、D3(輸入位元)可具有兩個不同之實例性值510及620(輸入值)，其可在對應於兩個不同掃描實例之兩個不同時間處提供至連接520(圖5)之部分531、532、及599。值610及620中之每一者皆可包含大量(例如，三個)二進製數，其中該等二進製數中之每一者可包含"0"或"1"位元值。於一掃描期間，可將具有三個位元(具有值"1"、"0"及"1")之值610分別提供至部分531、532、及599。於另一掃描期間，可將具有三個位元(具有值"0"、"1"及"0")之值620分別提供至部分531、532、及599。

表格600亦顯示可在一掃描期間獲得之位元$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$(輸出位元)之各種可能值。舉例而言，值611、612、613、或614(輸出值)可在一掃描期間獲得，其中將具有值610之位元D1、D2及D3提供至連接520。於另一實例中，值621、622、623、或624可在另一掃描期間獲得，其中將具有值620之位元D1、D2及D3提供至連接520。於表格600中，位元$D1_{OUT}$之值係基於位元D1之值而獲得，位元$D2_{OUT}$之值係基於位元D2之值而獲得，且位元$D3_{OUT}$之值係基於位元D3之值而獲得。

電路511(圖5)可基於值610與一對應值611、612、613或614之間的逐位比較來確定連接520之哪一部分(若存在)有缺陷。同樣，電路511亦可基於值620之每一位元與值621、622、623、或624之一對應位元之間的逐位比較來確定連接520之哪一部分(若存在)有缺陷。

舉例而言，若在一掃描期間將圖6之值610提供至部分531、532、及599，且獲得值611，則部分531、532、及599中之任一者均無缺陷，乃因值610與611相匹配。然而，若在一掃描期間將值610提供至部分531、532、及599，且獲得值612、613或614，則部分531、532、及599中之一者可能有缺陷，乃因值610與值612、613及614中之每一者皆不匹配。舉例而言，若將值610提供至部分531、532、及599，且獲得值612，則部分531可能有缺陷，乃因位元D1(提供至部分531)之值係"1"而位元$D1_{OUT}$之值係"0"，其與位元D1之值"1"不匹配。於另一實例中，若將值610提供至部分531、532、及599，且獲得值613，則部分599可能有缺陷，乃因位元D3(提供至部分599)之值係"1"而位元$D3_{OUT}$之值係"0"，其與位元D3之值"1"不匹配。於另一實例中，若將值610提供至部分531、532、及599，且獲得值614，則部分532可能有缺陷，乃因位元D2(提供至部分532)之值係"0"而位元$D2_{OUT}$之值係"1"，其與位元D2之值"0"不匹配。

與上述實例相同，若在一掃描期間將值620提供至部分531、532、及599，且獲得值621，則部分531、532、及

599中之任一者均無缺陷，乃因值620與621相匹配。然而，若獲得值612、613或614，則部分531、599、及532中之一者可能有缺陷，乃因值620("0"、"1"、"0")與值622("1"、"1"、"0")、623("0"、"1"、"1")及624("1"、"0"、"1")中之每一者皆不匹配。

於上述實例中，表格600僅顯示D1、D2、及D3之某些值與$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$之某些值。可使用D1、D2、及D3之其他值(例如，其他二進製組合)，且可獲得$D1_{OUT}$、$D2_{OUT}$、及$D3_{OUT}$之其他值。該等其他值可包含在表格600中用於上述實例之其他數量之位元(例如，不同於3個位元)。若使用其他值，則掃描邏輯514亦可使用類似於上述實例中闡述之彼等活動來確定連接520之一或多個部分是否有缺陷。

在確定連接520之一部分有缺陷之後，電路511可用一無缺陷部分(例如，一備用部分)替換該有缺陷部分以便器件555仍可使用且避免被丟棄。舉例而言，若部分531被確定為有缺陷且部分599無缺陷，則電路511可用部分599替換部分531。於此實例中，在記憶體器件555正運作時，部分531(儘管其係一有缺陷部分)仍保持於連接520中，乃因其係由部分599(無缺陷部分)替換。

電路511可包含用以修復連接520之有缺陷部分之電路組件(為清晰起見，未將其顯示於圖5中)。此等電路組件可與下文參照圖7所述之彼等電路組件類似或一致。

圖7顯示一根據本發明一實施例具有連接720及用以修復

連接720中之缺陷之電路711之記憶體器件777之圖示。為清晰起見，圖7以剖面圖解說明顯示連接720及以方框圖解說明顯示電路711。

記憶體器件777可與圖4之記憶體器件444相關聯，或可形成圖4之記憶體器件444之一部分。因此，記憶體器件777可包含排列於一與圖4之記憶體器件444之堆疊407類似或一致之堆疊中之晶粒。記憶體器件777亦可與圖5之記憶體器件555相關聯。

記憶體器件777可包含一晶粒705，其中可形成連接720及電路711之至少某些部分。晶粒705可與圖3之晶粒305、圖4之晶粒401、402、403、及404中之一者、或圖5之晶粒505相關聯。圖7中之連接720可對應於圖1至圖5中所示連接120、220、320、420、或520中之至少某些部分。圖7顯示一其中連接720可包含部分731、732、及799之實例，該等部分可以與部分331、341、342、及399通過晶粒305之方式類似或一致之方式通過晶粒705。為清晰起見，圖7顯示部分731、732、及799中之每一者之僅一部分。進一步地，連接720可包含許多其他部分，為清晰起見可將其自圖7省略。

記憶體器件777可包含用以以與圖5之彼等方式類似或一致之方式檢查連接720中之缺陷之電路組件。舉例而言，記憶體器件777可包含掃描單元及掃描邏輯(與圖5之掃描單元551、552及559及掃描邏輯514類似或一致)，為清晰起見未將其顯示於圖7中。如圖7中顯示，記憶體器件777

可包含一修復邏輯712及一重新路由邏輯713，並修復連接720中之缺陷。

修復邏輯712可設定指示以基於檢查缺陷之結果來指示部分731、732及799中之哪一者可係一有缺陷部分，該檢查缺陷可能已由記憶體器件777之組件(例如，掃描邏輯及掃描單元)或由記憶體器件777外部之測試設備執行。

重新路由邏輯713可識別部分731、732及799中之哪一者可係一有缺陷部分，並將欲傳遞至連接720之一有缺陷部分上之資訊適合地重新路由(例如，重新路由信號)至連接720之一無缺陷(例如，重新替換)部分。

記憶體器件777可包含與連接720之部分731、732及799相關聯之電路單元741、742及749及信號路徑751、752及759。如圖7中顯示，信號路徑751可包含兩個片段。信號路徑751之第一片段可透過對應之電路單元741耦合於部分731與重新路由邏輯713之間。信號路徑751之第二片段可耦合於重新路由邏輯713與電路組件715之間。同樣，如圖7中顯示，信號路徑752及759中之每一者可包含耦合至部分732及799、重新路由邏輯713及電路組件715之片段。

電路組件715可包含一記憶體器件之記憶體單元、解碼電路、控制電路或其他組件，其可與圖2之記憶體器件200之諸如記憶體單元235、解碼電路236、及控制電路238等組件類似或一致。記憶體器件777可使用信號路徑751、752及759在連接720與電路組件715之間傳遞資訊。該資訊可包含各種資訊，諸如將寫入至記憶體單元或自記憶體單

元讀取之資料、將提供至一解碼電路之位址資訊、或控制記憶體器件777之電路之控制資訊。因此，信號路徑751、752及759中之每一者可係一單向信號路徑，以自連接720至電路組件715或自電路組件715至連接720以一個方向傳遞資訊。信號路徑751、752及759中之每一者亦可係一雙向信號路徑，以自連接720至電路組件715及自電路組件715至連接720以兩個方向傳遞資訊。

電路單元741、742及749中之每一者可包含一接收器、一傳輸器、或接收器及傳輸器二者之一組合。舉例而言，電路單元741、742及749中之每一者可包含一接收器，以自連接720之一對應部分(例如，部分731、732及799中之一者)接收資訊(例如，資料、位址或控制資訊)，其中可接著由重新路由邏輯713將該資訊傳遞至電路組件715。於另一實例中，電路單元741、742及749中之每一者亦可包含一傳輸器，以將資訊(例如，資料或控制資訊)發送至連接720之一對應部分，其中該資訊可係源自電路組件715且接著由重新路由邏輯713傳遞至對應部分。於另一實例中，電路單元741、742及749中之每一者可包含一接收器及一傳輸器二者(例如，一收發器)，以自一對應部分接收資訊或將資訊發送至一對應部分。記憶體器件777可基於該對應部分(例如，部分731、732及799中之一者)有缺陷或無缺陷而啟用或禁用電路單元741、742及749中之一或多者，如下文闡述。

修復邏輯712可使用暫存器761、762及769來設定指示以

指示部分731、732及799中之哪一者有缺陷且哪一者無缺陷。如圖7中顯示，暫存器761、762及769中之每一者可與電路單元741、742及749中之一者及連接720之部分731、732及799中之一者相關聯。暫存器761、762及769中之每一者可儲存一值(例如，一狀態)。修復邏輯712可在暫存器761、762及769中之每一者內設定一指示以指示連接720之哪一部分有缺陷及哪一部分無缺陷。舉例而言，暫存器761、762及769中之每一者可藉由儲存一單個位元(具有一值"0"或"1")來設定該指示。於此實例中，若連接720中與彼暫存器相關聯之部分(部分731、732及799中之一者)有缺陷，則修復邏輯712可將暫存器761、762及769中之每一者內一值(例如，一狀態)設定為第一值(例如，"0")，且若連接720中與彼暫存器相關聯之部分無缺陷則將該值設定為第二值(例如，"1")。修復邏輯712可與一檢查缺陷之掃描邏輯(例如，與圖5之掃描邏輯514類似或一致之掃描邏輯)通信以基於檢查缺陷之結果來設定暫存器761、762及769中之值。

重新路由邏輯713可基於暫存器761、762及769中之值將欲傳遞至一有缺陷部分上之資訊重新路由至一無缺陷部分。舉例而言，若部分731或732中任一者有缺陷且部分799無缺陷，則路由邏輯713可經組態以便其可將欲傳遞至部分731或732上之資訊重新路由至部分799。重新路由邏輯713可包含一多工網路，其可基於端子CTL1、CLT2、及CTL3處之控制信號(例如，多工控制信號)在其端子

DATA1(資料1)、DATA2(資料2)、及DATA3(資料3)處重新路由資訊。如圖7中顯示，端子CTL1、CLT2、及CTL3可耦合至線路781、782、及789，其中此等線路可具有對應於暫存器761、762及769中之值的信號值。因此，端子CTL1、CLT2、及CTL3亦可具有對應於暫存器761、762及769中之值的信號值。因為暫存器761、762及769中之值可指示連接之哪一部分有缺陷及連接之哪一部分無缺陷，則端子CTL1、CLT2、及CTL3處之信號值可允許重新路由邏輯713識別哪一部分有缺陷及哪一部分無缺陷以便其可將欲傳遞至一有缺陷部分上之資訊適合地重新路由至一無缺陷部分。

暫存器761、762及769中之每一者可基於儲存於該暫存器中之資訊之值而啟用或禁用電路單元741、742及743中之一對應者(例如，透過電路單元之端子EN上之信號)。舉例而言，暫存器761可在暫存器中之值為"0"時啟用電路單元741，及在暫存器中之值為"1"時禁用電路單元741。在暫存器761、762及769中之一者啟用一對應電路單元時，該暫存器可允許對應之電路單元在該電路單元之DATAa及DATAb端子之間傳遞資訊(例如，資料)。重新路由邏輯713可使用對應之信號路徑(信號路徑751、752及759中之一者)透過一對應之已啟用電路單元在部分731、732及799中之一者與電路組件715之間傳遞資訊。舉例而言，在暫存器761啟用電路單元741(例如，在暫存器761中為"1")時，暫存器761可允許電路單元741在其DATAa及DATAb端子之間

傳遞資訊。因此，重新路由邏輯713可使用信號路徑751在部分731與電路組件715之間(透過已啟用之電路單元741)傳遞資訊。在暫存器761、762及769中之一者禁用一對應之電路單元時，該暫存器可避免對應之電路單元在DATAa及DATAb端子之間傳遞資訊(例如，資料)，以便可避免在該連接之一對應部分(有缺陷部分)與電路組件715之間(利用重新路由邏輯713)傳遞資訊。舉例而言，在暫存器761禁用電路單元741時(例如，在該暫存器內為"0")，暫存器761可避免電路單元741在其DATAa及DATAb端子之間傳遞資訊。因此，重新路由邏輯713亦可避免在部分731與電路組件715之間傳遞資訊，乃因電路單元741被禁用。在禁用電路單元741、742及743中之一者時，記憶體器件777可將該禁用電路單元之DATAa及DATAb端子之一者或二者耦合至一固定狀態(例如，至供電電壓Vcc或接地)以避免DATAa及DATAb端子之一者或二者"浮動"。記憶體器件777亦可切斷對該禁用電路單元之電力以節省電力。

以下實例闡述記憶體器件777可執行以修復連接720之一有缺陷部分之活動。於此實例中，假設部分731係一已由記憶體器件777(例如，藉由使用與上文參照圖5所述之彼等類似或一致之電路及活動來檢查缺陷)確定為有缺陷之有缺陷部分。基於此實例，修復邏輯712可分別用值"0"、"1"及"1"來設定暫存器761、762及769，以指示部分731有缺陷(對應於具有值"0"之暫存器761)及部分732及799無缺陷(對應於具有"1"值之暫存器761及768)。因此，於此實例

中，暫存器761可禁用電路單元741以避免其傳遞資訊。暫存器762及769可啟用電路單元742及769以允許其傳遞資訊。重新路由邏輯713可經組態以便其可在部分731或732有缺陷時將欲在部分731或732上傳遞之資訊重新路由至部分799。於此實例中，由於部分731有缺陷，則重新路由邏輯713可基於端子CTL1、CLT2、及CTL3處之控制值將欲在部分731上傳遞之資訊重新路由至部分799。於此實例中，該等控制值可反映暫存器761、762及769中之值(例如，值"0"、"1"及"1")。由於端子CTL1、CLT2、及CTL3具有值"0"、"1"及"1"，則重新路由邏輯713可將意欲在信號路徑751(與有缺陷部分731相關聯)上傳遞之資訊重新路由至信號路徑759(與替換部分相關聯)。

如上文所述，記憶體器件777可包含排列於一與圖4之記憶體器件444之堆疊407類似或一致之堆疊中之晶粒。因此，圖7之記憶體器件777可包含其他晶粒，其中該等其他晶粒中之每一者可具有包含一與晶粒705之修復邏輯712及重新路由邏輯713類似或一致之修復邏輯及重新路由邏輯之電路。圖7之連接720亦可耦合至記憶體器件777之其他晶粒(除圖7之晶粒705外)，以形成與通過圖4中之晶粒401、402、403及404之傳導路徑(在圖4中顯示為一虛線)類似或一致之傳導路徑。舉例而言，圖7之部分731、732及799亦可耦合至記憶體器件777之另一晶粒之其他對應部分(與部分731、732及799類似或一致之部分)以形成通過記憶體器件777之晶粒之傳導路徑。若多個部分中形成一特定

傳導路徑之一個部分(例如，圖7之晶粒705之部分731)有缺陷，則不僅該有缺陷部分亦包括形成彼特定傳導路徑之所有部分可能不得不被替換以允許在記憶體器件777之晶粒之間傳遞信號之連續性。若僅具有一有缺陷部分之晶粒替換彼有缺陷部分(與其他晶粒形成同一傳導路徑之各部分中之該部分)，則可能出現該等晶粒中信號傳遞之不連續性，乃因具有有缺陷部分之晶粒可能在其他晶粒可能仍使用形成該傳導路徑之相同部分(其仍具有該有缺陷部分)來路由該信號時將該信號重新路由至一新部分(例如，替換部分)。因此，在圖7中，當晶粒705指示連接720之一部分有缺陷(例如，晶粒705之部分731)時，記憶體器件777之其他晶粒中之每一者亦可指示一對應部分(耦合至晶粒705之有缺陷部分之部分，例如，部分731)有缺陷，即使該等其他晶粒中每一者之對應部分可能無缺陷。向記憶體器件777之各晶粒中之對應部分給出相同指示(形成同一傳導路徑之有缺陷及無缺陷部分)可能允許該等晶粒以相同方式將欲傳遞至對應部分之信號重新路由(重新路由至相同之位置部分)，因此可維持信號傳遞之連續性及各晶粒之間的適合通信。

參照圖7，在關於修復連接720中之缺陷之上述說明中，修復邏輯712可在每次記憶體器件777接電(例如，執行一起始進程)時設置暫存器761、762及768中之值，以在連接720具有一有缺陷部分時指示連接720之一部分有缺陷。因此，暫存器761、762及769可能不能永久地儲存值以指示

連接720之哪一部分有缺陷(例如，在記憶體器件777斷電時將暫存器761、762及769中之值重設至預設值，例如值"1")。修復邏輯712亦可包含電路元件716以永久性地指示連接720之哪一或多個部分有缺陷。電路組件716可包含諸如反熔絲、快閃記憶體單元、等元件或其他元件。電路元件716中之每一者可與電路單元741、742及749中之一者及連接720之部分731、732及799中之一者相關聯。基於檢查缺陷之結果(例如，由一掃描邏輯執行)，修復邏輯712可選擇性地設定一指示(例如，將值儲存於快閃記憶體單元中，或"灼燒"反熔絲以將反熔絲置於兩個不同位置中之一者內)以指示連接720之哪一部分有缺陷。

舉例而言，修復邏輯712可將一值儲存於一選定之快閃記憶體單元中，以指示連接720與該選定之快閃記憶體單元相關聯之一部分有缺陷。於另一實例中，修復邏輯712可將一選定反熔絲設定至一閉合位置處以指示連接720與該選定反熔絲相關聯之一部分有缺陷(該選定反熔絲可能處於一開路位置(例如，預設位置)以指示該部分無缺陷)。如熟習此項技術者所習知，一反熔絲在正常情況下可能處於一開路位置；其可藉由(例如)向反熔絲之一端子施加一相對高電壓(例如，高於記憶體器件777之電源電壓)而被設定至一閉路位置。基於電路元件716(例如，反熔絲、快閃記憶體單元或二者)中之該等指示，重新路由邏輯713可適合地將欲在連接720之一有缺陷部分上傳遞之資訊重新路由至連接720之一無缺陷(替換)部分。如上文所述，重新路

由邏輯713可基於端子CTL1、CLT2、及CTL3處之控制信號而在其端子DATA1、DATA2、及DATA3處重新路由該資訊。端子CTL1、CLT2、及CTL3處之控制信號值可反映電路元件716之指示(例如，快閃記憶體單元中之值或反熔絲之位置)，以便重新路由邏輯713可以類似於上述彼等方式之方式將資訊重新路由至連接720之適合部分。

修復邏輯712可基於檢查缺陷之結果而將電路元件716中之指示僅設定一次，以永久性地指示連接720之哪一或多個部分有缺陷。修復邏輯712亦可設定暫存器761、762及769中之值以在每次記憶體器件777接電時指示連接720之哪一或多個部分有缺陷。舉例而言，在將記憶體器件777安裝於一諸如一電腦或一蜂巢式電話等系統中之後，記憶體器件777可在每次其接電或接通時檢查連接720中之缺陷。因此，每次記憶體器件777接電時，修復邏輯712亦可設定暫存器761、762及769中之值(基於檢查缺陷之結果)以指示連接720之哪一或多個部分有缺陷。

上文參照圖1至圖7之說明闡述諸如裝置100及記憶體器件222、333、444、555及777等裝置及記憶體器件中檢查缺陷及修復缺陷之電路及活動。該等裝置及記憶體器件可係諸如圖8之系統等系統之一部分。

圖8顯示一根據一本發明實施例之系統800。系統800可包含一處理器810、一第一記憶體器件888、一圖像感測器器件820、一第二記憶體器件825、一記憶體控制器830、一圖形控制器840、一額外電路845、一輸入及輸出(I/O)控

制器850、一顯示器852、一鍵盤854、一指向器件856、一周邊器件858、及一系統收發器859。系統800亦包含一在系統800之組件間傳遞資訊並將電力提供至此等組件之至少某些之匯流排860、一其中可附接有系統某些組件之電路板802、及一將資訊無線傳輸至系統800及自系統800無線接收資訊之天線870。系統收發器859可運作以將資訊自系統800之一或多個組件(例如，處理器810及記憶體器件825中之至少一者)傳遞至天線870。系統收發器859亦可運作以將在天線870處接收之資訊傳遞至處理器810與記憶體器件825及888中至少一者之至少一者。在天線870處接收之資訊亦可由一系統800外部之源極傳輸至系統800。

系統800亦可包含一耦合至匯流排860之開關846(例如，一按鈕開關)及一接通系統800之供電源847。每次開關846接通系統800時，其可將電力自電源847供應至系統800之至少一個組件，例如至處理器810、記憶體器件888或二者。

處理器810可包含一通用處理器或一應用專用積體電路(ASIC)。處理器810可包含一單核處理器或一多核處理器。處理器810可執行一或多個程式化命令以處理資訊。該資訊可包含由系統800之其他組件(諸如由圖像感測器器件820或記憶體器件825)提供之數位輸出資訊。

記憶體器件825及888中每一者可包含一揮發性記憶體器件、一非揮發性記憶體器件、或二者之組合。舉例而言，記憶體器件825可包括一動態隨機存取記憶體(DRAM)器

件、一靜態隨機存取記憶體(SRAM)器件、一快閃記憶體器件、或此等記憶體器件之組合。記憶體器件825及888中每一者可包含本文所述各種實施例之一或多者，諸如上文參照圖1至圖7所述之裝置100及記憶體器件222、333、444、555、及777。因此，記憶體器件825及888中每一者包含用以在記憶體器件825或888中檢查缺陷及修復缺陷之電路及電路組件(與上文參照圖1至圖7所述之彼等電路及電路組件類似或一致)。記憶體器件825及888可在每次其接電或通過一起始進程時檢查缺陷並修復缺陷。舉例而言，記憶體器件825及888可在每次開關846將系統800接通時檢查缺陷。

系統800之某些組件可一起分組以便系統800可包含一所謂的系統級封裝(SIP)。舉例而言，至少記憶體器件888及處理器810可係一SIP 801之一部分或整個SIP 801，其中記憶體器件888可用作處理器810之一快取記憶體(例如，層L1快取、層L2快取、層L3快取或其一組合)。處理器810及記憶體器件888可透過連接821彼此通信，其中連接821與圖2之連接121類似或一致。圖8中之連接821可包含可能與圖1至圖7之連接120、220、320、420、520、及720類似或一致之連接。

圖像感測器器件820可包含一具有一CMOS像素陣列之互補式金屬氧化物半導體(CMOS)圖像感測器或具有一電荷耦合器件(CCD)像素陣列之CCD圖像感測器。

顯示器852可包含一類比顯示器或一數位顯示器。顯示

器852可自其他組件接收資訊。舉例而言，顯示器852可接收由圖像感測器器件820、記憶體器件825、圖形控制器840、及處理器810中之一或多者處理之資訊以顯示諸如文本或圖像等資訊。

額外電路845可包含用於一車輛中之電路組件。額外電路845可自其他組件接收資訊以啟動該車輛之一或多個子系統。舉例而言，額外電路845可接收由圖像感測器器件820、記憶體器件825、及處理器810中之一或多者處理之資訊，以啟動一車輛之氣囊系統、一車輛安全警報、及一障礙警報系統中之一或多者。

裝置(例如，裝置100及記憶體器件222、333、444、555、及777)之該等圖解說明旨在提供對各種實施例之結構之一般瞭解，且並非旨在提供對可能利用本文所述結構之裝置及系統之所有組件及特徵之完全說明。

上述任一組件可以各種方式來構建，包含經由軟體之模擬。因此，上文所述裝置(例如，包含其電路、電路組件及邏輯之裝置100及記憶體器件222、333、444、555、及777，諸如圖4之掃描邏輯514、圖7之修復及重新路由邏輯712及713)及系統(例如，系統800之一部分或整個系統800)可在本文中被完全特徵化為(一或多個)"模組"。此類模組可包含硬體電路、單處理器及/或多處理器電路、記憶體電路、軟體程式模組及對象及/或韌體、及其組合，如裝置(例如，裝置100及記憶體器件222、333、444、555、及777)及系統(例如，系統800)之架構所需要，且適合用於各

種實施例之特定實施方案。舉例而言，此類模組可包含於一系統運作模擬封裝中，諸如一軟體電信號模擬封裝、一功率使用及分佈模擬封裝、一電容電感模擬封裝、一功率/熱量耗散模擬封裝、一信號傳輸接收模擬封裝、及/或用於運作或模擬各種可能實施例之運作之軟體及硬體之組合。

各種實施例之新穎裝置及系統可包含或包含於用於高速電腦、通信及信號處理電路、單處理器或多處理器模組、單嵌入式處理器或多嵌入式處理器、多核處理器、資料開關、及包含多層、多晶片模組之應用專用模組中之電子電路中。此類裝置及系統可進一步包含為各種電子系統內之子組件，諸如電視、蜂巢式電話、個人電腦(例如，膝上型電腦、桌上型電腦、手持電腦、平板電腦等)、工作臺、無線電、視訊播放器、聲訊播放器(例如，MP3(動態畫面專家組聲訊層3)播放器)、車輛、醫學器件(例如，心臟監測器、血壓監測器等)、機頂盒及其他。

圖9係一根據本發明一實施例用於檢查及替換一半導體晶粒堆疊中各連接之缺陷之方法900之流程圖。方法900可用於上文參照圖1至圖8所述之裝置100及記憶體器件222、333、444、555、777、825及888中。因此，用於方法900中之組件可包含上文參照圖1至圖8所述之裝置100及記憶體器件222、333、444、555、777、825及888之組件。方法900亦可包含諸如檢查缺陷及修復缺陷等活動，其可能與上文參照圖1至圖8所述之彼等活動類似或一致。

方法900之活動910可包含檢查耦合至排列成一堆疊之晶粒之連接內之缺陷。該等晶粒可包含一諸如一記憶體器件等器件之組件，以便該等晶粒中之至少一者可包含一記憶體單元陣列。在方法900中，耦合至該等晶粒之該等連接可與上文參照圖1至圖7所述之連接120、220、320、420、520、及720類似或一致。在活動910中檢查缺陷可至少包含使用耦合至該等連接之掃描單元來掃描該等連接及識別該等連接之有缺陷及無缺陷部分。在活動910中檢查缺陷可與上文參照圖5及圖6所述之彼等活動類似或一致。

方法900之活動920可包含若第一部分有缺陷則用該等連接之第二部分替換該等連接之第一部分。在活動920中替換該第一部分可包含指示該等連接之一部分被確定為有缺陷並將欲在該有缺陷部分上傳遞之信號重新路由至被確定為無缺陷之另一部分。在方法900中重新路由可包含將資訊傳遞至該等連接之第一部分(例如，圖1至圖8之連接120、220、320、420、520、720、及821)，並由於該第一部分有缺陷而將該資訊重新路由至該等連接之第二部分(例如，圖1至圖8之連接120、220、320、420、520、720、及821)。

活動920可在該堆疊中之晶粒被一IC封裝(例如，圖4之IC封裝400中之堆疊507)覆蓋之前、在該堆疊中之晶粒被一IC封裝覆蓋之後、或在該等晶粒被一IC封裝覆蓋之前及之後皆用一或多個無缺陷部分替換一或多個有缺陷部分。舉例而言，活動920可在該堆疊中之晶粒被一IC封裝覆蓋

之前於一工廠處用一或多個無缺陷部分替換一或多個有缺陷部分。於另一實例中，活動920可在該堆疊中之晶粒被一IC封裝覆蓋之後用一或多個無缺陷部分替換一或多個有缺陷部分。於此實例中，該IC封裝可能已安裝於一諸如一電腦或一蜂巢式電話等系統中。活動920可包含與上文參照圖7所述之彼等活動類似或一致之活動。

本文所述之一或多個實施例包含各種裝置、系統及方法，其包括排列成一堆疊之半導體晶粒、經組態以提供各晶粒之間的通信之大量連接(該等連接中之至少一部分通過該等晶粒中之至少一者)、及一經組態以檢查該等連接中之缺陷並修復該等連接中之缺陷之模組。包含額外裝置、系統及方法之其他實施例係在上文參照圖1至圖9來闡述。

上述說明及圖示圖解說明本發明之某些實施例以使得熟習此項技術者能夠實踐本發明之各實施例。其他實施例可併入結構、邏輯、電、進程及其他改變。在附圖中，貫穿數個視圖以相同特徵或相同數字闡述大致類似之特徵。各實例僅代表可能之變化形式。某些實施例之各部分及特徵可包含於其他實施例之部分及特徵中或構成其他實施例之部分及特徵。在閱讀並理解上述說明後，熟習此項技術者將易於瞭解許多其它實施例。因此，本發明各實施例之範疇由隨附申請專利範圍以及此類申請專利範圍所賦予之等價物之完全範疇一起確定。

本文提供發明摘要以遵循37 C.F.R.§1.72(b)，其要求一

將允許讀者快速探知該技術揭示內容之本質及要旨之摘要。提交本摘要係基於下列理解：其並非用於解釋或限定本申請專利範圍之範疇或含義。

【圖式簡單說明】

圖1顯示根據本發明之一實施例包含多個器件及連接之裝置之方框圖。

圖2係一根據本發明一實施例具有連接之記憶體器件之方塊圖。

圖3顯示一根據本發明一實施例具有一晶粒及多個連接之記憶體器件之部分剖面圖。

圖4顯示一根據本發明一實施例具有排列成一堆疊之晶粒及通過該等晶粒之連接之IC封裝之部分剖面圖。

圖5顯示一根據本發明一實施例具有多個連接及用以檢查該等連接中之缺陷之電路之記憶體器件之部分剖面圖。

圖6係一顯示在檢查圖5所示記憶體器件之連接中之缺陷期間使用之位元之實例性值之表格。

圖7顯示一根據本發明一實施例具有連接720及用以修復連接中之缺陷之電路之記憶體器件之圖示。

圖8係一根據本發明一實施例之系統之方塊圖。

圖9係一根據本發明一實施例用以檢查及修復一晶粒堆疊中之連接內之缺陷之方法之流程圖。

【主要元件符號說明】

100　　裝置

101　　器件

102	器件
103	器件
104	器件
110	介面電路
120	連接
121	連接
123	額外部分
131	部分
132	部分
133	部分
134	部分
141	部分
142	部分
151	部分
152	部分
161	部分
162	部分
171	部分
172	部分
173	部分
197	部分
198	部分
199	部分
220	連接

222	記憶體器件
235	記憶體單元陣列
236	解碼電路
237	I/O電路
238	控制電路
305	晶粒
306	半導體材料
311	電路
312	電路組件
320	連接
325	通孔
326	傳導材料
331	部分
332	部分
333	記憶體器件
341	部分
342	部分
399	部分
400	IC封裝
401	晶粒
402	晶粒
403	晶粒
404	晶粒
407	堆疊

412	接合墊
414	導電材料
420	連接
421	觸點
431	部分
432	部分
438	接點
440	支座
441	部分
442	部分
444	記憶體器件
460	外殼
462	內部
499	部分
505	晶粒
506	晶粒
511	電路
512	電路
514	掃描邏輯
517	掃描資訊
520	連接
531	部分
532	部分
541	部分

542	部分
551	掃描單元
552	掃描單元
555	記憶體器件
559	掃描單元
571	部分
572	部分
573	部分
581	部分
582	部分
583	部分
589	部分
599	部分
705	晶粒
711	電路
712	修復邏輯
713	重新路由邏輯
715	電路組件
716	電路元件
720	連接
731	部分
732	部分
741	電路單元
742	電路單元

749	電路單元
751	信號路徑
752	信號路徑
759	信號路徑
761	暫存器
762	暫存器
769	暫存器
777	記憶體器件
781	線路
782	線路
789	線路
799	部分
800	系統
801	SIP
802	電路板
810	處理器
820	圖像感測器器件
821	連接
825	第二記憶體器件
830	記憶體控制器
840	圖形控制器
845	額外電路
846	開關
847	供電源

850	輸入及輸出(I/O)控制器
852	顯示器
854	鍵盤
856	指向器件
858	周邊器件
859	系統收發器
860	匯流排
870	天線
888	記憶體器件

十、申請專利範圍：

1. 一種半導體裝置，其包括：

排列成一堆疊之若干晶粒，該等晶粒包含一第一晶粒及一第二晶粒；

經組態以提供該等晶粒之間的通信之連接，該等連接中之至少一部分通過該等晶粒中之至少一者，該等連接包含位於該第一晶粒及該第二晶粒之間之至少一導電接點；及

一經組態以檢查該等連接中之缺陷並修復該等連接中之缺陷之模組。

2. 如請求項1之裝置，其中該模組經組態以在該等連接之一第一部分有缺陷時將欲在該等連接之該第一部分上傳遞之資訊重新路由至該等連接之一第二部分。

3. 如請求項1之裝置，其中該模組包含一經組態以自該等連接之一第一部分接收資訊來檢查該等連接中之缺陷之第一掃描單元，及一經組態以自該等連接之一第二部分接收資訊來檢查該等連接中之缺陷之第二掃描單元。

4. 如請求項3之裝置，其中該模組包含經組態以在該第一部分有缺陷時指示該第一部分有缺陷且在該第二部分有缺陷時指示該第二部分有缺陷之邏輯。

5. 如請求項1之裝置，其中該裝置包括延伸穿過該等晶粒中之至少一者之至少一個通孔，其中該等連接中之至少一個部分包含一傳導材料，且其中該傳導材料填充該至少一個通孔之至少一部分。

6. 如請求項1之裝置，其中該等通過該第一晶粒之連接之一第一選定部分係該等通過該相同第一晶粒之連接之一第二部分之一複本，且其中該第一選定部分直接連接至該第二部分以攜帶一相同信號。

7. 如請求項1之裝置，其中該等晶粒包含一耦合至該等連接之記憶體單元陣列，且其中該記憶體單元陣列僅位於該第一晶粒及該第二晶粒中之一者處。

8. 如請求項1之裝置，其中該裝置包括一經組態以掃描該等連接之至少一部分來檢查該等連接中之缺陷之掃描邏輯，其中該模組位於該等晶粒之至少一者內，且其中該掃描邏輯之至少一部分位於該模組與測試設備中之至少一者內。

9. 一種半導體裝置，其包括：

排列成一堆疊之若干晶粒，該等晶粒包含一第一晶粒及一第二晶粒，該等晶粒中之至少一者包含一電路；及

經組態以提供該等晶粒之間的通信之連接，該等連接中之至少一部分通過該等晶粒中之至少一者，該等連接包含位於該第一晶粒及該第二晶粒之間之至少一導電接點，其中該等連接之至少一個部分係一有缺陷部分且耦合至該電路，且其中該有缺陷部分在該電路正運作時仍保持於該等連接中。

10. 如請求項9之裝置，其中該等連接包含經組態以替換該有缺陷部分之至少一個部分。

11. 如請求項9之裝置，其包括一經組態以識別該有缺陷部

分並將欲在該有缺陷部分上傳遞之資訊重新路由至該等連接之一無缺陷部分之模組。

12. 如請求項11之裝置，其中該模組包含一與該有缺陷部分相關聯之第一電路組件，及一與該無缺陷部分相關聯之第二電路組件，其中該第一及第二組件之每一者皆經組態以設定一代表一有缺陷部分及無缺陷部分中之一者之指示。

13. 如請求項12之裝置，其中該第一及第二電路組件中之至少一者包含一經組態以儲存一設定該指示之值之暫存器。

14. 如請求項12之裝置，其中該第一及第二電路組件中之至少一者包含至少一個經組態以設定該指示之反熔絲。

15. 如請求項9之裝置，其中該等連接之至少一個部分在一第一通孔及一第二通孔內部包含一傳導材料，該第一通孔延伸穿過該等晶粒之一第一晶粒，且該第二通孔延伸穿過該等晶粒之一第二晶粒。

16. 一種半導體系統，其包括：

一記憶體器件，其包含排列成一堆疊之若干晶粒、及經組態以提供該等晶粒之間的通信之連接，該等連接之至少一部分通過該等晶粒中之至少一者，該等晶粒中之至少一者包含一電路，其中該等連接中之至少一部分係一有缺陷部分且耦合至該電路，且其中該有缺陷部分在該電路正運作時仍保持於該等連接中，該等晶粒包含一第一晶粒及一第二晶粒，且該等連接包含位於該第一晶

粒及該第二晶粒之間之至少一導電接點；及

一處理器，其耦合至該等連接且經組態以與該等記憶體器件傳遞資訊。

17. 如請求項16之系統，其包括一經組態以檢查該等連接中之缺陷及將欲在該有缺陷部分上傳遞之資訊重新路由至該等連接之另一部分之模組。

18. 如請求項17之系統，其包括一開關，該開關經組態以每當該開關接通該系統時向該記憶體器件及該處理器供應電力，其中該模組經組態以每當該開關接通該系統時檢查缺陷。

19. 一種半導體方法，其包括：

檢查耦合至排列成一堆疊之晶粒之連接中之缺陷，該等連接之至少一部分通過該等晶粒中之至少一者，該等晶粒包含一第一晶粒及一第二晶粒；及

在該第一部分有缺陷時用該等連接之一第二部分替換該等連接之一第一部分，該等連接包含位於該第一晶粒及該第二晶粒之間之至少一導電接點。

20. 如請求項19之方法，其中檢查包含將一位元自該第一部分傳遞至該等連接之一額外部分，並比較來自該第一部分之該位元之一值與自該額外部分獲得之一位元之一值。

21. 如請求項19之方法，其中替換包含指示在該第一部分有缺陷時將欲在該第一部分上傳遞之資訊重新路由至該第二部分。

22. 如請求項19之方法，其中在藉由一積體電路封裝覆蓋該等晶粒之後執行檢查缺陷。

23. 一種半導體方法，其包括：

將資訊傳遞至耦合至排列成一堆疊之晶粒之間的連接之一第一部分，該等連接之至少一部分通過該等晶粒中之至少一者，該等晶粒包含一第一晶粒及一第二晶粒；及

由於該第一部分有缺陷而將該資訊重新路由至該等連接之一第二部分，該等連接包含位於該第一晶粒及該第二晶粒之間之至少一導電接點。

24. 如請求項23之方法，其包括：

在將該資訊傳遞至該第一部分之前檢查該等連接中之缺陷；及

基於該檢查缺陷之結果指示該第一部分有缺陷。

25. 如請求項24之方法，其中檢查缺陷包含將一位元自一與該第一部分相關聯之掃描單元移位至一與該第二部分相關聯之掃描單元。

十一、圖式：

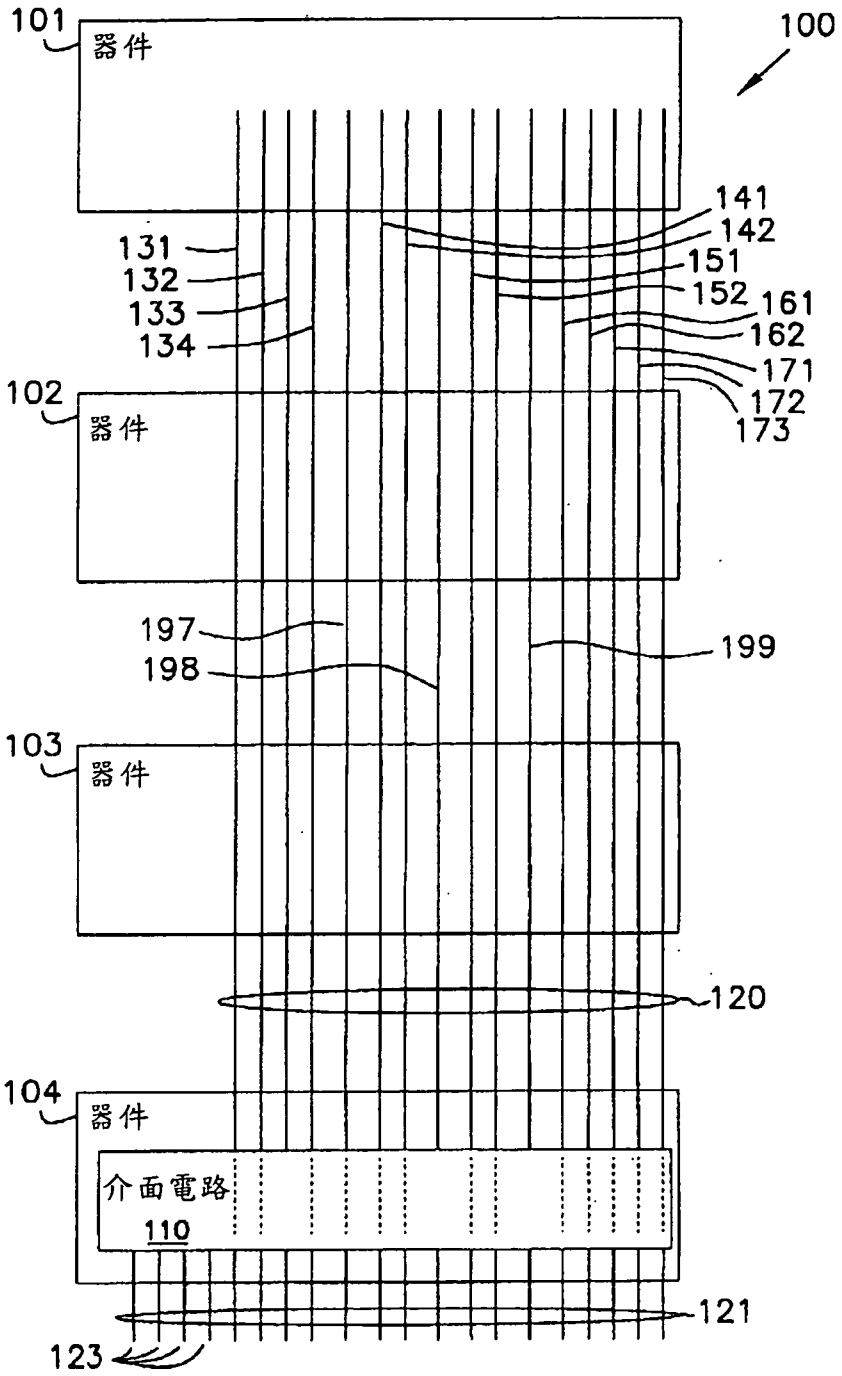

101
器件
100
141
142
131
151
132
152
161
133
162
134
171
102
172
器件
173
197
199
198
103
器件
120
104
器件
介面電路
110
121
123

圖1

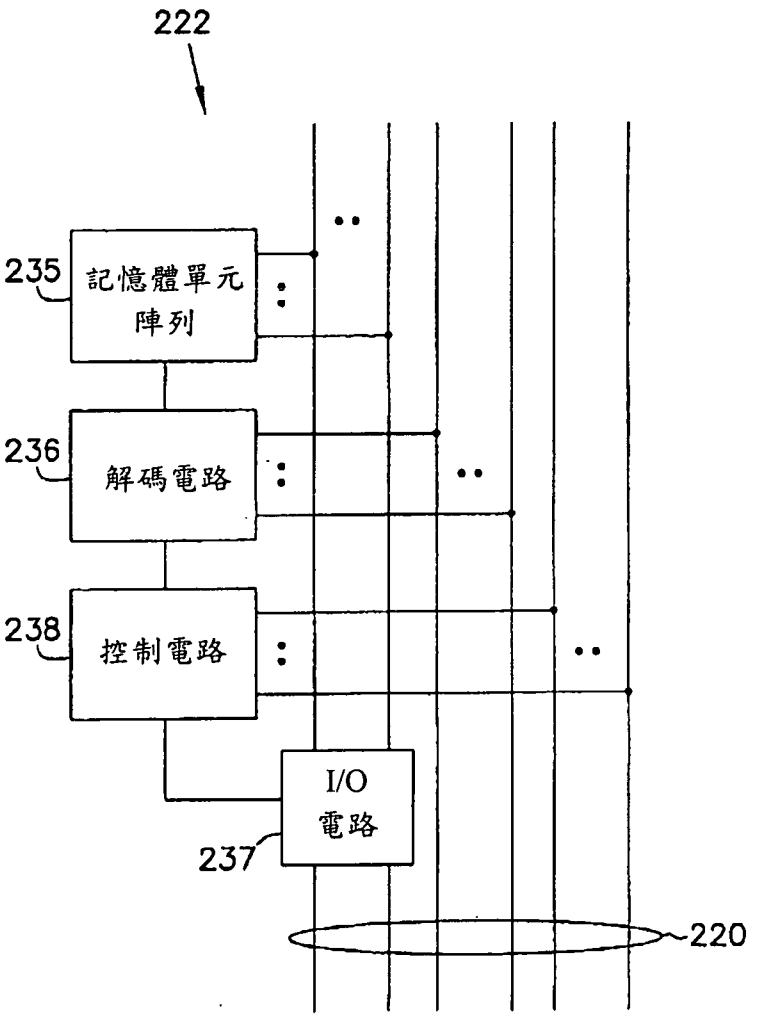


圖2

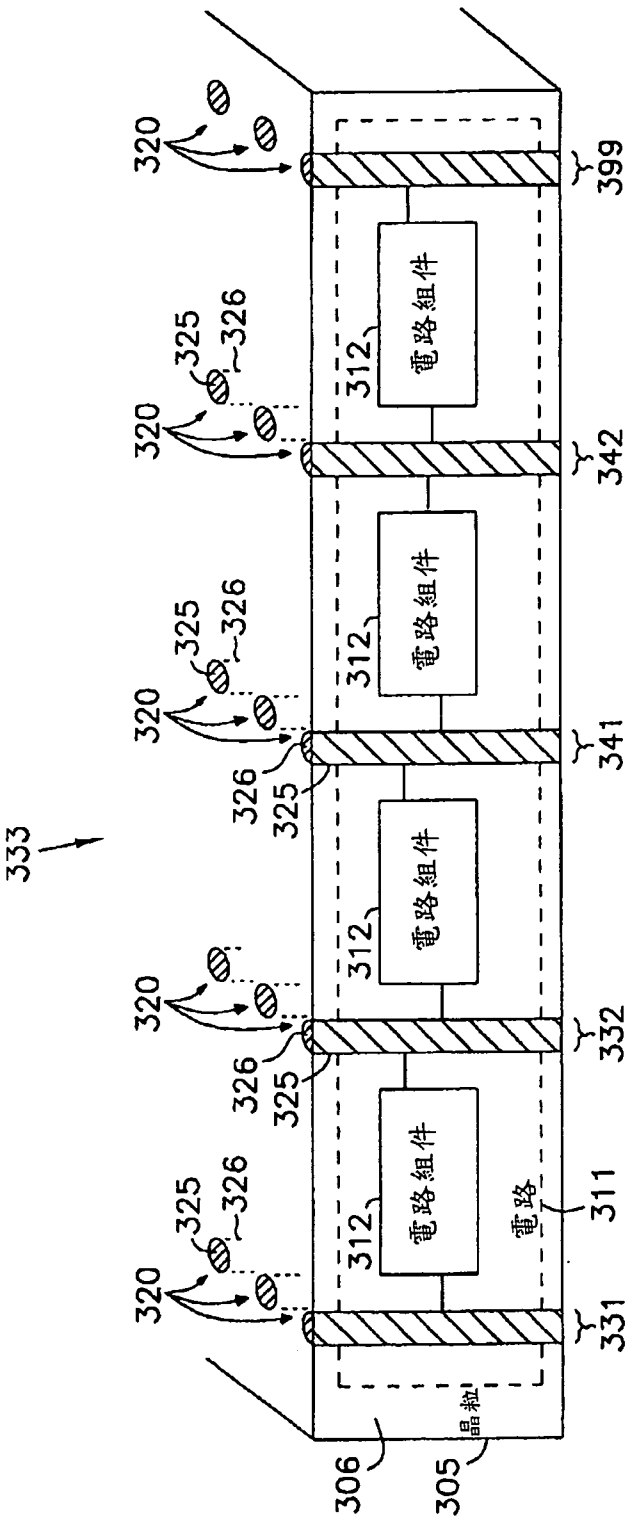


圖 3

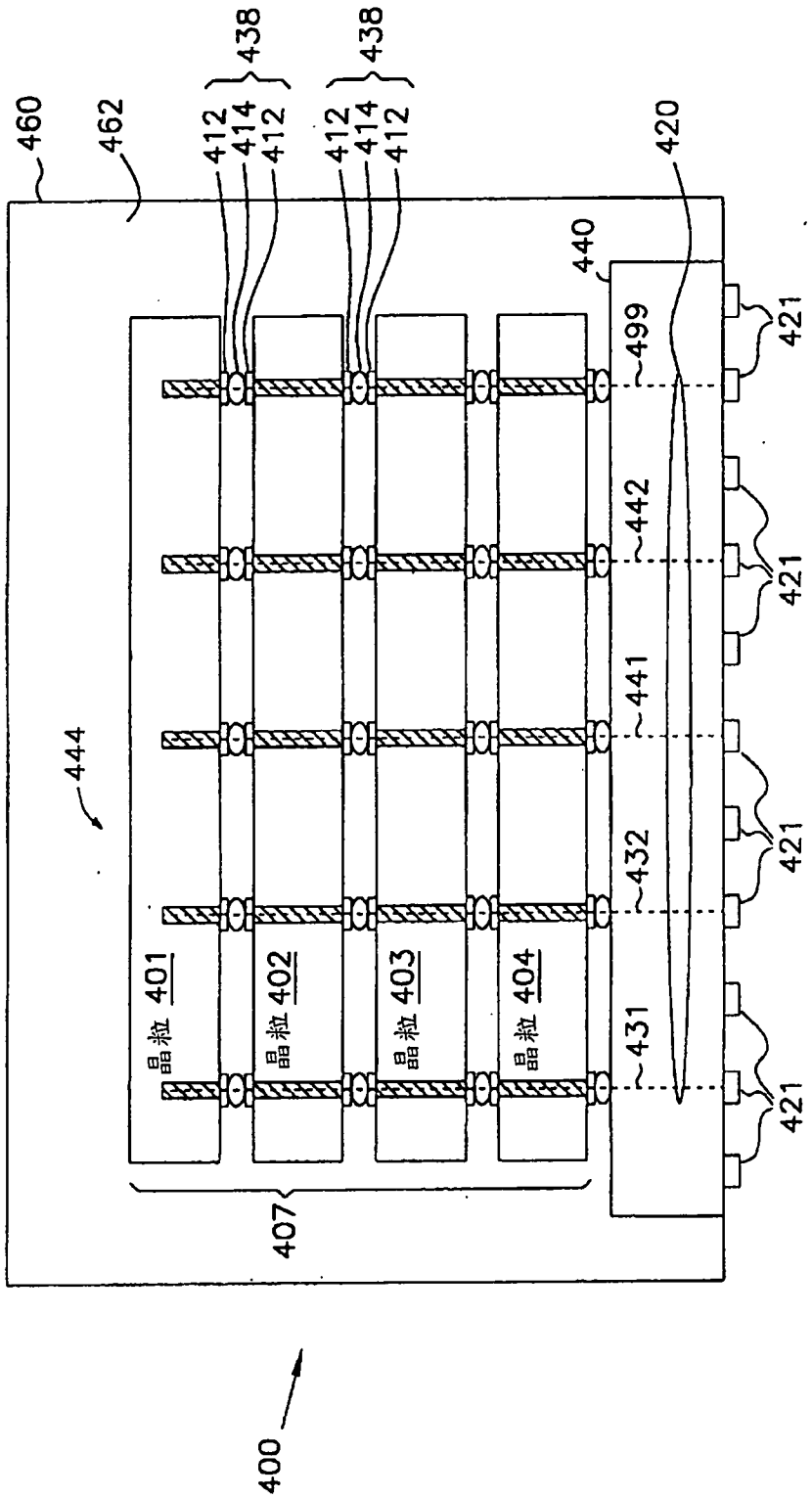

460
462
438
412
414
412
438
412
414
412
420
440
499
442
441
432
431
421
421
421
421
444
晶粒 401
晶粒 402
晶粒 403
晶粒 404
407
400

圖 4

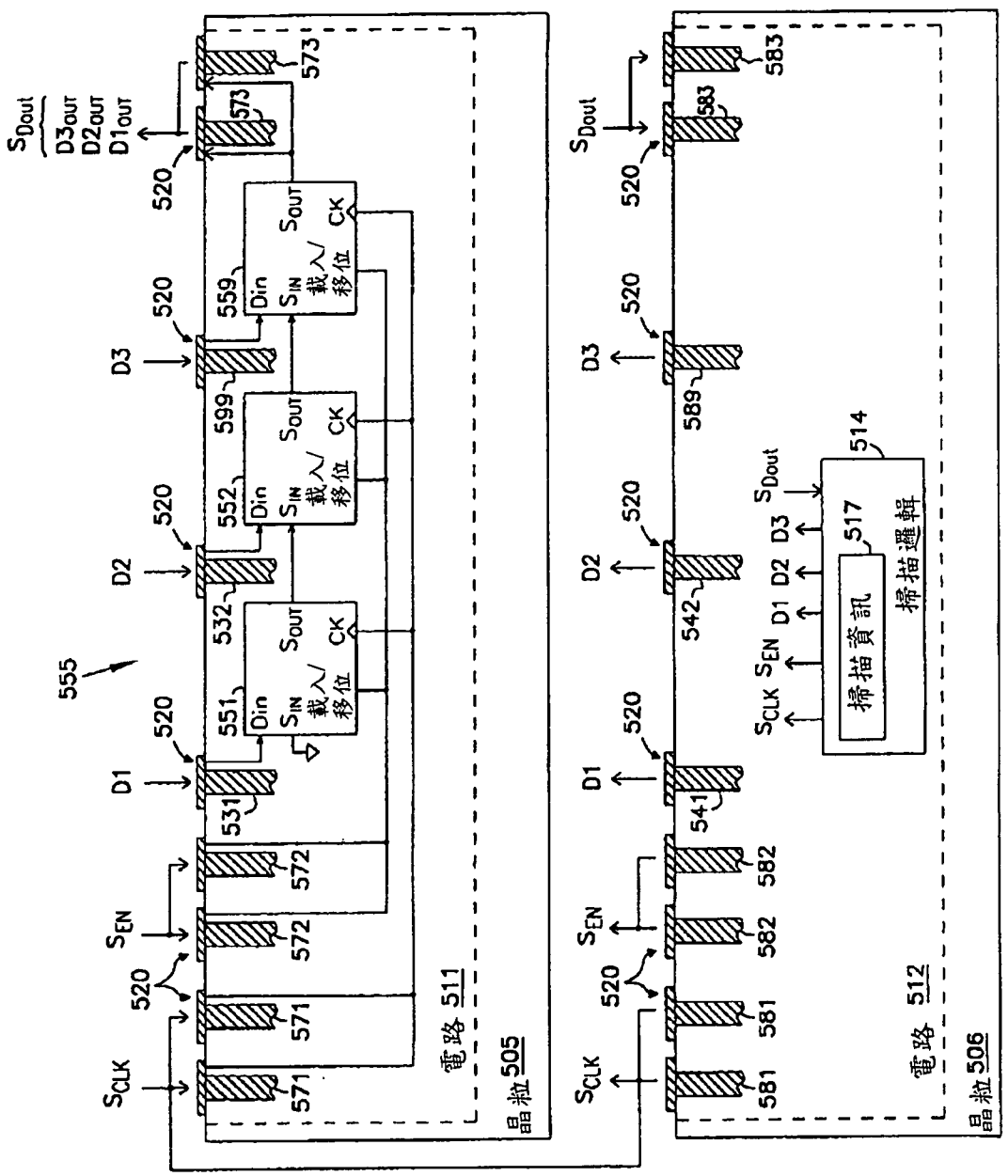

SDout
D3out
D2out
D1out
520
573
583
D3
589
D2
542
D1
541
SCLK
SEN
582
581
572
571
531
532
551
552
559
599
Din
SIN
載入/移位
SOUT
CK
555
電路 511
晶粒 505
電路 512
晶粒 506
掃描資訊
517
514
掃描邏輯

圖 5

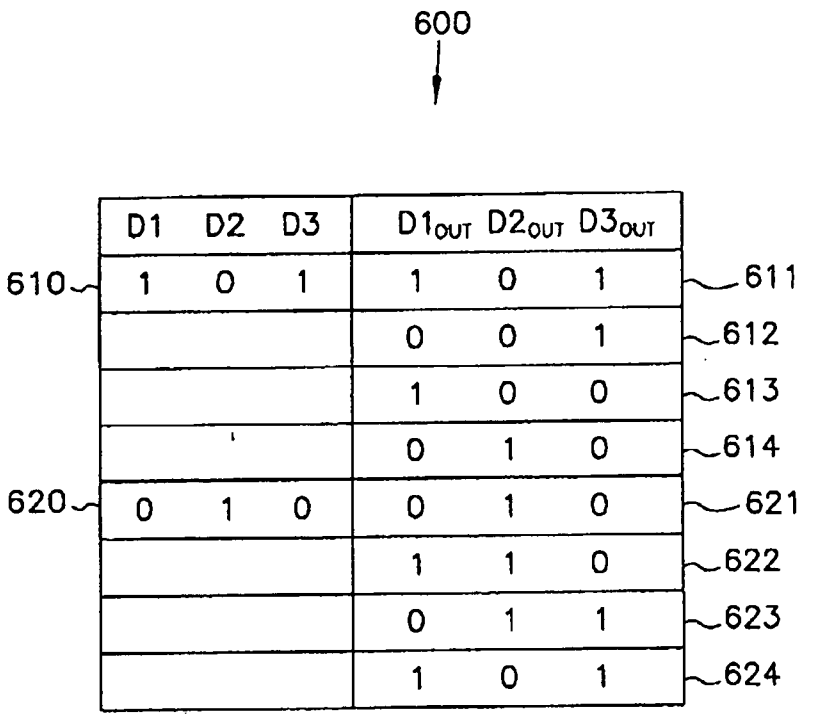

600
D1 D2 D3
D1OUT D2OUT D3OUT
610
1 0 1
1 0 1
611
0 0 1
612
1 0 0
613
0 1 0
614
620
0 1 0
0 1 0
621
1 1 0
622
0 1 1
623
1 0 1
624

圖6

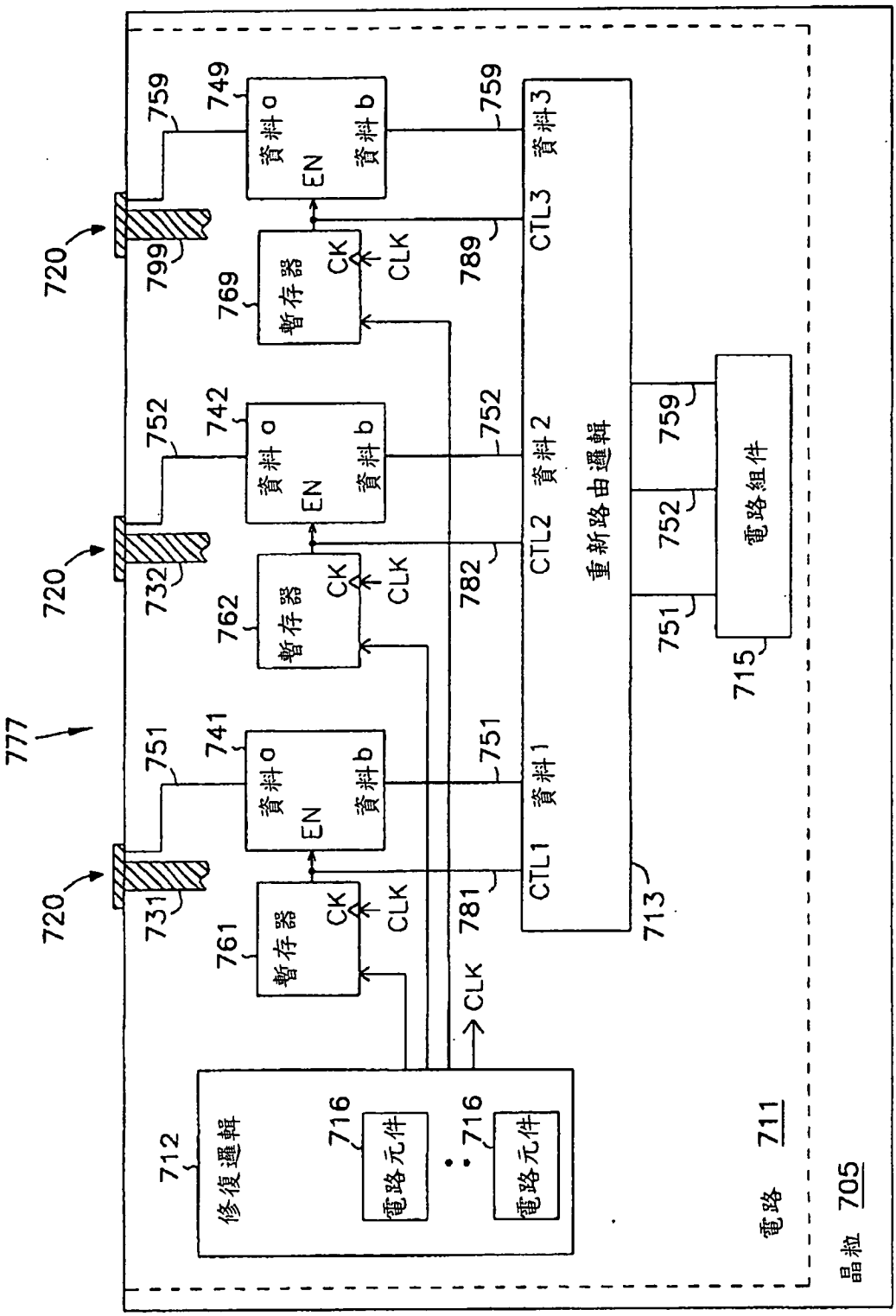

晶粒 705
電路 711
修復邏輯 712
電路元件 716
電路元件 716
暫存器 761
暫存器 762
暫存器 769
資料 o
EN
資料 b
741
742
749
CK
CLK
781
782
789
751
752
759
799
731
732
720
777
CTL1 資料 1
CTL2 資料 2
CTL3 資料 3
重新路由邏輯
713
電路組件
715

圖 7

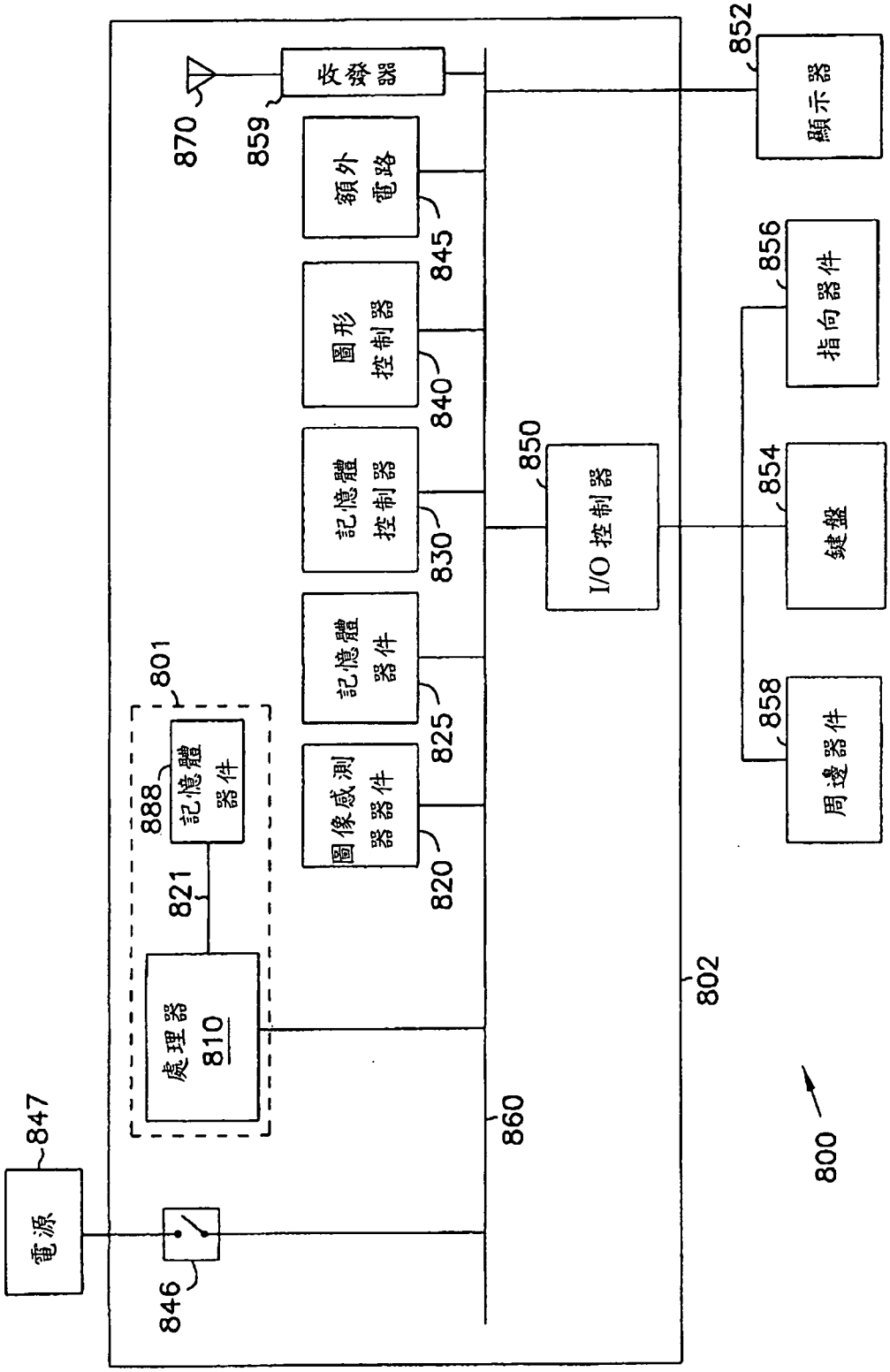

800
802
處理器 810
821
記憶體器件
888
801
圖像感測器器件
記憶體器件
記憶體控制器
圖形控制器
額外電路
收發器
870
859
845
840
830
825
820
850
I/O 控制器
852
顯示器
856
指向器件
854
鍵盤
858
周邊器件
860
847
電源
846

圖 8

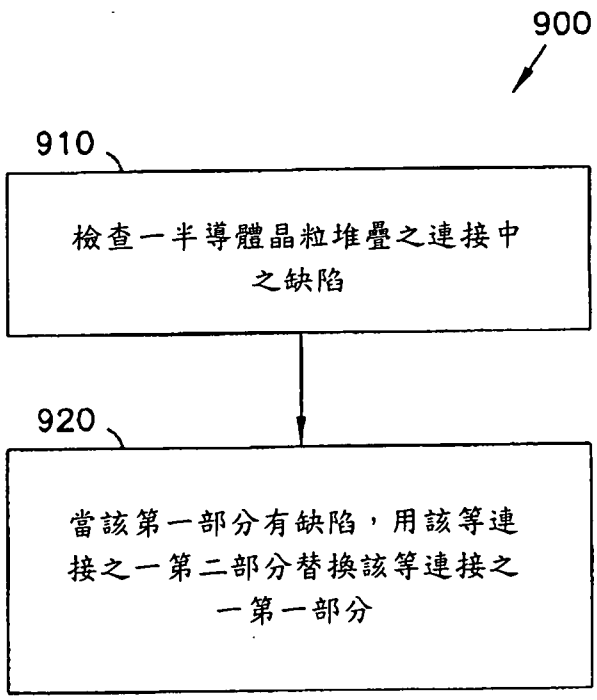

900
910
檢查一半導體晶粒堆疊之連接中之缺陷
920
當該第一部分有缺陷，用該等連接之一第二部分替換該等連接之一第一部分

圖9