

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2014-0003147 (43) 공개일자 2014년01월09일
(51) 국제특허분류(Int. Cl.) H01L 21/82 (2006.01) H01L 23/62 (2006.01)		(71) 출원인 에스케이하이닉스 주식회사 경기도 이천시 부발읍 경충대로 2091 서강대학교산학협력단 서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(21) 출원번호 10-2012-0070923 (22) 출원일자 2012년06월29일 심사청구일자 없음		(72) 발명자 최우영 서울특별시 마포구 신수로 15 (현석동, 강변힐스테이트) 102동 403호 윤규한 경기도 성남시 분당구 미금로 215 (금곡동, 청솔마을대원아파트) 814-1501
		(74) 대리인 특허법인 대아

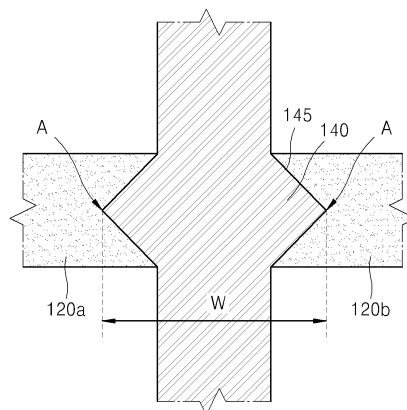
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 소자의 안티퓨즈 및 그 제조 방법

(57) 요약

본 발명에 따른 반도체 소자의 안티퓨즈(anti-fuse)는 기판에 서로 이격 형성된 소오스 및 드레인; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록 상기 기판 상에 형성된 게이트 절연막; 및 상기 소오스 및 드레인 측의 단부 각각에, 게이트 폭 방향으로 게이트의 길이가 증가하다가 감소하는 코너부를 적어도 하나 포함하여 상기 게이트 절연막 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 NIPA-2012-C1090-1201-0003

부처명 지식경제부

연구사업명 대학 IT연구센터 육성·지원사업

연구과제명 차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발

기 여 율 1/1

주관기관 서강대학교 산학협력단

연구기간 2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

기관에 서로 이격 형성된 소오스 및 드레인;

일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록 상기 기관 상에 형성된 게이트 절연막; 및

상기 소오스 및 드레인 측의 단부 각각에 게이트 폭 방향으로 게이트의 길이가 증가하다가 감소하는 코너부를 적어도 하나 포함하여 상기 게이트 절연막 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 2

제1항에 있어서,

상기 게이트 전극의 단부는

게이트 폭 방향으로 게이트 길이를 미분하였을 때의 값이 상기 코너부에서 불연속적인 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 3

제2항에 있어서,

상기 게이트 전극의 코너부는

뾰족한 형상인 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 4

제1항에 있어서,

상기 게이트 전극의 코너부는

상기 소오스 및 드레인 측의 단부에 대칭으로 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 5

제1항에 있어서,

상기 게이트 절연막은

상기 게이트 전극과 상기 기관 사이에 인가된 전압에 의해 절연성이 파괴되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 6

제5항에 있어서,

상기 게이트 절연막은

실리콘 산화물(SiO_2), 실리콘 질화물(SiON), 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_2) 및 하프늄 산화물

(HfO₂) 중 하나 이상을 포함하여 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈.

청구항 7

기판 상에 게이트 절연막을 형성하는 단계;

일측 및 타측 단부에 게이트 폭 방향으로 게이트의 길이가 증가하다가 감소하는 코너부를 적어도 하나 포함하는 게이트 전극을 상기 게이트 절연막 상에 형성하는 단계; 및

상기 게이트 전극의 일측 및 타측의 상기 기판에 소오스 및 드레인을 형성하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 8

제7항에 있어서,

상기 게이트 전극의 단부는

게이트 폭 방향으로 게이트 길이를 미분하였을 때의 값이 상기 코너부에서 불연속적이 되도록 형성되는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 9

제7항에 있어서,

상기 게이트 전극의 코너부는

뾰족한 형상인 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

청구항 10

제7항에 있어서,

상기 게이트 전극, 게이트 절연막, 소오스 및 드레인은

상기 반도체 소자의 셀 영역을 형성하는 과정에서 형성하는 것을 특징으로 하는 반도체 소자의 안티퓨즈 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 소자에 관한 것으로, 보다 자세하게는 반도체 소자의 안티퓨즈 및 그 제조 방법에 관한 것이다.

[0002]

배경기술

[0003] 반도체 장치, 특히 메모리 장치는 제조 시에 수많은 메모리 셀 중에서 한 개라도 결함이 있으면 메모리로서의 기능을 수행하지 못하므로 불량품으로 처리된다. 그러나, 메모리 내의 일부 메모리 셀에만 결함이 발생하였는데도 불구하고 메모리 장치 전체를 불량품으로 폐기하는 것은 생산성 측면에서 비효율적이다. 따라서, 현재는 메모리 소자 내에 미리 제조해 둔 여분의 셀(redundancy cell)을 이용하여 불량 메모리 셀을 대체함으로써, 전체 소자를 되살려 주는 방식으로 수율을 향상시키고 비용을 절감하고 있다.

[0004] 상기 여분의 셀을 이용한 리페어(repair) 공정은 검사 공정을 통해 불량으로 판명된 셀을 퓨즈(fuse)를 사용하

여 칩 내에 내장된 여분의 셀과 연결시켜 재생시키는 공정이다. 즉, 특정 퓨즈들만을 절단함으로써 리페어할 셀들의 위치 정보를 생성하는 것이다.

[0005] 그러나, 퓨즈를 이용하여 반도체 소자를 리페어하는 방식은 웨이퍼 상태에서 리페어 하는 것으로, 패키징 이후에는 레이저 리페어 장비를 사용할 수 없기 때문에 패키지까지 완료된 상태에서 불량 셀이 존재하는 것으로 판명된 경우에는 적용할 수 없는 한계가 존재한다. 이러한 퓨즈 방식의 한계를 극복하기 위한 것으로 개발된 것이 안티퓨즈(antifuse) 방식이다.

[0006] 안티퓨즈는 패키지 단계에서도 간단하게 결함 구제를 위한 프로그램을 할 수 있다. 안티퓨즈는 패키지 이전의 퓨즈에 대한 상대적인 의미로, 정상 상태에서는 전기적으로 개방(open)되어 있다가, 필요에 따라 고전압을 인가하여 도전체 사이의 절연체를 파괴하면 전기적으로 단락(short) 상태가 되는 퓨즈를 말한다. 이러한 안티퓨즈는 주변회로영역(periphery)에 형성하며, 안티퓨즈를 위한 여분의 셀들 또한 주변회로영역에 형성하되 통상 리프레쉬(refresh)가 필요 없는 SRAM(static random access memory) 셀로 형성한다.

[0007] 종래의 안티퓨즈는 두 개의 도전층과 그들 사이에 유전층을 포함한 구조를 가진다. 이러한 안티퓨즈는 두 개의 도전층 사이에 전압을 인가하여 유전층을 절연 파괴(breakdown) 시킴으로써 프로그래밍된다. 프로그래밍 여부에 따라, 상기 두 도전층 사이의 전류의 크기가 달라진다. 그러나, 종래의 안티퓨즈는 파열(rupture) 위치를 소정의 확률분포에 의존할 수 밖에 없고, 도통 상태에 있어서 저항치가 불규칙한 문제가 있다.

[0008] 본 발명에 관련된 선행문헌으로는 일본 공개특허공보 제2010-147072호(2010.07.01. 공개)가 있으며, 상기 문헌에는 삼각형상의 선단 모서리부를 갖는 드레인 전극을 포함하는 불휘발성 반도체기억장치가 개시되어 있다.

[0009]

발명의 내용

해결하려는 과제

[0010] 본 발명의 하나의 목적은 게이트 전극의 형상을 변경하여 절연막의 파괴(rupture) 위치를 제어하고, 절연막 파괴 후의 저항산포를 개선할 수 있는 반도체 소자의 안티퓨즈를 제공하는 것이다.

[0011] 또한, 본 발명의 다른 목적은 기존의 씨모스(complementary metal-oxide semiconductor; CMOS) 공정을 이용하여 용이하게 제조가 가능한 반도체 소자의 안티퓨즈 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0012] 상기 하나의 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 안티퓨즈는 기판에 서로 이격 형성된 소오스 및 드레인; 일단이 상기 소오스에 접촉하고, 타단이 상기 드레인에 접촉하도록 상기 기판 상에 형성된 게이트 절연막; 및 상기 소오스 및 드레인 측의 단부 각각에 게이트 폭 방향으로 게이트의 길이가 증가하다가 감소하는 코너부를 적어도 하나 포함하여 상기 게이트 절연막 상에 형성된 게이트 전극;을 포함하는 것을 특징으로 한다.

[0013] 상기 다른 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 안티퓨즈 제조 방법은 기판 상에 게이트 절연막을 형성하는 단계; 일측 및 타측 단부에 게이트 폭 방향으로 게이트의 길이가 증가하다가 감소하는 코너부를 적어도 하나 포함하는 게이트 전극을 상기 게이트 절연막 상에 형성하는 단계; 및 상기 게이트 전극의 일측 및 타측의 상기 기판에 소오스 및 드레인을 형성하는 단계;를 포함하는 것을 특징으로 한다.

발명의 효과

[0014] 본 발명에 따른 반도체 소자의 안티퓨즈는 게이트 폭 방향으로 소오스 및 드레인 측 게이트 전극의 단부에 적어도 하나의 코너(corner)부가 형성됨에 따라 코너부에 전계를 집중시켜 선택적으로 코너부에 대응되는 게이트 절연막을 절연 파괴(rupture)시킬 수 있다. 이에 따라, 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하고, 절연막 파괴 후의 저항산포를 개선할 수 있다.

[0015] 또한, 본 발명의 실시예들에 따른 반도체 소자의 안티퓨즈는 통상의 표준 CMOS 제조 공정을 따르면서 제조할 수

있으므로, 메모리 어레이와 같은 셀 영역(cell region)의 소자를 형성하는 과정에서 그와 더불어 용이하게 제조할 수 있다.

[0016]

도면의 간단한 설명

[0017]

도 1은 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 평면도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도이다.

도 3 및 도 4는 본 발명의 다른 실시예들에 따른 반도체 소자의 안티퓨즈를 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0018]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0019]

이하 첨부된 도면을 참조하여 본 발명의 실시예들에 따른 안티퓨즈(antifuse) 및 그 제조 방법에 관하여 상세히 설명하면 다음과 같다.

[0020]

도 1은 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 평면도이고, 도 2는 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈를 도시한 단면도로서, 주변회로영역에 한정된다.

[0021]

도 1 및 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 반도체 소자의 안티퓨즈는, 기판(110)에 서로 이격 형성된 소오스(120a) 및 드레인(120b)을 포함하는 접합 영역(120), 게이트 절연막(130) 및 게이트 전극(140)을 포함한다.

[0022]

기판(110)은 통상의 반도체 기판일 수 있다. 일례로, 기판(110)은 p형 불순물이 저농도로 도핑된 p-기판이거나, n형 불순물이 저농도로 도핑된 n-기판일 수 있다. 이와 다르게, 기판(110)은 벌크 실리콘(bulk Si) 기판, SOI(silicon-on-insulator) 기판 및 그 밖의 다른 기판일 수 있다.

[0023]

접합 영역(120)은 소오스(120a) 및 드레인(120b)을 포함하며, 게이트 전극(140) 양측의 기판(110) 내에 형성될 수 있다. 이때, 소오스(120a)는 게이트 전극(140) 일단의 가장자리를 따라 형성될 수 있고, 드레인(120b)은 게이트 전극(140) 타단의 가장자리를 따라 형성될 수 있다.

[0024]

소오스(120a) 및 드레인(120b)은 안티퓨즈용 제1 전극으로서 사용된다. 이러한 소오스(120a) 및 드레인(120b)은 n형 불순물이 고농도로 도핑된 n+ 영역이거나, p형 불순물이 고농도로 도핑된 p+ 영역일 수 있다.

[0025]

한편, 도면으로 도시하지는 않았으나, 소오스(120a) 및 드레인(120b) 각각의 일부는 게이트 절연막(130) 밑면의 일단 및 타단과 오버랩(overlap)되어 있을 수 있고, 소오스(120a) 및 드레인(120b)은 LDD(lightly doped drain) 구조를 포함할 수 있다. 소오스(120a) 및 드레인(120b) 사이의 기판(110)은 채널(channel, CH)이다.

[0026]

게이트 절연막(130) 및 게이트 전극(140)은 일 방향으로 뻗어 있는 라인(line) 형태의 게이트 스택(gate stack)을 형성한다.

[0027]

이 중 게이트 절연막(130)은 비가역적(irreversible) 저항 변화 특성, 즉, 절연 파괴(breakdown) 특성을 갖는 물질로 형성될 수 있다. 일례로, 게이트 절연막(130)은 실리콘 산화물(SiO_2), 실리콘 질화물(Si_3N_4), 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_2), 하프늄 산화물(HfO_2) 등을 포함하여 형성될 수 있으며, 이들이 단독 혹은 2종 이상 혼용되어 사용될 수 있다. 이러한 게이트 절연막(130)은 고저항 상태에서 저저항 상태로 비가역적

변화되는 안티퓨즈 수단의 일례일 수 있다.

- [0028] 게이트 절연막(130)은 기판(110) 상에 화학기상증착(chemical vapor deposition; CVD) 또는 원자층증착(atomic layer deposition; ALD) 방법 등을 사용하여 절연 파괴 특성을 갖는 물질로 절연막(미도시)을 증착한 후 이 절연막을 통상의 포토리소그래피(photolithography) 공정으로 패터닝하여 일 방향으로 뻗어있는 라인 타입으로 형성할 수 있다.
- [0029] 게이트 전극(140)은 게이트 절연막(130) 상에 형성된다. 게이트 전극(140)은 소오스(120a) 및 드레인(120b) 측의 단부(145)가 비직선 형상을 갖도록 형성된다. 여기서, 비직선 형상이란 단위 구간을 연결하는 거리가 직선에 비교하여 길어지는 모든 형상을 포함한다.
- [0030] 본 발명에 따르면, 게이트 전극(140)은 소오스(120a) 및 드레인(120b) 측의 단부(145)에 게이트의 폭(gate width; W) 방향으로 게이트의 길이가 증가하다가 감소하는 뾰족한 형상의 코너부(corner portion, A)를 적어도 하나 이상 포함하여 형성된다.
- [0031] 도 1에 도시된 바와 같이, 일례로, 게이트 전극(140)의 단부(145)는 삼각형상으로 형성될 수 있다. 그러나, 게이트 전극(140)의 단부(145)는 게이트 폭 방향으로 게이트 길이를 미분하였을 때 그 값이 코너부(A)에서 불연속이 되는 한, 그 형상은 특별히 이에 한정되는 것은 아니다. 또한, 게이트 전극(140)의 단부(145)는 소오스(120a) 및 드레인(120b) 측에서 서로 대칭이 되도록 형성될 수 있다.
- [0032] 이러한 게이트 전극(140)은 안티퓨즈용 제2 전극으로서, 도전성 재료로 형성될 수 있다. 일례로, 게이트 전극(140)은 폴리실리콘(polysilicon) 또는 금속 등의 도전성 물질을 단층 또는 다층 구조로 하여 형성될 수 있다.
- [0033] 게이트 전극(140)은 게이트 절연막(130)을 포함한 기판(110) 상에 물리기상증착(physical vapor deposition; PVD), CVD 또는 유기금속화학기상증착(metal organic chemical vapor deposition; MOCVD) 방법 또는 원자층증착(atomic layer deposition; ALD) 방법 등을 사용하여 도전성 물질을 증착하여 도전성막(미도시)을 형성한 후, 이 도전성막을 소오스(120a) 및 드레인(120b) 측의 단부(145)에서 적어도 하나의 코너부(A)를 갖도록 통상의 포토리소그래피 공정으로 패터닝하여 형성할 수 있다.
- [0034] 포토리소그래피 공정은 감광막 패턴(미도시)을 이용할 수 있으며, 감광막 패턴은 도전성막 상에 감광성 물질이 도포되어 감광막(미도시)이 형성된 후 감광막이 기 설계된 레티클(미도시)을 이용하여 패터닝된 것으로 형성하고자 하는 게이트 전극(140)과 동일한 형상을 가진다.
- [0035] 한편, 기판(110) 전면에 절연막과 도전성막의 적층막을 형성한 후 이 적층막을 포토리소그래피 공정으로 패터닝하여 적층막의 양쪽 단부에 적어도 하나 이상의 코너부(A)를 갖도록 패터닝된 게이트 절연막(130)과 게이트 전극(140)의 적층구조를 형성할 수도 있음은 물론이다.
- [0036] 도 3 및 도 4는 본 발명의 다른 실시예들에 따른 반도체 소자의 안티퓨즈를 도시한 단면도로서, 주변회로영역에 한정된다.
- [0037] 도 3을 참조하면, 도 1에서와 달리, 게이트 전극(140)은 소오스(120a) 측 단부(145)에 하나의 코너부(A)를 갖고, 드레인(120b) 측 단부(145)에 복수개의 코너부(A)를 가지고 비대칭으로 형성될 수 있다. 도 3 및 도 4에서, 코너부(A)는 도 1에서와 마찬가지로, 게이트의 폭(gate width; W) 방향으로 게이트의 길이가 증가하다가 감소하는 영역으로 정의하기로 한다. 한편, 설명의 편의를 위하여, 도 3에서는 드레인(120b) 측 단부(145)가 세 개의 코너부(A)를 갖는 것으로 도시하였으나, 코너부(A)의 개수는 이에 특별히 한정되는 것은 아니다. 또한, 이와는 반대로 게이트 전극(140) 단부(145)에서의 코너부(A)의 개수는 소오스(120a) 측과 드레인(120b) 측에서 뒤바뀌어 형성될 수도 있다.
- [0038] 도 4를 참조하면, 도 1에서와 달리, 게이트 전극(140)은 소오스(120a) 및 드레인(120b) 측 단부(145) 모두에서 복수개의 코너부(A)를 가지고 대칭 또는 비대칭으로 형성될 수 있다. 도면에는, 소오스(120a) 및 드레인(120b) 측 게이트 전극(140) 단부(145)에 각각 두 개와 세 개의 비대칭인 코너부(A)를 도시하였으나, 코너부(A)의 개수는 이에 특별히 한정되는 것은 아니며, 대칭으로도 형성될 수도 있다.
- [0039] 게이트 전극(140)의 단부(145) 중 소오스(120a) 또는 드레인(120b) 측의 어느 한 쪽에만 코너부(A)가 형성될 경우, 표준 CMOS 공정을 이용하기가 어렵고, 게이트 절연막(130)의 파열(rupture) 현상이 한쪽으로 편중되어 발생

할 수 있기 때문에, 코너부(A)는 게이트 전극(140)의 소오스(120a) 및 드레인(120b) 측 단부(145) 모두에 형성되는 것이 보다 바람직하다.

[0040] 또한, 코너부(A)는 게이트 전극(140)의 단부(145)에서 대칭 또는 비대칭으로 형성될 수 있으나, 전계 집중 효과 향상 측면에서는 대칭으로 형성하는 것이 보다 바람직할 수 있다.

[0041] 접합 영역(120)은 게이트 전극(140)을 형성한 후, 게이트 전극(140) 상에 마스크 패턴(미도시)을 형성한 다음, 통상의 불순물 이온 주입(ion implantation) 공정을 이용하여 고농도의 n형 또는 p형 불순물을 게이트 전극(140)의 일측 및 타측의 기판(110) 노출부에 도핑하여 형성할 수 있다.

[0042] 전술한 도 1 내지 도 4의 접합 영역(120), 게이트 절연막(130) 및 게이트 전극(140)은 주변회로영역에 형성되며, 통상의 표준 CMOS 제조 공정 중 메모리 어레이와 같은 셀 영역(cell region)의 접합 영역, 게이트 절연막 및 게이트 전극을 형성하는 과정에서 용이하게 형성할 수 있다.

[0043] 본 발명의 소오스(120a), 드레인(120b), 게이트 절연막(130) 및 게이트 전극(140)은 일종의 트랜지스터를 구성할 수 있는데, 이 트랜지스터는 NMOS(n-channel metal-oxide-semiconductor) 트랜지스터 또는 PMOS(p-channel metal-oxide-semiconductor) 트랜지스터일 수 있다. 본 발명의 실시예들에서는 소오스(120a), 드레인(120b), 게이트 절연막(130) 및 게이트 전극(140)은 안티퓨즈를 구성한다.

[0044] 이러한 구조를 갖는 본 발명의 실시예들에 따른 안티퓨즈는 게이트 절연막(130)의 절연 파괴(breakdown) 현상을 이용한다.

[0045] 상기 안티퓨즈는 게이트 전극(140)과 기판(110) 사이에 프로그래밍 전압을 인가하면 게이트 전극(140)과 채널(CH) 영역 사이에 임계 전압 이상의 전압이 인가되어 게이트 전극(140)의 코너부(A)에 대응되는 게이트 절연막(130)의 절연 파괴가 발생할 수 있다.

[0046] 이는, 리페어 공정 중 게이트 전극(140)의 단부(145)에 형성된 코너부(A)가 전계를 집중시키는 전계 강화 영역으로 작용하기 때문이다. 이로 인해, 동일한 게이트 전압이 인가되더라도 코너부(A)가 형성되지 않은 영역에 대응되는 게이트 절연막(130)에 걸리는 전압보다 코너부(A)에 대응되는 게이트 절연막(130)에 걸리는 전압이 높게 된다.

[0047] 이와 같이 게이트 절연막(130)을 절연 파괴시키는 동작을 프로그래밍 동작이라고 한다. 안티퓨즈의 프로그램 동작은 충분한 시간 동안 안티퓨즈 단자들을 통해 고전압을 인가하여 접합 영역(120)과 게이트 전극(140) 사이의 게이트 절연막(130)을 파괴하는 방식으로 프로그래밍한다.

[0048] 프로그래밍 동작시 충분한 시간 동안 안티퓨즈 단자들을 통해 고전압을 인가하면, 선택적으로 게이트 전극(140)의 코너부(A)에 대응되는 게이트 절연막(130)에서 절연 파괴가 발생하고, 그 결과 코너부(A) 하부의 게이트 절연막(130)이 단락되어 게이트 전극(140)과 접합 영역(120)이 도통된다.

[0049] 이렇듯, 본 발명의 실시예들에 따른 안티퓨즈는, 리페어 공정 시 인가된 전압에서 게이트 전극(140) 코너부(A)에서의 전계 집중 효과를 이용하여 게이트 전극(140)의 코너부(A)에 대응되는 게이트 절연막(130)을 선택적으로 절연 파괴시킬 수 있기 때문에 안티퓨즈용 절연막의 파괴 위치의 제어가 가능하다.

[0050] 또한, 안티퓨즈가 프로그램되면 게이트 전극(140)의 단부(145)와 소오스(120a) 및 드레인(120b)이 단락되어 저항은 작은 값이 되는데, 상기 안티퓨즈를 이용하면 게이트 절연막(130) 절연 파괴 후의 저항산포를 개선할 수 있다.

[0051] 본 발명의 실시예들에 따른 안티퓨즈는 복수개로 배열되어 이차원 어레이(array) 구조를 가질 수 있고, 반도체 메모리 장치, 로직 장치, 마이크로프로세서(microprocessor), FPGA(field programmable gate array) 및 그 밖

의 VLSI(very large scale integration) 회로 등에 다양한 목적으로 적용될 수 있다.

[0052] 이상에서는 본 발명의 실시예를 중심으로 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 기술자의 수준에서 다양한 변경이나 변형을 가할 수 있다. 이러한 변경과 변형은 본 발명이 제공하는 기술 사상의 범위를 벗어나지 않는 한 본 발명에 속한다고 할 수 있다. 따라서 본 발명의 권리범위는 이하에 기재되는 청구 범위에 의해 판단되어야 할 것이다.

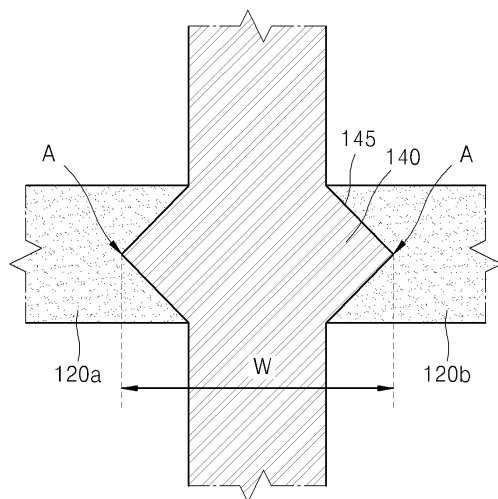
부호의 설명

[0053]

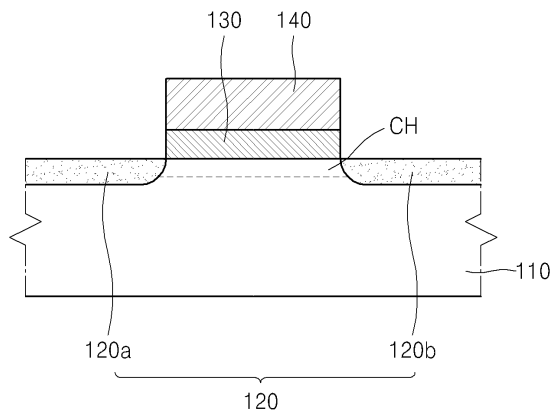
110 : 기관	120 : 접합 영역
120a : 소오스	120b : 드레인
130 : 게이트 절연막	140 : 게이트 전극
145 : 게이트 전극의 단부	A : 코너부
W : 게이트의 폭	

도면

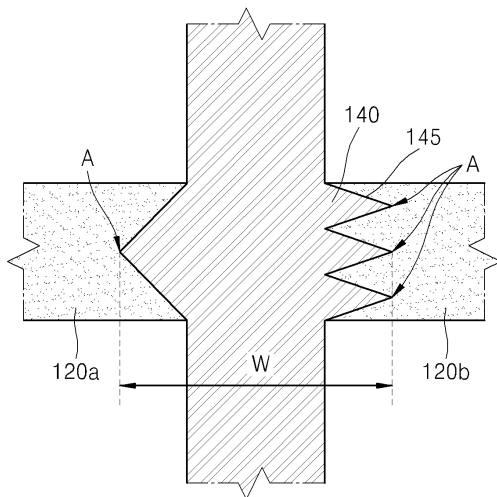
도면1



도면2



도면3



도면4

