公告本

申請日期	88 年 6 月 9 日
案號	88109648
類別	H01L 21/。

（以上各欄由本局填註）

A4
C4

456029

發明 新型 專利說明書

一、發明新型名稱	中文	半導體積體電路裝置之製造方法及半導體積體電路裝置
	英文	
二、發明創作人	姓名	(1) 黑田謙一 (2) 橋本孝司 (3) 宿利章二
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都立川市砂川町六－二九－二八 (2) 日本國埼玉縣入間市三ツ木台一九〇－九 (3) 日本國東京都小金井市前原町三－四〇－－
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 庄山悅彥

裝 訂 線

經濟部智慧財產局員工消費合作社印製

456029

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
IPC分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
日本	1998 年 6 月 17 日	10-169769	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

【發明之技術背景】

本發明是關於半導體積體電路裝置的製造方法及半導體積體電路裝置的技術，特別是有關適用於半導體積體電路裝置（具有將資訊儲存用容量元件設於位元線的上方之記憶體）的技術。

就代表大容量記憶體之半導體記憶體而言，例如有ＤＲＡＭ（Dynamic Radom Access Memory）。該ＤＲＡＭ的記憶容量有日益增大之傾向，因此從如何提高ＤＲＡＭ的記憶格的積體度等之觀點來看，不得不朝著縮小記憶格的專用面積之方向來發展，但因爲該電容器的儲存容量值必須考量ＤＲＡＭ的動作界限及軟體誤差等因素，所以需要有一定的量，因此一般無法成比例縮小是眾所皆知的。

在此，爲了可以在被限制的佔有面積內確保必要的儲存容量，而經由容量絕緣膜來層疊由多結晶矽等所構成的2層電極，亦即採用所謂的多層電容器等之類的立體電容器構造，例如將電容器配置於位元線的上方之〝Capacitor Over Bitline〞構造。

在此，有關具有此種構造的ＤＲＡＭ方面，例如有記載於日本特開平６－２６８１７５號公報者。在該文獻中揭示有關於下述之ＤＲＡＭ的製造過程。亦即，首先在半導體基板的表面上經由閘極絕緣膜來形成閘極電極與源極及汲極之後，在該半導體基板上堆積第１絕緣膜，並且在該第１絕緣膜中同時形成儲存節點用的連接孔與位元線用的連接孔。接著，在半導體基板上堆積多結晶矽膜之後，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（2）

予以進行回蝕刻，然後在上述兩種的連接孔內埋入多結晶矽膜。接著在堆積位元線形成用之新的多結晶矽膜及其上部的絕緣膜之後，使光阻劑形成光罩，而來蝕刻去除位元線以外的領域之上述多結晶矽膜。藉由這些過程來使儲存節點用的連接孔內的多結晶矽膜的表面下降至比第1絕緣膜的表面還要低。接著，在儲存節點用的連接孔之無多結晶矽膜的側面與構成位元線之多結晶矽膜的側面形成側壁膜（由絕緣膜所構成）之後，形成儲存節點。

此外，在日本特開平6－338597號公報中揭示有以埋入配線來形成ＤＲＡＭ的位元線之技術。亦即，在半導體基板上的絕緣膜中挖掘溝，並且在溝內埋入導體膜，而來形成位元線。此位元線是配置成平面直線狀。又，記憶格選擇ＭＩＳ・ＦＥＴ的活性領域（閘極・汲極領域）是形成平面Ｔ字狀。又，該位元線是以能夠平行重疊於其活性領域的中央凸部而配置，並且在此重疊領域中經由穿孔於上述絕緣膜的連接孔來電氣性連接於上述活性領域。

但，本發明者發現具有上述〝Capacitor Over Bitline〞構造的ＤＲＡＭ本身存在有以下所述之課題。

亦即，就上述日本特開平6－268175號公報中所記載之技術而言，由於是以個別的過程來形成位元線與位元線用的連接孔內的導電性構件，因此兩者之間會發生接觸阻抗。該接觸阻抗會造成位元線的電壓下降，而形成低電壓或不適於高速動作。上述情況，雖然位元線與位元

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

線用的連接孔內的導電性構件爲相同的材料之多結晶矽膜，但由於此情況是以非連續形成，因此在界面中容易形成氧化矽膜（通常會有非常小的隧道電流流動，或因多結晶矽膜中的濃度不均及晶粒的影響而造成在局部會有氧化矽膜形成，而導致會有電流流動），這將是形成接觸阻抗的主要因素。

另外，該技術會在絕緣膜上形成有位元線的圖案。並且，由於在此位元線的側面形成有側壁絕緣膜，因此較能夠確保平坦性，但因爲在覆蓋位元線的絕緣膜上面形成有藉位元線圖案的段差而反映出的凹凸，所以在該絕緣膜上形成儲存節點電極的圖案時，很容易在該絕緣膜上面的段差側面產生蝕刻殘留，且會因蝕刻殘留而導致的短路。

再者，雖然上述日本特開平6－338597號公報所記載的技術也是以埋入位元線而形成的構造，但實際上是有關與本發明構成不同的ＤＲＲＡ之技術。

【發明之概要】

本發明之目的在於提供一種能夠消除位元線的配線部的導體性構件與位元線用連接孔內的導體性構件之間的接觸阻抗之技術。

又，本發明之另一目的在於提供一種能夠提高覆蓋位元線的絕緣膜上面的平坦性之技術。

又，本發明之前述與其他的目的及新穎的特徵，可由本案說明書的記載內容與圖面中明確得知。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

以下，針對本案中具代表性的發明之概要加以說明。

亦即，本發明是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置的製造方法，其特徵是具有：

（a）在上述半導體基板上形成平面孤立矩形狀的第1領域之過程；及

（b）在半導體基板上形成延伸於與上述第1領域交叉的方向的字元線之過程；及

（c）在上述第1領域中挾持上述字元線的正下方的通道領域而形成上述記憶格選擇電晶體的源極及汲極用之一對的半導體領域之過程；及

（d）形成用以覆蓋藉由上述（a）~（c）過程而形成之記憶格選擇電晶體的第1層間絕緣膜之過程；及

（e）在上述第1層間絕緣膜中形成：

位元線用的配線溝；及

位元線用的連接孔；該位元線用的連接孔爲上述位元線用的配線溝的一部份，延伸於與上述位元線用的配線溝的延伸方向成平面交叉的方向，並且在平面重疊於上述記憶格選擇電晶體的一方半導體領域之領域中，一體連接於該位元線用的配線溝，而且上述記憶格選擇電晶體的一方半導體領域被露出；等之過程；及

（f）形成位元線之過程；該位元線是在上述位元線用的配線溝及位元線用的連接孔中埋入導體性構件，且位

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

元線用的配線溝內的配線部與位元線用的連接孔內的連接部爲一體成形；及

（g）在上述位元線的上方形成與上述記憶格選擇電晶體的另一方半導體領域進行電氣性連接之資訊儲存用容量元件之過程。

又，本發明具有：

在進行上述（e）過程時，在上述第1層間絕緣膜中，於記憶體的周邊電路領域形成配線用溝，及連接於上述配線用溝，且電氣性連接於該周邊電路用的元件的配線用連接孔之過程；及

在進行上述（f）過程時，在上述配線用溝及配線用連接孔中埋入導體性構件，而形成配線用溝內的配線部與配線用連接孔內的連接部爲一體成形而構成的配線之過程。

又，本發明是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置的製造方法，其特徵是具有：分別藉由各個的曝光處理來複寫記憶格選擇電晶體之閘極的圖案，及除此以外的其他電晶體之閘極的圖案之過程。

又，本發明具有：

在形成於上述半導體基板上的層間絕緣膜中，針對於其下層中被設置於同層或異層且露出彼此隔離的複數個第1導體性構件的連接孔進行穿孔之過程；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

在上述連接孔內埋入第2導體性構件，且電氣性連接上述彼此隔離的複數個第1導體性構件之過程。

【實施發明之最佳形態】

以下，根據圖面來詳細說明本發明之實施形態，並且在用以說明實施形態的全圖中，對於具有同一功能者賦予相同的符號，而且省略其重複說明。

（實施形態1）

第1圖是表示本發明之一實施形態的半導體積體電路裝置的要部剖面圖。第2圖是表示第1圖之半導體積體電路裝置的要部平面圖。第3～7圖是分別表示第2圖之A1－A1線，A2－A2線，B1－B1線，B2－B2線及B3－B3線的剖面圖。第8～32圖是表示第1圖之半導體積體電路裝置的製造過程中的要部剖面圖。

本實施形態1是針對例如將本發明適用於資訊儲存用的電容器爲設於位元線的上方之構造的256M位元DRAM（Dynamic Radom Access Memory）時加以說明。並且，在用以說明本實施形態1的第2圖中，爲了容易了解圖面，而於一部份中劃上剖面線。

如第1～7圖所示，半導體基板1是例如由矽單結晶所構成，例如含有硼，而設定成p⁻型。在此半導體基板1中形成有埋入的n阱2N1，2N2。埋入的n阱2N1是形成於記憶格領域M中，埋入的n阱2N2是形成於周

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（7）

邊領域P之n通道型的MIS・FET（Metal Insulator Semiconductor Field Effect Transistor；以下簡稱n MIS）的形成領域中。又，這些埋入的n阱2N1，2N2將例如被導入磷，而形成n型，且其雜質的濃度峰值會分布於半導體基板1的預定深度位置。

此外，在此埋入的n阱2N1，2N2上分別形成有p阱3P1，3P2。此p阱3P1，3P2將例如被導入硼，而形成p型，且該雜質會從半導體基板1的主面擴散至埋入的n阱2N1，2N2爲止。並且，在半導體基板1中，周邊電路領域P之p通道型的MIS・FET（以下簡稱p MIS）的形成領域中形成有n阱3N。此n阱3N將例如被導入磷，而形成n型，且該雜質會從半導體基板1的主面擴散至半導體基板1的預定深度位置。

此記憶格領域M的p阱3P1是藉由下層埋入的n阱2N1及其側面的n阱3N而完全被包圍，並且與半導體基板1電氣性分離。藉此，將能夠從設置於記憶格領域M以外的元件，經由半導體基板1來防止雜波入侵到記憶格領域M中。又，可對p阱3P1施加不同於施加於半導體基板1中的電壓之電壓。就本實施形態1而言，例如在p阱3P1（亦即，記憶格選擇MIS・FETQs）中施加負的基板偏壓電壓。在此，對p阱3P1所執行的電壓供給是經由連接於p阱3P1的配線來進行。另一方面，在第1圖中，雖然周邊電路領域的p阱3P2也是顯示出被包圍於埋入的n阱2N2及n阱3N中，但實際上該p

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（8）

阱３Ｐ２並非完全被包圍，並且供給設計上與電氣性連接於半導體基板１的半導體基板１中所供給的電壓相同之電壓。

此外，在如此之半導體基板１的主面上形成有淺溝埋入型的分離部４。此分離部４是用以規定元件的活性領域（第１領域）ＬＤ，且在被挖掘於半導體基板１的主面上的分離溝４ａ內埋入分離膜４ｂ。該分離膜４ｂ是例如由矽氧化膜所構成，且對上面進行平坦處理，而使得能夠與半導體基板１的主面幾乎形成一致。

另外，如第２圖所示，記憶格領域Ｍ的活性領域ＬＤ是形成平面孤立長方形狀。又，於各活性領域ＬＤ中形成有例如兩個的記憶格選擇ＭＩＳ・ＦＥＴＱｓ。又，各記憶格選擇ＭＩＳ・ＦＥＴＱｓ具有：挾持通道領域而形成之源極・汲極用的一對半導體領域５Ｎ１，５Ｎ２，及在通道領域上經由閘極絕緣膜６ｉＬ而設置的閘極電極７ｇｌ。

再者，一對的半導體領域５Ｎ１，５Ｎ２是例如被導入磷，而設定成ｎ型。上述兩個記憶格選擇ＭＩＳ・ＦＥＴＱｓ是彼此共有該一對的半導體領域５Ｎ１，５Ｎ２之一方的半導體領域５Ｎ２。並且，在半導體領域５Ｎ１，５Ｎ２的上部亦可形成設置例如鈦矽化物等之類的矽化物層之構造。藉此，將可減低配線與半導體領域５Ｎ１，５Ｎ２的接觸阻抗。

又，閘極絕緣膜６ｉ１是例如由矽氧化膜所構成，其膜厚爲７～８ｎｍ程度。並且，亦可藉由氧氮化膜（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（9）

ＳｉＯＮ膜）來形成閘極絕緣膜６ｉ１。藉此，由於可以抑止閘極絕緣膜中之界面準位的發生，以及能夠降低閘極絕緣膜中的電子捕捉，因此可以提高閘極絕緣膜６ｉ１的熱載流子耐性。在此，就閘極絕緣膜６ｉ１的氧氮化方法而言，例如有：藉由氧化處理來形成閘極絕緣膜６ｉ１時，在NH_3氣體及NO_2氣體的環境中，施以高溫熱處理，而使得能夠在閘極絕緣膜６ｉ１中導入氮氣之方法；及在形成由矽氧化膜等所構成的閘極絕緣膜６ｉ１之後，在上面形成氮化膜之方法；及在半導體基板的主面上離子注入氮氣之後，實施用以形成閘極絕緣膜６ｉ１的氧化處理之方法；及在閘極電極形成用的多晶矽膜中離子注入氮氣之後，施以熱處理，而使氮氣析出於閘極絕緣膜之方法等。

又，閘極電極７ｇ１是由字元線ＷＬ的一部份所形成。如第２圖所示，該字元線ＷＬ是以能夠垂直於活性領域ＬＤ之方式而配置。在此字元線ＷＬ中，與活性領域ＬＤ重疊的領域是形成閘極電極７ｇ１。此閘極電極７ｇ１（亦即，字元線ＷＬ）是由下層依次堆積導體膜而成，該導體膜爲：由ｎ型的低阻抗多晶矽所構成的導體膜，或由氮化鈦及氮化鎢等所構成的阻擋膜，以及由鎢等所構成的導體膜。在低阻抗多晶矽膜上直接層疊鎢膜時，該阻擋膜具有防止因製程中實施熱處理而導致在其接觸部形成矽化物之功能。又，由鎢等所構成的導體膜具有降低字元線ＷＬ的配線阻抗之功能，可將閘極電極７ｇ１（亦即，字元線ＷＬ）的薄片阻抗降低至２～２．５Ω／□的程度。亦即

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（10）

，可降低成約鎢矽化物的比阻抗１５～１０μΩ　ｃｍ的十分之一。藉此，將可提高ＤＲＡＭ的存取速度。又，由於可以增加配置於１條字元線ＷＬ的記憶格數量，因此將能夠縮小記憶格領域全體的佔有面積，而使得可以縮小半導體晶片的尺寸。例如，就本實施形態而言，可在字元線ＷＬ中配置５１２個記憶格。這與只能在字元線ＷＬ中配置２５６個的記憶格時相較下，半導體晶片的尺寸可縮小約６分之一，並且在微細玻璃的半導體晶片中可縮小約１０％弱的半導體晶片尺寸。藉此，由於可以增加１次製程中所製造出之半導體晶片的個數，因此將能夠促進ＤＲＡＭ的成本降低。又，若不改變半導體晶片的尺寸，則可謀求元件積體度的提升。又，於閘極電極７ｇ１的上面形成有罩蓋絕緣膜８。並且，在閘極電極７ｇ１（字元線ＷＬ）的側面，罩蓋絕緣膜８的表面，半導體基板１的主面及分離部４的上面形成有反映出下層的段差之厚度較薄的絕緣膜９。此罩蓋絕緣膜８及厚度較薄的絕緣膜９是例如由矽氮化膜所構成。

另一方面，在周邊電路領域Ｐ的活性領域中形成有ｐＭＩＳＱｐ及ｎＭＩＳＱｎ。ｐＭＩＳＱｐ具有：挾持通道領域而形成之源極．汲極用的一對半導體領域１０Ｐ，１０Ｐ，及在通道領域上經由閘極絕緣膜６ｉ２而設置的閘極電極７ｇ２。ｎＭＩＳＱｎ具有：挾持通道領域而形成之源極．汲極用的一對半導體領域１１Ｐ，１１Ｐ，及在通道領域上經由閘極絕緣膜６ｉ２而設置的閘極電極

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

五、發明說明（11）

7g2。

又，各半導體領域10P，11N具有：低濃度領域，及高濃度領域（決定導體型的雜質濃度要比低濃度領域來得高）。低濃度領域主要是用以壓制熱載流體子效應之領域，是鄰接於通道領域。又，高濃度領域是形成於平面離開通道領域（僅爲低濃度領域的平面尺寸量）的位置。又，於pMISQp的低濃度領域及高濃度領域中，例如被導入硼，而設定成p型。又，於nMISQn的低濃度領域中，例如被導入磷，高濃度領域中，例如被導入砷，而設定成n型。並且，在如此一對的半導體領域11N的通道領域側的底部角近旁設有用以抑止源極・汲極間的貫通之小型領域。在此，被設置於pMISQp側的小型領域會被設定成n型，被設置於nMISQn側的小型領域會被設定成p型。又，於半導體領域10P，11N的上部亦可形成設置例如鎢矽化物或鈦矽化物等之類的矽化物層之構造。藉此，將可減低配線與半導體領域10P，11N的接觸阻抗。

此外，閘極絕緣膜6i2雖與上述閘極絕緣膜6i1同樣的，是例如由矽氧化膜所構成，但其膜厚要比上述閘極絕緣膜6i1來得薄，約爲4～4.5nm程度。又，與上述閘極絕緣膜6i1同樣的，亦可將此閘極絕緣膜6i2形成氧氮化膜。在此，由於閘極電極7g2與上述閘極電極7g1相同，因此省略說明。並且，分離部4上的閘極電極7g是表示其他MIS・FET的閘極電極，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（12）

將與閘極電極７ｇ１，７ｇ２同時形成。而且，在此閘極電極７ｇ１，７ｇ２的上面亦形成有上述罩蓋絕緣膜８。又，於閘極電極７ｇ２，７ｇ的側面，罩蓋絕緣膜８的表面，半導體基板１的主面及分離部４的上面亦形成有反映出下層的段差之厚度較薄的絕緣膜９。

另外，在如此之半導體基板１的主面上覆蓋有：例如由矽氧化膜所構成的層間絕緣膜１２ａ。並且，在此層間絕緣膜１２ａ上覆蓋有：例如由矽氮化膜所構成的絕緣膜１３。而且，在此層間絕緣膜１２ａ及絕緣膜１３中形成有露出半導體領域５Ｎ１，５Ｎ２，１０Ｐ，１１Ｎ的上面之連接孔１４ａ~１４ｅ與配線溝１５ａ，１５ｂ。

再者，於記憶格領域Ｍ的連接孔１４ａ內被埋入有栓塞１６ａ。此栓塞１６ａ是用以電氣性連接記憶格選擇ＭＩＳ・ＦＥＴＱｓ的半導體領域５Ｎ１與電容器（資訊儲存容量元件）Ｃ之構件，該構件是在厚度較薄的導體膜（例如由鈦等所構成）上層疊厚度較薄的導體膜（例如由氮化鈦所構成），且在上面層疊鎢等厚度較厚的導體膜而成。又，如第２圖所示，連接孔１４ａ（栓塞１６ａ）之設計上的平面形狀，雖是形成收容於半導體領域５Ｎ１的平面領域內的平面四角形狀，但實際上其角是形成圓弧狀。

又，記憶格領域Ｍ之配線溝１５ａ與連接孔１４ｂ是聯繫著。並且，在連接孔１４ｂ內埋入有位元線ＢＬ的連接部１６ｂ１，在配線溝１５ａ內埋入有位元線ＢＬ的配線部１６ｂ２。又，位元線ＢＬ的連接部１６ｂ１與配線

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（13）

部１６ｂ２是一體成形，位元線ＢＬ是經由連接部１６ｂ１來與半導體領域５Ｎ２進行電氣性連接。亦即，在本實施形態中，由於位元線ＢＬ的連接部１６ｂ１與配線部１６ｂ２是一體成形，因此可形成雙方間不產生接觸抵抗之構造。又，位元線ＢＬ的配線部１６ｂ２是被埋入配線溝１５ａ內，且其上面與絕緣膜１３的上面幾乎形成一致。藉此，由於在位元線ＢＬ的上方不會產生位元線ＢＬ的圖案段差，因此將能夠防止在其段差側面產生導體膜的蝕刻殘留，以及可以防止因蝕刻殘留而導致的短路。

又，由於位元線ＢＬ的配線部１６ｂ２的剖面構造是以絕緣膜９能夠露出之方式來挖掘配線溝１５ａ，因此即使是在連接部１６ｂ以外的領域中，還是會有配線部１６ｂ２存在於彼此鄰接的字元線ＷＬ間。因此，可以使位元線ＢＬ的剖面積增大，進而能夠減低阻抗。又，位元線ＢＬ的配線部１６ｂ２的平面形狀，基本上是以直線狀延伸於與字元線ＷＬ的延伸方向垂直之方向上而形成，但其一部份是突出於平行延伸於字元線ＷＬ的延伸方向之方向上，而該突出部會平面地重疊於活性領域Ｌ。並且，在重疊處設置連接孔１４ｂ及連接部１６ｂ。以如此之位元線ＢＬ的連接部１６ｂ１及配線部１６ｂ２所一體構成的導體膜，是在例如由鈦等所構成之厚度較薄的導體膜上重疊由氮化鈦等所構成之厚度較薄的導體膜，並且在上面重疊鎢等之厚度較厚的導體膜。

又，於周邊電路Ｐ的連接孔１４ｃ，１４ｅ內埋入栓

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（14）

塞16c，16e。在此，由於該栓塞16c，16e的剖面構造，平面構造及材料與上述栓塞16a相同，因此省略其說明。周邊電路領域P之配線溝15b與連接孔14d是聯繫著。又，於連接孔14d內埋入有局部配線17的連接部16d1，且在配線溝15b內埋入有局部配線17的配線部16d2。該局部配線17爲電氣性連接半導體領域10P，11N間的配線。由於此局部配線17的連接部16d1與配線部16d2是一體成形，因此與位元線BL同樣的，可形成連接部16d1與配線部16d2間不產生接觸抵抗之構造。又，由於局部配線17的配線部16d2是被埋入配線溝15b內，而且其上面與絕緣膜13的上面幾乎形成一致，因此在局部配線17的上方不會產生圖案段差，而使得能夠防止在其段差側面產生導體膜的蝕刻殘留，以及可以防止因蝕刻殘留而導致的短路。在此，由於局部配線17的構成材料與位元線BL相同，因此省略其說明。

又，於記憶格領域M之絕緣膜13上設有例如冠形的電容器C。藉由該電容器C與記憶格選擇MIS·FETQs來形成DRAM的記憶格。電容器C是由：下部電極18a，及覆蓋於表面（內側面及外側面）的容量絕緣膜18b，及設於表面的上部電極18c所構成。下部電極18a是例如由含有磷的低阻抗多晶矽等所構成，且電氣性連接於栓塞16a。容量絕緣膜18b是例如於矽氮化膜上層疊鉭氧化膜（Ta_2O_5）而成。上部

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（15）

電極１８ｃ是例如於氮化鈦上層疊ｎ型的低阻抗多晶矽而成。

如此之電容器Ｃ是利用堆積於絕緣膜１３上的層間絕緣膜１２ｂ而被覆蓋。該層間絕緣膜１２ｂ是例如由矽氧化膜而構成。又，於此層間絕緣膜１２ｂ上形成有第１層配線１９ａ～１９ｄ。此第１層配線１９ａ～１９ｄ是例如由下層依次堆積鈦，氮化鈦，鋁（或鋁－矽－銅合金），鈦及氮化鈦而成。第１層間配線１９ａ是經由穿孔於層間絕緣膜１２ｂ的連接孔２０ａ內的栓塞２１ａ而來與上部電極１８ｃ進行電氣性連接。又，第１層間配線１９ｂ是經由穿孔於層間絕緣膜１２ｂ的連接孔２０ｂ內的栓塞２１ｂ而來與栓塞１６ｃ進行電氣性連接。又，第１層間配線１９ｃ是經由穿孔於層間絕緣膜１２ｂ的連接孔２０ｃ內的栓塞２１ｃ而來與局部配線１７進行電氣性連接。又，第１層間配線１９ｄ是經由貫通層間絕緣膜１２ａ，１２ｂ及絕緣膜１３之連接孔２０ｄ內的栓塞２１ｄ而來與栓塞１６ｅ及閘極電極７ｇ進行電氣性連接。亦即，栓塞２１ｄ是與栓塞１６ｅ（亦即，半導體領域１１Ｎ）及閘極電極７ｇ進行電氣性連接。

此外，在層間絕緣膜１２ｂ上堆積例如由矽氧化膜所構成的層間絕緣膜１２ｃ。並且，在此層間絕緣膜１２ｃ上形成有第２層配線２２。在此，由於第２層配線２２的構成材料與第１層配線１９ａ～１９ｄ相同，因此省略其說明。第２層配線２２是經由穿孔於層間絕緣膜１２ｃ的

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（16）

連接孔23a，23b內的栓塞24a，24b而來分別與第1層配線19b，19d進行電氣性連接。而且，在層間絕緣膜12c上堆積有表面保護膜25。又，於該表面保護膜25的一部份形成有露出第2層配線22的一部份之開口部。由此開口部露出的第2層配線22會形成接合墊BP。又，表面保護膜25是經由矽氧化膜或矽氧化膜上的矽氮化膜來層疊聚醯亞胺樹脂而成。又，接合墊BP是經由焊錫凸起或接合金屬線來與封裝體的導線進行電氣性連接，且與外部裝置進行電氣性連接。

其次，根據第8圖～第32圖來說明本實施形態之半導體電路裝置的製造方法。

首先，如第8圖所示，在由p 型的矽單結晶所構成的半導體基板1的主面上，藉由氧化法來形成由矽氧化膜所構成的墊膜26，然後再於上面利用CVD法等來形成由矽氮化膜所構成的絕緣膜27，接著在上面形成露出分離領域之光阻劑圖案28a。之後，以該光阻劑圖案28a作爲蝕刻光罩來蝕刻去除自該處露出的絕緣膜27及墊膜26以及半導體基板1的一部份，藉此來形成分離溝4a。接著在去除光阻劑圖案28a之後，以絕緣膜作爲光罩來對半導體基板1進行熱氧化處理，而藉此來將矽氧化膜形成於分離溝4a的側面及底面上。

其次，在絕緣膜27維持原狀的情況下，於半導體基板1的主面上藉由CVD法來覆蓋矽氧化膜。該矽氧化膜是以電漿CVD法（使用臭氧（O_3）與四乙氧矽烷（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（17）

ＴＥＳＯ）作爲來源氣體）堆積而成爲理想。接著以只會殘留於分離溝４ａ內之方式，藉由使用乾蝕刻之回蝕刻法或ＣＭＰ（Chemical Mechanical Polishing）法來去除該矽氧化膜，而如第９圖所示，在分離溝４ａ內形成由矽氧化膜等所構成的分離膜４ｂ。接著在進行熱處理（供以使構成分離膜４ｂ的矽氧化膜緻密化）之後，藉由絕緣膜２７（參照第８圖）的去除來形成淺溝埋入型的分離部４。

其次，如第１０圖所示，在半導體基板１的主面上形成露出ｎ阱形成領域的光阻劑圖案２８ｂ之後，以此作爲光罩，在半導體基板１中，藉由離子植入法來導入磷，而形成ｎ阱３Ｎ，又，藉由離子植入法來導入硼，而設定ｐＭＩＳＱｐ（參照第１圖）的臨界值電壓。接著在去除光阻劑圖案２８ｂ之後，如第１１圖所示，在半導體基板１的主面上形成露出ｐ阱形成領域的光阻劑圖案２８ｃ。然後，以光阻劑圖案２８ｃ作爲光罩，在半導體基板１中，藉由離子植入法來導入硼，而形成ｐ阱３Ｐ１，３Ｐ２，又，藉由離子植入法來導入硼，而設定記憶格選擇ＭＩＳ・ＦＥＴＱｓ及ｎＭＩＳＱｎ（參照第１圖）的臨界值電壓，以及藉由離子植入法來導入磷，而形成埋入ｎ阱２Ｎ１，２Ｎ２。藉此，由於能夠以相同的光阻劑圖案２８ｃ來作爲光罩，而來離子注入ｐ阱３Ｐ１，３Ｐ形成用的雜質，臨界值電壓設定用的雜質及埋入ｎ阱２Ｎ１，２Ｎ２形成用的雜質，因此可以謀求製造過程的簡略化，及縮短製品的製造時間，以及能夠促進製品成本的降低。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（18）

其次，在去除光阻劑圖案２８ｃ之後，如第１２圖所示，必須設定ＤＲＡＭ的記憶格選擇ＭＩＳ・ＦＥＴＱｓ（參照第１圖）的臨界值電壓，而於半導體基板１的主面上，露出記憶格領域Ｍ，且形成覆蓋該處以外的光阻劑圖案２８ｄ，並以此光阻劑圖案２８ｄ作爲光罩，在半導體基板１中，藉由離子植入法來導入硼。接著，在去除光阻劑圖案２８ｄ之後，進行９５０℃～１０５０℃，數秒～數分的條件之ＲＴＡ（Rapid Thermal AnnΛeal）處理，而使上述導入的雜質活性化。藉此來形成ｎ阱３Ｎ，ｐ阱３Ｐ１，３Ｐ２及埋入ｎ阱２Ｎ１，２Ｎ２。然後，如第１３圖所示，對半導體基板１進行８００℃程度的熱氧化處理，而來形成厚度６～７ｎｍ程度的矽氧化膜（用以形成閘極絕緣膜６ｉ１的膜）。

其次，在該閘極絕緣膜６ｉ１上，例如在被覆蓋記憶格領域Ｍ，且形成露出周邊電路領域之ｎＭＩＳ形成領域及ｐＭＩＳ形成領域的光阻劑圖案２８ｅ之後，以此光阻劑圖案２８ｅ作爲蝕刻光罩，而藉由溼蝕刻法來去除自此露出的閘極絕緣膜６ｉｌ。接著，在去除光阻劑圖案２８ｅ之後，如第１４圖所示，對半導體基板１進行７００℃程度的熱氧化處理，而來形成厚度３～４ｎｍ程度的矽氧化膜（用以形成閘極絕緣膜６ｉ２的膜）。然後，例如在ＮＯ環境中進行９００℃程度的熱處理，或者是在N_2O環境中進行１０５０℃程度的熱處理。而藉此來將ＤＲＡＭ的記憶格選擇ＭＩＳ・ＦＥＴＱｓ的閘極絕緣膜６ｉ１（較

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（19）

厚的閘極絕緣膜）的膜厚形成７～８ｎｍ程度，以及將ｎＭＩＳＱｎ與ｐＭＩＳＱｐ的閘極絕緣膜６ｉ２（較薄的閘極絕緣膜）的膜厚形成４～４．５ｎｍ程度。並且，在構成半導體基板１的矽單結晶與由矽氧化膜所構成的閘極絕緣膜６ｉｌ，６ｉ２的境界部形成矽氮化膜。此矽氮化膜是用以填滿閘極絕緣膜６ｉｌ，６ｉ２（矽氧化膜）中的未結合（dangling bond），使得能夠防止因熱載流子的產生而導致閘極絕緣膜６ｉｌ，６ｉ２的劣化，且對雙閘極電極構造（ｎＭＩＳ的閘極電極是由ｎ型的多晶矽所構成，ｐＭＩＳ的閘極電極是由ｐ型的多晶矽所構成）的ｐ型矽植入的雜質（硼）會在閘極絕緣膜６ｉｌ，６ｉ２中（氟或氫的環境中）加速擴散於通道領域中，而使得能夠防止臨界值（Ｖｔ）電壓變動。

此外，在本實施形態中雖未圖示，但實際上在使用於ＤＲＡＭ的字元解碼器或基板偏壓產生電路中的ＭＩＳ・ＦＥＴ或輸出入用的ＭＩＳ・ＦＥＴ的一部份中會使用與記憶格選擇ＭＩＳ・ＦＥＴＱｓ相同之膜厚較厚的閘極絕緣膜之ＭＩＳ・ＦＥＴ。在本實施形態中，雖然ＤＲＡＭ之記憶格選擇ＭＩＳ・ＦＥＴＱｓ的閘極絕緣膜６ｉｌ形成較厚，而構成ＤＲＡＭ之周邊電路的ｎＭＩＳＱｎ與ｐＭＩＳＱｐ的閘極絕緣膜６ｉ２形成較薄，但並非只限定於此。亦即，ＤＲＡＭ之記憶格選擇ＭＩＳ・ＦＥＴＱｓ爲負偏壓動作時，亦可將記憶格選擇ＭＩＳ・ＦＥＴＱｓ的閘極絕緣膜６ｉ１形成與閘極絕緣膜

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（20）

6i2同樣的薄。這是因爲在習知之基板偏壓方式中，施加於閘極電極中的電位爲正電位，且因爲是字元線增壓方式，所以在閘極絕緣膜6il中會施加高電壓，相對的在採用負偏壓動作時，因爲對於閘極電極7g1的電位爲形成通道領域的p阱3Pl的電位而言是在從負到正之間進行動作，所以能夠實質地降低施加於記憶格選擇MIS·FETQs的閘極絕緣膜6il中的電壓。

接著，在閘極絕緣膜6il，6i2上覆蓋閘極電極形成用的導體膜之後，在其上面覆蓋例如由矽氮化膜所構成的罩蓋絕緣膜8。在此，於單閘極電極構造（pMIS的閘極電極與nMIS的閘極電極皆是以n型的多晶矽所構成）中，在形成多晶矽化物構造的閘極電極時，上述閘極電極形成用的導體膜是在例如n型的低阻抗多晶矽膜上藉由CVD法等來由下層依次堆積錳矽化物等而形成。又，此n型的多結晶矽膜亦可於該多晶矽膜的堆積中導入磷而形成，或是藉CVD法來堆積不含雜質的多晶矽膜之後，在其多晶矽膜中熱擴散或以離子植入法來植入磷或砷而形成。

又，在單閘極電極形成用的導體膜中，形成多金屬構造的閘極電極時，上述閘極電極形成用的導體膜是在例如n型的低阻抗多晶矽膜上藉由CVD法等來覆蓋氮化鎢膜等之後，更在上面藉由CVD法等來覆蓋鎢而形成。又，此情況之n型的低阻抗多晶矽膜在藉由CVD法等來堆積不含雜質的多晶矽之後，在其多晶矽膜中熱擴散或以離子

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（21）

植入法來植入磷或砷而形成。

又，於雙閘極電極的情況時，多晶矽化物閘極構造與多金屬閘極構造皆是在堆積不含雜質的多晶矽之後，藉由光罩（圖中未示），在ｎＭＩＳ領域中以離子植入法來植入磷或砷，並且藉由光罩（圖中未示），在ｐＭＩＳ領域中以離子植入法來植入硼。而且，在雙閘極電極的情況時，爲了設定第１０圖之ｐＭＩＳＱｐ的臨界值電壓，而藉由離子導入法來導入磷。接著，在多晶矽化物閘極構造中，藉由ＣＶＤ法等來堆積鎢矽化物等。又，於多金屬閘極構造中藉由ＣＶＤ法等來堆積氮化鎢膜等之後，在上面藉由ＣＶＤ法等來覆蓋鎢膜等。在此，供以形成罩蓋絕緣膜８的矽氮化膜，爲了防止因爲氫的存在而造成硼的加速擴散，而於７００℃以下的溫度，藉由ＣＶＤ法等來予以堆積。

其次，如第１５圖所示，在罩蓋絕緣膜８上形成閘極電極形成用的光阻劑圖案２８ｆ之後，以該光阻劑圖案２８ｆ作爲蝕刻光罩，而來蝕刻去除自光阻劑圖案２８ｆ露出的罩蓋絕緣膜８及閘極電極形成用的導體膜，而藉此來形成閘極電極７ｇ，７ｇ１，７ｇ２及其上面的罩蓋絕緣膜８。在本實施例中，雖是在閘極電極的加工終了爲止，不去除光阻劑圖案２８ｆ而予以殘留，但並非只限於此。首先，以光阻劑圖案２８ｆ作爲蝕刻光罩，而來針對由矽氮化膜等所構成的罩蓋膜８進行加工之後，去除阻劑圖案２８ｆ。接著，以被形成圖案的罩蓋絕緣膜８作爲光罩

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（22）

，而來針對閘極電極進行加工。若利用此方法，則由於在閘極電極的加工中不存在光阻劑膜，因此在其加工中可消除自光阻劑膜中所產生的氣體，或加工氣體中的氯等之氣體，以及與光阻劑膜產生的反應物，因而得以形成控制性良好的加工。

又，於本實施形態中，雖是使用同一光罩來將供以形成ＤＲＡＭ的記憶格選擇ＭＩＳ・ＦＥＴＱｓ的閘極電極７ｇ１，以及構成ＤＲＡＭ的周邊電路的ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的閘極電極７ｇ２，７ｇ之光阻劑圖案複寫於光阻劑膜上，但亦可使用不同的光罩來複寫各光阻劑圖案。

亦即，首先與上述同樣的，在閘極電極形成用的導體膜上覆蓋由矽氮化膜所構成的罩蓋絕緣膜之後，在上面塗怖光阻劑膜。接著，藉由第１光罩來使ＤＲＡＭ的記憶格選擇ＭＩＳ・ＦＥＴＱｓ的閘極電極部曝光。此刻，將以最適於形成記憶格選擇ＭＩＳ・ＦＥＴ的閘極電極之曝光條件來進行曝光處理。並且，事先以ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的形成領域不會感光之方式來構成第１光罩。接著，藉由與第１光罩有所不同的第２光罩來針對ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的閘極電極部進行曝光。此刻，將以最適於形成記憶格選擇ＭＩＳ・ＦＥＴ的閘極電極之曝光條件來進行曝光處理。並且，事先以ＤＲＡＭ的記憶格選擇ＭＩＳ・ＦＥＴ的形成領域不會感光之方式來構成第２光罩。之後，利用根據第１光罩及第２光罩而形

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（23）

成的光阻劑圖案來針對罩蓋絕緣膜8進行加工。接著，在去除光阻劑圖案之後，以加工後的罩蓋絕緣膜8作爲光罩，而來針對記憶格選擇ＭＩＳ・ＦＥＴＱｓ，ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的閘極電極進行加工。

又，亦可形成下述一般。首先，如第１６圖所示，在閘極絕緣膜６ｉ１，６ｉ２上堆積由閘極電極形成用的導體膜７及矽氮化膜等所構成的罩蓋絕緣膜８之後，與上述同樣的，藉由第１光罩來針對ＤＲＡＭ的記憶格選擇ＭＩＳ・ＦＥＴ的閘極電極部進行曝光，而形成光阻劑圖案２８ｆ１，並以此光阻劑圖案２８ｆ１作爲光罩來使罩蓋絕緣膜８形成圖案。接著，在去除光阻劑圖案２８ｆ１之後，重新塗佈光阻劑膜。然後，如第１７圖所示，在重新塗佈的光阻劑膜上，與上述同樣的，藉由與第１光罩有所不同的第２光罩來針對ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的閘極電極部進行曝光，而於形成光阻劑圖案２８ｆ２之後，以此光阻劑圖案２８ｆ２作爲光罩來使罩蓋絕緣膜８形成圖案。其次，在去除光阻劑圖案２８ｆ２之後，如第１８圖所示，以罩蓋絕緣膜８作爲蝕刻光罩，而來針對記憶格選擇ＭＩＳ・ＦＥＴ及ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的閘極電極７ｇ１，７ｇ２及閘極電極７ｇ進行加工。

這是根據本發明者的研究結果而發現下述課題所致。亦即，就記憶格領域與周邊電路領域（或記憶格領域與邏輯電路領域）而言，由於最合適的曝光條件與線寬或線間隔的尺寸條件形成相反，因此在以同一光罩來複寫記憶格

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（24）

領域與周邊領域的閘極電極圖案時，對雙方而言，將無法以妥當的曝光條件來進行曝光處理，甚至在微細化的元件或配線等之圖案形成中無法取得充分的圖案複寫精度。相對的，就本實施形態而言，由於在記憶格領域與周邊領域中是使用不同的光罩，以對各領域最合適的曝光條件來進行曝光處理，而使得可以在高精度的情況下來複寫微細的圖案，因此將能夠實現元件或配線的微細化，而得以提高元件的可靠性及性能。

此情況雖可使用曝光技術之一的相位位移技術，但卻會有以下所述之課題產生，而本實施形態正可解決這些課題。亦即，對於現在的６４Ｍｂｉｔ以上的ＤＲＡＭ而言，通常爲了提高ＤＲＡＭ之記憶格選擇ＭＩＳ・ＦＥＴＱｓ的積體度，而縮小閘極電極的加工間距（線寬與間隔的和），這時可使用相位位移法。相位位移法是屬於一種可藉由透過光罩的光之相位的操作來使微細圖案的複寫精度提高之曝光技術。雖然此相位位移法對於記憶格選擇ＭＩＳ・ＦＥＴＱｓ的閘極電極（亦即，字元線ＷＬ（參照第１圖））之類的規則性圖案有效，但若將此方法同時使用於隨機圖案之ｎＭＩＳＱｎ及ｐＭＩＳＱｐ時，則將會難以形成微細的圖案。因應於此，本實施形態是在上述記憶格領域Ｍ中使用相位位移法，以及在形成有隨機圖案之ｎＭＩＳＱｎ及ｐＭＩＳＱｐ的閘極電極之周邊電路領域中進行通常的曝光處理，而來彌補兩者的缺點。

其次，在去除光阻劑圖案２８ｆ之後，爲了保護閘極

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（25）

電極7g1，7g2，7g的端部之閘極絕緣膜（會因閘極電極7g1，7g2，7g的加工而受到損害），而藉由熱氧化法來形成3～10nm程度的矽氧化膜。在此，若爲多晶矽化物閘極構造時，則例如會在O_2的環境中進行處理，若爲多金屬閘極構造時，則爲了防止最上部的鎢（W）在氧化中昇華，而例如於H_2+H_2O的混合環境中進行處理。

接著，如第19圖所示，爲了形成記憶格選擇MIS・FETQs的源極・汲極之半導體領域5N1，5N2，而藉由離子植入法來針對半導體基板1植入1～$3\times10^{13}/cm^2$程度的雜質（例如磷）。在此，由於記憶格選擇MIS・FETQs的源極・汲極（低濃度領域）形成用的雜質植入量要比後述之nMIS及pMIS的源極・汲極用的雜質植入量來得少而可相抵，因此可在不形成覆nMIS形成領域及pMIS形成領域之光阻劑圖案的狀態下，將記憶格選擇MIS・FETQs的源極・汲極（低濃度領域）形成用的雜質予以植入半導體基板1的全面。又，之所以要使用磷來作爲記憶格選擇MIS・FETQs的源極・汲極形成用的雜質，那是爲了防止因記憶格選擇MIS・FET的源極・汲極用的半導體領域5N1，5N2與半導體基板1間的接合耐壓降低，而造成漏電流的增加，進而導致更新特性惡化。

其次，如第20圖所示，在形成覆蓋記憶格領域M及pMIS形成領域，且露出nMIS形成領域之光阻劑圖

（請先閱讀背面之注意事項再填寫本頁）

裝・訂・線

五、發明說明（26）

案２８ｇ後，爲了形成ｎＭＩＳ的源極・汲極用的半導體領域之低濃度領域，而以光阻劑圖案２８ｇ作爲光罩來離子植入１×１０^{11}～５×１０^{11}／ｃｍ^{2}程度的雜質（例如砷）。接著，在使光阻劑圖案２８ｇ保持不動的情況下，藉由離子植入法來植入貫穿阻擋件用的雜質，亦即植入～１×１０^{11}／ｃｍ^{2}程度的雜質（例如硼）。雖然記憶格選擇ＭＩＳ・ＦＥＴ亦爲ｎＭＩＳ，但在此是覆蓋上光阻劑圖案２８ｇ，而使上述低濃度領域形成用的砷不會被植入。這是爲了防止在記憶格選擇ＭＩＳ・ＦＥＴ的源極・汲極用的半導體領域５Ｎ１，５Ｎ２中被植入低濃度領域形成用的砷及貫穿阻擋件用的硼之後，會因與半導體基板１間的接合耐壓降低，而造成漏電流的增加，進而致更新特性惡化。並且，在形成上述濃度領域及貫穿阻擋領域時，亦可由斜方向（對半導體基板１的主面而言）來植入雜質離子，例如在將離子植入角度設定成３０度的狀態下來植入雜質離子。

其次，在去除光阻劑圖案２８ｇ之後，如第２１圖所示，在半導體基板１的主面上形成覆蓋記憶格領域Ｍ及ｎＭＩＳ形成領域，且露出ｐＭＩＳ形成領域之光阻劑圖案２８ｈ。接著，爲了形成ｐＭＩＳ的源極・汲極之低濃度領域，而以光阻劑圖案２８ｈ作爲光罩來離子植入１×１０^{11}～５×１０^{14}／ｃｍ^{2}程度的雜質（例如硼）。然後在使光阻劑圖案２８ｉ保持不動的情況下，藉由離子植入法來植入貫穿阻擋件用的雜質。在此，是植入～１×

（請先閱讀背面之注意事項再填寫本頁）

五、發明說明（27）

$10^{11}/cm^2$程度的雜質（例如磷或砷）。並且，在形成ｐＭＩＳ的低濃度領域及貫穿阻擋領域時，亦可由斜方向（對半導體基板１的主面而言）來植入雜質離子，例如在將離子植入角度設定成３０度的狀態下來植入雜質離子。

其次，在去除光阻劑圖案２８ｈ之後，對半導體基板１進行熱處理，而來進行ｎＭＩＳ及ｐＭＩＳ的低濃度領域之雜質的活性化。此活性化最好是藉由９５０～１０５０℃，數秒鐘～數分鐘之ＲＴＡ處理（Rapid Thermal annieal）來進行。接著，如第２２圖所示，在半導體基板１的主面上，以能夠反映出下層的段差之方式，藉由ＣＶＤ法等來堆積絕緣膜９（例如由厚度５０ｎｍ程度的薄矽氮化膜所構成）。藉此來覆蓋半導體基板１的主面，閘極電極７ｇ１，７ｇ２，７ｇ的側面，罩蓋絕緣膜８的表面及分離部４的上面。在此，若爲雙閘極電極時，由於矽氮化膜會因氫的存在而促使硼快速擴散，因此爲了防止該情況的發生，而藉由ＣＶＤ法，在７００℃以下的溫度進行堆積。該絕緣膜９例如具有下述的功能。第１點是具有作爲用以形成上述低濃度領域時之光罩的功能。亦即，根據設置於閘極電極７ｇ１，７ｇ２，７ｇ的側面之絕緣膜９的厚度來設定低濃度領域的平面寬度尺寸。第２點是可使用於對閘極電極７ｇ１，７ｇ２，７ｇ及分離部４進行自我整合（ＳＡＣ：Self-AlignCONT）而供以形成後述之位元線用的連接孔與周邊的連接孔。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（28）

其次，在絕緣膜上形成露出ｎＭＩＳ形成領域，且覆蓋記憶格領域Ｍ及ｎＭＩＳ形成領域之光阻劑圖案２８ｉ後，爲了形成ｎＭＩＳ的源極・汲極之高濃度領域，而以光阻劑圖案２８ｉ作爲光罩，經由絕緣膜９在半導體基板１中離子植入１×１０^{15}～５×１０^{15}／ｃｍ^{2}程度的雜質（例如砷）。接著，在去除光阻劑圖案２８ｉ之後，如第２３圖所示，形成露出ｐＭＩＳ形成領域，且覆蓋記憶格領域Ｍ及ｎＭＩＳ形成領域之光阻劑圖案２８ｊ。之後，爲了形成ｐＭＩＳ的源極・汲極之高濃度領域，而以光阻劑圖案２８ｊ作爲光罩，經由絕緣膜９在半導體基板１中離子植入１×１０^{15}～５×１０^{15}／ｃｍ^{2}程度的雜質（例如硼）。接著，在去除光阻劑圖案２８ｊ之後，藉由熱處理來進行上述之ｎＭＩＳ及ｐＭＩＳ的高濃度領域之雜質的活性化。此活性化最好是藉由９５０～１０５０℃，數秒鐘～數分鐘之ＲＴＡ處理（Rapid Thermal annieal）來進行。如此一來，將能夠在周邊電路領域中形成ｎＭＩＳＱｎ及ｐＭＩＳＱｐ。

在本實施形態中，雖是經由絕緣膜９來植入供以形成高濃度領域的雜質，但亦可使用下述方法。首先，就第１例而言，是以光阻劑圖案２８ｉ，２８ｊ作爲光罩，藉由各向異性蝕刻來對絕緣膜９進行回蝕刻，而使能夠在ｎＭＩＳ及ｐＭＩＳ的閘極電極７ｇ１，７ｇ２，７ｇ的側面形成由矽氮化膜所構成的側壁。此刻，未被光阻劑圖案２８ｉ，２８ｊ所覆蓋之ｎＭＩＳ及ｐＭＩＳ形成領域

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（29）

的半導體基板1的主面上的絕緣膜9將會被去除。接著，如上述一般，在nMIS及pMIS形成領域中離子植入雜質。其次，就第2例而言，是在堆積絕緣膜9之後，藉由向異性蝕刻來對該絕緣膜9進行回蝕刻，而使得能夠僅於閘極電極7g1，7g2，7g的側面形成由矽氮化膜所構成的側壁。接著，如上述一般，以光阻劑圖案28i，28j作爲光罩來離子植入各種的雜質。又，就第3例而言，具有：在第1例及第2例之雜質離子的植入過程後，在半導體基板1上，在以能夠反映出下層的段差之狀態下，藉由CVD法等來重新覆蓋一層由矽氮化膜所構成的薄絕緣膜之過程。

另外，在周邊電路領域P之pMISQp及nMISQn的源極．汲極用之一對的半導體領域10P，11N的表面上形成矽化物層時，如下述一般。首先，就上述第1例之情況而言，在RTA終了後，堆積矽化物用金屬（例如，鈦或鈷），然後在500℃的溫度下進行熱處理，而形成矽化物層。接著，去除未反應矽化物用金屬。然後，再度進行700～900℃程度的RTA，而使矽化物層形成低阻抗化。之後，重新堆積由SAC用的矽氮化膜所構成的絕緣膜。其次，就上述第2例之情況而言，若在連接於記憶格選擇MIS．FETQs的電容器（下部電極）之半導體領域的表面上形成有矽化物層，則由於漏電流會增加，而導致更新特性會惡化，因此爲了防止此情況發生，而於藉由向異性蝕刻來對SAC用的絕緣膜

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明（30）

進行回蝕刻之後形成側壁時，至少追加用以覆蓋連接有電容器（下部電極）的記憶格選擇ＭＩＳ・ＦＥＴＱｓ的半導體領域之光罩，而使ＳＡＣ用的絕緣膜殘留於該領域中。然後，與上述第１例在形成矽化物層時相同，形成矽化物層及ＳＡＣ用的絕緣膜。又，本實施形態（不對ＳＡＣ用的絕緣膜進行回蝕刻，而使保持原狀殘留時）亦可與上述第２例在形成矽化物層時相同，至少追加用以覆蓋連接有電容器（下部電極）的記憶格選擇ＭＩＳ・ＦＥＴＱｓ的半導體領域之光罩，而在使ＳＡＣ用的絕緣膜殘留之狀態下，與上述同樣形成矽化物層，並且重新堆積ＳＡＣ用的絕緣膜。

其次，如第２４圖所示，在絕緣膜９上堆積層間絕緣膜１２ａ（例如由矽氧化膜所構成）。此層間絕緣膜１２ａ是由：例如藉ＣＶＤ法或電漿ＣＶＤ法所形成的矽氧化膜、或藉塗佈法所形成的矽氧化膜（ＳＯＧ：spin on glass），以及在上面藉ＣＶＤ法或電漿ＣＶＤ法所形成的矽氧化膜；等之層疊膜所構成，然後藉由ＣＭＰ法來使其上面平坦化。此刻，ＣＭＰ的終點最好在閘極電極７ｇ１，７ｇ２，７ｇ上的矽氮化膜進行，並且在上面堆積新的ＰＳＧ（Phospho Silicate Glass）膜。亦即，可將閘極電極７ｇ１，７ｇ２，７ｇ上的矽氮化膜使用於ＣＭＰ的終點檢測，而使能夠防止ＣＭＰ處理時所造成的膜厚不均，甚至可以防止位元線的高度被提高。ＰＳＧ膜，除了可以作爲污染入侵的吸收層以外，還具有控制位元線的厚度之功

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

能。

其次，在層間絕緣膜１２ａ上形成絕緣膜１３（由矽氮化膜等所構成）之後，在上面形成露出記憶格領域Ｍ及周邊電路領域Ｐ的半導體領域５Ｎ１，５Ｎ２，１０Ｐ，１１Ｎ的一部份，位元線用的配線溝形成領域及局部配線形成領域，且覆蓋除此以外的領域之光阻劑圖案２８ｋ。接著，以此光阻劑圖案２８ｋ作爲蝕刻光罩，依次去除自此露出的絕緣膜１３及層間絕緣膜１２ａ，而藉此來形成連接孔１４ａ～１４ｅ及配線溝１５ａ，１５ｂ之後，去除該光阻劑圖案２８ｋ。此刻的層間絕緣膜１２ａ的蝕刻去除處理是例如由以下的２個步驟所構成。第１步驟是提高矽氧化膜與矽氮化膜的選擇性，以矽氧化膜的蝕刻速度比矽氮化膜的蝕刻速度還要快的條件來蝕刻去除層間絕緣膜１２ａ（由矽氧化膜所構成）。此刻，由於層間絕緣膜１２ａ的下層的絕緣膜９是由矽氮化膜所構成，因此幾乎不會被蝕刻去除。亦即，絕緣膜９具有作爲蝕刻阻擋件的功能。第２步驟是在矽氧化膜與矽氮化膜的選擇性幾乎相同的條件下，且矽在氮化膜（絕緣膜９）的全體幾乎被去除的條件（例如蝕刻時間）下，蝕刻去除自連接孔１４ａ～１４ｅ露出的絕緣膜９。此情況，雖然閘極電極７ｇ１，７ｇ２，７ｇ上的矽氮化膜也被蝕刻去除，但由於閘極電極７ｇ１，７ｇ２，７ｇ上的矽氮化膜的膜厚（罩蓋絕緣膜８與絕緣膜９的膜厚和）要比半導體基板１上的矽氮化膜的膜厚（絕緣絕９的膜厚）來得厚，因此可以防止藉

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（32）

由該蝕刻處理而使閘極電極７ｇ１，７ｇ２，７ｇ的上面露出。如此一來，閘極電極７ｇ１，７ｇ２，７ｇ不會從配線溝１５ａ，１５ｂ露出。以下，稱上述蝕刻技術爲ＳＡＣ（Self Aligned Contact）技術。

其次，以光阻劑圖案２８ｋ，殘留的絕緣膜１３及層間絕緣膜１２ａ作爲光罩，在半導體基板１中離子植入１×10^{13}／cm^2程度雜質（例如磷）。這是爲了緩和連接於電容器的下部電極的記憶格選擇ＭＩＳ・ＦＥＴＱｓ的半導體領域５Ｎ１的電場，而來防止更新特性的惡化。此刻，雖然在其他的半導體領域５Ｎ２，１０Ｐ，１１Ｎ中也被植入磷，但由於濃度低，因此不會產生問題。接著，在去除光阻劑圖案２８ｋ之後，將絕緣膜堆積於全面上，並且藉由向異性蝕刻法來對該絕緣膜進行回蝕刻，而使得只在配線溝１５ａ，１５ｂ的側面形成新的絕緣膜（最好是使用在７００℃以下的溫度條件下利用ＣＶＤ法而形成的矽氮化膜）。藉此，將可更爲提升閘極電極７ｇ１，７ｇ２與位元線用的連接孔間的絕緣性。

其次，在如此之半導體基板１上，由下層依次藉由濺射法或ＣＶＤ法來堆積鈦或氮化鈦之後，根據例如６００℃～７００℃程度的ＲＴＡ來使鈦矽化物層形成於半導體領域５Ｎ１，５Ｎ２，１０Ｐ，１１Ｎ之間，而來降低接觸阻抗。接著，在該氮化鈦上藉由ＣＶＤ法等來覆蓋厚度較厚的導體膜（例如由鎢等所構成）。然後，利用回蝕刻法及ＣＭＰ法來去除該導體膜，藉此如第２５圖所示，在

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（33）

連接孔１４ａ，１４ｃ，１４ｅ內形成栓塞１６ａ，１６ｃ，１６ｅ，在連接孔１４ｂ及配線溝１５ａ內形成位元線ＢＬ的連接部１６ｂ１，１６ｂ２，在連接孔１４ｄ及配線溝１５ｂ內形成局部配線１７的連接部１６ｄ１，１６ｄ２。在本實施形態中，位元線ＢＬ及局部配線１７的上面與絕緣膜１３的上面幾乎形成一致，在此階段形成平坦。

其次，如第２６圖所示，在絕緣膜１３上形成絕緣膜２９（例如由矽氧化膜所構成）。此絕緣膜２９是由：例如藉ＣＶＤ法或電漿ＣＶＤ法所形成的矽氧化膜，或藉塗佈法所形成的矽氧化膜（ＳＯＧ：spin on glass），以及在上面藉ＣＶＤ法或電漿ＣＶＤ法所形成的矽氧化膜；等之層疊膜所構成。接著，在此絕緣膜２９的上面，露出電容器的下部電極形成領域，且形成覆蓋其他領域之光阻劑圖案２８ｍ後，以此光阻劑圖案２８ｍ作爲光罩，在絕緣膜２９中形成電容器之下部電極形成用的電容器孔３０。在形成此電容器孔３０的過程中，與形成上述位元線用的連接孔１４ｂ的過程相同，是藉由ＳＡＣ技術（提高矽氧化膜與矽氮化膜的選擇性之蝕刻條件）來蝕刻去除由矽氧化膜所構成的絕緣膜２９的一部份。使栓塞１６ａ的上面露出於該電容器孔３０的底部。

其次，在去除光阻劑圖案２８ｍ之後，在絕緣膜２９及電容器孔３０內藉由ＣＶＤ法等來堆積導體膜（例如由ｎ型的多結晶矽所構成）。此多結晶矽中的雜質，例如可

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

使用磷，並予以導入成膜中。接著在上面塗佈光阻劑膜之後，進行回蝕刻，而使該光阻劑膜只殘留於電容器孔３０內。之後，如第２７圖所示，以殘留後的光阻劑膜２８ｎ作爲蝕刻光罩來去除自此露出的多結晶矽膜，而使能夠在電容器孔３０內形成下部電極１８ａ。然後，以絕緣膜１３（由矽氮化膜所構成）作爲蝕刻阻擋件，藉由溼蝕刻處理等來去除光阻劑膜２８ｎ及絕緣膜２９，藉此，如第２８所示，在絕緣膜１３上形成電容器的下部電極１８ａ。

在本實施形態中，雖是去除絕緣膜１３上的所有領域之絕緣膜２９（參照第２７圖），但並非只限於此，亦可形成下述一般。亦即，在絕緣膜２９上，露出記憶格領域Ｍ，且形成覆蓋其他領域之光阻劑圖案後，以此光阻劑圖案作爲光罩，並以絕緣膜１３作爲蝕刻阻擋件來去除自此露出的絕緣膜２９及光阻劑膜２８ｎ。亦即，使絕緣膜２９殘留於周邊電路領域Ｐ中。以下，如上述一般進行製造。此方式雖然需要追加新的光罩，但由於在ＤＲＡＭ的記憶格領域以外的領域中有絕緣膜２９殘留，因此在以後的過程中容易形成所需之表面的平坦化。

其次，對半導體基板１進行ＲＴＡ處理（例如，在氨的環境中進行８００℃，數分鐘的ＲＴＡ處理），如第２９圖所示，在下部電極１８ａ的表面上形成薄的矽氮化膜之後，藉由ＣＶＤ法等來堆積鉭氧化膜（Ta_2O_5），並且在氧化性的環境中實施７５０～８００℃程度，數分

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（35）

鐘的ＲＴＯ（Rapid Thermal Oxide）處理，而來進行鉭氧化膜的結晶化，而使得能夠取得漏電流少之安定的膜質。如此一來，會在下部電極１８ａ的表面上形成容量絕緣膜１８ｂ。接著，爲了形成電容器的上部電極，而於半導體基板１上，藉由ＣＶＤ法等來依次覆蓋例如氮化鉭與ｎ型的多結晶矽，然後在形成上部電極形成用的導體膜１８ｃ１之後，以第３０圖之光阻劑圖案２８ｐ作爲蝕刻光罩來使上部電極形成用的導體膜１８ｃ１形成圖案，而藉此來形成上部電極１８ｃ。此刻，亦可以光阻劑圖案２８ｐ作爲蝕刻光罩，藉由蝕刻處理來去除周邊電路領域Ｐ的絕緣膜１３。如此一來，將可形成ＤＲＡＭ之資訊儲存用的電容器Ｃ。

其次，在去除光阻劑圖案２８ｐ之後，在半導體基板１上，藉由ＣＶＤ法等來堆積例如由矽氧化膜所構成的絕緣膜，並且以回蝕刻法或ＣＭＰ法（最好是ＣＭＰ法）來使該絕緣膜的上面平坦化，而形成如第３１圖所示之層間絕緣膜１２ｂ。接著，在該層間絕緣膜１２ｂ的上面形成露出上部電極１８ｃ，栓塞１６ｃ，局部配線１７，栓塞１６ｅ及閘極電極７ｇ的一部份，且覆蓋除此以外的部份之光阻劑圖案２８ｑ，然後以此光阻劑圖案２８ｑ作爲光罩，對層間絕緣膜１２ｂ進行穿孔而形成連接孔２０ａ～２０ｄ。並且會從連接孔２０ｄ露出栓塞１６ｅ的上面及上面側部，以及閘極電極７ｇ的上面一部份。然後，在去除光阻劑圖案２８ｑ之後，由下層依次堆積鈦，氮化鈦及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（36）

鎢，並且藉由回蝕刻法及ＣＭＰ法來去除導體層疊膜，藉此如第３２圖所示，在連接孔２０ａ～２０ｄ內形成栓塞２１ａ～２１ｄ。又，栓塞２１ｄ會與栓塞１６ｅ及閘極電極７ｇ進行電氣性連接。

其次，在層間絕緣膜１２ｂ及栓塞２１ａ～２１ｄ上，藉由蒸鍍法等，由下層依次堆積鈦，氮化鈦，鋁（或鋁－矽－銅合金），鈦及氮化鈦之後，在第１層配線形成用的導體層疊膜上形成覆蓋第１層配線形成領域且露出除此以外的領域之光阻劑圖案２８ｒ，並以此作爲光罩，藉由蝕刻法來將上述導體層疊膜形成圖案，而藉此來形成第１層配線１９ａ～１９ｄ。

在本實施形態中，雖是以通常的配線構造來作爲第１層配線１９ａ～１９ｄ，但並非只限定於此，亦可以和位元線ＢＬ同樣的埋入配線來形成第１層配線１９ａ～１９ｄ。此情況，是例如以下述之程序來形成。首先，在上面被予以平坦化的層間絕緣膜１２ｂ上，由下層依次藉由ＣＶＤ法等來堆積第１絕緣膜（由較薄的矽氮化膜所構成）及第２絕緣膜（由較厚的矽氧化膜所構成），之後在上面形成露出配線溝形成領域且覆蓋除此以外的領域之光阻劑圖案。接著，以此光阻劑圖案作爲光罩，在提高矽氧化膜與矽氮化膜的選擇性之蝕刻條件下來進行蝕刻處理，而使得能夠以第１絕緣膜（由下層的矽氮化膜所構成）作爲蝕刻阻擋件來蝕刻去除自該光阻劑圖案露出的第２絕緣膜，而藉此來形成第１層配線形成用的配線溝。然後，在去

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（37）

除配線溝形成用的光阻劑圖案之後，形成連接孔形成用的光阻劑圖案，並以此作爲光罩來進行蝕刻處理，而使能夠依次蝕刻去除自連接孔形成用的光阻劑圖案露出的第１絕緣膜及層間絕緣膜１２ｂ，藉此來形成露出上部電極１８ｃ，栓塞１６ｃ，局部配線１７，栓塞１６ｅ及閘極電極７ｇ的一部份之連接孔。接著，在堆積配線形成用的導體膜之後，以該導體膜可以只殘留於上述第１層配線形成用的配線溝內之方式來切削（利用ＣＭＰ法等）該導體膜，而使能夠在配線溝內形成第１層配線。

如此之第１層配線形成過程，是在去除光阻劑圖案２８ｆ之後，與上述同樣的形成第１圖所示之連接孔２３ａ，２３ｂ，栓塞２４ａ，２４ｂ及第２層配線２２，並且配合所需依次形成第３層配線及第４層配線。接著，藉由電漿ＣＶＤ法來堆積矽氮化膜或矽氧化膜，以及由上部的矽氮化膜所構成的表面保護膜２５，而來覆蓋最上面的配線，然後以最上面配線的一部份能夠露出之方式來使表面保護膜２５的一部份形成一開口而形成接合墊ＢＰ，最後完成ＤＲＡＭ。在此，就本實施形態而言，是例如以１８枚程度的光罩來製造高性能之２層配線構造的ＤＲＡＭ。並且，在本實施形態中，雖然是形成將電容器Ｃ設置於位元線上方之構造，但還是能夠以３枚的光罩來形成電容器Ｃ。

若利用本實施形態１的話，則可取得以下之效果。

（１）由於是以相同的導體膜來一體形成位元線ＢＬ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（38）

的連接部16b1與配線部16b2，而使得可以消除連接部16b1與配線部16b2之間的接觸阻抗，進而能夠減低位元線BL的全體阻抗，因此將可以提高DRAM的動作速度。

（2）由於是以相同的導體膜來一體形成位元線BL的連接部16b1與配線部16b2，而使得可以減低記憶格選擇MIS・FETQs的半導體領域5N1與位元線BL之間的寄生阻抗，因此將能夠容易地檢測出電容器C的訊號量。

（3）由於是以相同的導體膜來一體形成位元線BL的連接部16b1與配線部16b2，而使得DRAM的製造過程可以簡略化，因此將能夠縮短其製造時間。

（4）由於是以相同的導體膜來一體形成位元線BL的連接部16b1與配線部16b2，而使得位元線BL與位元線用連接孔間不需要接合裕度，因此將能夠縮小鄰接之位元線BL的間隔。

（5）由於是將位元線BL埋入挖掘於層間絕緣膜12a的配線溝15a內，而使得在鄰接之位元線BL間不會有異物介在，因此將能夠使鄰接之位元線BL間的短路發生率降低。

（6）由於是將位元線BL埋入挖掘於層間絕緣膜12a的配線溝15a內，而使得在配線溝15a內可以形成控制性良好的側壁，因此將能夠促進位元線BL的微細化。

（請先閱讀背面之注意事項再填寫本頁）
裝・・・・・訂・・・・・線
經濟部智慧財產局員工消費合作社印製

五、發明說明（39）

（７）由於是將位元線ＢＬ埋入挖掘於層間絕緣膜１２ａ的配線溝１５ａ內，而使得不會因位元線ＢＬ而產生段差，因此在覆蓋彼之絕緣膜的上面亦不會有段差形成。

（８）由於是將位元線ＢＬ埋入挖掘於層間絕緣膜１２ａ的配線溝１５ａ內，而使得可以促進位元線ＢＬ的微細化，因此位元線ＢＬ與電容器Ｃ的儲存節點（下部電極１８ａ及栓塞１６ａ）與記憶格選擇ＭＩＳ・ＦＥＴＱｓ的半導體領域５Ｎ１，５Ｎ２的連接孔１４ａ，１４ｂ間的接合裕度能夠增加。

（９）藉由上述（４），（６），（８），可以促進ＤＲＡＭ的記憶格的微細化。

（１０）由於是將構成ＤＲＡＭ的周邊電路領域的局部配線１７形成埋入構造，因此可以促進周邊電路領域的微細化。

（１１）由於在形成局部配線１７（構成ＤＲＡＭ的周邊電路）的配線溝１５ｂ時是使用ＳＡＣ技術，而使得可以在不電氣性連接於閘極電極７ｇ的情況下來形成穿過閘極電極７ａ的上方之微細的局部配線１７，因此可以促進周邊電路領域的微細化。

（１２）由於是將構成ＤＲＡＭ的周邊電路的局部配線１７的配線溝１５ｂ與位元線ＢＬ的配線溝１５ｂ同時形成，且以相同的導體膜來埋入該配線溝１５ａ，１５ｂ，因此將能夠減低具有埋入構造的局部配線１７的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明（40）

ＤＲＡＭ的製造過程數。

（１３）由於並非是直接連接周邊電路領域Ｐ的第１配線層１９ｂ~１９ｄ與ｐＭＩＳＱｐ及ｎＭＩＳＱｎ的半導體領域１０Ｐ，１１Ｎ，而是在半導體基板１的厚度方向分成２階段而連接，因此可以容易且確實地埋入連接孔１４ｃ~１４ｅ及連接孔２０ｂ~２０ｄ的導體膜，而使得能夠提高第１配線層１９ｂ～１９ｄ與ｐＭＩＳＱｐ及ｎＭＩＳＱｎ的半導體領域１０Ｐ，１１Ｎ之連接的可靠性。

（１４）由於是使用不同的光罩來分別進行ＤＲＡＭ的記憶格領域Ｍ的閘極電極７ｇ１與周邊電路領域Ｐ的閘極電極７ｇ２，７ｇ２之圖案的形成，而使得可以提高各閘極電極７ｇ１，７ｇ２，７ｇ２的加工精度，因此將能夠促進各閘極電極７ｇ１，７ｇ２，７ｇ２的微細化。

（實施形態２）

第３３～３６圖是表示本發明之其他實施形態的半導體積體電路裝置的製造過程中的要部剖面圖。

本實施形態２雖幾乎與上述實施形態１相同，但上述資訊儲存用的電容器的形成方法有若干不同。又，在本實施形態２中，由於與上述實施形態１之第８～２６圖的過程相同，因此將針對以後的過程加以說明。

首先，如第３３圖所示，與上述實施形態１同樣的，以光阻劑圖案２８ｍ作爲光罩，在以矽氧化膜的蝕刻速度

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（41）

比矽氮化膜的蝕刻速度還要快的條件下，對半導體基板1進行蝕刻處理，藉此以絕緣膜13（由矽氮化膜所構成）作爲蝕刻阻擋件，對絕緣膜29穿孔形成一電容器孔30之後，去除自該電容器孔30露出的絕緣膜13。藉此，將可形成栓塞16a的上部突出於電容器孔30的底部之構造。此絕緣膜13的去除方法，例如可於蝕刻去除絕緣膜29時，當絕緣膜13露出時，把蝕刻條件改變成矽氮化膜的蝕刻速度比矽氧化膜的蝕刻速度還要快，或者是當絕緣膜13自電容器孔30露出時，終了該蝕刻處理，然後藉由熱磷酸等來去除絕緣膜13。

其次，如第34圖所示，與上述實施形態1同樣的，在電容器孔30內形成下部電極18a（例如由低阻抗多晶矽所構成）之後，去除絕緣膜29及光阻劑膜28n。第35圖是表示處理後的半導體基板1的剖面圖。在本實施形態中，下部電極18a的下部是藉絕緣膜13而被壓制。又，由於栓塞16a的上部是形成突出於下部電極18a的底部之構造，因此可使栓塞16a與下部電極18a的接觸面積增大，而使得能夠減低雙方的接觸阻抗，且可以提高雙方的機械性接合強度。因此，在去除絕緣膜29及光阻劑膜28n（參照第28圖）時，可防止下部電極18a的倒壞。又，由於栓塞16a的上部是形成突出於下部電極18a的底部之構造，因此可增大下部電極18a的表面積，而使得能夠促進儲存容量的增大。

再其次，如第36圖所示，與上述實施形態1同樣的

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（42）

，覆蓋容量絕緣膜１８ｂ及下部電極形成用的導體膜１８ｃ１，並且與上述實施形態１同樣的，予以形成圖案，而形成電容器。之後，由於與上述實施形態１同樣，因此省略其說明。

若利用本實施形態２，則除了可以獲得上述實施形態１的效果以外，同時還能夠取得以下的效果。

（１）在形成ＤＲＡＭ的資訊儲存用的電容器的下部電極１８ａ時，可以防止下部電極１８ａ的倒壞。

（２）由於可以使ＤＲＡＭ的資訊儲存用的電容器的下部電極１８ａ的底部凸出，而來增大其表面積，因此將能夠使電容器Ｃ的容量增大。

（３）由於可以使ＤＲＡＭ的資訊儲存用的電容器的下部電極１８ａ與栓塞１６ａ的接觸面積增大，因此將能夠減低雙方的接觸阻抗。

（實施形態３）

第３７～４６圖是表示本發明之其他實施形態的半導體積體電路裝置的製造過程中的要部剖面圖。

本實施形態３雖幾乎與上述實施形態１相同，但上述資訊儲存用的電容器的形成方法有若干不同。又，在本實施形態３中，由於與上述實施形態１之第８～２６圖的過程相同，因此將針對以後的過程加以說明。

首先，如第３７圖所示，與上述實施形態１同樣的，在半導體基板１上形成層間絕緣膜１２ａ。但，在此不堆

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（43）

積上述實施形態1之由矽氮化膜等所構成的絕緣膜13（參照第24圖）。接著，與上述實施形態1同樣的，利用SAC技術，在層間絕緣膜12a中形成連接孔14a～14e及配線溝15a，15b之後，經過與上述實施形態1相同的電場緩和用雜質導入過程，而如第38圖所示，在連接孔14a，14c，14e內形成栓塞16a，16c，16e，以及在連接孔14b及配線溝15a內形成位元線BL的連接部16b1及配線部16b2，以及在連接孔14d內形成局部配線17的連接部16d1及配線部16d2。之後，如第39圖所示，與上述實施形態1同樣的，在層間絕緣膜12a及栓塞16a，16b上形成絕緣膜13之後，在上面形成絕緣膜29，且在絕緣膜29中，與上述實施形態1同樣的，以絕緣膜13作爲蝕刻阻擋膜，而來形成電容器孔30。又，於此階段中，與上述實施形態1的相異處是在於電容器孔30的底面，栓塞16a的上面被絕緣膜13覆蓋，而並未露出。

其次，在去除光阻劑圖案28m之後，在層間絕緣膜12a上及電容器孔30內，藉由CVD法等來堆積由電容器的下部電極形成用的n型低阻抗多晶矽（在成膜中導入磷）等所構成的第1導體膜，且在上面藉由CVD法或電漿CVD法來堆積例如由矽氧化膜所構成的絕緣膜。接著，利用向異性蝕刻處理來對該絕緣膜進行回蝕刻，而使得能夠如第40圖所示，在電容器孔30內的側面，經由下部電極形成用的第1導體膜18a1來形成例如由矽氧

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（44）

化膜等所構成的側壁３１。然後，以此側壁３１作爲光罩，利用向異性蝕刻處理來去除自此側壁３１露出的第１導體膜１８ａ１部份。藉此，將可去除電容器孔３０內的第１導體膜１８ａ１底部的幾乎中央部份。之後，再藉由向異性蝕刻處理來去除電容器孔３０內自側壁３１及下部電極形成用的第１導體膜１８ａ１露出的絕緣膜１３部份，藉此，如第４１圖所示，會在絕緣膜１３中會形成一連接孔３２（栓塞１６ａ上面的一部份會露出）。

其次，以絕緣膜１３作爲蝕刻阻擋件，而藉由溼蝕刻處理來去除絕緣膜２９（由矽氧化膜等所構成）及側壁３１。接著，在絕緣膜１３的上面及下部電極形成用的第１導體膜１８ａ１的表面上，藉由ＣＶＤ法等來覆蓋由下部電極形成用的ｎ型低阻抗多晶矽膜（在成膜中導入雜質的磷）等所構成的第２導體膜之後，利用向異性蝕刻處理來對該第２導體膜進行蝕刻，藉此，如第４２圖所示，會在下部電極形成用的第１導體膜１８ａ１的表面及連接孔３２的側面形成下部電極形成用的第２導體膜１８ａ２，並去除除此以外之絕緣膜１３上的第２導體膜。藉此來形成由導體膜１８ａ１，１８ａ２所構成，且經由第２導體膜１８ａ２來電氣性地與栓塞１６ａ連接之下部電極１８ａ。

其次，如第４３圖所示，與上述實施形態１同樣的，在覆蓋容量絕緣膜１８ｂ及上部電極形成用的導體膜１８ｃ１之後，如第４４圖所示，與上述實施形態１同樣

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（45）

的，利用蝕刻處理來予以形成圖案，而形成上部電極18c。此刻，在周邊電路領域P的絕緣膜13也會同時被去除。藉此，將可防止因絕緣膜13所造成之寄生容量的增加。接著，在去除光阻劑圖案28p之後，如第45圖所示，與上述實施形態1同樣的，形成層間絕緣膜12b，並且予以穿孔形成連接孔20a～20d。之後，如第46圖所示，與上述實施形態1同樣的，在連接孔20a～20d內形成栓塞21a～21d之後，在層間絕緣膜12b上，與上述實施形態1同樣的，形成第1層配線19a～19d。之後，由於與上述實施形態1同樣，因此省略其說明。

若利用本實施形態3，則除了可以獲得上述實施形態1的效果以外，同時還能夠取得以下的效果。

（1）使用設於電容器孔30內的側壁31來作爲蝕刻光罩，而來自我整合地形成下部電極18a與栓塞16a的連接孔32，藉此將能夠形成配置良好的微細連接孔32。

（2）若利用上述（1），則可提高電容器C與栓塞16a（亦即，記憶格選擇MIS・FETQs）之連接上的可靠性。

（3）若利用上述（1），則可促進記憶格的微細化。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（46）

（實施形態４）

第４７～５２圖是表示本發明之其他實施形態的半導體積體電路裝置的要部剖面圖。

本實施形態４雖幾乎與上述實施形態１～３相同，但可減低位元線容量的構成方面有所不同。亦即，在本實施形態４的構造中，如第４７~５２圖所示，在層間絕緣膜１２ａ的厚度方向的途中位置形成有厚度較薄的絕緣膜３３（例如由矽氮化膜等所構成）。又，絕緣膜３３的上下的層間絕緣膜１２ａ（１２ａ１，１２ａ２）與上述實施形態１相同是由矽氧化膜等所構成。

此外，配線溝１５ａ，１５ｂ是以該絕緣膜３３作爲蝕刻阻擋件，而被挖掘於層間絕緣膜１２ａ２中。亦即，位元線ＢＬ及局部配線１７的配線部１６ｂ２，１６ｄ２是形成於絕緣膜３３上。上述實施形態１～３中所被埋入的位元線ＢＬ的導體性構件，由於在位元線用的連接孔１４ｂ以外的領域中也被設於記憶格選擇ＭＩＳ・ＦＥＴＱｓ間，因此位元線ＢＬ的寄生容量會變大，但在實施形態４中，由於位元線ＢＬ的配線部１６ｂ２是被設於記憶格選擇ＭＩＳ・ＦＥＴＱｓ上方的絕緣膜３３上，因此可以減低位元線ＢＬ的寄生容量。這對於局部配線１７而言也是同樣的。

另外，連接孔１４ａ，１４ｃ，１４ｅ將會貫通層間絕緣膜１２ａ２，絕緣膜３３及層間絕緣膜１２ａ１，且其內部的栓塞１６ａ，１６ｃ，１６ｅ會與下層的半導體

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（47）

領域５Ｎ１，１０Ｐ，１１Ｎ進行電氣性連接。又，連接孔１４ｂ１，１４ｄ１將會貫通絕緣膜３３及層間絕緣膜１２ａ１，且其內部的連接部１６ｂ１，１６ｄ１會與半導體領域５Ｎ２，１０Ｐ，１１Ｎ進行電氣性連接。又，記憶格領域Ｍ的擴大平面圖與第２圖相同，第４８圖～第５２圖分別爲第２圖的Ａ１－Ａ１線，Ａ２－Ａ２線，Ｂ１－Ｂ１線，Ｂ２－Ｂ２線及Ｂ３－Ｂ３線的剖面。

本實施形態４之半導體積體電路裝置的製造方法，如下述一般。

首先，與上述實施形態１同樣的，在形成由矽氮化膜等所構成的絕緣膜９之後，在上面覆蓋絕緣膜，並以上面能夠形成平坦化之方式，藉由ＣＭＰ法等來切削該絕緣膜，而使形成層間絕緣膜１２ａ１。在此，形成此層間絕緣膜１２ａ１的絕緣膜是由：例如藉ＣＶＤ法或電漿ＣＶＤ法所形成的矽氧化膜，或藉塗佈法所形成的矽氧化膜（ＳＯＧ：spin on glass），以及在上面藉ＣＶＤ法或電漿ＣＶＤ法所形成的矽氧化膜；等之層疊膜所構成。又，ＣＭＰ處理的終點是即是閘極電極７ｇ１，７ｇ２上的絕緣膜９露出的時間點。接著，層間絕緣膜１２ａ１上，與絕緣膜９同樣地藉由ＣＶＤ法（例如在７００℃以下形成）來覆蓋例如由矽氮化膜所構成之厚度較薄的絕緣膜３３，然後再於上面利用ＣＶＤ法等來覆蓋例如由矽氧化膜所構成的絕緣膜，並且藉由ＣＭＰ法等來使上面平坦化，而形成層間絕緣膜１２ａ２。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（48）

其次，層間絕緣膜１２ａ２上形成配線溝形成用的光阻劑圖案。亦即，在層間絕緣膜１２ａ２上露出配線溝形成領域，且形成光阻劑圖案（用以覆蓋其他的領域）之後，以此作爲蝕刻光罩來去除自此露出的層間絕緣膜１２ａ２部份，而藉此來將配線溝１５ａ，１５ｂ形成於層間絕緣膜１２ａ２中。並且，在進行該蝕刻處理時，根據矽氧化膜比矽氮化膜還要快被去除的蝕刻條件來僅去除由矽氧化膜所構成的層間絕緣膜１２ａ２，且使由矽氮化膜所構成的絕緣膜３３具有蝕刻阻擋件的功能。藉此，將可防止配線溝１５ａ，１５ｂ過度被挖掘。

其次，在去除上述配線溝形成用的光阻劑圖案之後，在層間絕緣膜１２ａ２及絕緣膜３３上，形成連接孔形成用的光阻劑圖案。亦即，在露出半導體領域５Ｎ１，５Ｎ２，１０Ｐ，１１Ｎ，且形成光阻劑圖案（用以覆蓋其他的領域）之後，以此作爲蝕刻光罩來去除自此露出的層間絕緣膜１２ａ２，絕緣膜３３及層間絕緣膜１２ａ１部份，而藉此來將連接孔１４ａ～１４ｅ形成於絕緣膜３３及層間絕緣膜１２ａ２中。

就用以形成該連接孔１４ａ～１４ｅ的蝕刻處理而言，是使用於與上述實施形態１同樣的ＳＡＣ技術來進行下述之處理。首先，在第１蝕刻處理中，以矽氧化膜的蝕刻速度比矽氮化膜的蝕刻速度還要快的條件來進行蝕刻處理，而藉此來去除由矽氧化膜等所構成的層間絕緣膜１２ａ２。此刻，在位元線ＢＬ及局部配線１７的連接孔

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（49）

形成領域中，雖然層間絕緣膜12a2已被去除，但由於在此具有由矽氮化膜所構成的絕緣膜33，因此不會被蝕刻。接著，在第2蝕刻處理中，以矽氮化膜的蝕刻速度比矽氧化膜的蝕刻速度還要快的條件來進行蝕刻處理，而藉此來去除絕緣膜33的部份。之後，再度以與上述實施形態1同樣的條件來進行蝕刻處理，而藉此來去除下層的層間絕緣膜12a1部份。最後，根據使矽氧化膜與矽氮化膜的選擇性相同之蝕刻條件，以其厚度方向能夠全部被去除之方式來設定蝕刻時間等之條件下去除半導體基板1上的絕緣膜9部份，而使半導體基板1的上面露出。之後，由於與上述實施形態1同樣，因此省略其說明。

若利用本實施形態4，則除了可以獲得上述實施形態1的效果以外，同時還能夠取得以下的效果。

（1）由於在彼此鄰接的字元線WL之間可以形成無介在位元線BL及局部配線17的配線部16b2，16d2之構造，因此將能夠減低位元線BL與記憶格選擇MIS・FETQs的位元線BL之間的寄生容量。

（2）若利用上述（1），則可以低電壓來讀出電容器C的資訊。

（3）若利用上述（1），則可高速讀出電容器C的資訊。

（4）由於可藉不同的光罩來複寫位元線BL用的連接孔14b及配線溝15a，與電容器C用的連接孔14a，而藉此來縮小位元線BL用的連接孔14b及配線溝

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（50）

１５ａ，與電容器Ｃ用的連接孔１４ａ之間隔，因此將能夠促進記憶格的微細化，進而可以提高記憶格的積體度。

（實施形態５）

第５３～６１圖是表示本發明之其他實施形態的半導體積體電路裝置的製造過程中的要部剖面圖。

本實施形態５雖幾乎與上述實施形態１～４相同，但上述資訊儲存用的電容器的構造及其電容器與記憶格選擇ＭＩＳ・ＦＥＴ的連接構造有所不同。

首先，在經過上述實施形態１之第８圖～第２３圖所述之過程後，如第５３圖所示，與上述實施形態１同樣的，在半導體基板１的主面上形成層間絕緣膜１２ａ（例如由矽氧化膜所構成）。接著，在上面形成光阻劑圖案２８ｓ，該光阻劑圖案２８ｓ是供以形成位元線及局部配線用的配線溝及周邊領域之連接孔者。亦即，位元線及局部配線用的配線溝及周邊領域之連接孔的形成領域會被露出，且以能夠覆蓋除此以外的領域，特別是與上述實施形態１不同的電容器用連接孔的形成領域之光阻劑圖案２８ｓ。之後，以此光阻劑圖案２８ｓ作爲蝕刻光罩，與上述實施形態１同樣的進行蝕刻處理，而來形成連接孔１４ｂ～１４ｅ及配線溝１５ａ，１５ｂ。

其次，與上述實施形態１同樣的，在半導體基板１的全面上堆積絕緣膜之後，進行向異性蝕刻，而使得可以只在連接孔１４ｂ～１４ｅ及配線溝１５ａ，１５ｂ的側面

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（51）

形成新的絕緣膜（最好是使用在７００℃以下的溫度條件下利用ＣＶＤ法而形成的矽氮化膜）。藉此，將可更爲提升（ａ）閘極電極７ａ１，７ａ２，７ｇ與位元線用的連接孔１４ｂ間的絕緣性，（ｂ）位元線與電容器儲存節點間的絕緣性。接著，如第５４圖所示，與上述實施形態１同樣的，在連接孔１４ｂ～１４ｅ及配線溝１５ａ，１５ｂ內埋入導體膜，而來形成位元線ＢＬ，栓塞１６ｃ，１６ｅ及局部配線１７。

其次，如第５５圖所示，與上述實施形態３同樣的，以能夠覆蓋層間絕緣膜１２ａ，栓塞１６ｃ，１６ｅ，位元線ＢＬ及局部配線１７之方式來形成例如由矽氮化膜所構成的絕緣膜１３。接著，在上面形成例如由矽氧化膜所構成的層間絕緣膜１２ｂ之後，在上面藉由ＣＶＤ法等來堆積例如由低阻抗多結晶矽所構成的導體膜３４。此導體膜３４是用以作爲藉由溼蝕刻來去除由後述之矽氧化膜所構成的絕緣膜（電容器孔內之連接孔形成用的側壁）時之光罩。然後，在導體膜３４上形成光阻劑圖案２８ｔ（供以形成電容器之下部電極形成用的電容器孔）之後，以此作爲蝕刻光罩，在導體膜３４及層間絕緣膜１２ｂ中形成電容器孔３０。並且，在進行蝕刻處理時，與上述實施形態１同樣的，是在提高矽氧化膜與矽氮化膜的選擇比，且以矽氧化膜的蝕刻速度比矽氮化膜的蝕刻速度還要快的條件下進行，而使絕緣膜１３具有作爲蝕刻阻擋件的功能。

其次，在去除光阻劑圖案２８ｔ之後，如第５６圖所

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（52）

示，與上述實施形態3同樣的，在電容器孔30內形成電容器的下部電極形成用的導體膜18a1，且於內側面形成例如由矽氧化膜所構成的側壁31。接著，以導體膜34及側壁31作爲光罩來去除自此露出的導體膜18a1部份，而使得絕緣膜13能夠露出於該去除領域中。此刻，與上述同樣的，藉由蝕刻選擇比的操作來使絕緣膜13（由矽氮化膜所構成）具有作爲蝕刻阻擋件的功能。然後，藉由溼蝕刻法（例如使用氟酸等）來去除側壁31。此刻，將使導體膜34具有作爲蝕刻阻擋件的功能，而使得下面的層間絕緣膜12b不會被去除。

其次，如第57圖所示，以導體膜34，18a1作爲蝕刻光罩來去除自此露出的絕緣膜13部份，層間絕緣膜12b部份及絕緣膜9部份，藉此在電容器孔30的底部會形成露出記憶格選擇MIS・FETQs的半導體領域5N1之連接孔35。就此蝕刻處理而言，在蝕刻去除絕緣膜13部份後，與上述實施形態1的連接孔14a同樣的是藉由SAC技術來進行穿孔。在此，通常連接孔35與位元線BL的位置配合會形成問題。在本實施形態中，由於絕緣膜（由設置於位元線BL的配線溝15a及連接孔14b的側面之矽氮化膜所構成）在形成電容器用的連接孔35時具有作爲蝕刻阻擋件的功能，因此在連接孔35的形成時，即使該連接孔35的平面位置有少許的偏移，位元線35也不會自連接孔35露出。藉此，由於比不設置矽氮化膜的情況時還要能夠提高其絕緣性，因此可

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（53）

以防止因漏電流而造成更新特性的惡化。

其次，經由連接孔３５，在半導體基板１中離子植入１×１０^{13}／ｃｍ^{2}程度雜質（例如磷）。這是爲了緩和施加於記憶格選擇ＭＩＳ・ＦＥＴＱｓ（電氣性連接於電容器的儲存節點部）的半導體領域５Ｎ１中的電場，而來防止更新特性的惡化。接著，在半導體基板１的主面上，藉由ＣＶＤ法等來堆積例如由ｎ型低阻抗多晶矽所構成的導體膜，並且在連接孔３５內埋入該導體膜之後，利用向異性的蝕刻法來針對該導體膜及層間絕緣膜１２ｂ上的導體膜３４進行回蝕刻。第５８圖爲經過處理後之半導體基板１的要部剖面圖。在電容器孔３０內形成有下部電極１８ａ。該下部電極１８ａ是由導體膜１８ａ１與後來堆積之導體膜１８ａ３的殘餘所構成。此導體膜１８ａ３是形成於電容器孔３０的側壁側及連接孔３５內。在進行回蝕刻時，雖然由電容器孔３０內的底面上的低阻抗多晶矽等所構成的導體膜也會被蝕刻，但是因爲該底部的低阻抗多晶矽膜是以２層的低阻抗多晶矽膜的重疊膜所構成，因此在向異性蝕刻後依然會殘留著。又，由於電容器３０以外的領域之層間絕緣膜１２ｂ是保持原樣，因此可確保其平坦性。

其次，如第５９圖所示，與上述實施形態１同樣的，在形成容量絕緣膜１８ｂ及上部電極形成用的導體膜１８ｃ１之後進行熱處理。接著，如第６０圖所示，與上述實施形態１同樣的，在導體膜１８ｃ１上，形成上部電

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（54）

極形成用的光阻劑圖案２８ｃ之後，以該光阻劑圖案２８ｃ作爲蝕刻光罩，使上部電極１８ｃ形成圖案，藉此來形成電容器Ｃ。本實施形態５的電容器Ｃ是僅於環狀的下部電極１８ａ的內壁側面形成電容。之後，與上述實施形態１同樣地來製造第６１圖所示之ＤＲＡＭ。

若利用本實施形態５，則除了可以獲得上述實施形態１的效果以外，同時還能夠取得以下的效果。

（１）在層間絕緣膜１２ｂ中穿孔形成一電容器孔３０，並在其內部設置電容器Ｃ的下部電極１８ａ，而形成其周圍殘留層絕緣膜１２ｂ的構造，藉此由於可以減少記憶格領域Ｍ與其他領域的段差，因此將能夠提高第１層配線１９ａ~１９ｄ的下層之層間絕緣膜１２ｃ上面的平坦性。

（２）若利用上述（１），則可縮小層間絕緣膜１２ｃ上之配線層的配線尺寸及鄰接間隔。

（實施形態６）

第６２圖是表示本發明之其他實施形態的半導體積體電路裝置的要部剖面圖。第６３及６４圖是表示第１６圖之半導體積體電路裝置的製造過程中的要部剖面圖。

本實施形態６雖幾乎與上述實施形態１相同，但上述資訊儲存用的電容器的構造及形成方法有若干不同。亦即，在本實施形態６的構造中，如第６２圖所示，電容器Ｃ的電容並未形成於其下部電極１８ａ的外側面，而是形成

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（55）

於下部電極18a的內側面。該電容器C的下部電極18a是經由栓塞16a來與記憶格選擇MIS・FETQs的半導體領域5N1進行電氣性連接。

其次，將說明本實施形態6之DRAM的製造方法。首先，在經過上述實施形態1之第8圖～第25圖所述之過程後，如第63圖所示，與上述實施形態5同樣的，在絕緣膜13上形成層間絕緣膜12b（例如由矽氧化膜所構成）。在上述實施形態5中，雖於層間絕緣膜12b上堆積多結晶矽膜，但在本實施形態6中，並不需要在層間絕緣膜12b上堆積多結晶矽膜。接著，與上述實施形態5同樣的，在層間絕緣膜12b中形成電容器孔30之後，在其層間絕緣膜12b的上面及電容器孔30的內部覆蓋例如由n型低阻抗多晶矽所構成的導體膜，且在上面塗佈SOG膜。然後，爲了使該SOG膜緻密化，而進行例如500℃以下的熱處理。接著，利用向異性的蝕刻處理來針對該SOG膜進行回蝕刻，而來去除電容器孔30的內部以外的SOG膜，並且僅於電容器孔30內殘留SOG膜36之後，以殘留的SOG膜36作爲蝕刻光罩，藉由異向性蝕刻來去除自此露出之層間絕緣膜12b上的導體膜，而來將下部電極18a形成於電容器孔30內。

其次，對半導體基板1，藉由溼蝕刻法（例如使用氟酸等）來去除殘留於電容器孔30內的SOG膜36（參照第64圖）。此刻，雖然層間絕緣膜12b的表面也少

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（56）

許被蝕刻，但由於在５００℃以下被緻密化的ＳＯＧ膜３６的蝕刻速度要比由矽氧化膜（藉ＣＶＤ法形成）所構成的層間絕緣膜１２ｂ的蝕刻速度來得快，因此實際上在ＳＯＧ膜３６的蝕刻去除中被蝕刻去除的層間絕緣膜１２ｂ的表面膜厚極少。並且在堆積層間絕緣膜１２ｂ之後，在上面形成由矽氮化膜所構成的絕緣膜（在７００℃以下形成），而且亦可使該絕緣膜具有作爲進行溼蝕刻處理時之蝕刻阻擋件的功能。之後，與上述實施形態１～５同樣的，如第６２圖所示，形成電容器Ｃ，配線及表面保護膜２５，而來製成ＤＲＡＭ。

若利用本實施形態６，則除了可以獲得上述實施形態１的效果以外，同時還能夠取得上述實施形態５的效果。

（實施形態７）

第６５圖是表示本發明之其他實施形態的半導體積體電路裝置的要部剖面圖。第６６圖是表示第６５圖之Ａ－Ａ線的剖面圖。第６７圖是表示第６５圖之Ｂ－Ｂ線的剖面圖。

在本實施形態７中，是針對例如將本發明適用於記憶體ＬＳＩ的其中一種ＳＲＡＭ（Static Radom Access Memory）時加以說明。

如第６５圖～第６７圖所示，該ＳＲＡＭ的記憶格是由：一對的相補性的位元線ＢＬ１，ＢＬ２，及配置於與位元線ＷＬ的交叉部之一對的驅動用

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（57）

ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２，一對的負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２，及一對的傳送用ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２；等所構成。並且，一對的位元線ＢＬ１，ＢＬ２可彼此傳送反轉後的訊號。

此外，驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２及傳送用ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２是構成ｎ通道型，負荷用ＭＩＳ・ＦＥＴＱｐ1，Ｑｐ２是構成ｐ通道型。亦即，此記憶格是由使用４個ｎ通道型ＭＩＳ・ＦＥＴ與２個ｐ通道型ＭＩＳ・ＦＥＴ之完全ＣＭＩＳ（Complimentary MIS）型所構成。

另外，在構成記憶元件的上述６個ＭＩＳ・ＦＥＴ中，一對的驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２及一對的負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２是構成觸發器電路（作爲記憶１位元的資訊之資訊儲存部）。又，一對的傳送用ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２是用以電氣性連接或切斷此觸發器電路與位元線ＢＬ１，ＢＬ２之開關元件。

再者，驅動用ＭＩＳ・ＦＥＴＱｄ１與傳送用ＭＩＳ・ＦＥＴＱｔ１是被設置於半導體基板１的活性領域Ｌｓ１中，驅動用ＭＩＳ・ＦＥＴＱｄ２與傳送用ＭＩＳ・ＦＥＴＱｔ２是被設置於半導體基板１的活性領域Ｌｓ２中。又，負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２是被設置於半導體基板１的活性領域Ｌｓ３，４中。

又，驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２，負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２及傳送用

（請先閱讀背面之注意事項再填寫本頁）

裝・訂・線

經濟部智慧財產局員工消費合作社印製

五、發明說明（58）

ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２的構造及材料是與上述實施形態１的ＭＩＳ・ＦＥＴ相同。亦即，驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２是具有：源極・汲極用的一對半導體領域３７Ｎ１，３７Ｎ２，及閘極絕緣膜６ｉ３，以及閘極電極７ｇ３，７ｇ４。又，負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２是具有：源極・汲極用的一對半導體領域３８Ｐ１，３８Ｐ２，及閘極絕緣膜６ｉ３，以及閘極電極７ｇ５，７ｇ６。傳送用ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２是具有：源極・汲極用的一對半導體領域３７Ｎ１，３７Ｎ３，及閘極絕緣膜６ｉ３，以及閘極電極７ｇ７，７ｇ８。又，半導體領域３７Ｎ１是形成驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２及傳送用ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２的共用領域。又，驅動用ＭＩＳ・ＦＥＴＱｄ１的閘極電極７ｇ３與負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２的閘極電極７ｇ５是一體成形，且其一部份將以能夠平面重疊於驅動用ＭＩＳ・ＦＥＴＱｄ２的半導體領域３７Ｎ１之方式來形成圖案。但，其中一部份不會直接與半導體領域３７Ｎ１接觸。又，驅動用ＭＩＳ・ＦＥＴＱｄ２的閘極電極７ｇ４與負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２的閘極電極７ｇ６是一體成形，且其一部份（閘極電極７ｇ９）將以能夠平面重疊於負荷用ＭＩＳ・ＦＥＴＱｐ１的半導體領域３８Ｐ１之方式來形成圖案。但，其中一部份（閘極電極７ｇ１０）不會直接與半導體領域３８Ｐ１接觸。又

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（59）

，閘極電極７ｇ７，７ｇ８爲字元線ＷＬ的一部份，字元線ＷＬ爲重疊於活性領域Ｌｓ１，Ｌｓ２的部份。又，由於閘極絕緣膜６ｉ３及閘極電極７ｇ３～７ｇ１０與上述實施形態１之閘極絕緣膜６ｉ１及閘極電極７ｇ１相同，因此省略說明。

又，驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２的汲極用的半導體領域３７Ｎ１是分別經由負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２的汲極用的半導體領域３８Ｐ１與局部配線１７ａ，１７ｂ來電氣性連接。局部配線１７ａ，１７ｂ是例如形成平面長方形狀，且分別跨越閘極電極７ｇ９，７ｇ１０而配置。又，由於局部配線１７ａ，１７ｂ與上述實施形態１之局部配線１７相同，因此省略說明。又，驅動用ＭＩＳ・ＦＥＴＱｄ１，Ｑｄ２的源極用的半導體領域３７Ｎ２是經由連接孔１４ｆ，２０ｅ內的栓塞１６ｆ，２１ｅ來連接於基準電壓用配線Ｖｓｓ。基準電壓用配線Ｖｓｓ，例如被設定成０Ｖ（ＧＮＤ）。

此外，在層間絕緣膜１２ｂ，１２ａ，罩蓋絕緣膜８及絕緣膜９中被穿設有平面重疊於閘極電極７ｇ９及局部配線１７ｂ之平面四角形狀的連接孔２０ｆ。並且，從此連接孔２０ｆ的底面露出閘極電極７ｇ９的上面，從此連接孔２０ｆ的底部側面露出局部配線１７ｂ的上面及側面的一部份。而且，在連接孔２０ｆ內設有栓塞２１ｆ，經由此栓塞２１ｆ來與閘極電極７ｇ９及局部配線１７ｂ進

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（60）

行電氣性連接（參照第６６圖）。

另外，連接孔２０ｇ及其內部的栓塞２１ｇ具有與連接孔２０ｆ及其內部的栓塞２１ｆ相同的構造及功能。亦即，閘極電極７ｇ１０的上面會從連接孔２０ｇ的底面露出，局部配線１７ａ的上面及側面的一部份會從連接孔２０ｇ的底部側面露出，且閘極電極７ｇ１０與局部配線１７ａ會經由連接孔２０ｇ內的栓塞２１ｇ而電氣性連接。

亦即，在本實施形態７中，栓塞２１ｆ，２１ｇ並非是用以電氣性連接其上下層的配線層間之構件，而是用以電氣性連接栓塞２１ｆ，２１ｇ的下層的配線間（閘極電極７ｇ９，７ｇ１０與局部配線１７ｂ，１７ａ之間）之構件。若形成如此之構造，則由於可使局部配線１７ａ，１７ｂ的平面形狀形成比較簡單的矩形狀，因此將能夠提高其圖案設計的容易性及複寫精度，且其圖案可形成微細化。

又，傳送用ＭＩＳ・ＦＥＴＱｔ１，Ｑｔ２的汲極用的半導體領域３７Ｎ３是經由連接孔１４ｇ，２０ｈ內的栓塞１６ｈ，２１ｈ來電氣性連接於第１層配線１９ｅ，且電氣性連接於第２配線層的位元線ＢＬ１，ＢＬ２。又，負荷用ＭＩＳ・ＦＥＴＱｐ１，Ｑｐ２的源極用的半導體領域３８Ｐ２是經由栓塞１６ｉ，２１ｉ來電氣性連接於第１配線層的電源電壓用配線Ｖｃｃ。此電源電壓用配線Ｖｃｃ，例如設定３Ｖ。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（61）

又，由於栓塞16f，16h，16i及栓塞21e～21i的構造及材料是分別與上述實施形態1之栓塞16a及栓塞21a相同，因此省略其說明。又，穿孔於層間絕緣膜12a的連接孔14f，14g等也是根據上述實施形態1的SAC技術來進行穿孔。又，由於第1層配線19e，基準電壓用配線Vss及電源電壓用配線Vss的構造及材料也是與上述實施形態1之第1層配線19a相同，因此省略其說明。在本實施形態7中，位元線BL1，BL2爲通常的配線構造，其構造及材料是與上述實施形態1之第2層配線22相同，因此省略其說明。

若利用本實施形態7，則可以取得以下的效果。

（1）藉由埋入局部配線17a，17b（構成SRAM的記憶格）之配線構造，而使得記憶格能夠微細化。

（2）藉由埋入局部配線17a，17b（構成SRAM的記憶格）之配線構造，而使得能夠減低配線組抗，進而可以提高SRAM的動作速度。

（3）由於可將栓塞21f，21g形成電氣性連接下層的配線間（閘極電極7g9，7g10與局部配線17a，17b間）之構件，而使局部配線17a，17b的平面形狀能夠形成比較簡單的矩形狀，因此除了可以提高其圖案設計的容易性及複寫精度，而且還能夠使圖案微細化。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（62）

以上，雖是根據實施形態來具體說明本發明，但本發明並非只限定於上述實施形態，只要不脫離其主旨範圍，亦可實施其他各種的變更。

例如在上述實施形態1之第1層的層間絕緣膜中雖是以相同的過程來形成位元線用的連接孔及配線孔，但並非只限定於此，亦可在光罩中使用個別的光阻劑圖案來形成。

亦即，首先是在層間絕緣膜上形成第1光阻劑圖案（供以形成位元線用配線溝）之後，以此第1光阻劑圖案作爲蝕刻光罩來去除自該處露出的層間絕緣膜，而形成位元線用配線溝。此配線溝的深度可爲到達層間絕緣膜之途中位置，亦可爲自其底面露出由下層的矽氮化膜所構成的絕緣膜之位置。接著，在層間絕緣膜上形成第2光阻劑圖案（供以形成電容器用的連接孔及位元線用的連接孔）之後，以此第2光阻劑圖案作爲蝕刻光罩來蝕刻處理自該處露出的層間絕緣膜，而來進行穿孔處理。此刻，是在以矽氧化膜的蝕刻速度比矽氮化膜的蝕刻速度還要快的條件下進行蝕刻處理，在此由下層的矽氮化膜所構成的絕緣膜具有作爲蝕刻阻擋件的功能，而使半導體基板的主面不會露出。最後，在以矽氧化膜與矽氮化膜的選擇性形成相同的蝕刻條件下來去除自第2光阻劑圖案露出之由矽氮化膜所構成的絕緣膜。並且，就上述實施形態5而言，亦可在光罩中使用各種的光阻劑圖案來形成位元線用的配線溝及連接孔。亦即，與前述同樣的使用第1光阻劑圖案來形成與上

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（63）

述同樣深度的位元線用配線溝。接著，使用供以形成位元線用連接孔的第2光阻劑圖案，在以矽氧化膜與矽氮化膜的選擇性形成相同的蝕刻條件下來去除自第2光阻劑圖案露出之由矽氮化膜所構成的絕緣膜。

此外，在形成上述實施形態1～6的位元線之過程中，亦可使位元線的配線部及連接部形成個別的圖案。亦即，以平面直線狀圖案的光罩來複寫形成位元線的配線部，及以重疊於該配線部的平面四角狀圖案的光罩來複寫形成位元線的連接部。藉此，由於形成1個光罩的複寫圖案只有平面直線狀或平面四角狀，因此可控制性良好地將圖案複寫於光阻劑膜上。如此一來，將能夠使圖案的複寫精度提高，而來促進圖案的微細化。

另外，在上述實施形態1～6中，雖是使用通常的絕緣膜來作爲DRAM的資訊儲存用的電容器的容量絕緣膜，但並非只限於此，例如就材料而言，可使用PZT等之類的強介電質材料來構成強介電質記憶體。

再者，在上述實施形態1～6中，雖然DRAM的資訊儲存用的電容器的形狀爲冠形，但並非只限於此，亦可實施種種的變更，例如鰭形。

又，在上述實施形態1～7中，雖是使用單體構造的半導體基板，但並非只限於此，例如可使用所謂的外延生長基板（亦即，在以通常的結晶成長所取得的半導體基板表面上設置外延生長層）。此情況，外延生長層的厚度雖無特別加以限定，但最好是在1μm以下。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（64）

又，在上述實施形態1～7中，雖然分離領域是形成溝型，但並非只限於此，亦可實施種種的變更，例如可爲藉由選擇氧化法等而形成之絕緣膜的分離構造。

又，在上述實施形態7中，雖是以ＭＩＳ・ＦＥＴ來構成記憶格的負載，但並非只限於此，亦可由多結晶矽膜來構成負載。

在以上說明中，主要是針對適用於以本發明爲利用領域之ＤＲＡＭ或ＳＲＡＭ技術加以說明，但並非只限於此，亦可適用於將ＤＲＡＭ及邏輯電路設置於同一半導體基板中之半導體積體電路裝置等。

在此，對於將ＤＲＡＭ及邏輯電路設置於同一半導體基板中之半導體積體電路裝置而言，當邏輯電路的閘極電極爲雙閘極構造時，其ＭＩＳ・ＦＥＴ是形成下述一般。首先，在半導體基板的主面上形成場絕緣膜之後，形成閘極絕緣膜，並經由該閘極絕緣膜來堆積閘極電極用的矽膜。接著，藉由離子植入法，以低能量（僅於矽膜中植入雜質的能量）來把雜質（砷，銻，磷，或其組合）植入於ｎＭＩＳ形成領域中。又，使用相同的光罩，以中能量來進行臨界值控制用的通道植入。又，使用相同的光罩，以高能量來進行Ｐ型阱及Ｎ型埋入層的雜質植入。同樣的，使用別的光罩，藉由離子植入法，以低能量（僅於矽膜中植入雜質的能量）來把雜質（硼）植入於ｐＭＩＳ形成領域中。又，使用相同的光罩，以中能量來進行臨界值控制用的通道雜質植入。又，使用相同的光罩，以高能量來進

（請先閱讀背面之注意事項再填寫本頁）
裝・訂・線
經濟部智慧財產局員工消費合作社印製

五、發明說明（65）

行N型阱的雜質植入。另一方面，當邏輯電路的閘極電極爲多晶矽化物閘極構造時，爲了防止經由鎢矽化物等之矽化物膜或矽中之雜質爲不同導體型之矽化物膜

而產生相互擴散，而在矽化物膜與矽膜之間介在氮化鎢膜。又，若爲金屬閘極時，則與上述實施形態1～6同樣地形成。往後，則與上述實施形態1～6同樣地形成。

此外，若閘極電極爲矽·鍺（Si·Ge）膜時，則形成下述一般。首先，在形成場絕緣膜及閘極絕緣膜之後，在其閘極絕緣膜上堆積閘極電極用的矽·鍺（Si·Ge）膜。由於此矽·鍺膜具有在nMIS及pMIS的同時形成時之最佳的中間功函數，因此不需要對雙閘極之類的多結晶矽膜植入雜質。接著，與上述雙閘極電極的情況相同，在nMIS形成領域及pMIS形成領域中植入雜質。在此，若閘極電極爲多晶矽化物時，爲了防止鍺擴散於鎢矽化物等之矽化物膜中，而在矽化物膜與多結晶矽膜之間介在氮化鎢膜。又，若爲金屬閘極時，則與上述實施形態1～6同樣地形成。往後，則與上述實施形態1～6同樣地形成。並且，在如此之情況中，亦可與上述實施形態1～6同樣的進行阱形成或臨界值控制用的雜質植入。這些情況（閘極電極爲雙閘極的情況時或矽·鍺膜的情況時）可以減少光罩的枚數。

以下，將簡單地說明本案發明中之代表者所能取得的效果。

（1）若利用本發明，則由於可在同一過程中所形成

（請先閱讀背面之注意事項再填寫本頁）
裝·訂·線
經濟部智慧財產局員工消費合作社印製

五、發明說明（67）

的微細化。

（6）若利用本發明，則由於是在穿孔於層間絕緣膜的連接孔內埋入第2導體性構件，而使從該連接孔露出之彼此隔離的複數個第1導體性構件能夠進行電氣形連接，藉此使得該第1導體性構件的各平面形狀可以形成較爲簡單的形狀，因此除了可以提高其圖案設計的容易性及複寫精度，而且還能夠使圖案微細化。

【圖面之簡單的說明】

第1圖是表示本發明之一實施形態的半導體積體電路裝置的要部剖面圖。

第2圖是表示第1圖之半導體積體電路裝置的要部平面圖。

第3圖是表示第2圖之A1－A1線的剖面圖。

第4圖是表示第2圖之A2－A2線的剖面圖。

第5圖是表示第2圖之B1－B1線的剖面圖。

第6圖是表示第2圖之B2－B2線的剖面圖。

第7圖是表示第2圖之B3－B3線的剖面圖。

第8圖是表示第1圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第9圖是表示接續第8圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第10圖是表示接續第9圖之半導體積體電路裝置的製造過程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

經濟部智慧財產局員工消費合作社印製

五、發明說明（68）

第１１圖是表示接續第１０圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１２圖是表示接續第１１圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１３圖是表示接續第１２圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１４圖是表示接續第１３圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１５圖是表示接續第１４圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１６圖是表示接續第１５圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１７圖是表示接續第１６圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１８圖是表示接續第１７圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第１９圖是表示接續第１８圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２０圖是表示接續第１９圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２１圖是表示接續第２０圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２２圖是表示接續第２１圖之半導體積體電路裝置的製造過程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

經濟部智慧財產局員工消費合作社印製

五、發明說明（69）

第２３圖是表示接續第２２圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２４圖是表示接續第２３圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２５圖是表示接續第２４圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２６圖是表示接續第２５圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２７圖是表示接續第２６圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２８圖是表示接續第２７圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第２９圖是表示接續第２８圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第３０圖是表示接續第２９圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第３１圖是表示接續第３０圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第３２圖是表示接續第３１圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第３３圖是表示本發明之其他實施形態的半導體積體電路裝置的製造過程中的要部剖面圖。

第３４圖是表示接續第３３圖之半導體積體電路裝置的製造過程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（70）

第35圖是表示接續第34圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第36圖是表示接續第35圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第37圖是表示接續第36圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第38圖是表示接續第37圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第39圖是表示接續第38圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第40圖是表示接續第39圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第41圖是表示接續第40圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第42圖是表示接續第41圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第43圖是表示接續第42圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第44圖是表示接續第43圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第45圖是表示接續第44圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第46圖是表示接續第45圖之半導體積體電路裝置的製造過程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（71）

第４７圖是表示本發明之其他實施形態的半導體積體電路裝置的要部剖面圖。

第４８圖是表示第４７圖之半導體積體電路裝置之對應於第２圖之Ａ１－Ａ１線的要部剖面圖。

第４９圖是表示第４７圖之半導體積體電路裝置之對應於第２圖之Ａ２－Ａ２線的要部剖面圖。

第５０圖是表示第４７圖之半導體積體電路裝置之對應於第２圖之Ｂ１－Ｂ１線的要部剖面圖。

第５１圖是表示第４７圖之半導體積體電路裝置之對應於第２圖之Ｂ２－Ｂ２線的要部剖面圖。

第５２圖是表示第４７圖之半導體積體電路裝置之對應於第２圖之Ｂ３－Ｂ３線的要部剖面圖。

第５３圖是表示本發明之其他實施形態的半導體積體電路裝置的製造過程中的要部剖面圖。

第５４圖是表示接續第５３圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第５５圖是表示接續第５４圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第５６圖是表示接續第５５圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第５７圖是表示接續第５６圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第５８圖是表示接續第５７圖之半導體積體電路裝置的製造過程中的要部剖面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（72）

第５９圖是表示接續第５８圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６０圖是表示接續第５９圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６１圖是表示接續第６０圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６２圖是表示接續第６１圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６３圖是表示接續第６２圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６４圖是表示接續第６３圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６５圖是表示接續第６４圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第６６圖是表示第６５圖之Ａ－Ａ線的剖面圖。

第６７圖是表示第６５圖之Ｂ－Ｂ線的剖面圖。

【圖號之說明】

1	半導體基板	4	分離部
4a	分離溝	4b	分離膜
6i1	閘極絕緣膜	6i2	閘極絕緣膜
7g1	閘極電極	7g2	閘極電極
8	帽蓋絕緣膜	9	薄絕緣膜
12a，12b，12c	層間絕緣膜		

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（73）

13　絕緣膜　14a～14e　接觸孔

15a，15b　配線溝

16a，16c，16e　柱塞

16b1，16b2　接觸部

17　局部配線　18a　下部電極

18a1　第1導體膜　18a2　第2導體膜

18b　容量絕緣膜　18c　上部電極

19a～19d　第1層配線

20b　接觸孔

21b，21c，21d　柱塞

22　第2層配線　23a，23b　接觸孔

24a，24b　柱塞　25　表面保護膜

26　墊膜　27　絕緣膜

28　光阻劑圖案　29　絕緣膜

30　電容器孔　31　側壁

32　接觸孔　33　絕緣膜

34　導體膜　35　接觸孔

36　SOG膜　LD　活性領域

WL　字元線　BL　位元線

C　電容器　BP　接合墊

M　記憶格領域

Vss　基準電壓用配線

Vcc　電源電壓用配線

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：半導體積體電路裝置之製造方法及半導體積體電路裝置）

本發明是關於半導體積體電路裝置的製造方法及半導體積體電路裝置，亦即，在半導體基板１中設置由：記憶格選擇電晶體Ｑｓ，及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格，並且記憶格選擇ＭＩＳ・ＦＥＴＱｓ的活性領域是構成平面孤立矩形狀，而且在ＤＲＡＭ（具有：位元線ＢＬ的一部份是延伸於與該延伸的方向呈垂直的方向上，且該延伸部是在形成於活性領域的半導體領域中平面重疊而進行電氣性連接之構造）中，是以埋入位元線用的連接孔１４ｂ與位元線用的配線溝１５ａ中的導體膜１６ｂ１，１６ｂ２來構成位元線ＢＬ。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

156029

A8
B8
C8
D8

90年6月6日 修正補充

六、申請專利範圍

第 88109648 號專利申請案

中文申請專利範圍修正本

民國 90 年 6 月修正

1．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

（a）在上述半導體基板上形成平面孤立矩形狀的第1領域之過程；及

（b）在半導體基板上形成延伸於與上述第1領域交叉的方向的字元線之過程；及

（c）在上述第1領域中挾持上述字元線的正下方的通道領域而形成上述記憶格選擇電晶體的源極及汲極用之一對的半導體領域之過程；及

（d）形成用以覆蓋藉由上述（a）～（c）過程而形成之記憶格選擇電晶體的第1層間絕緣膜之過程；及

（e）在上述第1層間絕緣膜中形成：

位元線用的配線溝；及

位元線用的連接孔；該位元線用的連接孔爲上述位元線用的配線溝的一部份，延伸於與上述位元線用的配線溝的延伸方向成平面交叉的方向，並且在平面重疊於上述記憶格選擇電晶體的一方半導體領域之領域中，一體連接於該位元線用的配線溝，而且上述記憶格選擇電晶體的一方半導體領域被露出；等之過程；及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

（ｆ）形成位元線之過程；該位元線是在上述位元線用的配線溝及位元線用的連接孔中埋入導體性構件，且位元線用的配線溝內的配線部與位元線用的連接孔內的連接部爲一體成形；及

（ｇ）在上述位元線的上方形成與上述記憶格選擇電晶體的另一方半導體領域進行電氣性連接之資訊儲存用容量元件之過程。

２．如申請專利範圍第１項之半導體積體電路裝置之製造方法，其中上述第１層間絕緣膜是於以能夠反映出下層的段差之方式而被覆蓋的第１絕緣膜上覆蓋由可相對地提高對該第１絕緣膜的蝕刻選擇比的材料所構成之第２絕緣膜；

上述位元線用的配線溝及位元線用的連接孔的形成過程是具有在提高上述第１絕緣膜與第２絕緣膜的蝕刻選擇比的狀態下進行蝕刻處理之過程。

３．如申請專利範圍第１或２項之半導體積體電路裝置之製造方法，其中上述位元線用的配線溝及位元線用的連接孔，是以相同的光罩膜作爲蝕刻光罩而形成。

４．如申請專利範圍第１或２項之半導體積體電路裝置之製造方法，其中在形成上述位元線用的配線溝及位元線用的連接孔時，使用相同的光罩膜來形成上述資訊儲存用容量元件用的連接孔。

５．如申請專利範圍第４項之半導體積體電路裝置之製造方法，其中在上述位元線用的配線溝，位元線用的連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

接孔及資訊儲存用容量元件用的連接孔中埋入導體性構件，而來形成上述位元線與資訊儲存用容量元件用的栓塞。

6．如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中在形成上述位元線與資訊儲存用容量元件用的栓塞時具有：

在形成上述位元線用的配線溝，位元線用的連接孔及資訊儲存用容量元件用的連接孔後，以能夠埋入這些配線溝及連接孔之方式來將導體性構件覆蓋於第1層間絕緣膜上之過程；及

以能夠使上述導體性構件殘留於上述位元線用的配線溝，位元線用的連接孔及資訊儲存用容量元件用的連接孔內之方式，藉由化學機械研磨處理來切削上述導體性構件之過程。

7．如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中具有：

在上述位元線及資訊儲存用容量元件用的栓塞之形成過程後，將第3絕緣膜覆蓋於上述第1層間絕緣膜上的全面之過程；及

在上述第3絕緣膜上覆蓋由可相對地提高對第3絕緣膜的蝕刻選擇比的材料所構成的第4絕緣膜之過程；及

在上述第4絕緣膜中，使上述第3絕緣膜具有蝕刻阻擋件的功能，而來形成露出第3絕緣膜的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

在上述第4絕緣膜上及容量元件孔的內面覆蓋供以形

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

成上述資訊儲存用容量元件的下部電極之第1下部電極用導體性構件之過程；及

在上述1下部電極用導體性構件上，以能夠反映出下層的段差之方式來覆蓋第5絕緣膜，然後予以進行回蝕刻，而於上述容量元件孔內之第1下部電極用導體性構件的側面形成由第5絕緣膜所構成的側壁絕緣膜之過程；及

以上述側壁絕緣膜作爲蝕刻光罩，而來蝕刻去除自此露出的第1下部電極用導體性構件，然後以側壁絕緣膜及被殘留的第1下部電極用導體性構件作爲蝕刻光罩，而來蝕刻去除自此露出的第3絕緣膜，而形成露出上述資訊儲存用容量元件的栓塞的上面之資訊儲存用容量元件的第2連接孔之過程；及

使上述第3絕緣膜具有蝕刻阻擋件的功能，而來蝕刻去除上述側壁絕緣膜及上述第4絕緣膜，然後在第3絕緣膜上以能夠覆蓋上述第1下部電極用導體性構件之方式來覆蓋第2下部電極用導體性構件之過程；及

經由利用回蝕刻來將上述第2下部電極用導體性構件予以形成於上述資訊儲存用容量元件的第2連接孔的側面之連接部來形成與上述資訊儲存用容量元件的栓塞進行電氣性連接的下部電極之過程。

8．如申請專利範圍第2項之半導體積體電路裝置之製造方法，其中上述位元線用的配線溝及位元線用的連接孔，是分別以個別的光罩膜作爲蝕刻光罩而形成。

9．申請專利範圍第8項之半導體積體電路裝置之製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

造方法，其中在形成上述位元線用的連接孔時，使用相同的光罩膜來形成上述資訊儲存用容量元件用的連接孔。

１０．如申請專利範圍第２項之半導體積體電路裝置之製造方法，其中具有：

在上述位元線用的配線溝及位元線用的連接孔中埋入導體性構件，而來形成上述位元線之過程；及

在上述位元線形成過程後，將第３絕緣膜覆蓋於上述第１層間絕緣膜上的全面之過程；及

在上述第３絕緣膜上覆蓋由可相對地提高對第３絕緣膜的蝕刻選擇比的材料所構成的第４絕緣膜之過程；及

在上述第４絕緣膜上覆蓋由可相對地提高對第４絕緣膜的蝕刻選擇比的材料所構成的阻擋膜之過程；及

在上述第４絕緣膜及阻擋膜中，使上述第３絕緣膜具有蝕刻阻擋件的功能，而來形成露出第３絕緣膜的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

在上述阻擋膜上及容量元件孔的內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之第１下部電極用導體性構件之過程；及

在上述１下部電極用導體性構件上，以能夠反映出下層的段差之方式來覆蓋第５絕緣膜，然後予以進行回蝕刻，而於上述容量元件孔內之第１下部電極用導體性構件的側面形成由第５絕緣膜所構成的側壁絕緣膜之過程；及

以上述側壁絕緣膜作爲蝕刻光罩，而來蝕刻去除自此露出的第１下部電極用導體性構件，然後以側壁絕緣膜及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

被殘留的第1下部電極用導體性構件及阻擋膜作爲蝕刻光罩，而來蝕刻去除自此露出的第3絕緣膜及第1絕緣膜，而形成露出上述記憶格選擇電晶體的一方半導體領域之資訊儲存用容量元件的連接孔之過程；及

在上述阻擋膜上及容量元件孔內覆蓋上述第1下部電極用導體性構件，並以能夠埋入上述資訊儲存用容量元件的連接孔之方式來覆蓋第2下部電極用導體性構件，且予以進行回蝕刻，而藉此經由上述資訊儲存用容量元件的連接孔來形成與上述記憶格選擇電晶體的一方半導體領域進行電氣性連接的下部電極之過程。

11．如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中上述第1層間絕緣膜是在以能夠反映出下層的段差之方式而被覆蓋的第1絕緣膜上，經由第2絕緣膜（由可相對地提高對該第1絕緣膜的蝕刻選擇比的材料所構成）來覆蓋第3絕緣膜（由可相對地提高對該第2絕緣膜的蝕刻選擇比的材料所構成）；

上述位元線用的配線溝及位元線用的連接孔的形成過程是具有在提高上述第1絕緣膜與第2絕緣膜的蝕刻選擇比的狀態下進行蝕刻處理之過程。

12．如申請專利範圍第11項之半導體積體電路裝置之製造方法，其中上述位元線用的配線溝及位元線用的連接孔，是以相同的光罩膜作爲蝕刻光罩而形成。

13．如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中在形成上述位元線用的配線溝及位元

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

線用的連接孔時，使用相同的光罩膜來形成上述資訊儲存用容量元件用的連接孔。

１４．如申請專利範圍第１３項之半導體積體電路裝置之製造方法，其中在上述位元線用的配線溝，位元線用的連接孔及資訊儲存用容量元件用的連接孔中埋入導體性構件，而來形成上述位元線與資訊儲存用容量元件用的栓塞。

１５．如申請專利範圍第１４項之半導體積體電路裝置之製造方法，其中在形成上述位元線與資訊儲存用容量元件用的栓塞時具有：

在形成上述位元線用的配線溝，位元線用的連接孔及資訊儲存用容量元件用的連接孔後，以能夠埋入這些配線溝及連接孔之方式來將導體性構件覆蓋於第１層間絕緣膜上之過程；及

以能夠使上述導體性構件殘留於上述位元線用的配線溝，位元線用的連接孔及資訊儲存用容量元件用的連接孔內之方式，藉由化學機械研磨處理來切削上述導體性構件之過程。

１６．如申請專利範圍第１４項之半導體積體電路裝置之製造方法，其中具有：

在上述位元線及資訊儲存用容量元件用的栓塞之形成過程後，在上述第３絕緣膜上的全面覆蓋由可相對地提高對第３絕緣膜的蝕刻選擇比的材料所構成的第４絕緣膜之過程；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

在上述第4絕緣膜中，使上述第3絕緣膜具有蝕刻阻擋件的功能，而來形成露出第3絕緣膜及上述資訊儲存用容量元件的栓塞的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

在上述第4絕緣膜上及容量元件孔的內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之第1下部電極用導體性構件之過程；及

在上述第1下部電極用導體性構件上覆蓋第6絕緣膜之後，以僅殘留於容量元件孔內之方式予以去除之後，以該殘留的第6絕緣膜作爲蝕刻光罩來去除上述第4絕緣膜上的第1下部電極用導體性構件，而藉此來形成下部電極之過程。

17．如申請專利範圍第16項之半導體積體電路裝置之製造方法，其中具有：

在上述下部電極形成之後，以上述第3絕緣膜作爲蝕刻阻擋件，而於去除第4絕緣膜之後，在上述下部電極的表面形成容量絕緣膜，並且在其表面形成上部電極，而來形成資訊儲存用容量元件之過程。

18．如申請專利範圍第16項之半導體積體電路裝置之製造方法，其中具有：

在形成上述資訊儲存用容量元件形成用的容量元件孔之後，蝕刻去除自此露出的第3絕緣膜，接著在使上述資訊儲存用容量元件用之栓塞的上部露出之後，在上述第4絕緣膜上及容量元件孔的內面覆蓋供以形成上述資訊儲存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

容量元件的下部電極的第1下部電極用導體性構件之過程。

19.如申請專利範圍第11項之半導體積體電路裝置之製造方法，其中具有：

在上述位元線用的配線溝及位元線用的連接孔中埋入導體性構件，而來形成上述位元線之過程；及

在上述位元線形成過程後，在上述第3絕緣膜上的全面覆蓋由可相對地提高對第3絕緣膜的蝕刻選擇比的材料所構成的第4絕緣膜之過程；及

在上述第4絕緣膜上覆蓋由可相對地提高對第4絕緣膜的蝕刻選擇比的材料所構成的阻擋膜之過程；及

在上述第4絕緣膜及阻擋膜中，使上述第3絕緣膜具有蝕刻阻擋件的功能，而來形成露出第3絕緣膜的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

在上述阻擋膜上及容量元件孔的內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之第1下部電極用導體性構件之過程；及

在上述1下部電極用導體性構件上，以能夠反映出下層的段差之方式來覆蓋第5絕緣膜，然後予以進行回蝕刻，而於上述容量元件孔內之第1下部電極用導體性構件的側面形成由第5絕緣膜所構成的側壁絕緣膜之過程；及

以上述側壁絕緣膜作爲蝕刻光罩，而來蝕刻去除自此露出的第1下部電極用導體性構件，然後以側壁絕緣膜及被殘留的第1下部電極用導體性構件及阻擋膜作爲蝕刻光

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

罩，而來蝕刻去除自此露出的第3絕緣膜及第1絕緣膜，而形成露出上述記憶格選擇電晶體的一方半導體領域之資訊儲存用容量元件的連接孔之過程；及

在上述阻擋膜上及容量元件孔內覆蓋上述第1下部電極用導體性構件，並以能夠埋入上述資訊儲存用容量元件的連接孔之方式來覆蓋第2下部電極用導體性構件之過程；及

對上述第2下部電極用導體性構件進行回蝕刻，而藉此經由殘留於上述資訊儲存用容量元件的連接孔內的第2下部電極用導體性構件來形成與上述記憶格選擇電晶體的一方半導體領域進行電氣性連接的下部電極之過程。

20．如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中具有：

在進行上述（e）過程時，在上述第1層間絕緣膜中，於記憶體的周邊電路領域形成配線用溝，及連接於上述配線用溝，且電氣性連接於該周邊電路用的元件的配線用連接孔之過程；及

在進行上述（f）過程時，在上述配線用溝及配線用連接孔中埋入導體性構件，而形成配線用溝內的配線部與配線用連接孔內的連接部爲一體成形而構成的配線之過程。

21．如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中具有：

分別藉由各個的曝光處理來複寫記憶格選擇電晶體之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

閘極的圖案，及除此以外的其他電晶體之閘極的圖案之過程。

２２．如申請專利範圍第１項之半導體積體電路裝置之製造方法，其中具有：

在形成於上述半導體基板上的層間絕緣膜中，針對於其下層中被設置於同層或異層且露出彼此隔離的複數個第１導體性構件的連接孔進行穿孔之過程；及

在上述連接孔內埋入第２導體性構件，且電氣性連接上述彼此隔離的複數個第１導體性構件之過程。

２３．如申請專利範圍第１項之半導體積體電路裝置之製造方法，其中上述第１層間絕緣膜是由下層依次覆蓋：以能夠反映出下層的段差之方式而覆蓋之第１絕緣膜，及由可相對地提高對上述第１絕緣膜的蝕刻選擇比的材料所構成之第２絕緣膜，及由可相對地提高對上述第２絕緣膜的蝕刻選擇比的材料所構成之第７絕緣膜，及由可相對地提高對上述第７絕緣膜的蝕刻選擇比的材料所構成之第８絕緣膜；

上述位元線用的配線溝的形成過程是具有：以其配線溝形成用的光罩膜作爲蝕刻光罩，而於提高上述第７絕緣膜與第８絕緣膜的蝕刻選擇比的狀態下進行蝕刻處理之過程；

上述位元線用的配線溝的形成過程是具有：以其連接孔形成用的光罩膜作爲蝕刻光罩，而於提高上述第１絕緣膜與第２絕緣膜的蝕刻選擇比的狀態下進行蝕刻處理之過

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

程。

２４．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

（ａ）在上述半導體基板上形成記憶格選擇電晶體之過程；及

（ｂ）形成覆蓋上述記憶格選擇電晶體及其以外的電晶體的第１層間絕緣膜之過程；及

（ｃ）在上述第１層間絕緣膜上覆蓋阻擋膜之過程；及

（ｄ）在上述阻擋膜及第１層間絕緣膜中形成露出上述記憶格選擇電晶體的一方半導體領域之資訊儲存用容量元件用的連接孔之後，形成在其內部埋入導體性構件的資訊儲存用容量元件用的栓塞之過程；及

（ｅ）在上述阻擋膜上覆蓋由可相對地提高對阻擋膜的蝕刻選擇比的材料所構成的容量元件形成用絕緣膜之過程；及

（ｆ）在上述容量元件形成用絕緣膜中，以上述阻擋膜作爲蝕刻阻擋件，而來形成露出該阻擋膜及上述記憶格選擇電晶體的栓塞的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

（ｇ）在上述容量元件形成用絕緣膜上及容量元件孔內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

第１下部電極用導體性構件之過程；及

（ｈ）在上述第１下部電極用導體性構件上覆蓋下部電極形成用絕緣膜之後，以僅殘留於容量元件孔內之方式予以去除之後，以該殘留的下部電極形成用絕緣膜作爲蝕刻光罩來去除上述容量元件形成用絕緣膜上的第１下部電極用導體性構件，而藉此來形成下部電極之過程。

２５．如申請專利範圍第２４項之半導體積體電路裝置之製造方法，其中具有：

在上述下部電極形成之後，以上述阻擋膜作爲蝕刻阻擋件，而於去除容量元件形成用絕緣膜之後，在上述下部電極的表面形成容量絕緣膜，並且在其表面形成上部電極，而來形成資訊儲存用容量元件之過程。

２６．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

（ａ）在上述半導體基板上形成記憶格選擇電晶體之過程；及

（ｂ）形成覆蓋上述記憶格選擇電晶體及其以外的電晶體的第１層間絕緣膜之過程；及

（ｃ）在上述第１層間絕緣膜上覆蓋阻擋膜之過程；及

（ｄ）在上述阻擋膜及第１層間絕緣膜中形成露出上述記憶格選擇電晶體的一方半導體領域之資訊儲存用容量

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

元件用的連接孔之後，形成在其內部埋入導體性構件的資訊儲存用容量元件用的栓塞之過程；及

（e）在上述阻擋膜上覆蓋由可相對地提高對阻擋膜的蝕刻選擇比的材料所構成的容量元件形成用絕緣膜之過程；及

（f）在上述容量元件形成用絕緣膜中，以上述阻擋膜作爲蝕刻阻擋件，而來形成露出該阻擋膜及上述記憶格選擇電晶體的栓塞的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

（g）蝕刻去除自上述容量元件孔露出的阻擋膜，而使上述資訊儲存用容量元件用的栓塞的上部露出之過程；及

（h）在上述（g）過程之後，在上述容量元件形成用絕緣膜上及容量元件孔內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之第1下部電極用導體性構件之過程；及

（i）在上述第1下部電極用導體性構件上覆蓋下部電極形成用絕緣膜之後，以僅殘留於容量元件孔內之方式予以去除之後，以該殘留的下部電極形成用絕緣膜作爲蝕刻光罩來去除上述容量元件形成用絕緣膜上的第1下部電極用導體性構件，而藉此來形成下部電極之過程。

27．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之筒形的資訊儲存用容量元件等所構成之複數個的記

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

憶格之半導體積體電路裝置之製造方法，其特徵是具有：

在形成上述資訊儲存用容量元件的下部電極形成用的導體性構件之後，在其側壁形成側壁膜，並以該側壁膜作爲蝕刻光罩，而來形成自上述下部電極形成用的導體性構件的底部中央延伸至下層的連接孔之過程。

２８．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

（ａ）在上述半導體基板上形成記憶格選擇電晶體之過程；及

（ｂ）形成覆蓋上述記憶格選擇電晶體及其以外的電晶體的第１層間絕緣膜之過程；及

（ｃ）在上述第１層間絕緣膜上覆蓋阻擋膜之過程；及

（ｄ）在上述第１阻擋膜上覆蓋由可相對地提高對該阻擋膜的蝕刻選擇比的材料所構成的容量元件形成用絕緣膜之過程；及

（ｅ）在上述容量元件形成用絕緣膜上覆蓋第２阻擋膜之過程；及

（ｆ）在上述容量元件形成用絕緣膜及第２阻擋膜中，以上述第１阻擋膜作爲蝕刻阻擋件，而形成露出該第１阻擋膜的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

（ｇ）在上述第２阻擋膜上及容量元件孔的內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之第１下部電極用導體性構件之過程；及

（ｈ）在上述１下部電極用導體性構件上，以能夠反映出下層的段差之方式來覆蓋絕緣膜，然後予以進行回蝕刻，而於上述容量元件孔內之第１下部電極用導體性構件的側面形成由該絕緣膜所構成的側壁絕緣膜之過程；及

（ｉ）以上述側壁絕緣膜作爲蝕刻光罩，而來蝕刻去除自此露出的第１下部電極用導體性構件，然後以側壁絕緣膜及被殘留的第１下部電極用導體性構件及第２阻擋膜作爲蝕刻光罩，而來去除自此露出的第１層間絕緣膜，而形成露出上述記憶格選擇電晶體的一方半導體領域之資訊儲存用容量元件的連接孔之過程；及

（ｊ）在上述第２阻擋膜上及容量元件孔內覆蓋上述第１下部電極用導體性構件，並以能夠埋入上述資訊儲存用容量元件的連接孔之方式來覆蓋第２下部電極用導體性構件之過程；及

（ｋ）對上述第２下部電極用導體性構件及其下層的第２阻擋膜進行回蝕刻，而藉此經由殘留於上述資訊儲存用容量元件的連接孔內的第２下部電極用導體性構件來形成與上述記憶格選擇電晶體的一方半導體領域進行電氣性連接的下部電極之過程。

２９．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

（ａ）在上述半導體基板上形成記憶格選擇電晶體及其以外的電晶體之過程；及

（ｂ）形成覆蓋上述記憶格選擇電晶體及其以外的電晶體的第１層間絕緣膜之過程；及

（ｃ）在第１層間絕緣膜中形成露出上述記憶格選擇電晶體的一方半導體領域之資訊儲存用容量元件用的第１連接孔之後，在其內部埋入導體性構件，而來形成資訊儲存用容量元件用的栓塞之過程；及

（ｄ）在上述第１層間絕緣膜上覆蓋用以蓋上上述資訊儲存用容量元件用的栓塞的阻擋膜之過程；及

（ｅ）在上述阻擋膜上覆蓋由可相對地提高對該阻擋膜的蝕刻選擇比的材料所構成的容量元件形成用絕緣膜之過程；及

（ｆ）在上述容量元件形成用絕緣膜中，以上述阻擋膜作爲蝕刻阻擋件，而形成露出該阻擋膜的上面之上述資訊儲存用容量元件形成用的容量元件孔之過程；及

（ｇ）在上述容量元件形成用絕緣膜上及容量元件孔內面覆蓋供以形成上述資訊儲存用容量元件的下部電極之第１下部電極用導體性構件之過程；及

（ｈ）在上述１下部電極用導體性構件上，以能夠反映出下層的段差之方式來覆蓋絕緣膜，然後予以進行回蝕刻，而於上述容量元件孔內之第１下部電極用導體性構件

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

的側面形成由該絕緣膜所構成的側壁絕緣膜之過程；及

（ｉ）以上述側壁絕緣膜作爲蝕刻光罩，而來蝕刻去除自此露出的第１下部電極用導體性構件，然後以側壁絕緣膜及被殘留的第１下部電極用導體性構件作爲蝕刻光罩，而來去除自此露出的阻擋膜，而形成露出上述資訊儲存用容量元件的栓塞的上面之資訊儲存用容量元件的第２連接孔之過程；及

（ｊ）以上述阻擋膜作爲蝕刻阻擋件，在蝕刻去除上述側壁絕緣膜及上述容量元件形成用絕緣膜之後，在上述阻擋膜上以能夠覆蓋上述第１下部電極用導體性構件之方式來覆蓋第２下部電極用導體性構件之過程；及

（ｋ）對上述第２下部電極用導體性構件進行回蝕刻，而藉此經由形成於上述資訊儲存用容量元件的第２連接孔的側面之連接部來形成與上述資訊儲存用容量元件用的栓塞進行電氣性連接的下部電極之過程。

３０．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

分別藉由各個的曝光處理來複寫上述記憶格選擇電晶體之閘極的圖案，及除此以外的其他電晶體之閘極的圖案之過程。

３１．一種半導體積體電路裝置之製造方法，其特徵是具有：

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

在形成於上述半導體基板上的層間絕緣膜中，針對於其下層中被設置於同層或異層且露出彼此隔離的複數個第1導體性構件的連接孔進行穿孔之過程；及

在上述連接孔內埋入第2導體性構件，且電氣性連接上述彼此隔離的複數個第1導體性構件之過程。

32.一種半導體積體電路裝置，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置，其特徵是具有：

（a）設置於上述半導體基板之平面孤立矩形狀的第1領域；及

（b）在上述半導體基板上，延伸於與上述第1領域交叉的方向之字元線；及

（c）在上述第1領域中，挾持上述字元線的正下方的通道領域而形成源極及汲極用之具有一對的半導體領域之上述記憶格選擇電晶體；及

（d）覆蓋上述記憶格選擇電晶體之第1層間絕緣膜；及

（e）設置於上述第1層間絕緣膜之位元線用的配線溝；及

（f）在上述第1層間絕緣膜中，爲上述位元線用的配線溝的一部份，且延伸於與上述位元線用的配線溝的延伸方向成平面交叉的方向，而來設置於平面地重疊於上述記憶格選擇電晶體的一方半導體領域之領域中，且一體連

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

接於該位元線用的配線溝，而露出上述記憶格選擇電晶體的一方半導體領域之位元線用的連接孔；及

（ｇ）由埋入於上述位元線用的配線溝及位元線用的連接孔中的導體性構件所構成之位元線；及

（ｈ）設置於比上述位元線還要上方，且與上述記憶格選擇電晶體的另一方半導體領域進行電氣性連接之資訊儲存用容量元件。

３３．一種半導體積體電路裝置，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置，其特徵是具有：

（ａ）設置於上述半導體基板之平面孤立矩形狀的第１領域；及

（ｂ）在上述半導體基板上，延伸於與上述第１領域交叉的方向之字元線；及

（ｃ）在上述第１領域中，挾持上述字元線的正下方的通道領域而形成源極及汲極用之具有一對的半導體領域之上述記憶格選擇電晶體；及

（ｄ）覆蓋上述記憶格選擇電晶體之第１層間絕緣膜；及

（ｅ）設置於上述第１層間絕緣膜之位元線用的配線溝；及

（ｆ）在上述第１層間絕緣膜中，爲上述位元線用的配線溝的一部份，且延伸於與上述位元線用的配線溝的延

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

伸方向成平面交叉的方向，而來設置於平面地重疊於上述記憶格選擇電晶體的一方半導體領域之領域中，且一體連接於該位元線用的配線溝，而露出上述記憶格選擇電晶體的一方半導體領域之位元線用的連接孔；及

（ｇ）由埋入於上述位元線用的配線溝及位元線用的連接孔中的導體性構件所構成之位元線；及

（ｈ）設置於比上述位元線還要上方，且與上述記憶格選擇電晶體的另一方半導體領域進行電氣性連接之資訊儲存用容量元件；

上述位元線用配線溝是設置於上述第１層間絕緣膜的厚度方向的途中位置，且以絕緣膜（由可高於該上下絕緣膜的蝕刻選擇比的材料所構成）能夠作爲底面之方式而形成。

３４．一種半導體積體電路裝置，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置，其特徵是具備：上述資訊儲存用容量元件的下部電極與上述記憶格選擇電晶體的一方半導體領域，是經由其間所設置的導體性構件來進行電氣性連接之構造，且上述導體性構件的上部突出於上述下部電極的底部。

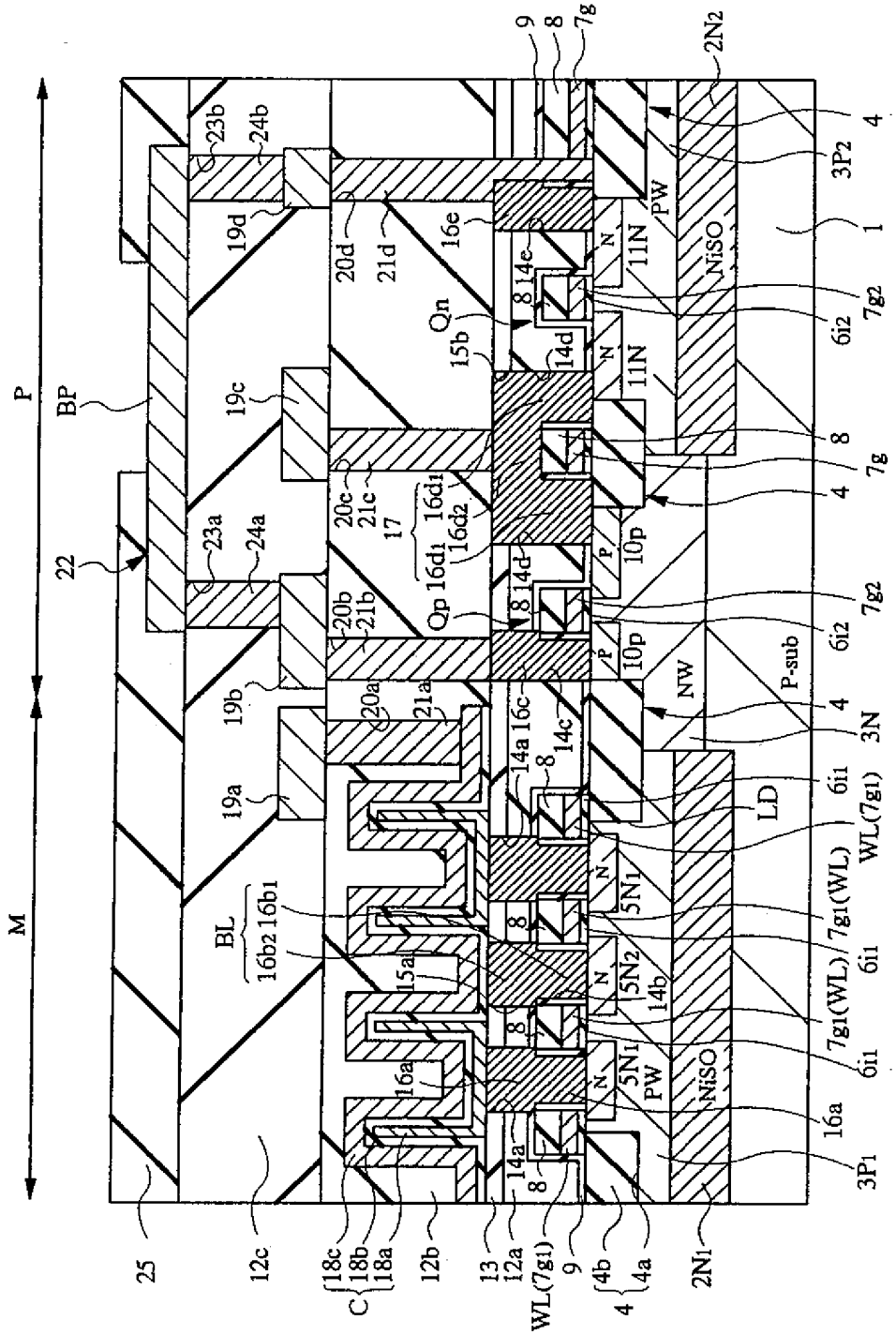
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

456029

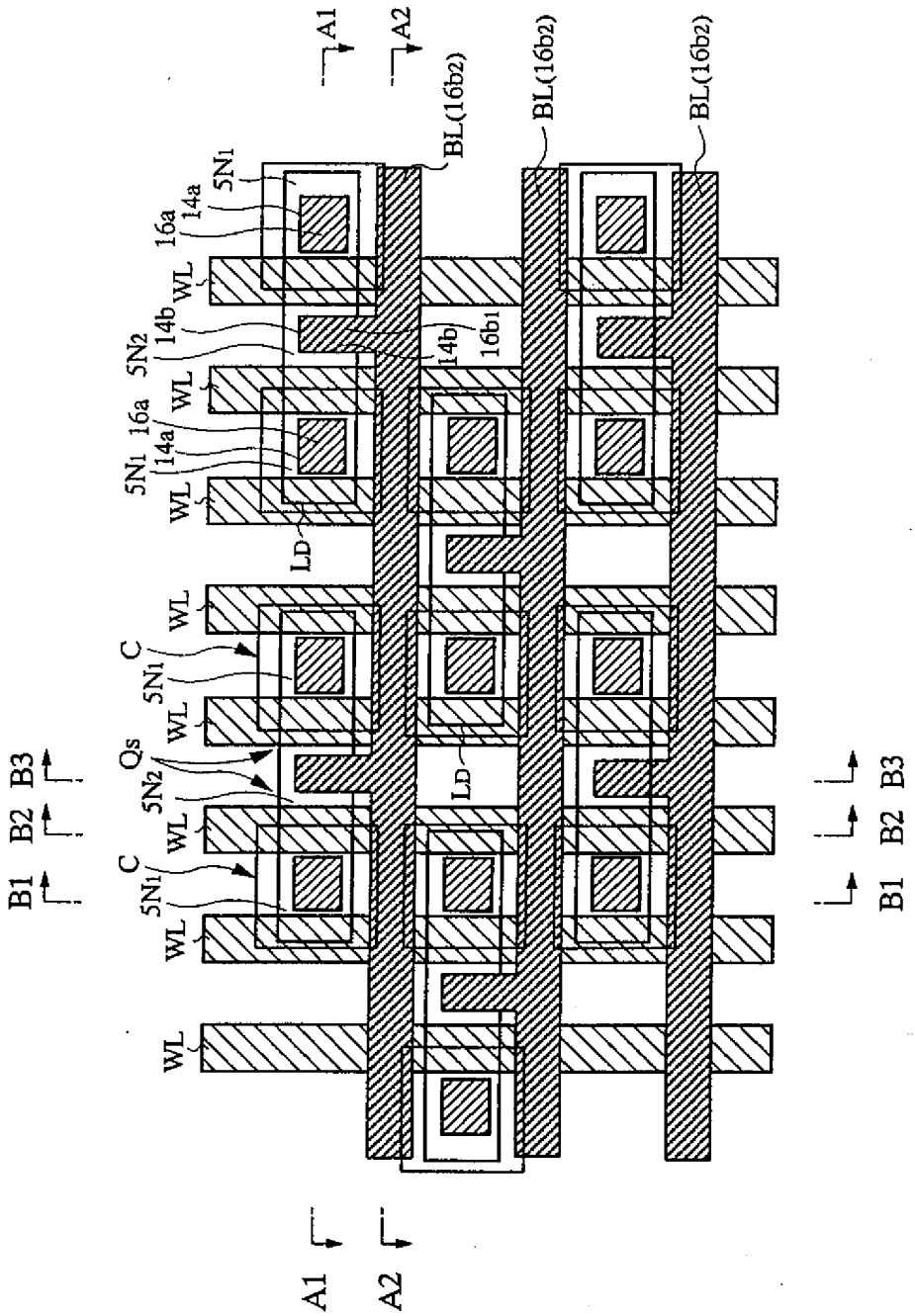
88109648

734200

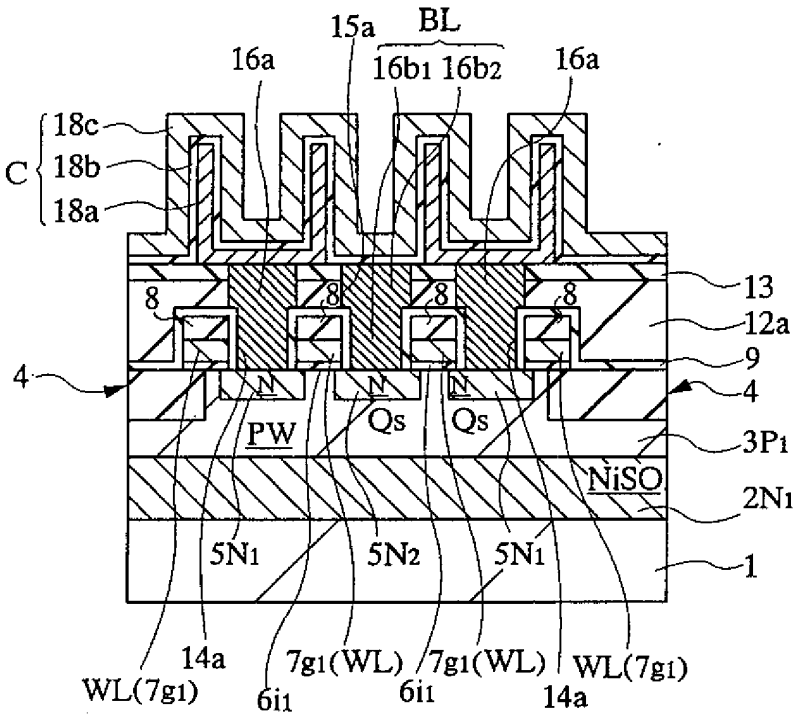
第1圖



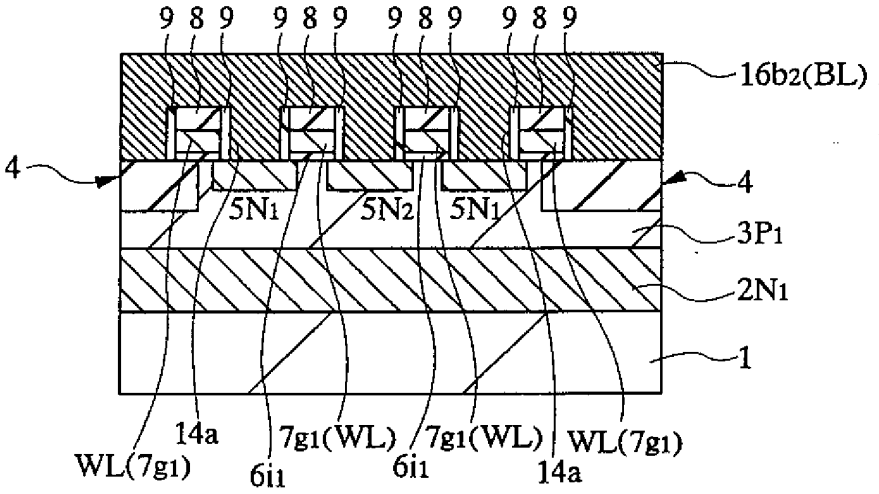
第2圖


A1
A2
BL(16b2)
BL(16b2)
BL(16b2)
5N1
16a
14a
WL
5N2
14b
16b1
LD
C
Qs
B1
B2
B3

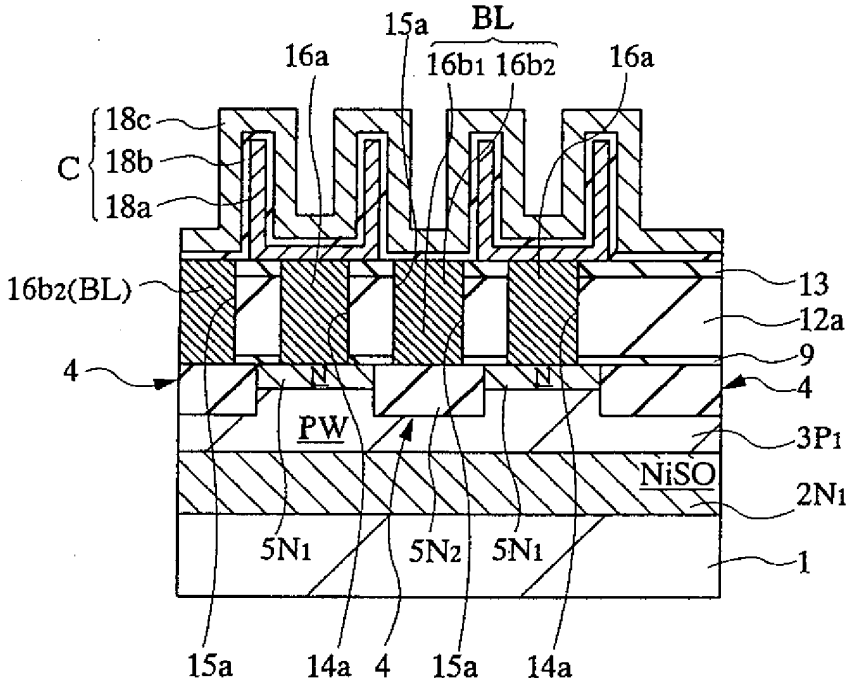
第 3 圖


15a
BL
16a
16b1 16b2
16a
C
18c
18b
18a
13
12a
9
4
8
4
N
PW
Qs
3P1
NiSO
2N1
5N1
5N2
1
14a
WL(7g1)
6i1
7g1(WL)

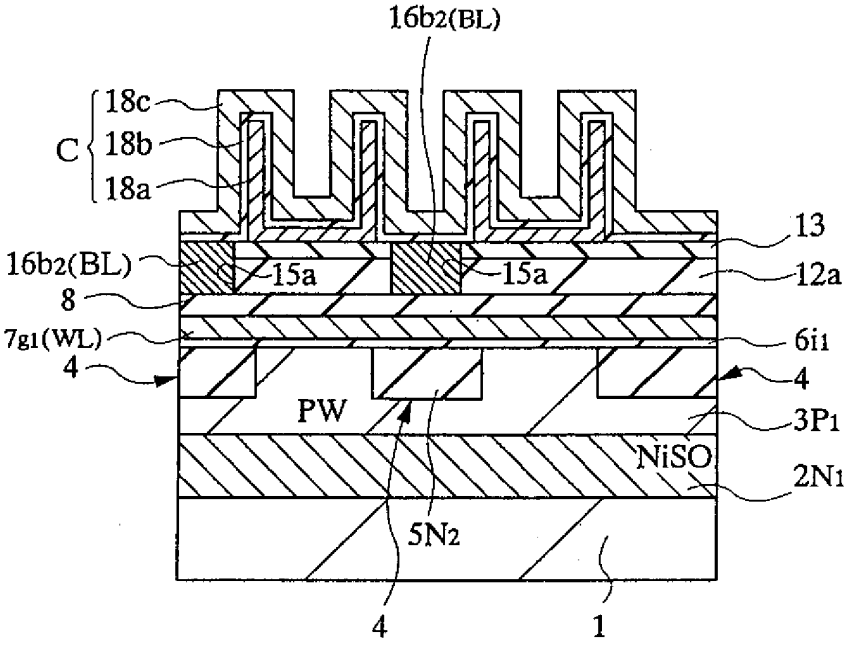
第 4 圖


9 8 9
16b2(BL)
4
5N1
5N2
3P1
2N1
1
14a
WL(7g1)
6i1
7g1(WL)

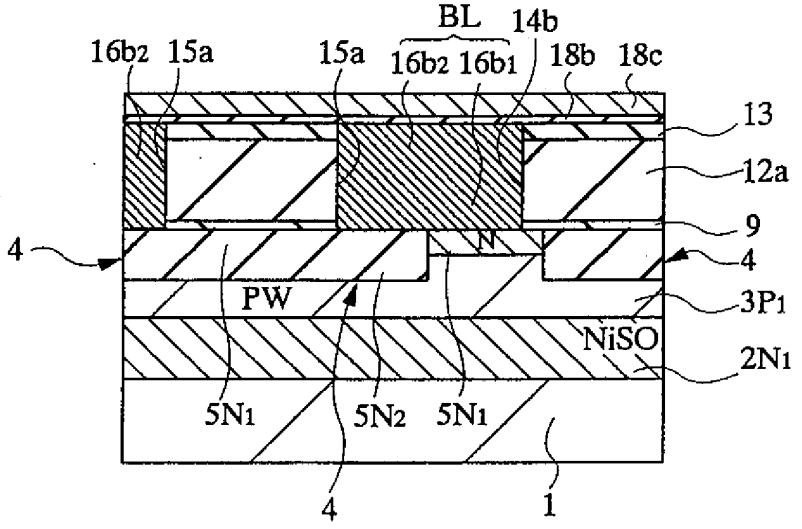
第 5 圖


15a
BL
16a
16b1 16b2
16a
C
18c
18b
18a
16b2(BL)
13
12a
9
4
4
N
N
PW
3P1
NiSO
2N1
5N1
5N2
5N1
1
15a
14a
4
15a
14a

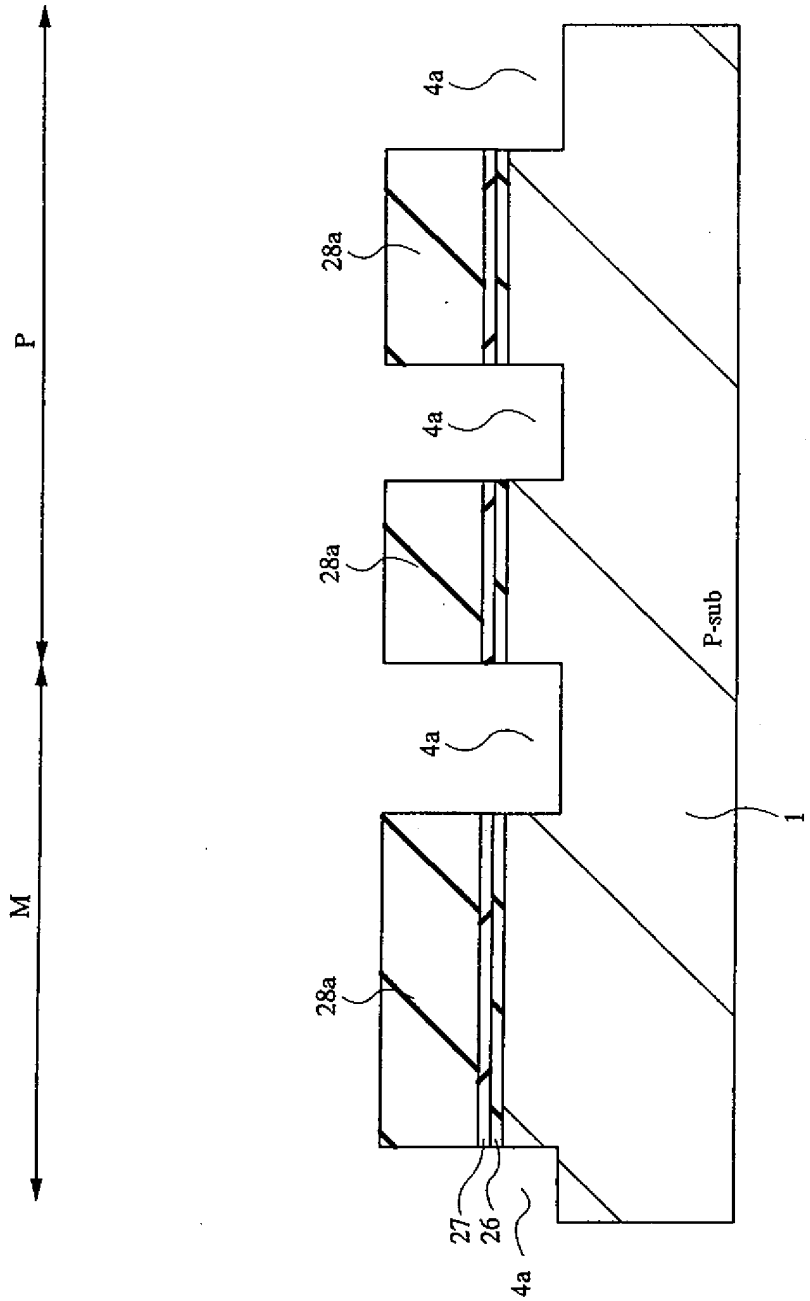
第 6 圖


16b2(BL)
C
18c
18b
18a
13
16b2(BL)
15a
15a
12a
8
7g1(WL)
6i1
4
4
PW
3P1
NiSO
2N1
5N2
4
1

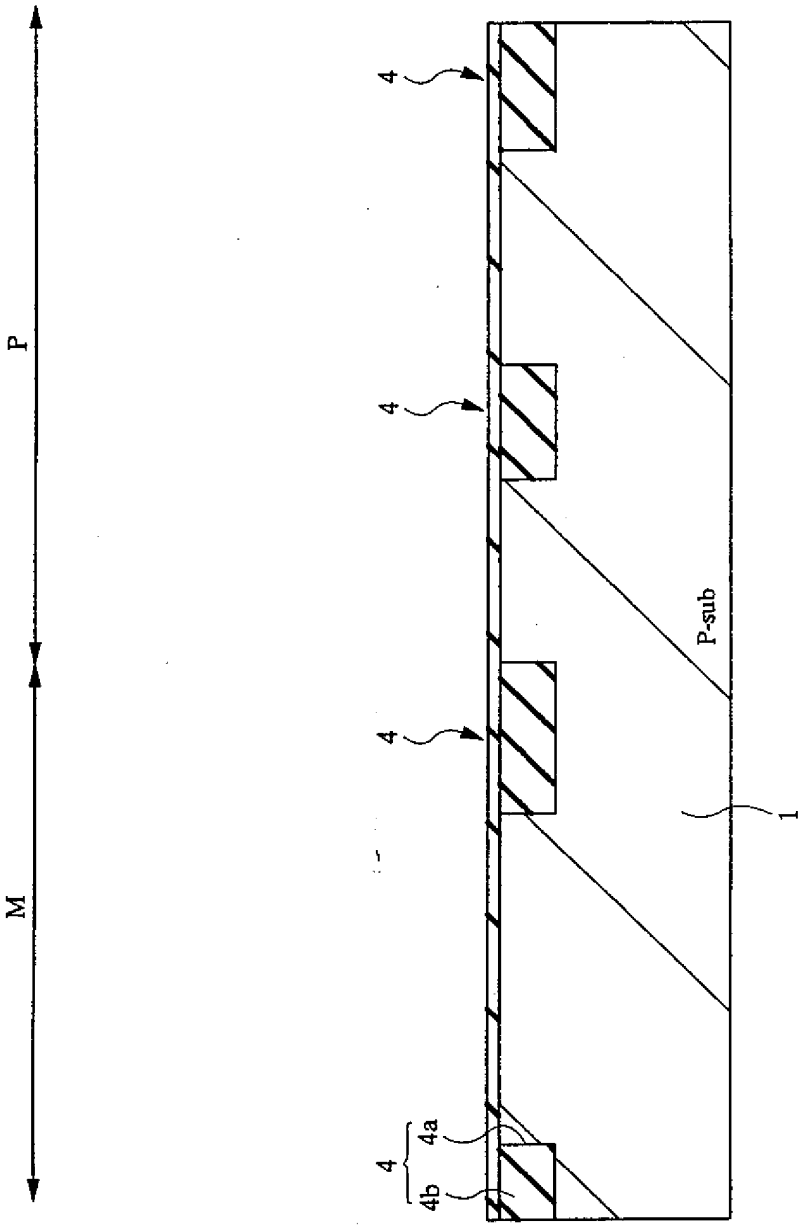
第 7 圖


BL
14b
16b2
15a
15a
16b2
16b1
18b
18c
13
12a
9
4
4
PW
3P1
NiSO
2N1
5N1
5N2
5N1
4
1

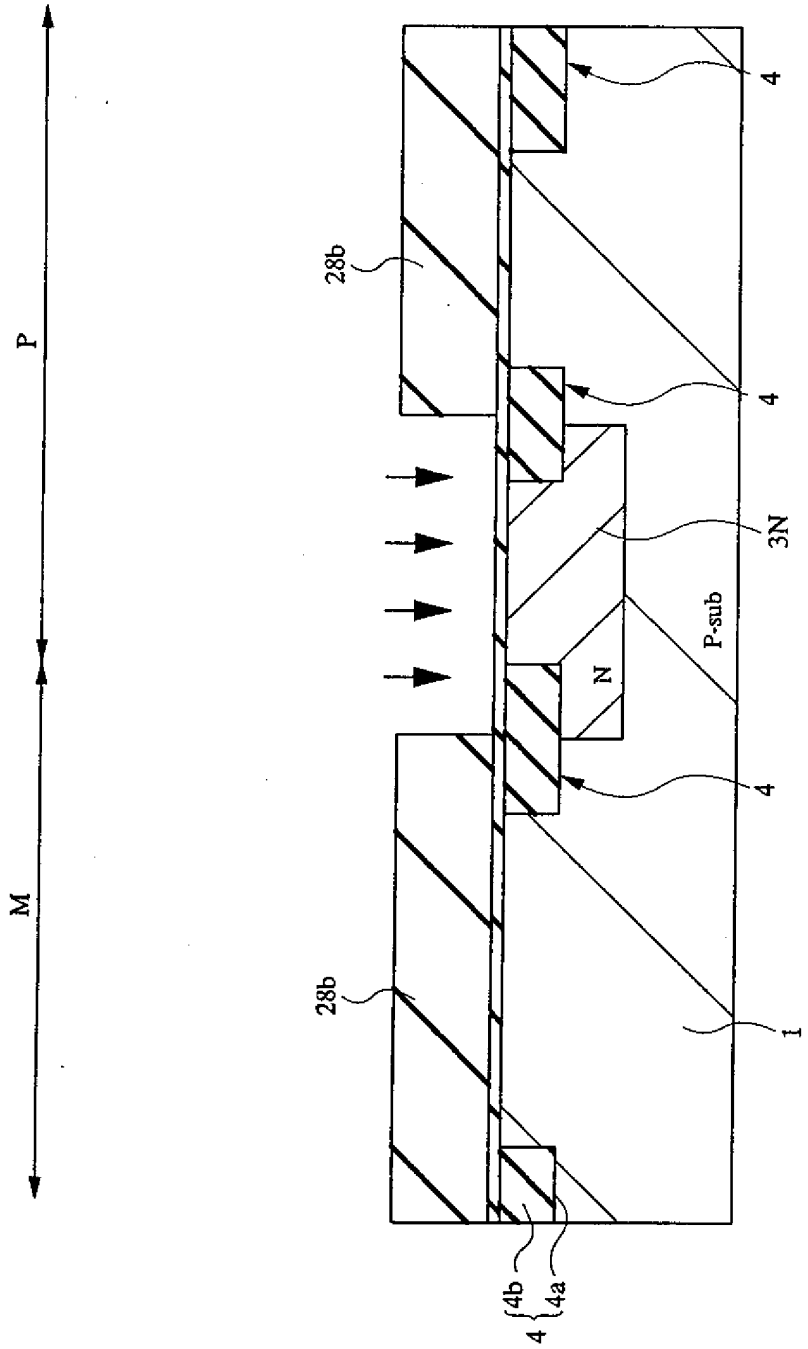
第8圖



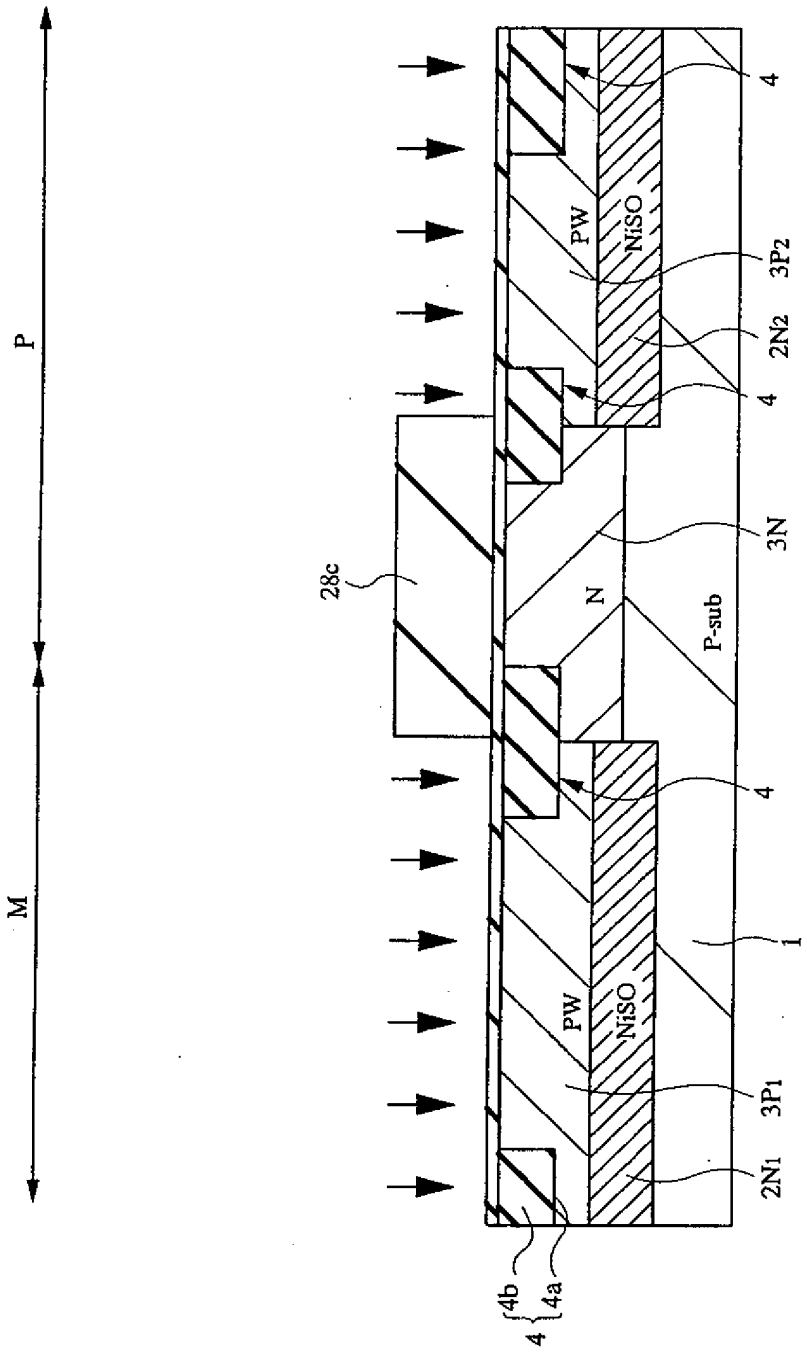
第9圖



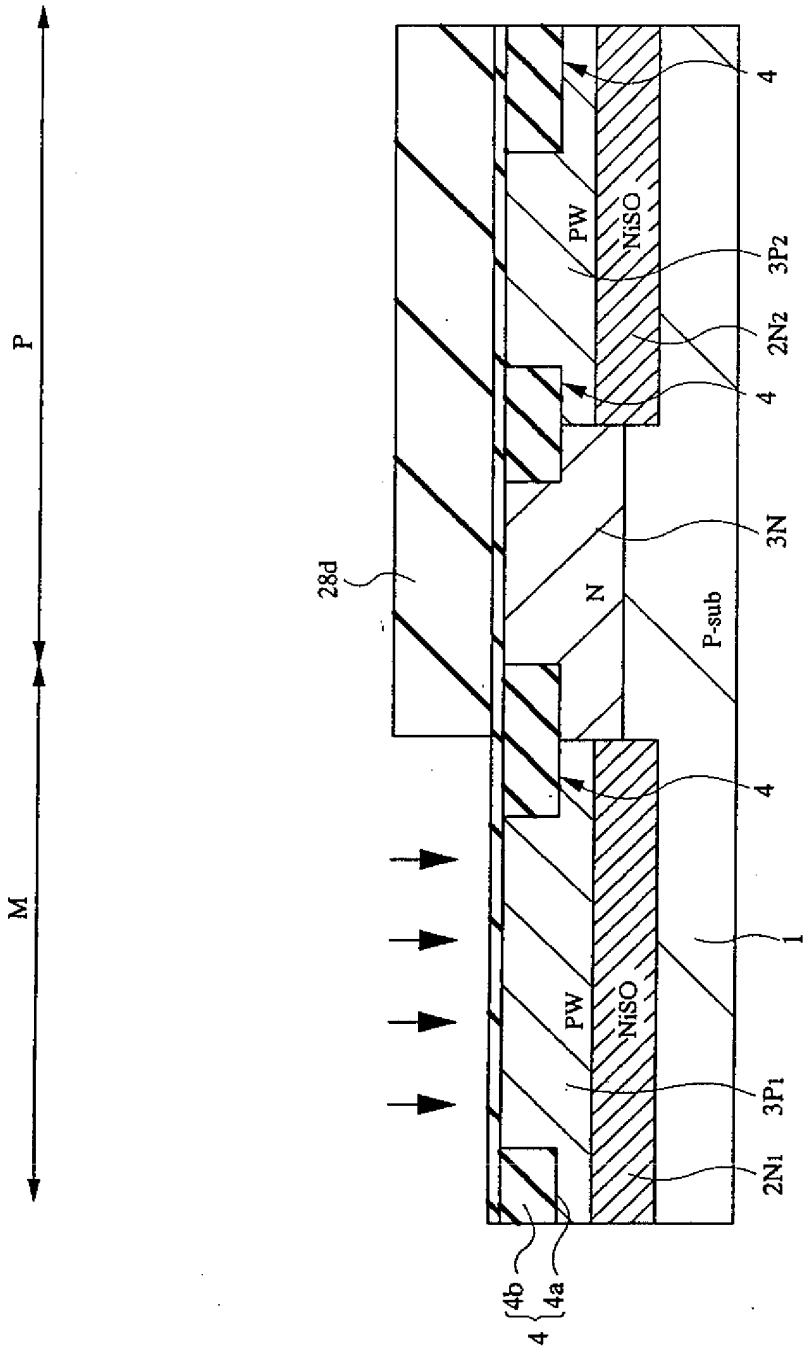
第 10 圖



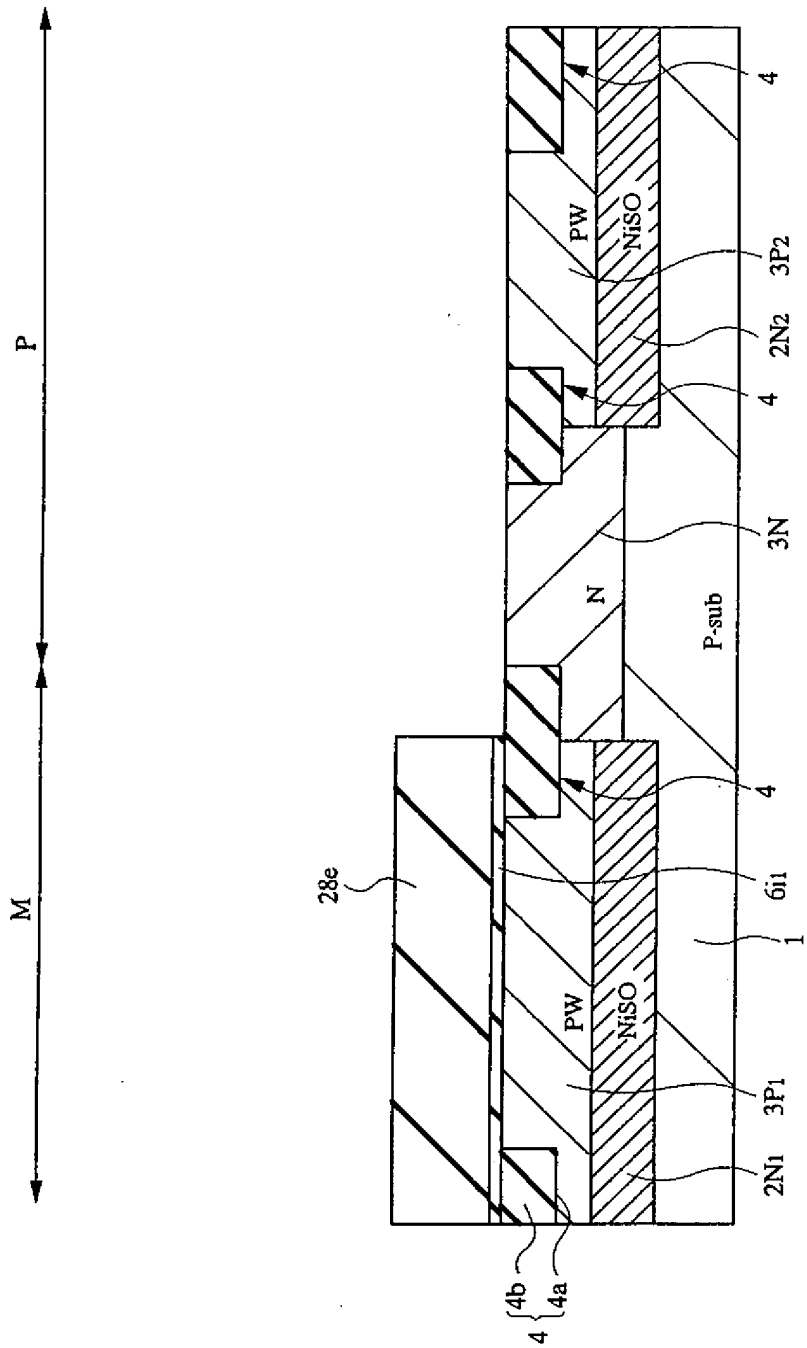
第 11 圖



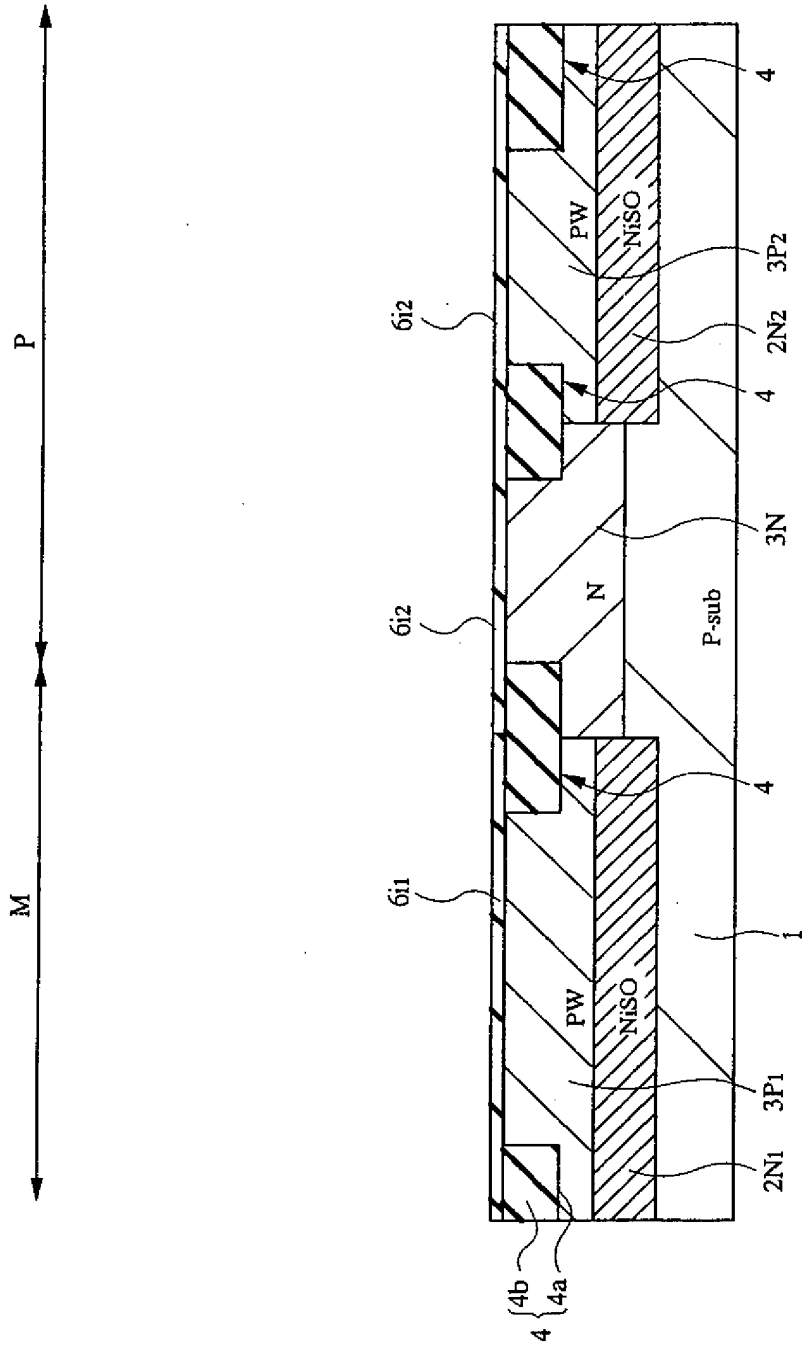
第 12 圖



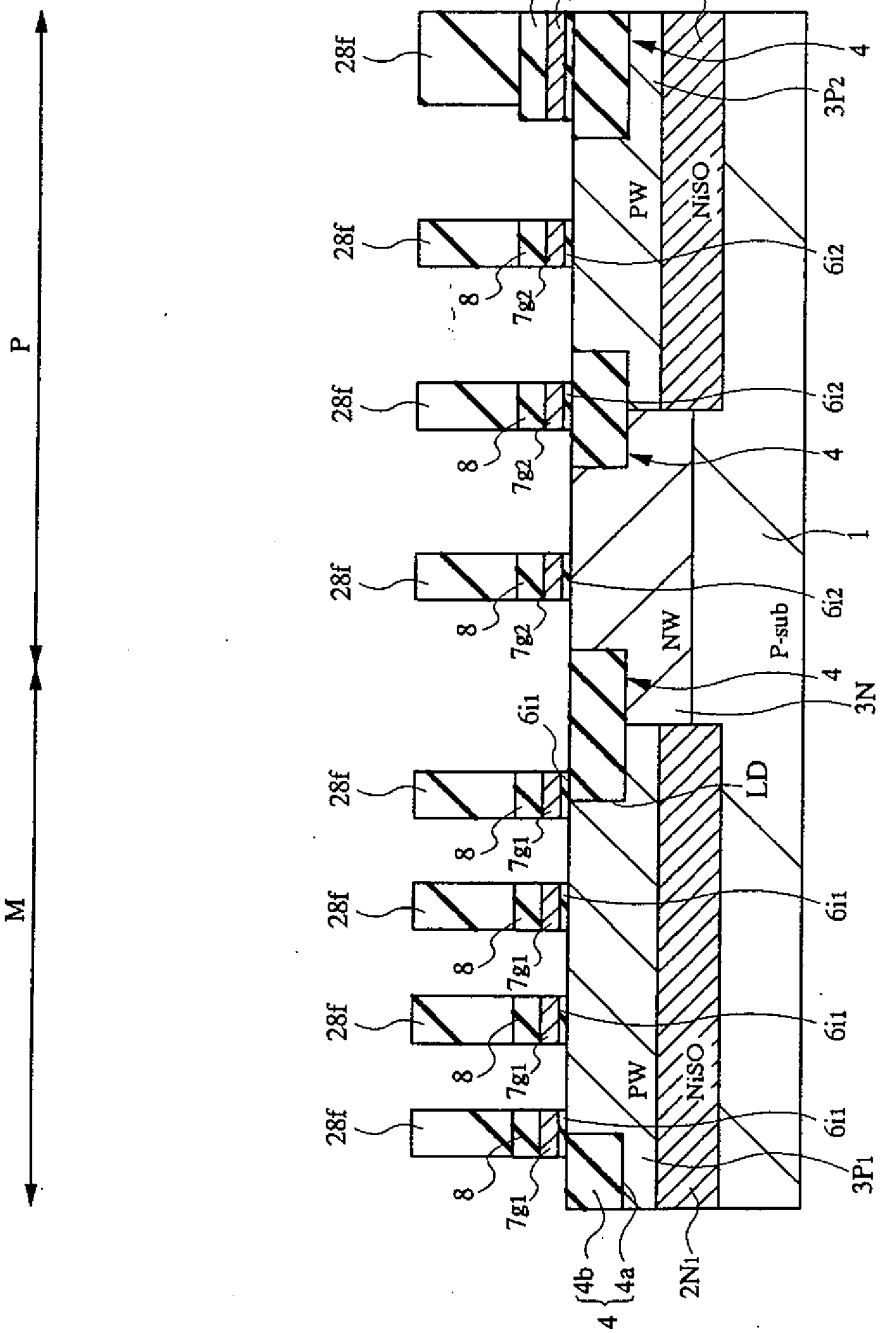
第 13 圖



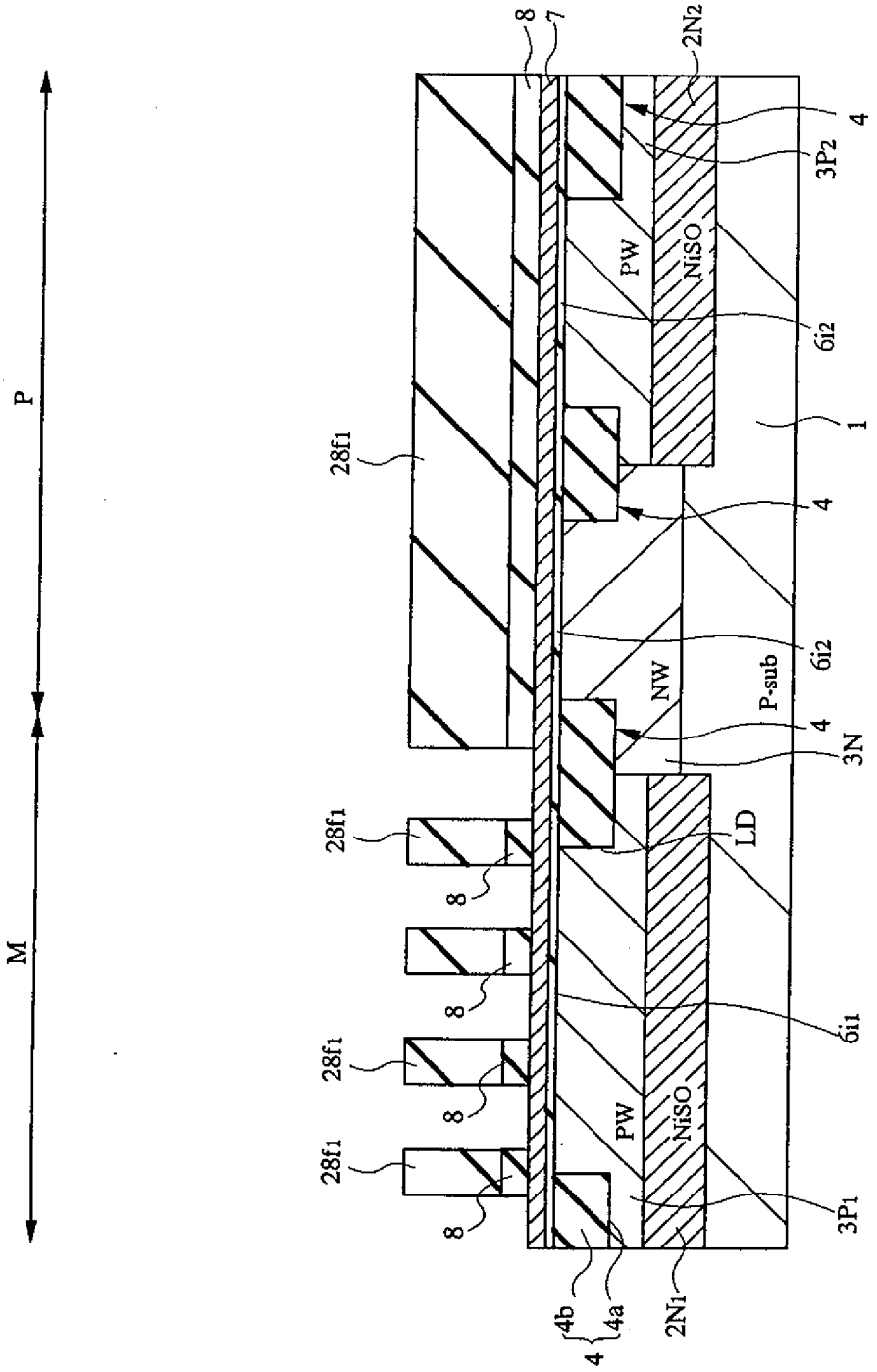
第14圖


P
M
6i2
6i2
6i1
PW
NiSO
PW
NiSO
N
P-sub
3P2
2N2
3N
3P1
2N1
4
4
4
4
4b
4a
1

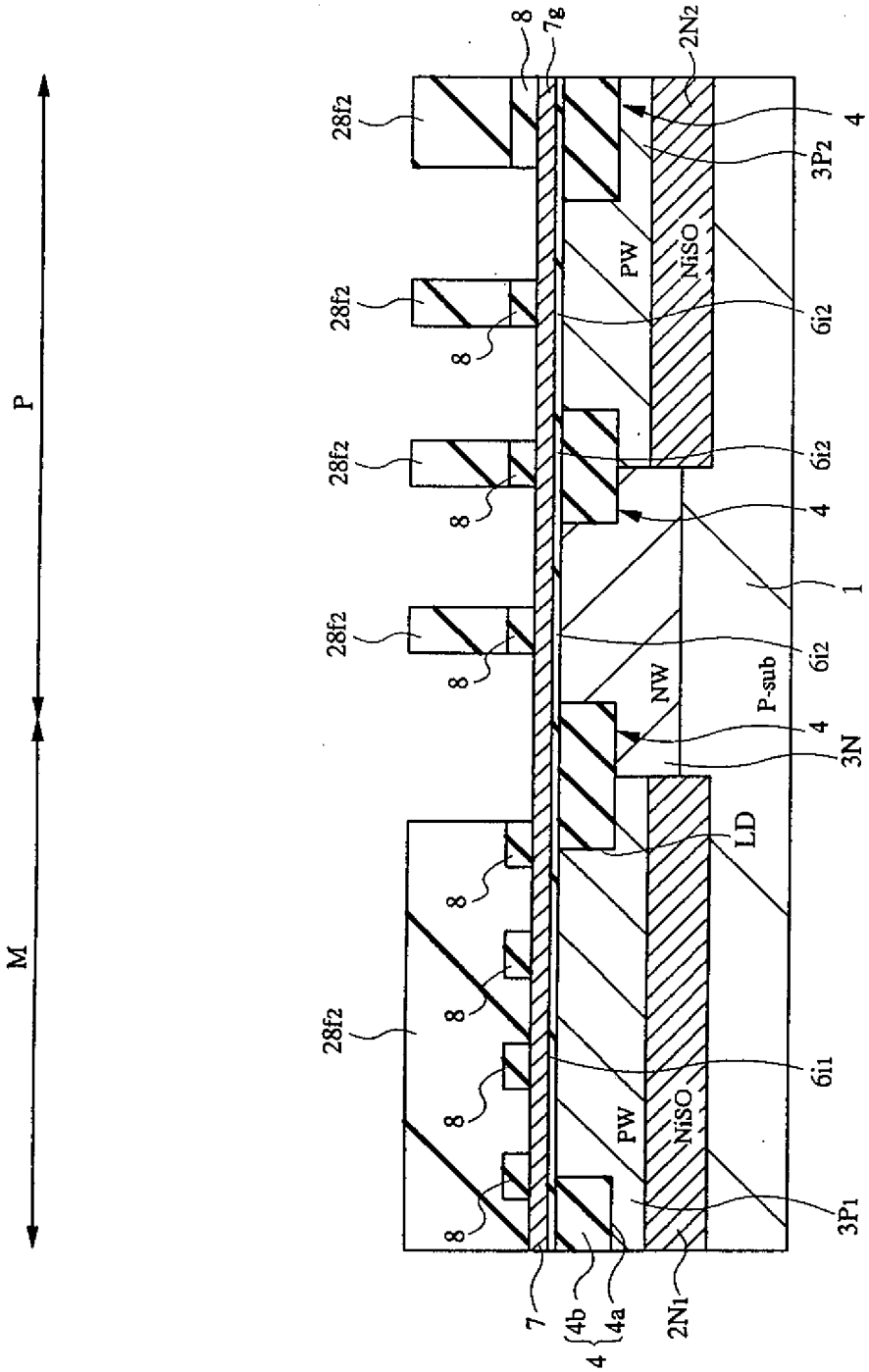
第 15 圖


P
M
28f
8
7g
2N2
4
3P2
PW
NiSO
6i2
7g2
NW
P-sub
1
3N
6i1
7g1
LD
3P1
2N1
4b
4a

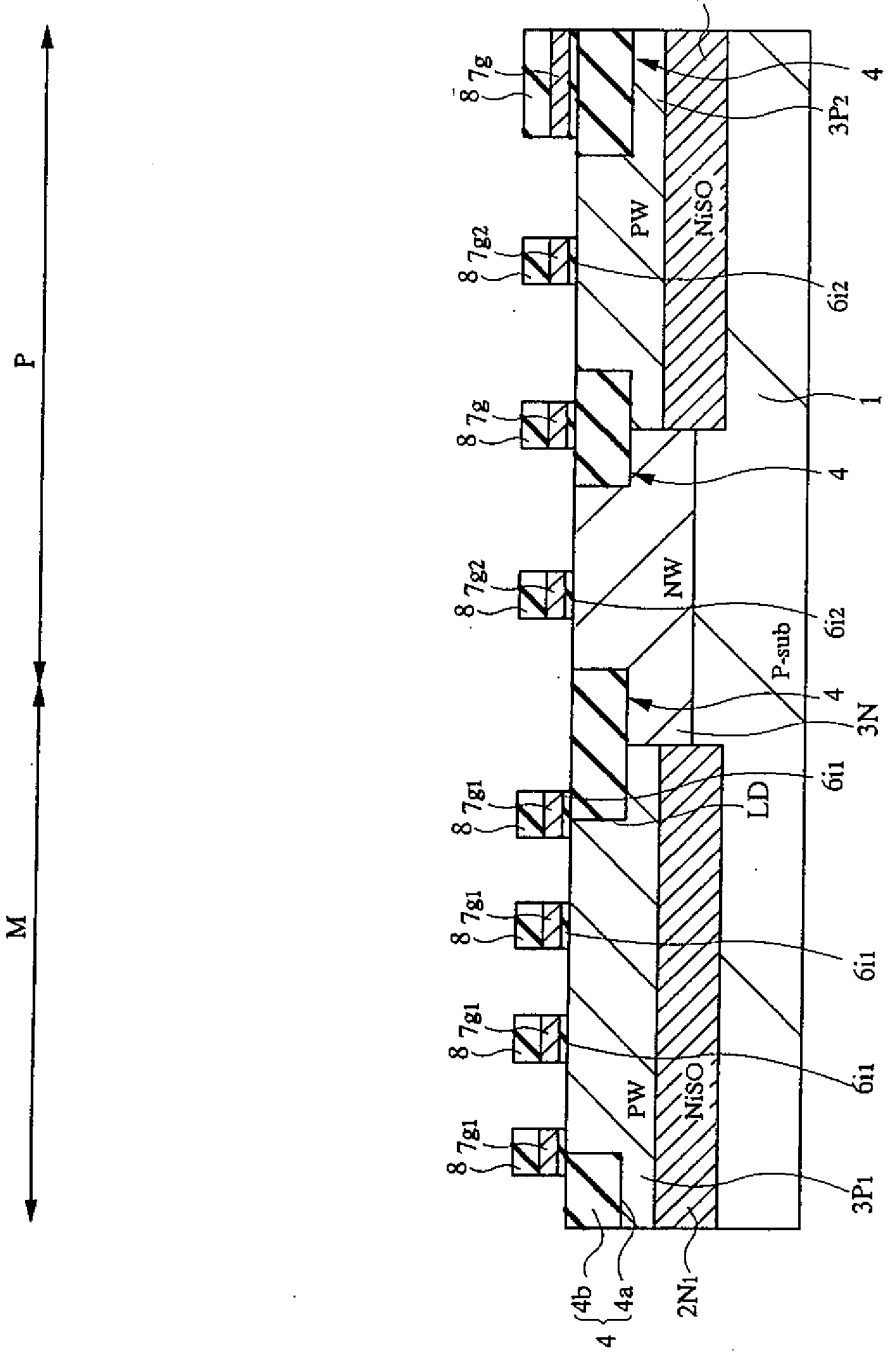
第 16 圖


P
M
8
7
2N2
4
3P2
PW
NiSO
6i2
1
28f1
4
6i2
NW
P-sub
4
3N
28f1
8
LD
8
6i1
28f1
8
PW
NiSO
28f1
8
3P1
4b
4a
4
2N1

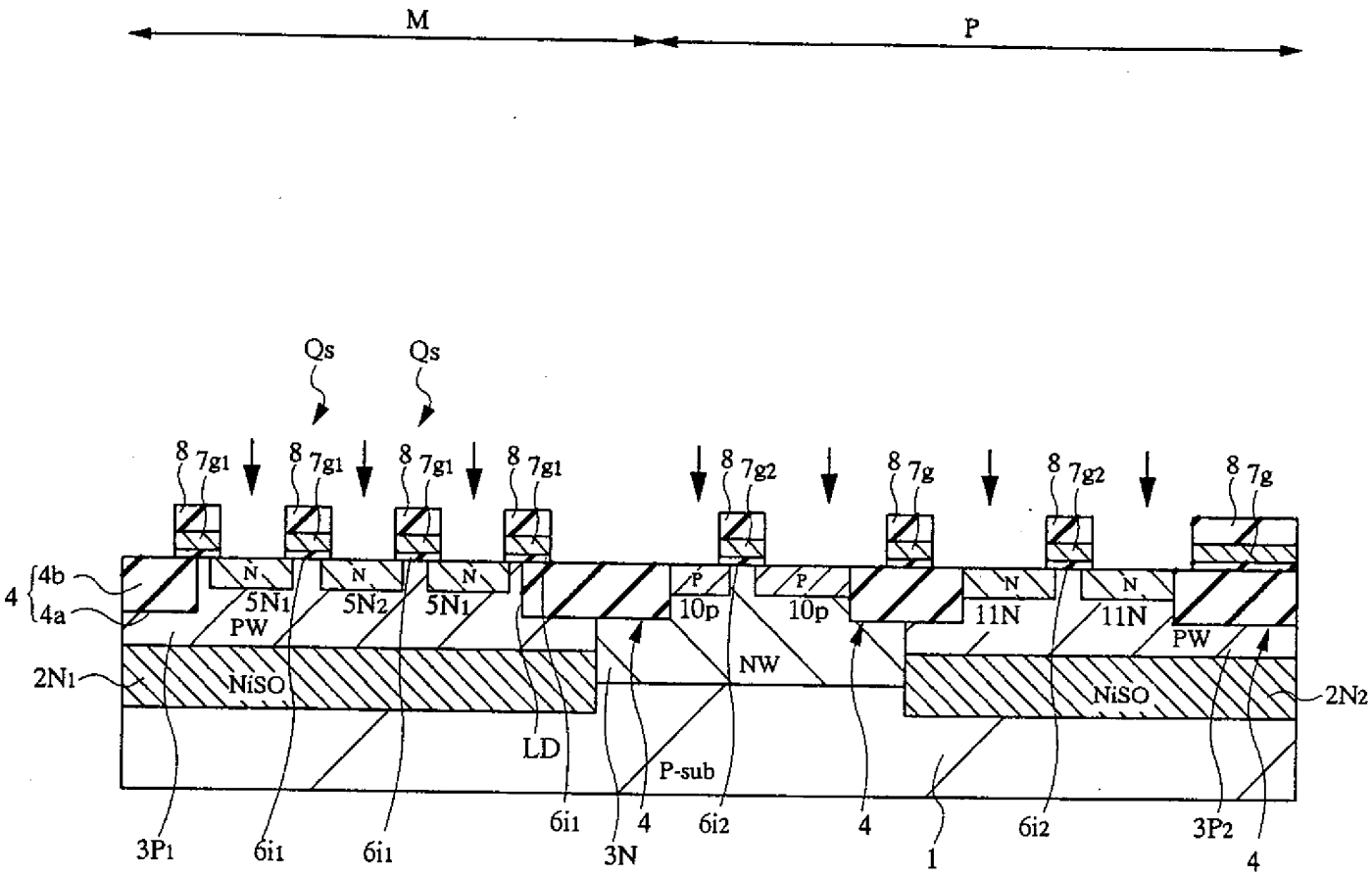
第17圖


P
M
28f2
8
7g
2N2
4
3P2
PW
NiSO
6i2
1
NW
P-sub
3N
LD
6i1
3P1
7
4b
4a
2N1

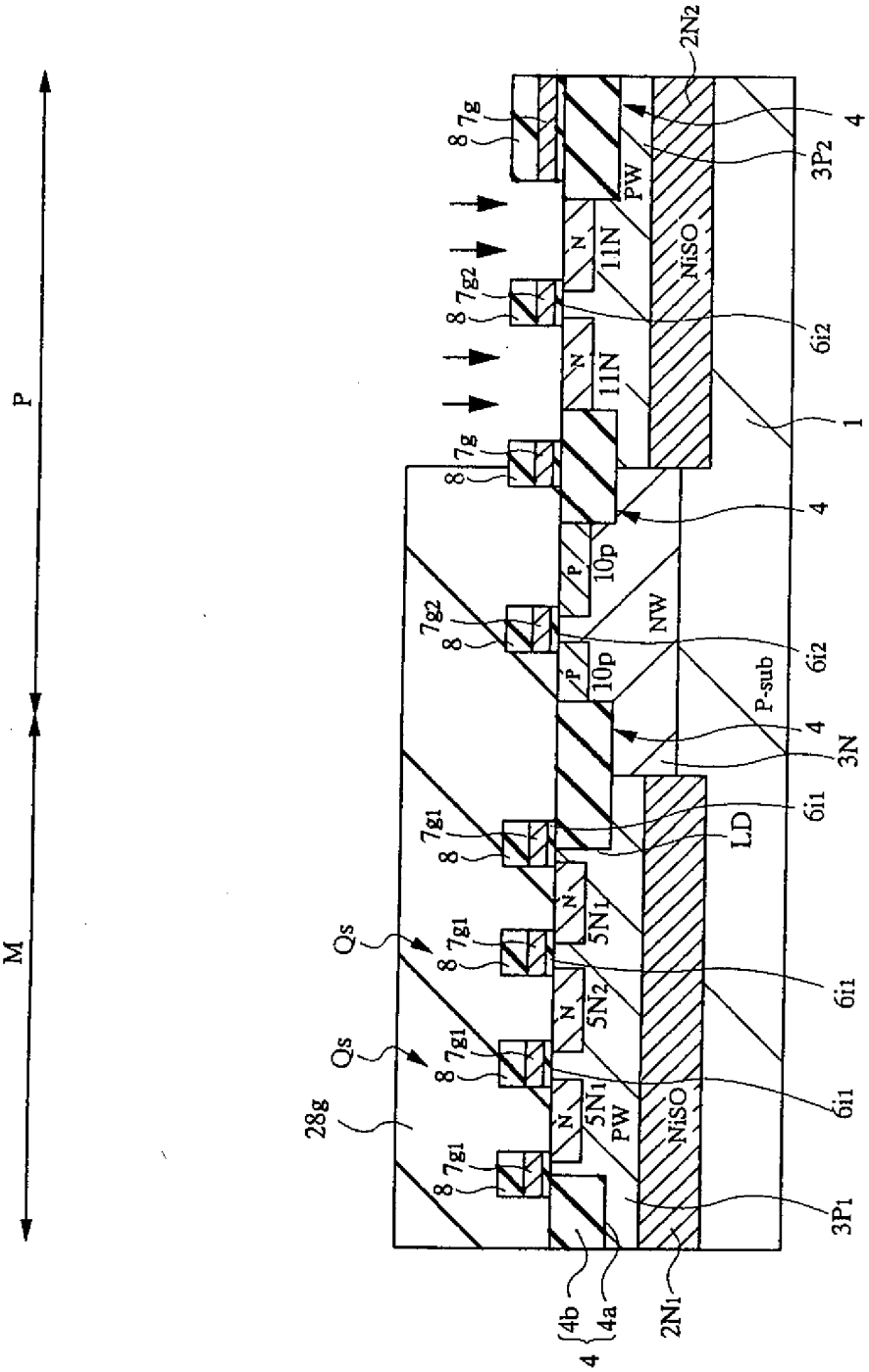
第18圖


P
M
2N2
7g
8
4
3P2
PW
NiSO
7g2
6i2
1
NW
P-sub
3N
6i1
LD
7g1
3P1
2N1
4b
4a

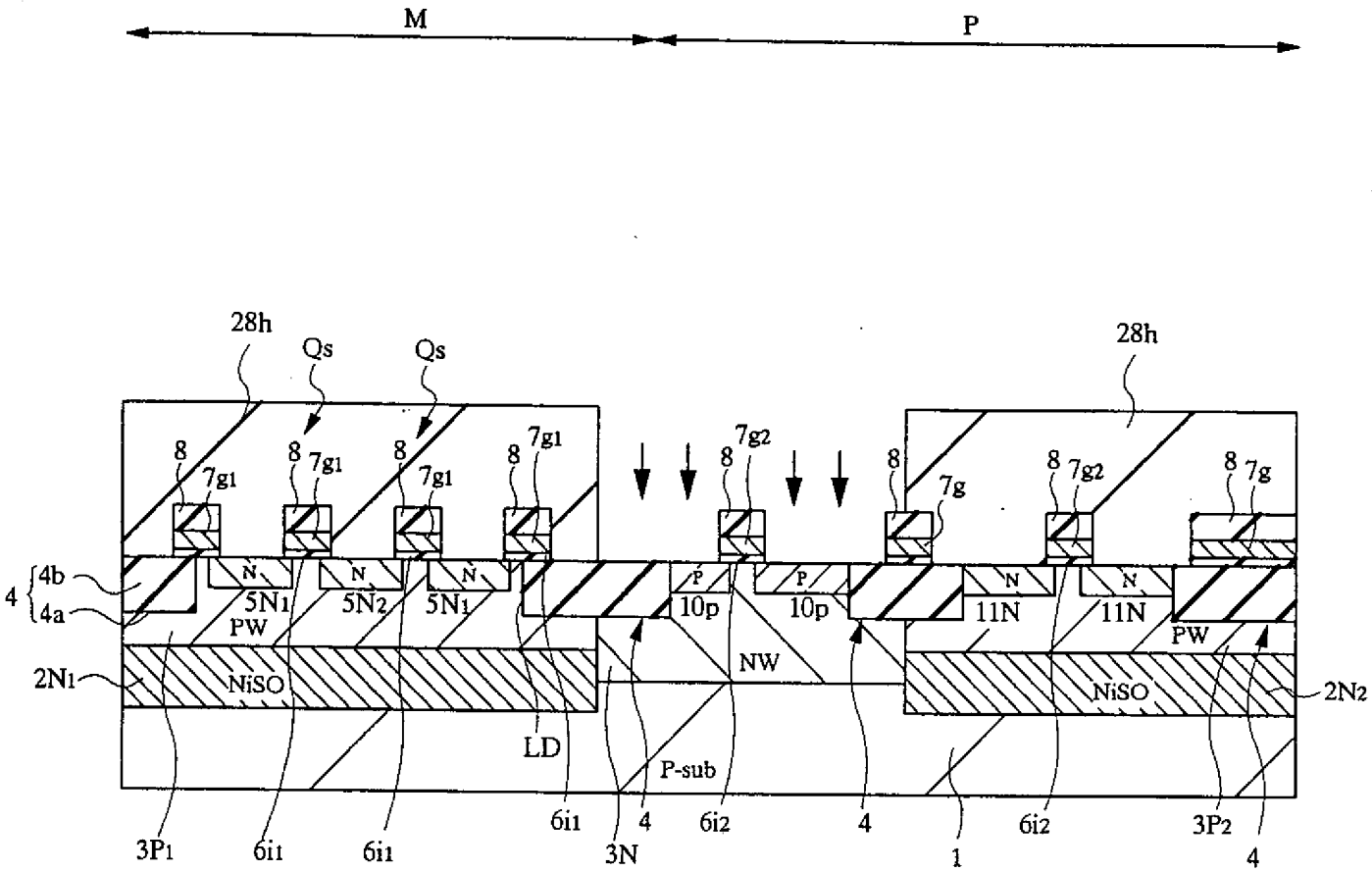
第 19 圖


M
P
Qs
Qs
8
7g1
8
7g1
8
7g1
8
7g1
8
7g2
8
7g
8
7g2
8
7g
4
4b
4a
N
5N1
N
5N2
N
5N1
P
10p
P
10p
N
11N
N
11N
PW
PW
2N1
NiSO
NW
NiSO
2N2
LD
P-sub
3P1
6i1
6i1
6i1
3N
4
6i2
4
1
6i2
3P2
4

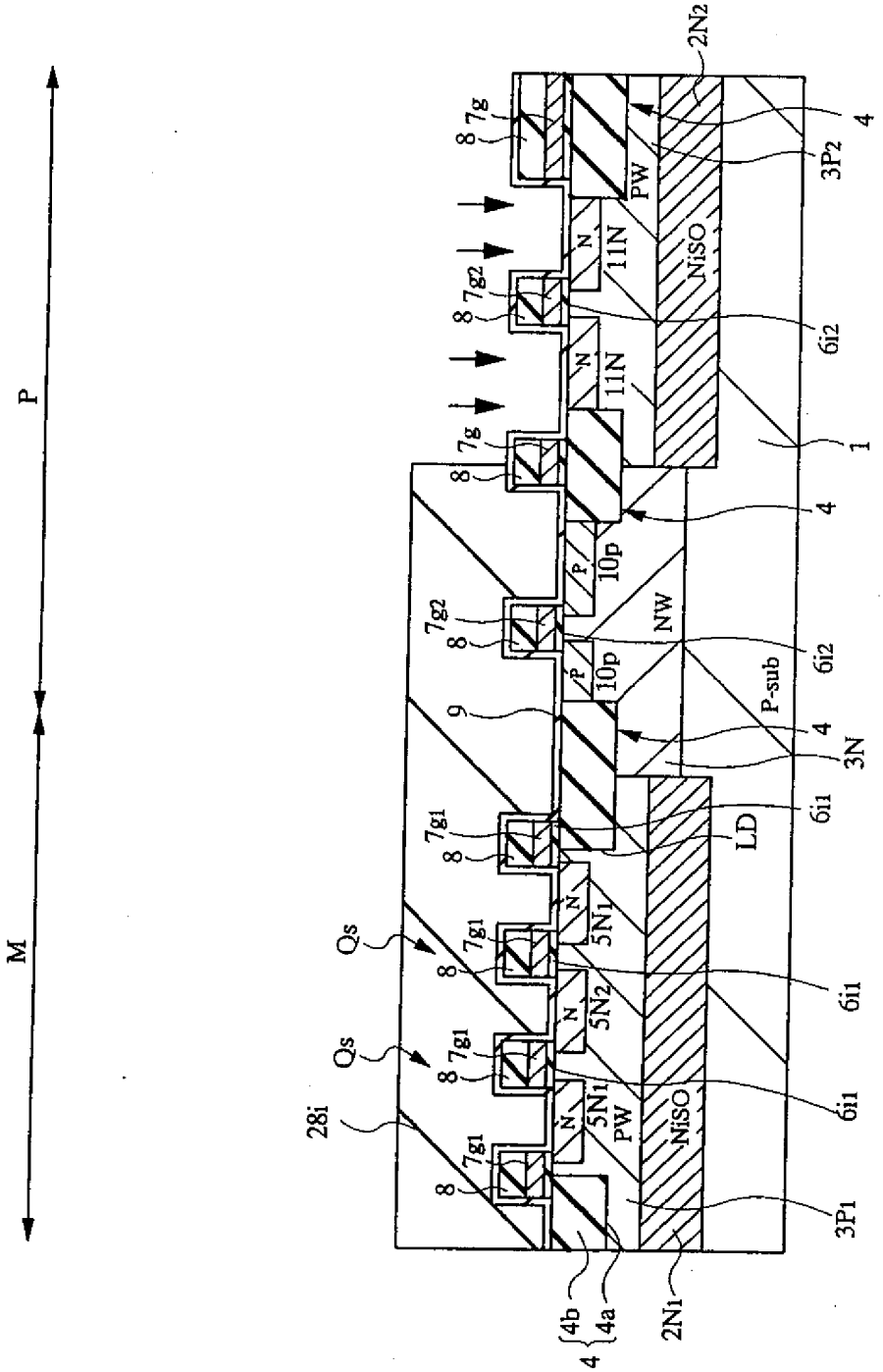
第 20 圖


P
M
2N2
7g
8
3P2
4
PW
11N
NiSO
7g2
6i2
1
10p
NW
P-sub
3N
6i1
LD
7g1
5N1
5N2
Qs
28g
3P1
4b
4a
2N1

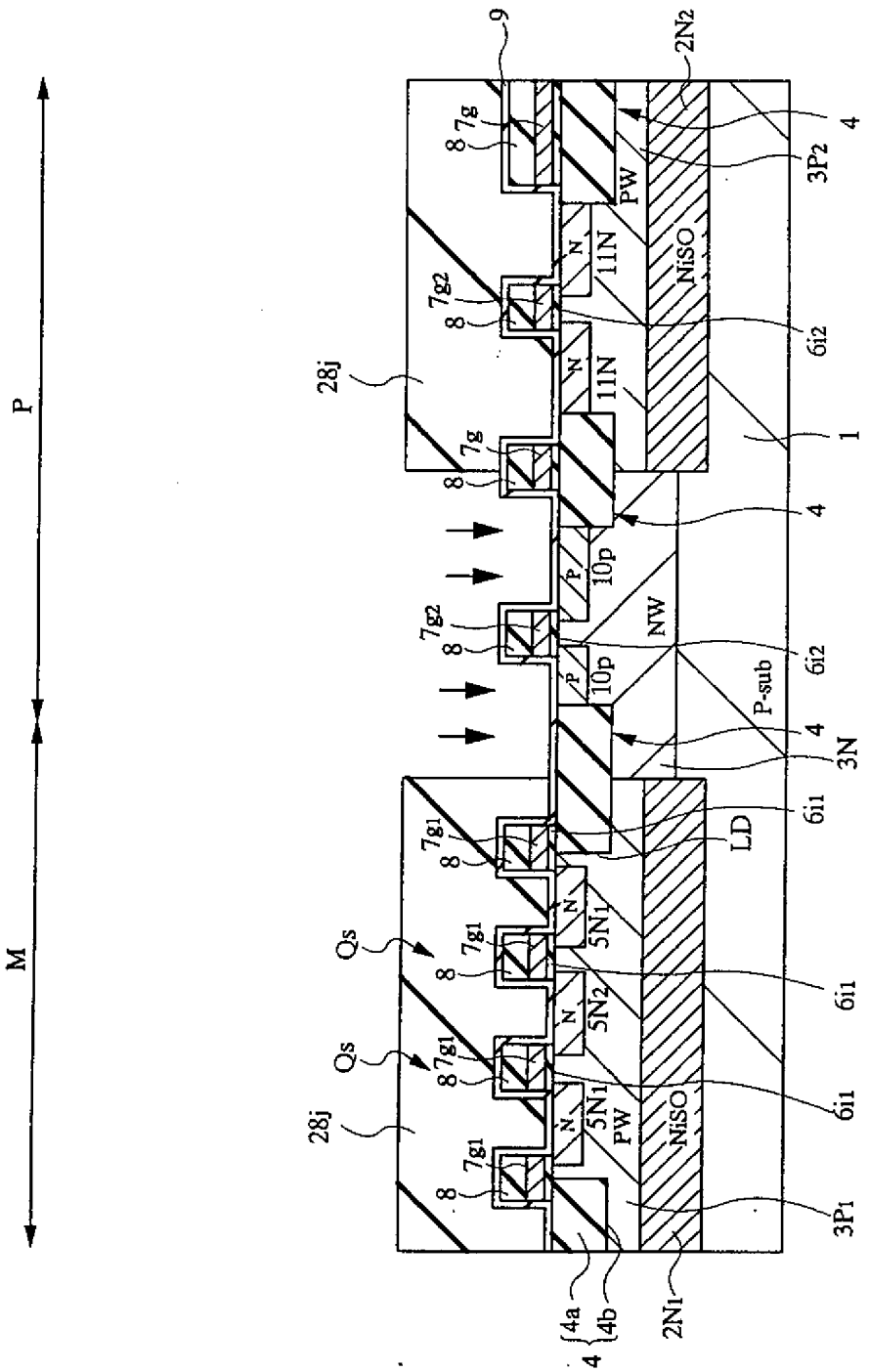
第 21 圖


M
P
28h
Qs
Qs
28h
8
7g1
7g2
7g
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
3N
6i2
1
3P2

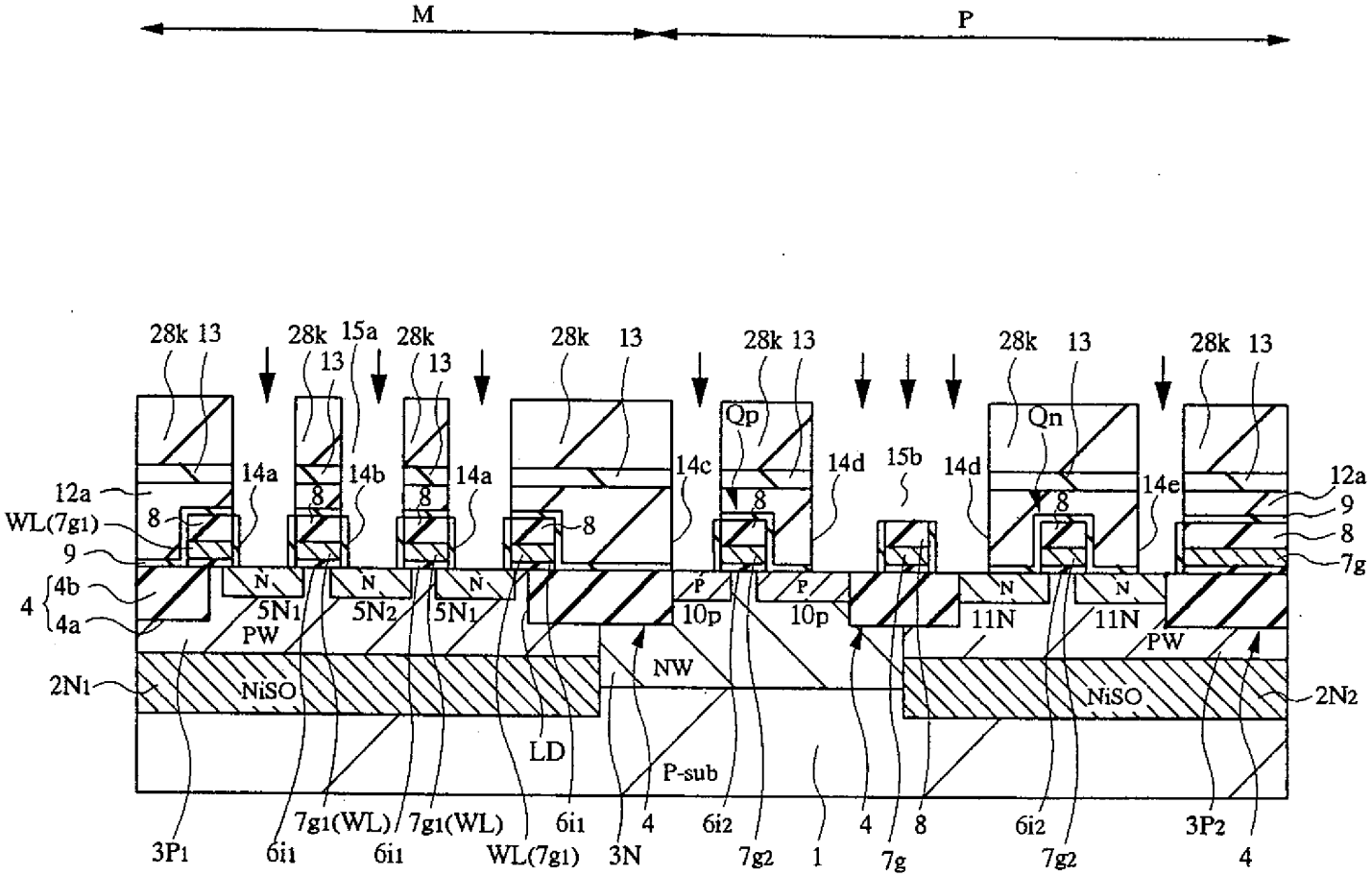
第 22 圖


P
M
2N2
3P2
PW
NiSO
11N
6i2
1
4
10p
NW
P-sub
9
3N
6i1
LD
5N1
5N2
Qs
28i
3P1
2N1
4b
4a
7g
7g1
7g2
8

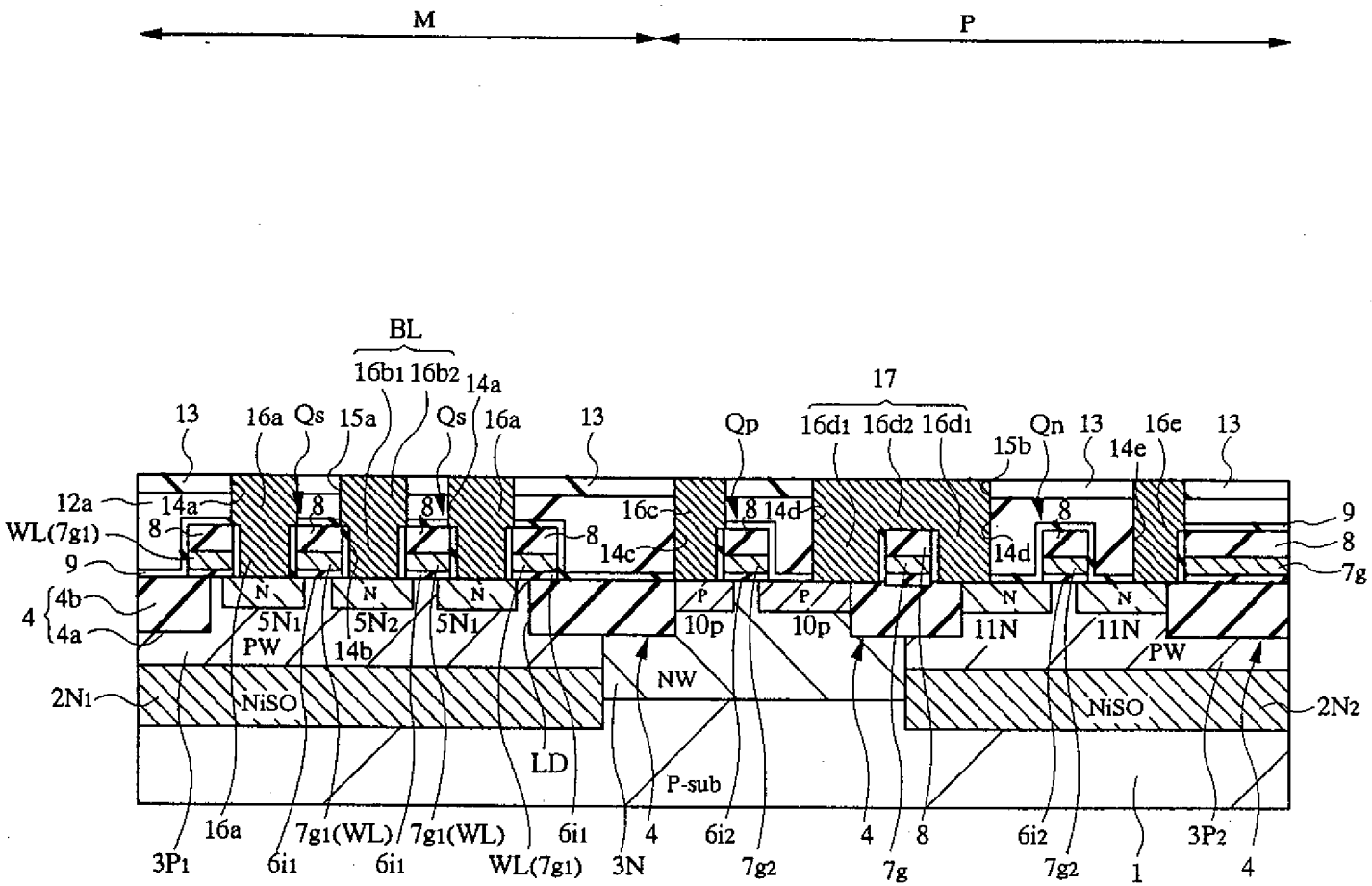
第23圖


P
M
9
2N2
7g
8
3P2
4
PW
11N
NiSO
7g2
6i2
28j
1
10p
NW
P-sub
3N
LD
6i1
7g1
Qs
5N1
5N2
3P1
4a
4b
2N1

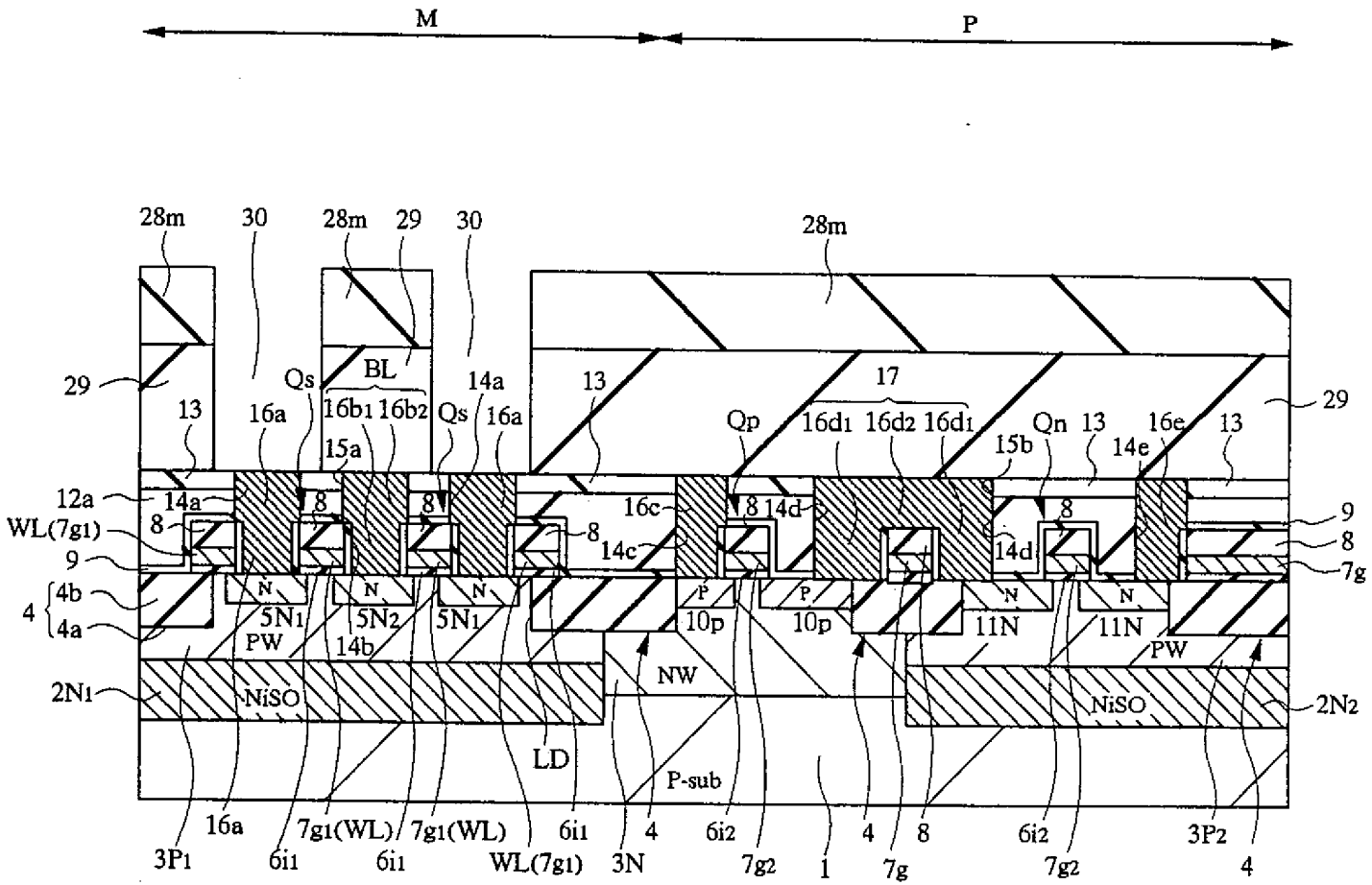
第 24 圖


M
P
28k
13
15a
14a
14b
14c
14d
15b
14e
Qp
Qn
12a
WL(7g1)
9
8
7g
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
1
7g
3P2

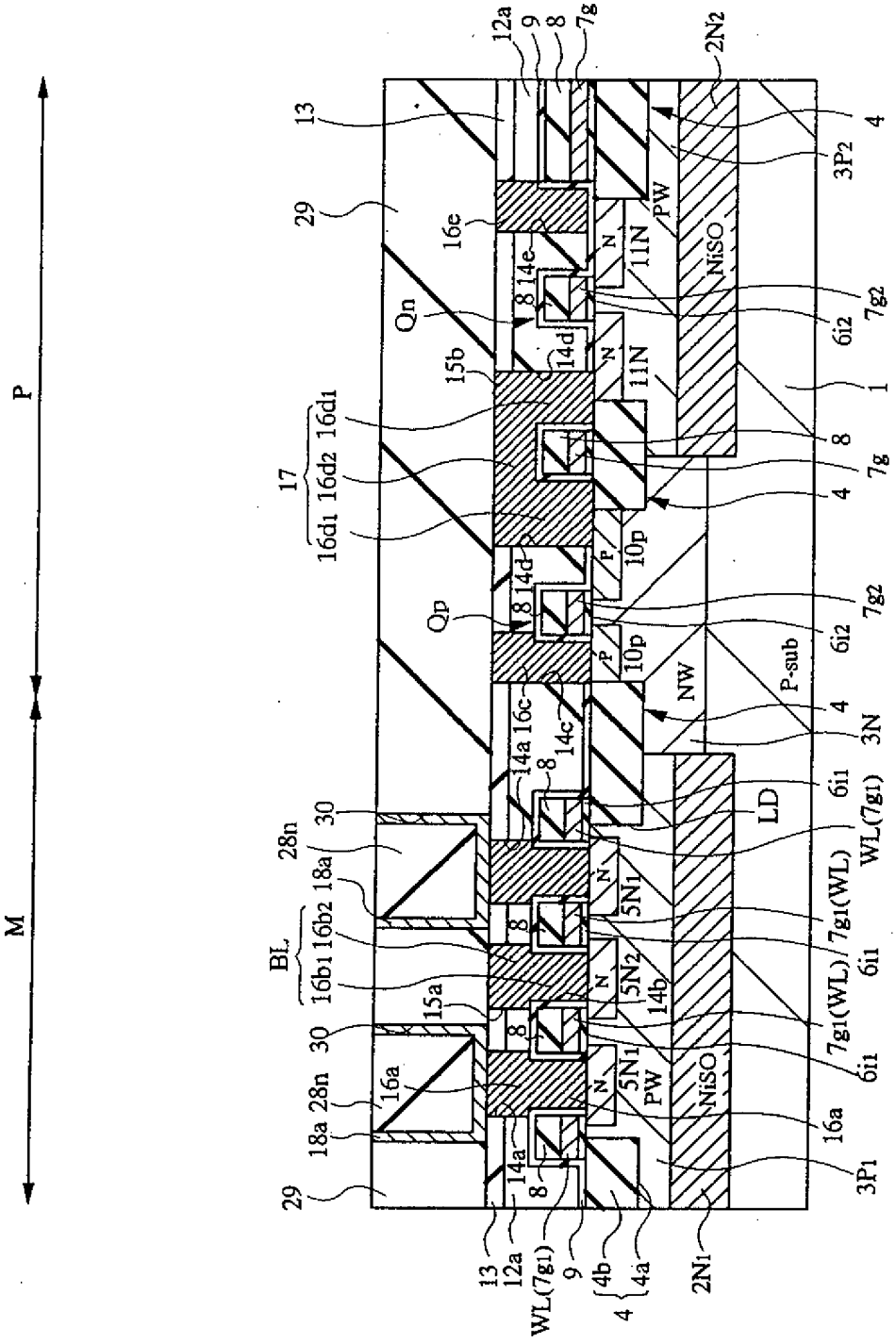
第 25 圖


M
P
BL
16b1 16b2
14a
17
13
16a
Qs
15a
Qs
16a
13
Qp
16d1 16d2 16d1
15b
Qn
13
14e
16e
13
12a
14a
8
8
8
16c
8
14d
8
9
WL(7g1)
8
8
14c
14d
8
7g
9
4
4b
4a
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
6i2
7g2
1
3P2
4

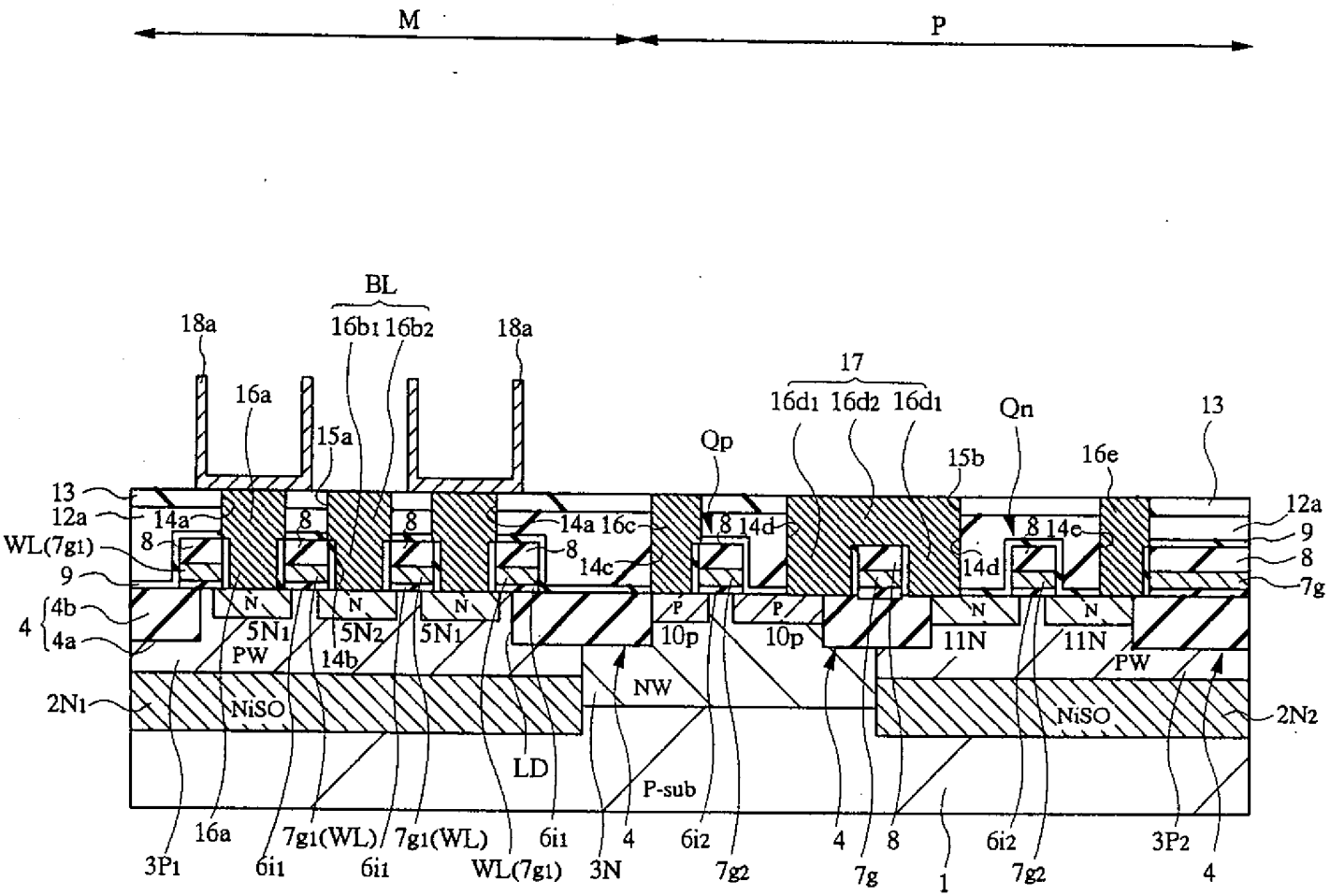
第 26 圖


M
P
28m
30
28m
29
30
28m
29
29
13
16a
Qs
BL
16b1
16b2
Qs
14a
16a
13
17
Qp
16d1
16d2
16d1
15b
Qn
13
14e
16e
13
15a
12a
14a
8
8
8
16c
8
14d
8
9
WL(7g1)
8
9
8
14c
14d
8
7g
4
4b
4a
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
16a
7g1(WL)
7g1(WL)
6i1
4
6i2
4
8
6i2
3P2
3P1
6i1
6i1
WL(7g1)
3N
7g2
1
7g
7g2
4

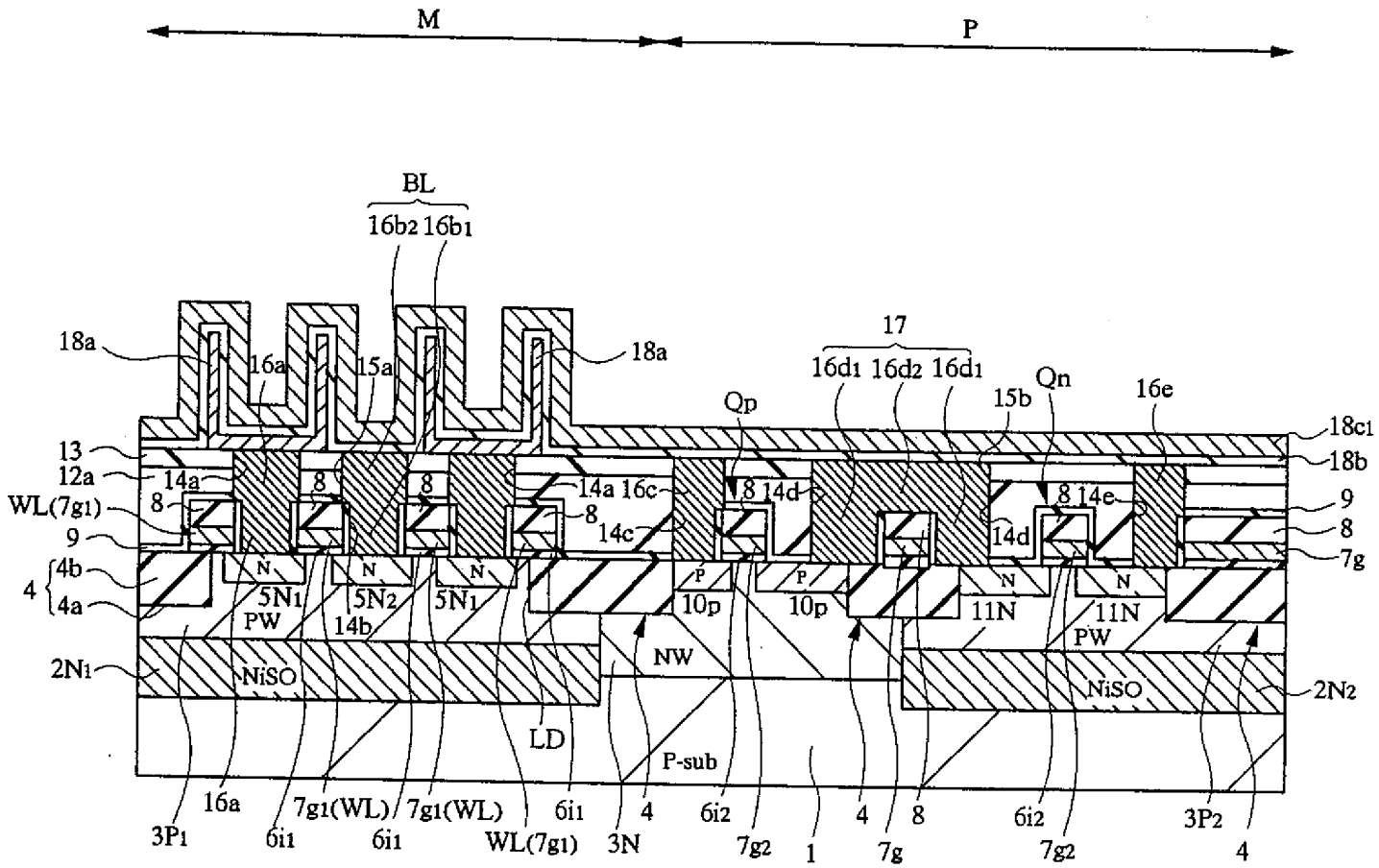
第 27 圖



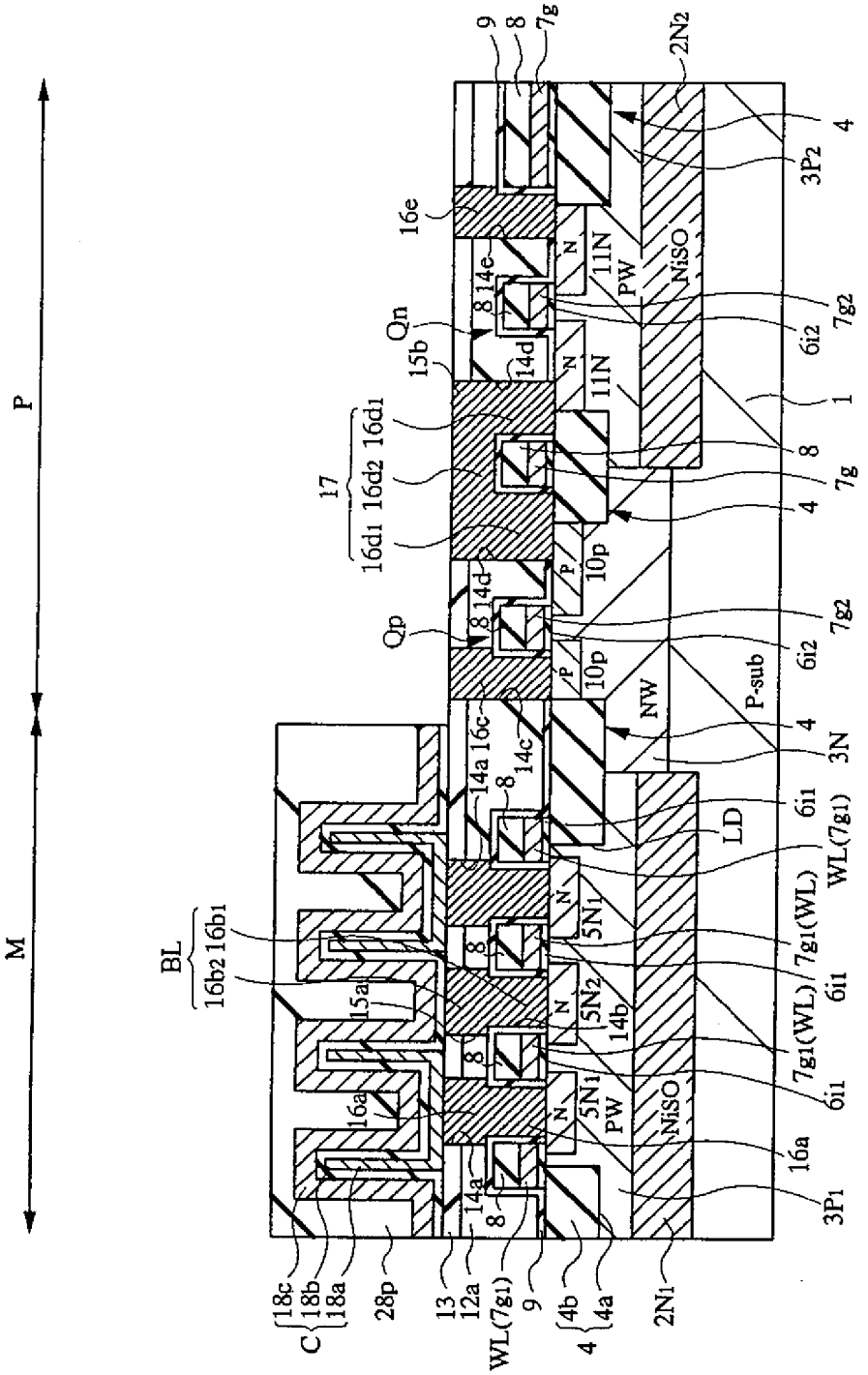
第 28 圖


M
P
BL
16b1 16b2
18a
18a
16a
15a
17
16d1 16d2 16d1
Qn
Qp
15b
16e
13
13
12a
14a
8
WL(7g1)
9
4
4b
4a
8
8
14a 16c
8
14c
8 14d
8 14e
14d
12a
9
8
7g
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
1
6i2
7g2
3P2
4

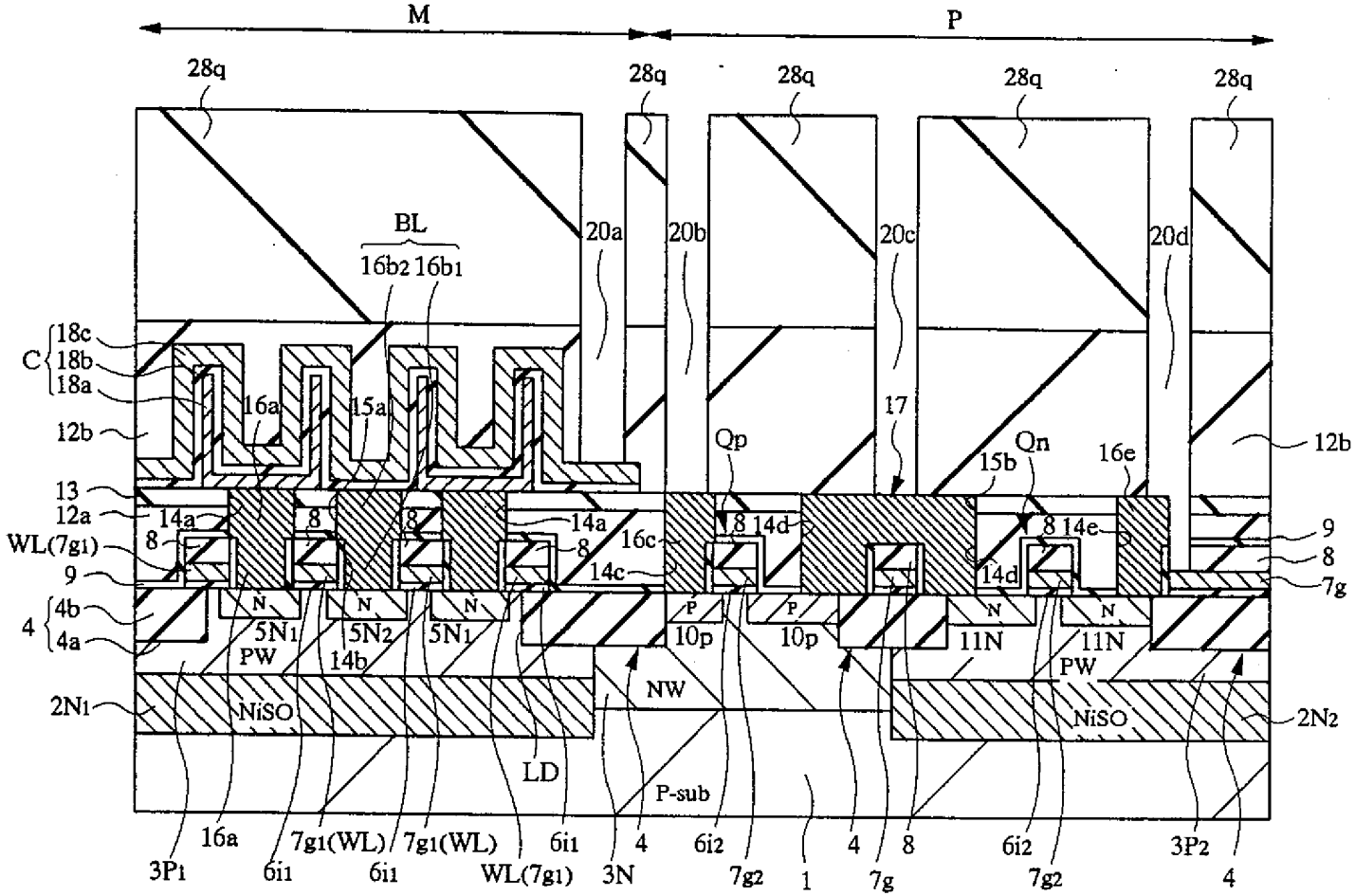
第 29 圖


M
P
BL
16b2 16b1
18a
16a
15a
18a
17
16d1 16d2 16d1
Qp
15b
Qn
16e
18c1
18b
13
12a
14a
8
8
8
14a 16c
8 14d
8 14e
9
WL(7g1)
8
9
8
14c
14d
8
7g
4
4b
4a
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
7g2
3P2
4

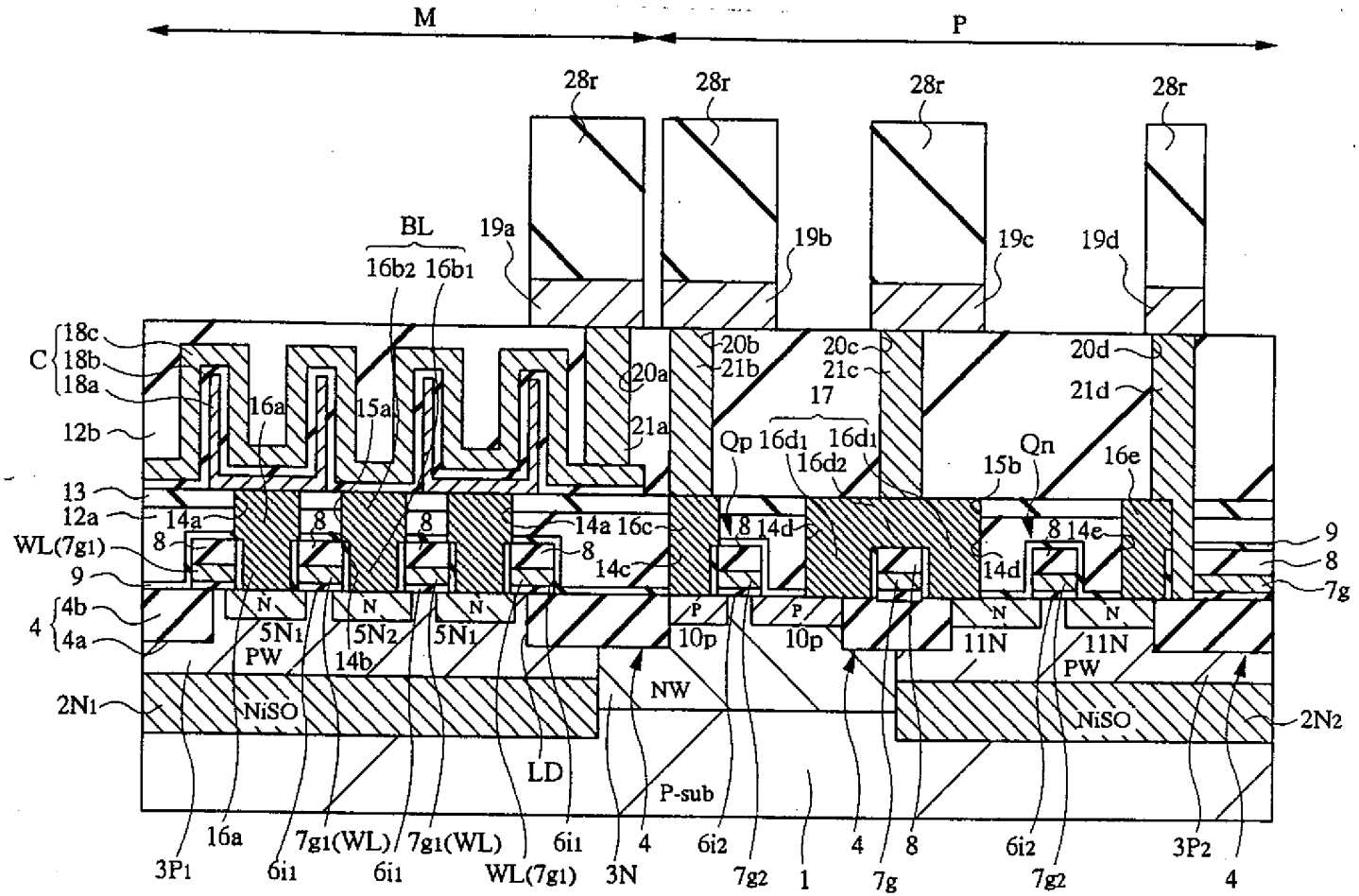
第 30 圖


P
M
BL
16b2 16b1
15a
16a
14a
8
N
5N1
5N2
14b
PW
NiSO
16a
3P1
2N1
18c
18b
18a
C
28p
13
12a
WL(7g1)
9
4b
4
4a
7g1(WL)
6i1
LD
WL(7g1)
14a 16c
14c
NW
P-sub
4
3N
Qp
14d
P
10p
7g2
6i2
17
16d1 16d2 16d1
7g
8
1
Qn
15b
14d
11N
14e
16e
3P2
2N2
9
7g

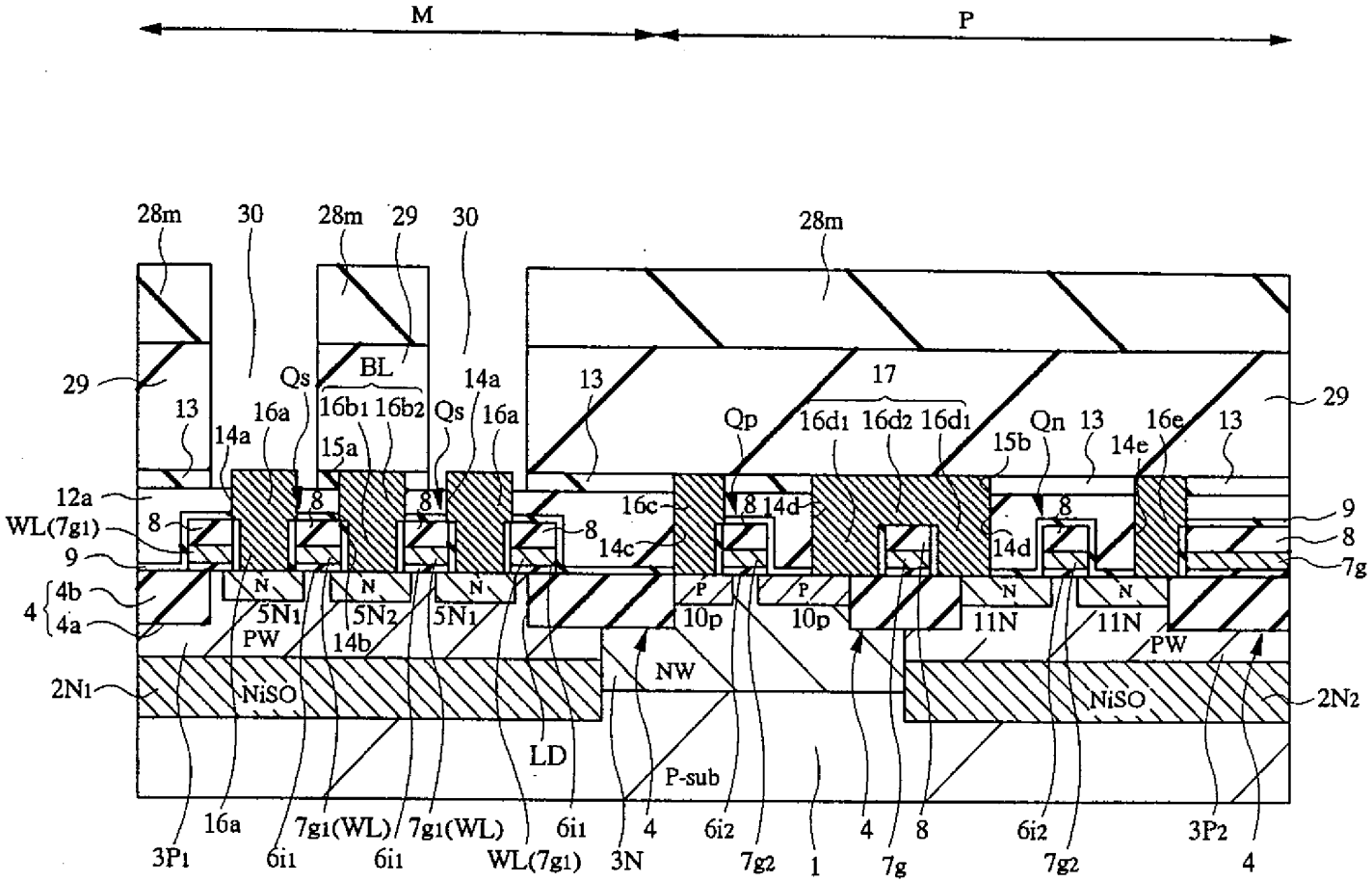
第 31 圖


M
P
28q
BL
16b2 16b1
20a
20b
20c
20d
C
18c
18b
18a
12b
16a
15a
17
Qp
Qn
15b
16e
13
12a
14a
8
WL(7g1)
9
16c
14c
14d
14e
7g
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
14b
NW
2N1
NiSO
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
1
7g
3P2

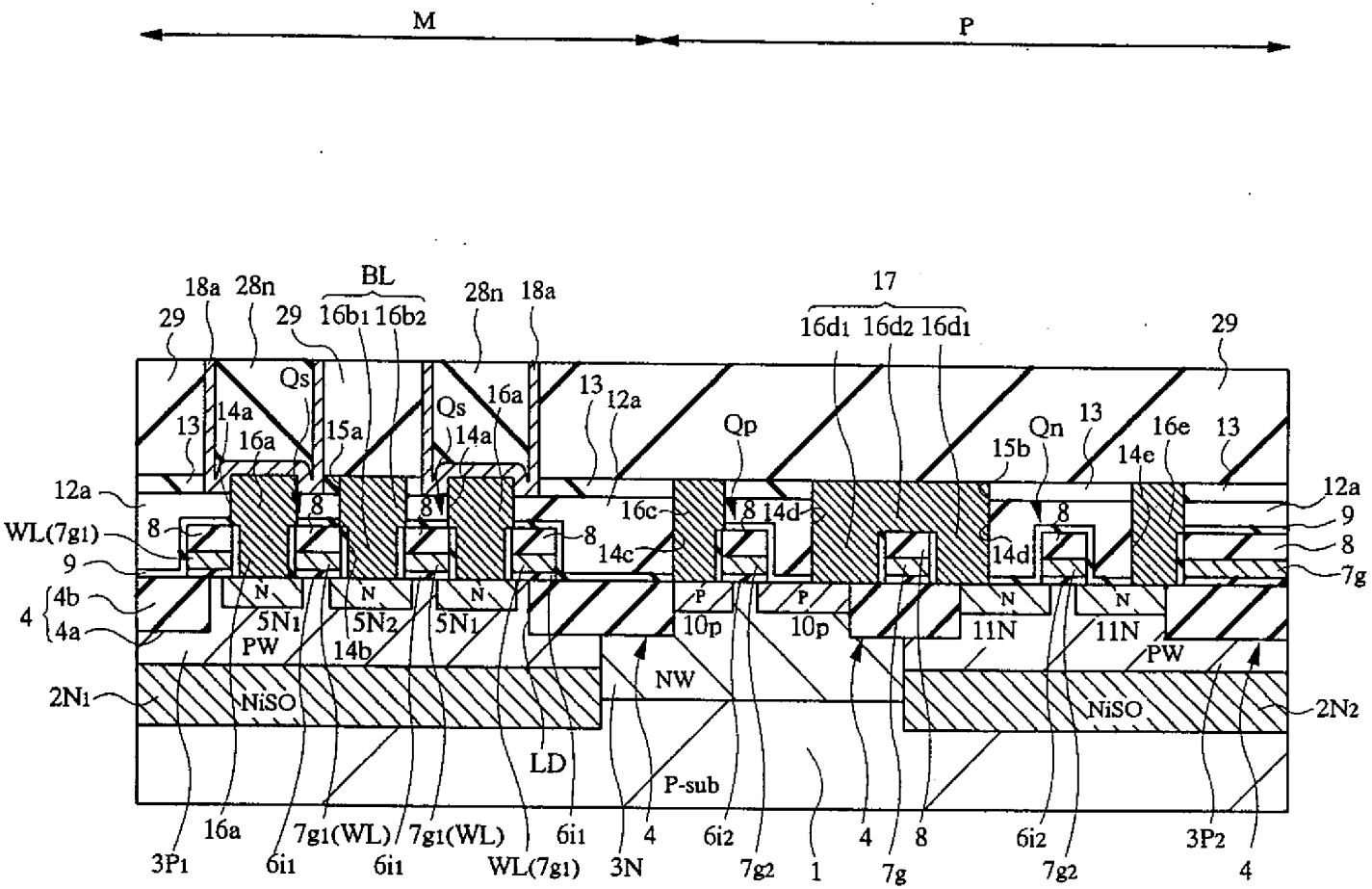
第 32 圖


M
P
28r
28r
28r
28r
BL
16b2 16b1
19a
19b
19c
19d
C
18c
18b
18a
12b
13
12a
WL(7g1)
9
4
4b
4a
2N1
16a
15a
20a
21a
20b
21b
20c
21c
20d
21d
17
Qp 16d1 16d1
16d2
15b
Qn
16e
14a
8
14a 16c
14c
14d
14e
N
P
5N1
5N2
5N1
PW
14b
10p
10p
11N
11N
NW
NiSO
NiSO
LD
P-sub
2N2
9
8
7g
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
7g2
3P2
4

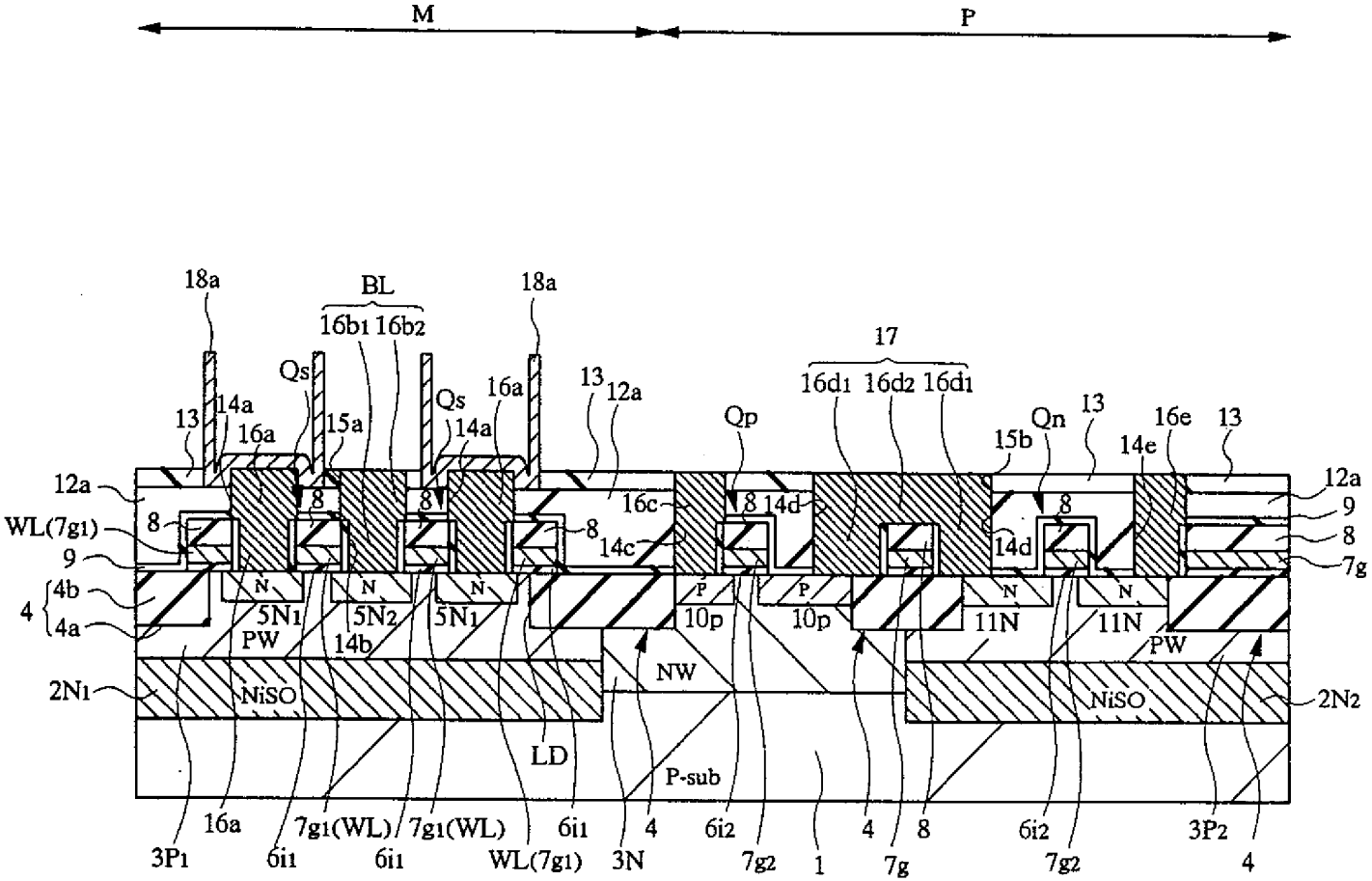
第 33 圖


M
P
28m
30
28m
29
30
28m
29
29
13
14a
16a
Qs
BL
16b1
16b2
15a
Qs
14a
16a
13
17
Qp
16d1
16d2
16d1
15b
Qn
13
14e
16e
13
12a
WL(7g1)
8
9
4
4b
4a
8
8
8
8
16c
14c
8
14d
14d
8
9
8
7g
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
7g2
3P2
4

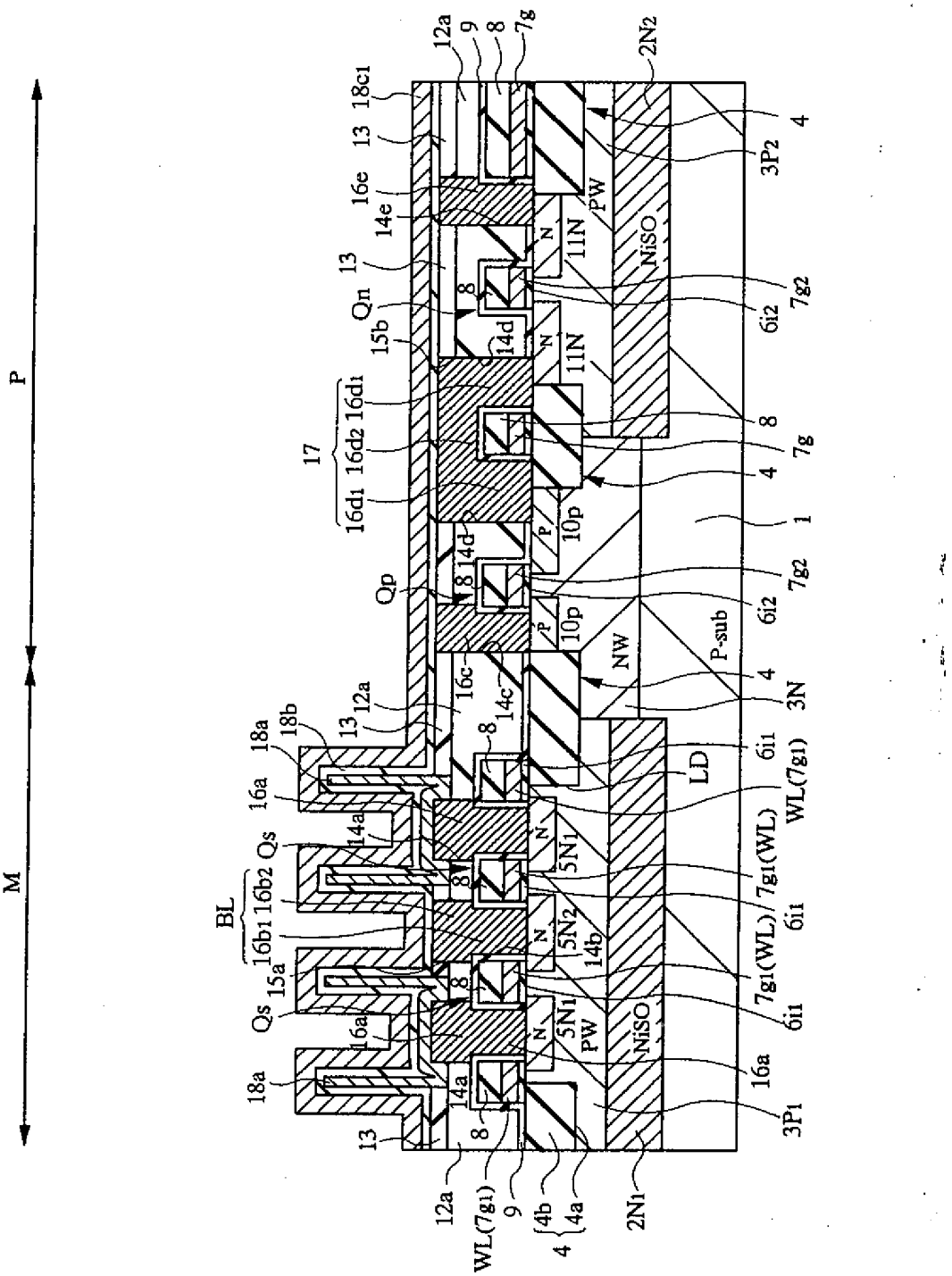
第 34 圖


M
P
BL
17
29
18a
28n
16b1
16b2
16d1
16d2
Qs
Qp
Qn
13
14a
16a
15a
12a
15b
14e
16e
WL(7g1)
8
9
4
4b
4a
16c
14d
14c
7g
N
P
5N1
5N2
10p
11N
PW
14b
NW
2N1
2N2
NiSO
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
1
7g
3P2

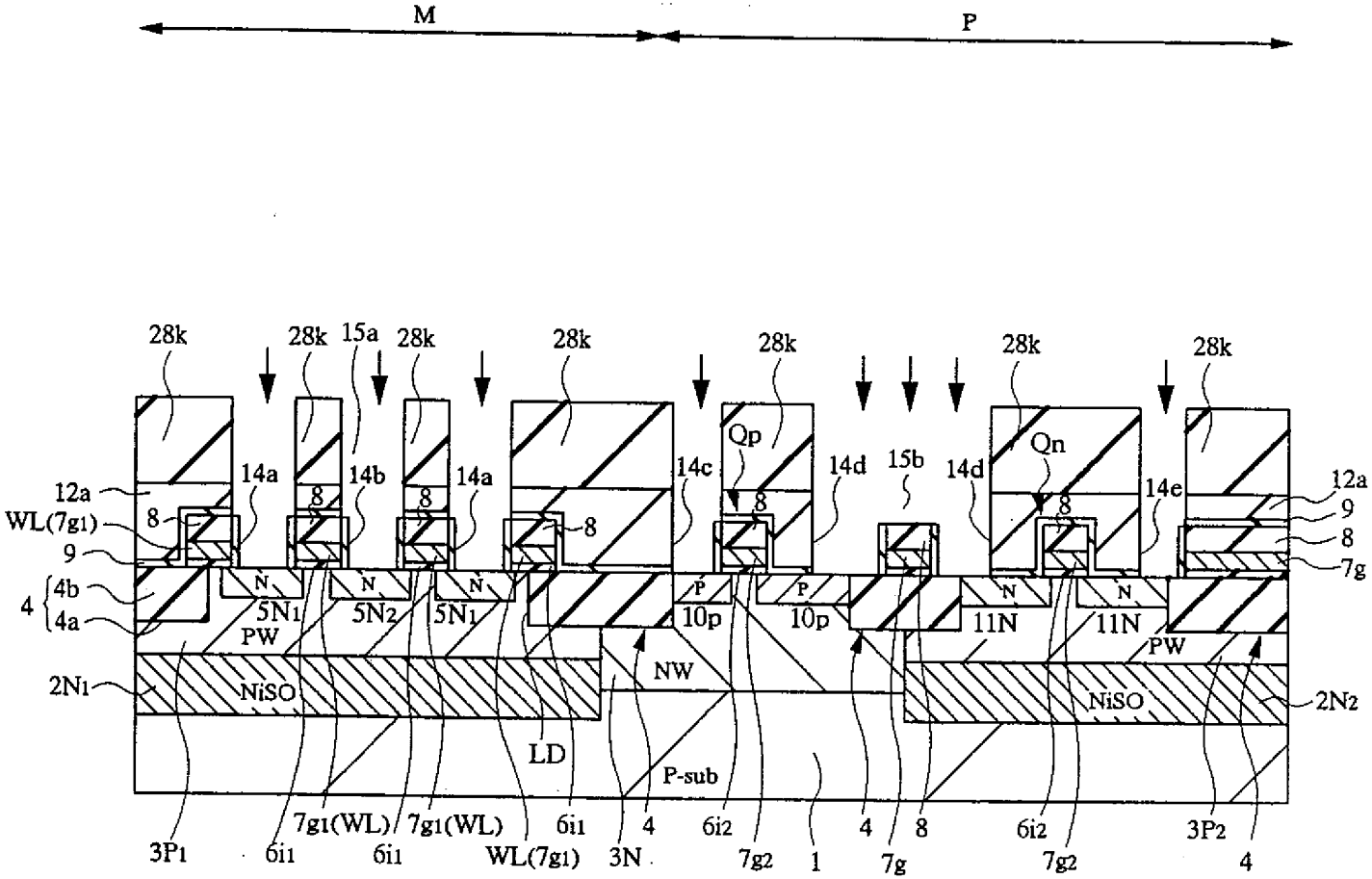
第 35 圖


M
P
18a
BL
16b1 16b2
18a
17
16d1 16d2 16d1
Qs
Qs
16a
13
12a
Qp
Qn
13
16e
13
13
14a
16a
15a
14a
15b
14e
12a
12a
WL(7g1)
8
8
8
8
16c
8
14d
8
9
9
8
14c
14d
8
7g
4
4b
4a
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
7g2
3P2
4

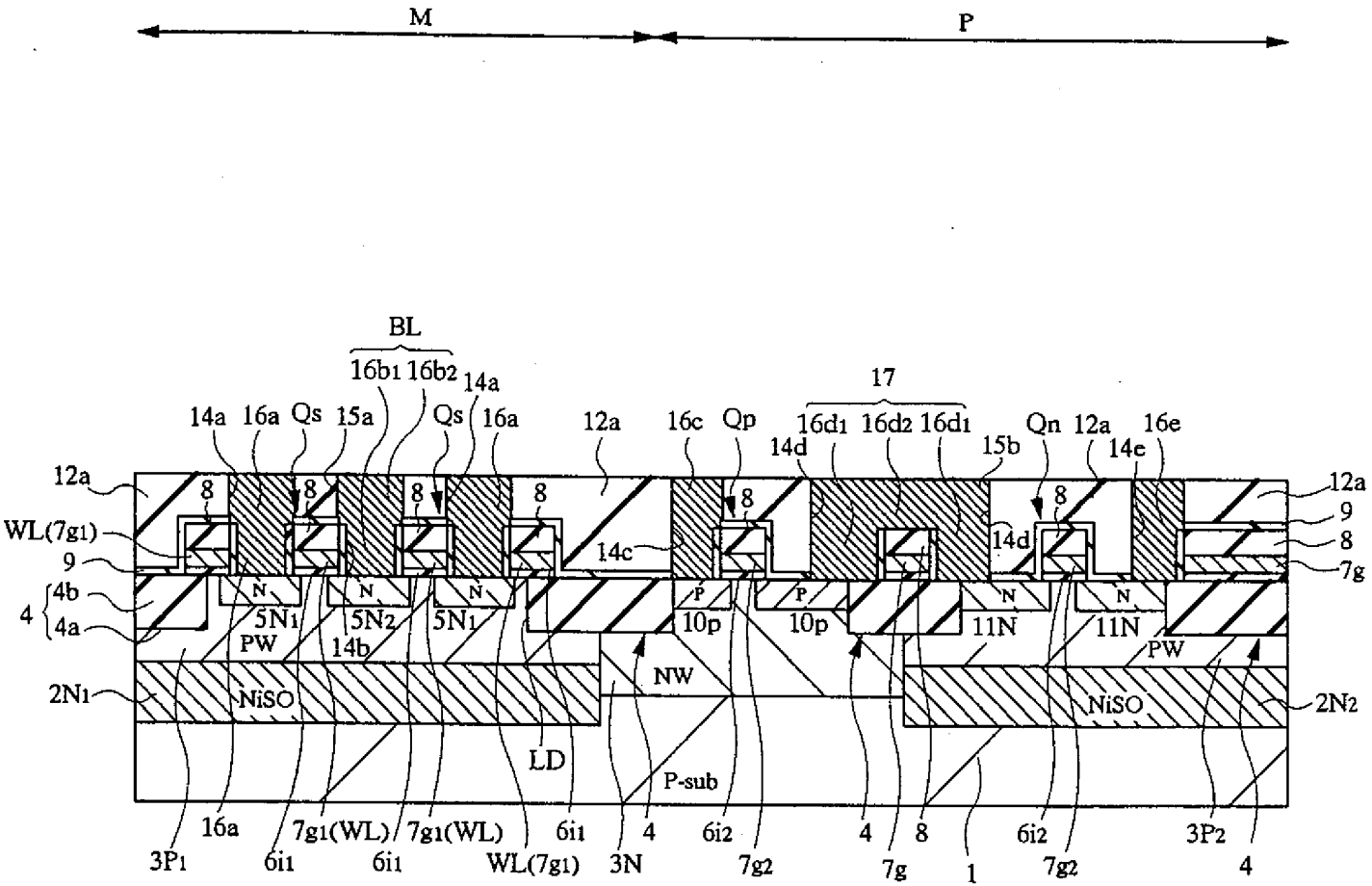
第36圖



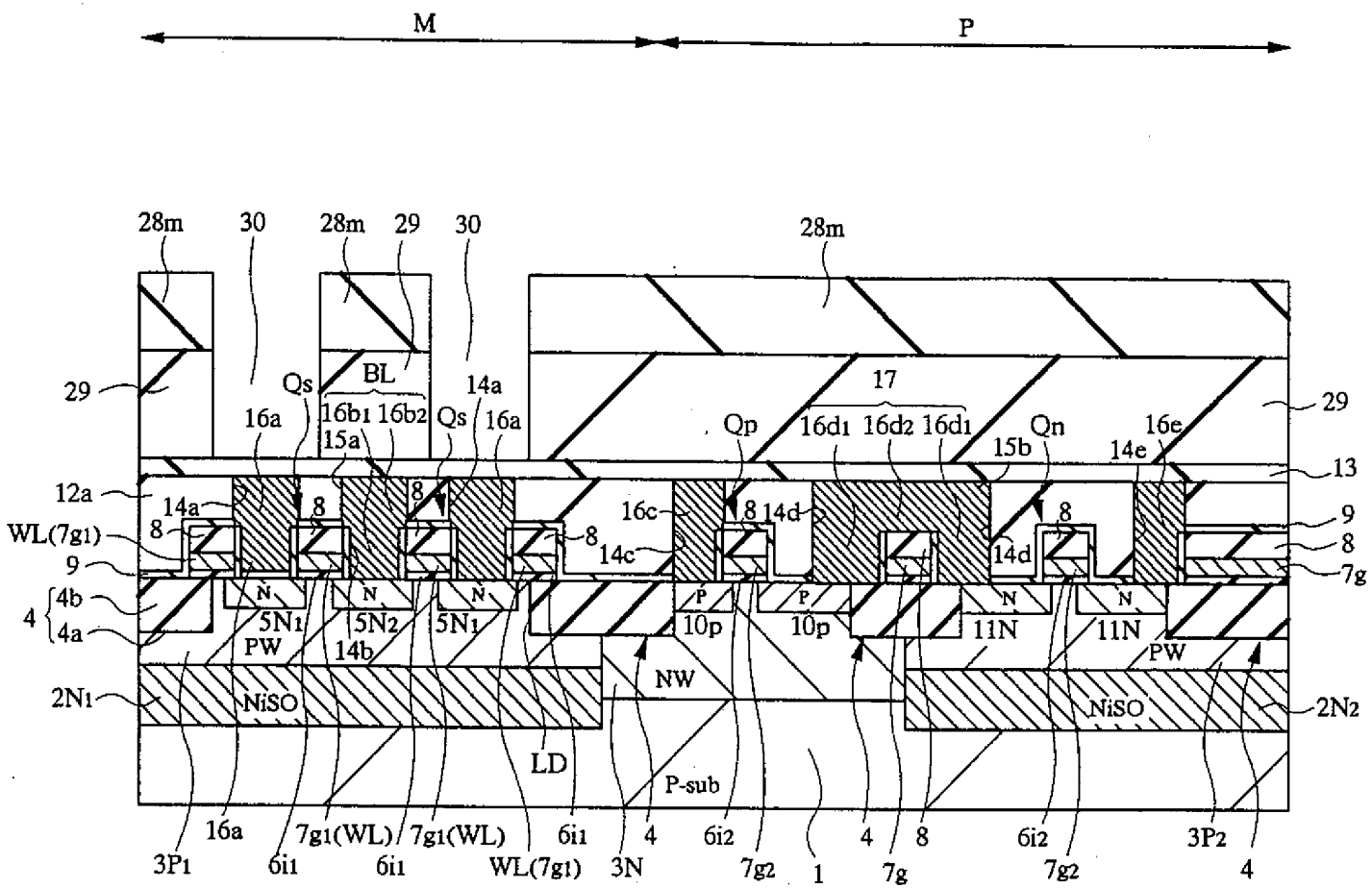
第 37 圖


M
P
28k
15a
14a
14b
14c
14d
15b
14e
Qp
Qn
12a
WL(7g1)
9
8
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
1
7g
3P2
7g

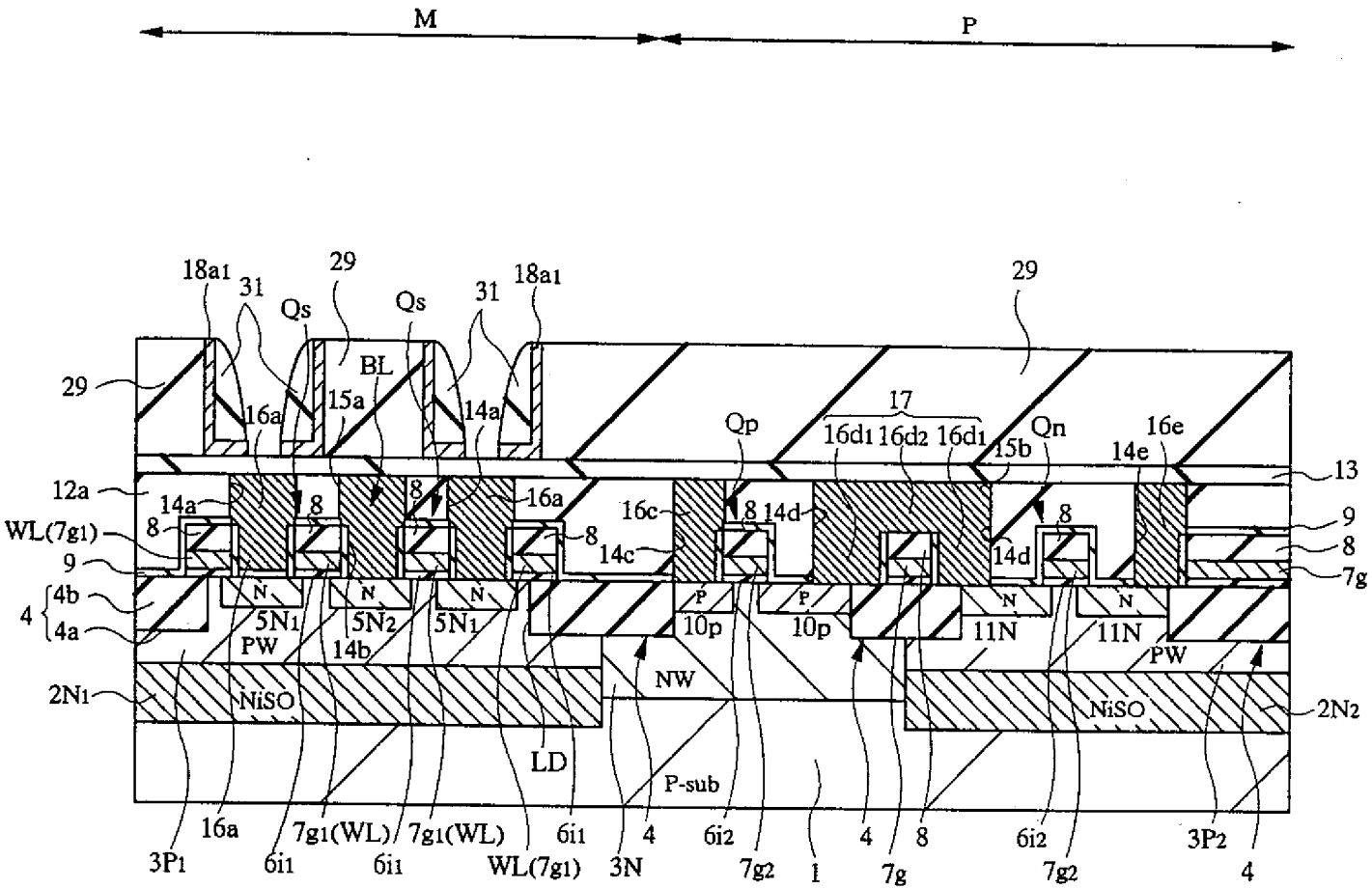
第 38 圖


M
P
BL
16b1 16b2
14a
14a 16a Qs 15a
Qs 16a
12a
16c Qp
17
16d1 16d2 16d1
14d
15b
Qn 12a
14e
16e
12a
WL(7g1)
9
4
4b
4a
8
14c
14d
12a
9
8
7g
N
5N1
5N2
5N1
P
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
1
6i2
7g2
3P2
4

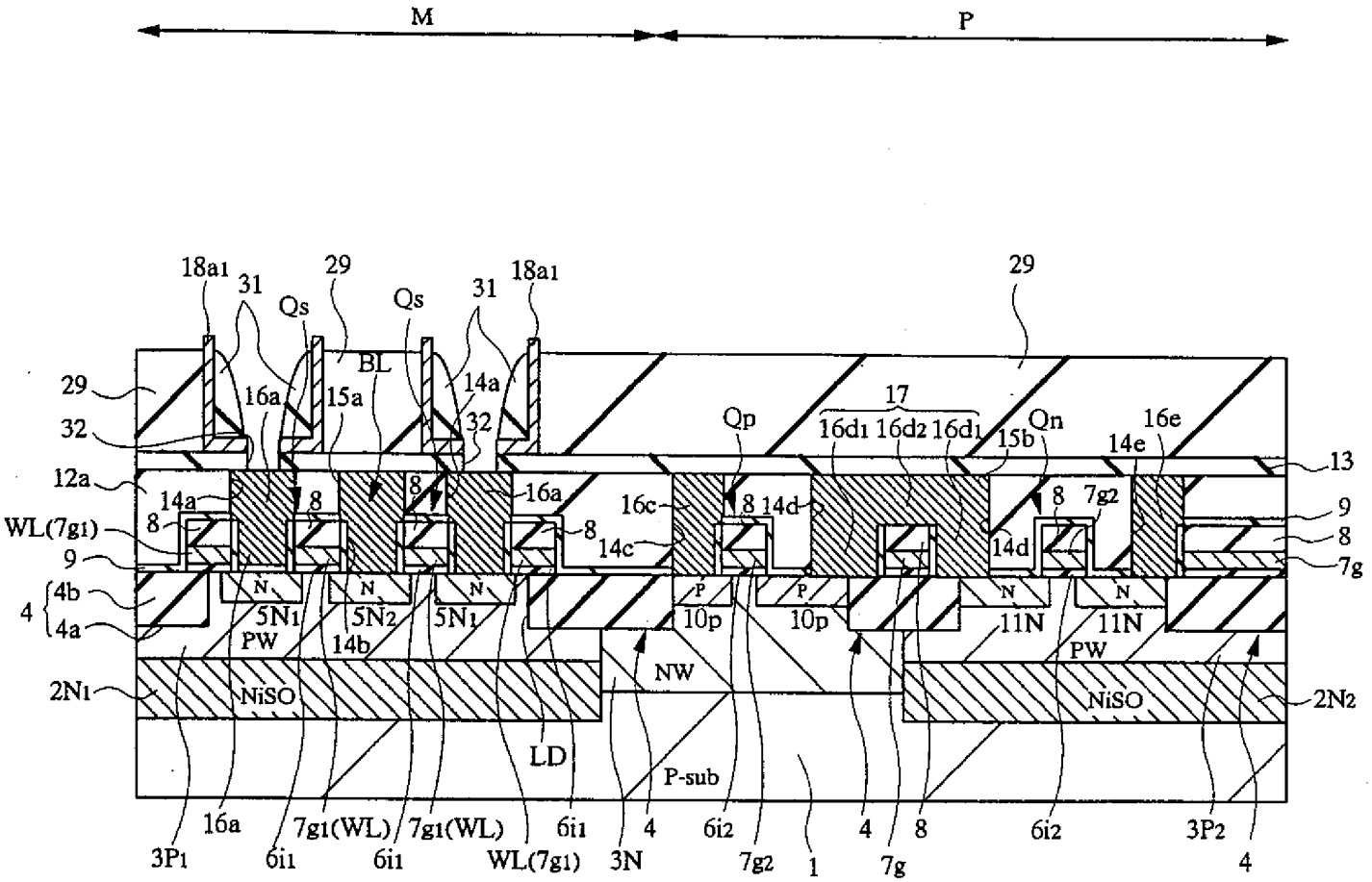
第 39 圖


M
P
28m
30
28m
29
30
28m
29
29
BL
Qs
16a
16b1
16b2
Qs
16a
14a
15a
17
Qp
16d1
16d2
16d1
Qn
15b
16e
14e
13
12a
14a
8
8
8
8
16c
8
14d
8
9
WL(7g1)
8
14c
14d
8
9
7g
4
4b
4a
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
16a
7g1(WL)
7g1(WL)
6i1
4
6i2
4
8
6i2
3P2
3P1
6i1
6i1
WL(7g1)
3N
7g2
1
7g
7g2
4

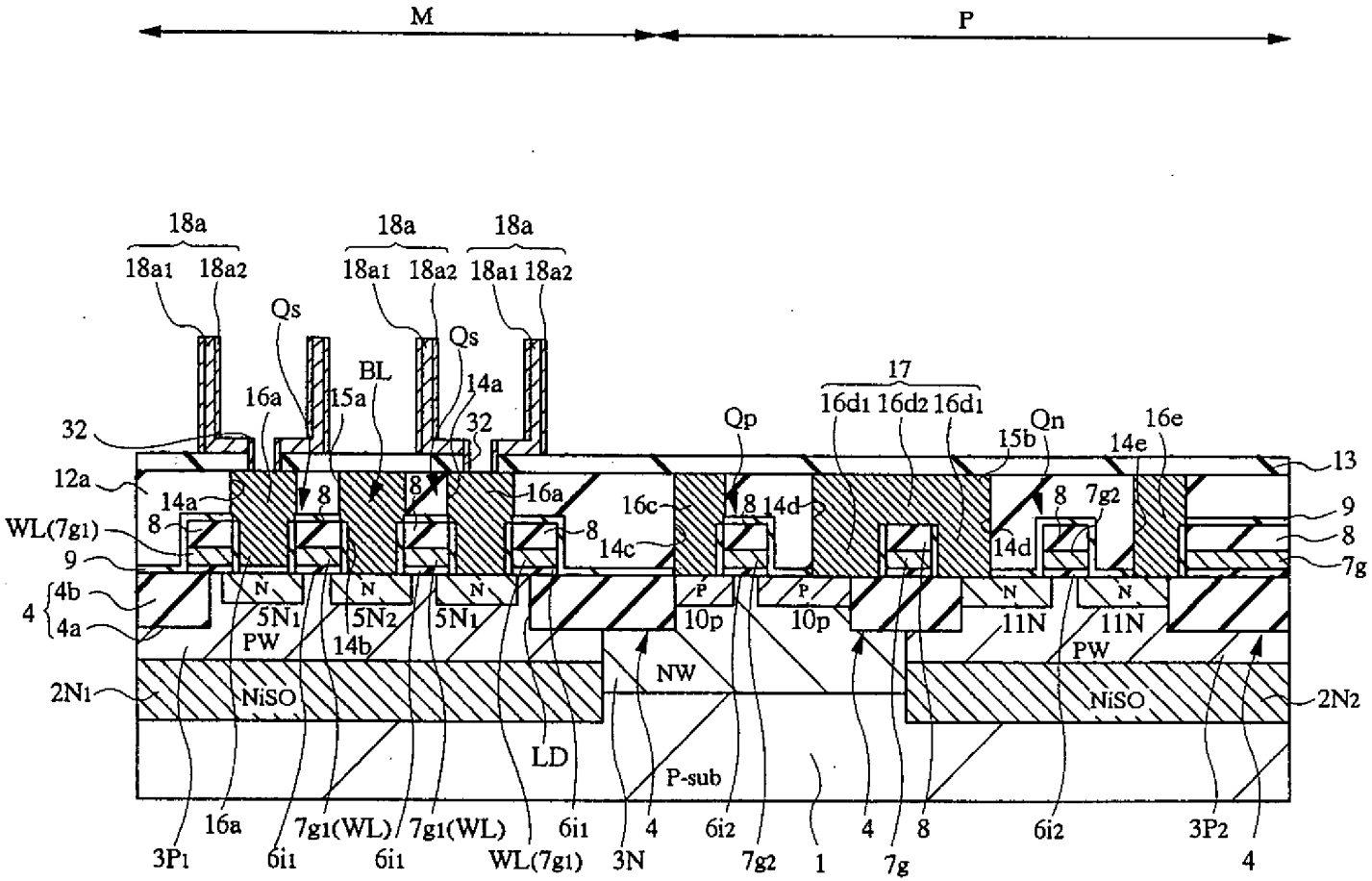
第 40 圖


M
P
18a1
31
29
Qs
BL
15a
16a
14a
17
Qp
16d1
16d2
15b
Qn
16e
14e
13
12a
WL(7g1)
9
8
14c
16c
14d
7g
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
14b
NW
2N1
NiSO
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
1
7g
3P2

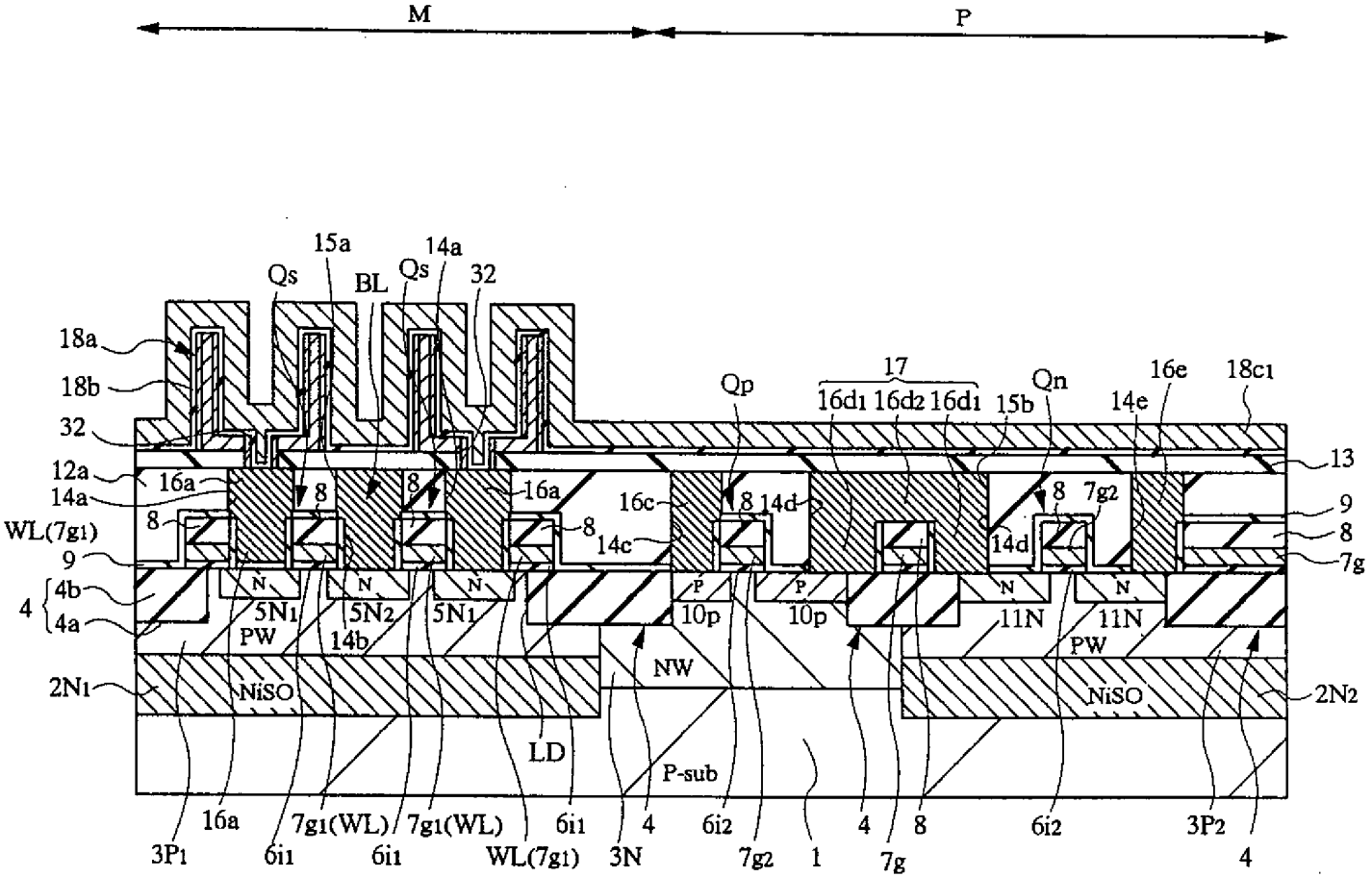
第41圖


M
P
18a1
31
29
Qs
BL
16a
15a
14a
32
12a
WL(7g1)
8
9
4
4b
4a
N
5N1
5N2
PW
14b
2N1
NiSO
LD
P-sub
NW
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
1
7g
3P2
2N2
11N
10p
P
14c
16c
14d
Qp
17
16d1
16d2
15b
Qn
14e
16e
13
7g2
7g

第 42 圖

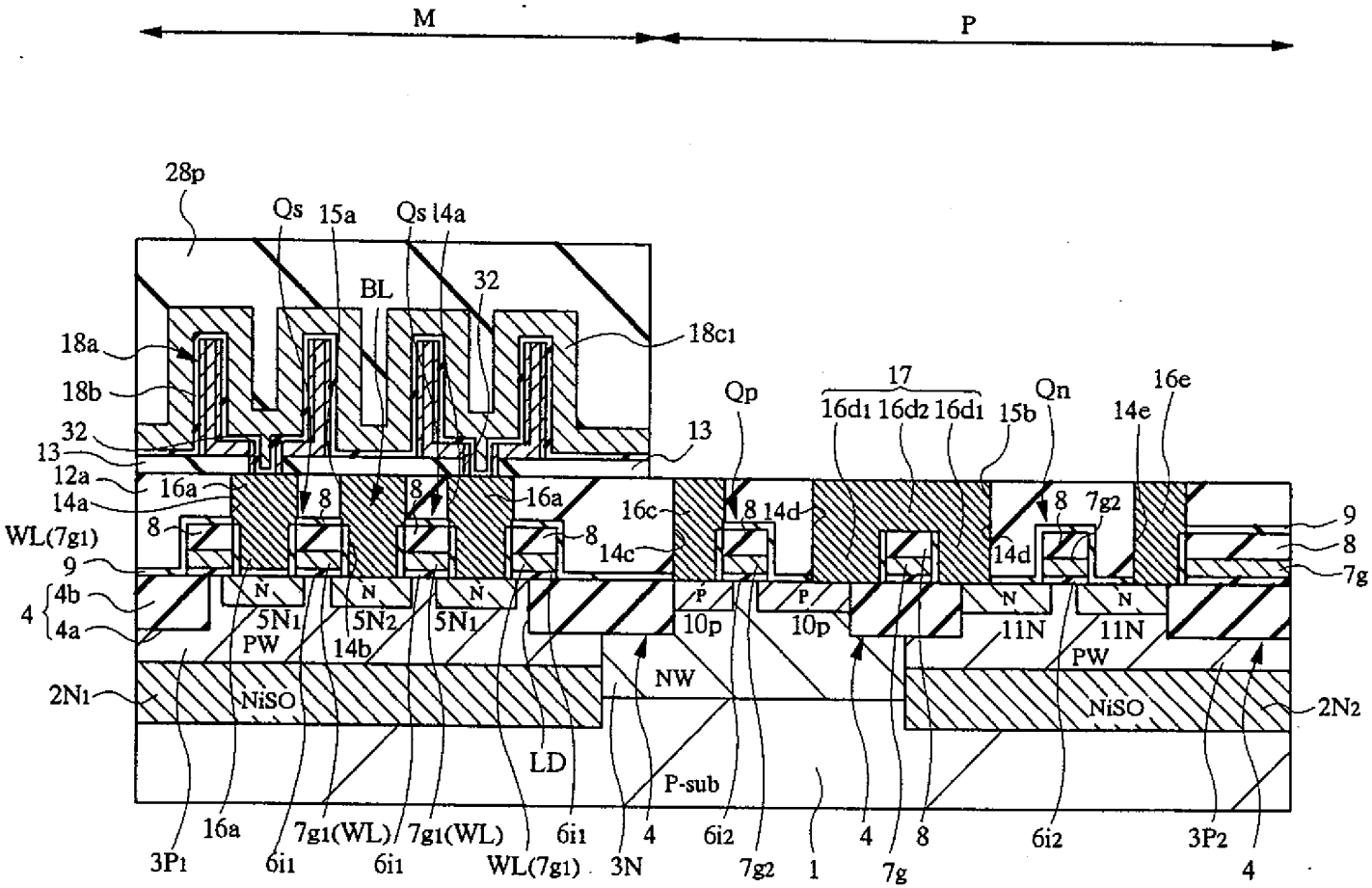

M
P
18a
18a1
18a2
Qs
BL
16a
15a
14a
32
12a
WL(7g1)
9
4
4b
4a
2N1
5N1
5N2
PW
14b
NiSO
LD
16c
14c
Qp
8
14d
17
16d1
16d2
Qn
15b
14e
16e
13
7g2
7g
10p
11N
NW
P-sub
2N2
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
1
3P2

第 43 圖



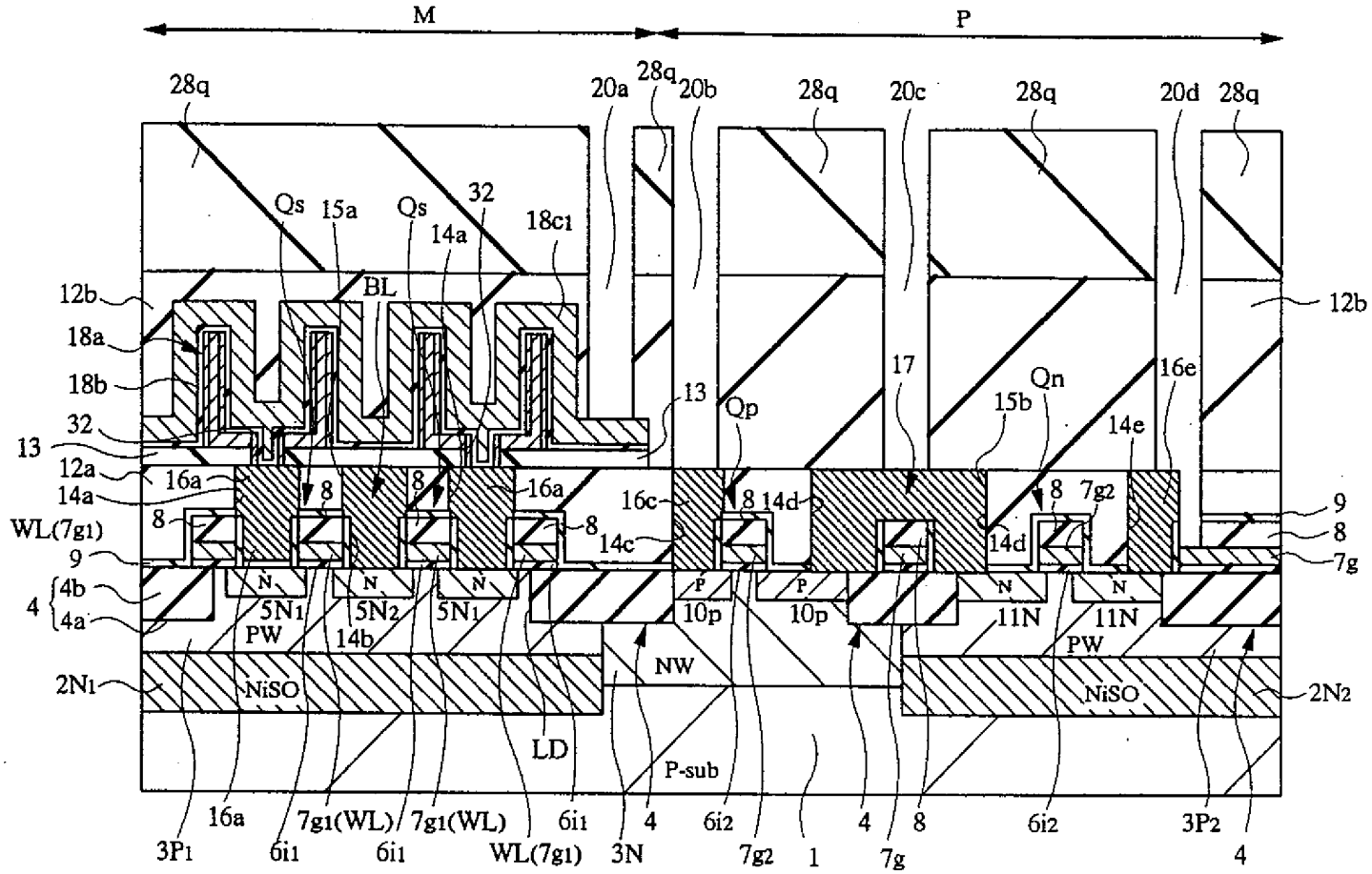
M
P
15a
14a
Qs
BL
Qs
32
18a
18b
32
12a
14a
WL(7g1)
9
4
4b
4a
2N1
16a
8
8
8
16a
8
16c
14c
Qp
8
14d
17
16d1
16d2
16d1
15b
Qn
14e
16e
18c1
13
8
7g2
14d
9
8
7g
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
3P2
4

第 44 圖



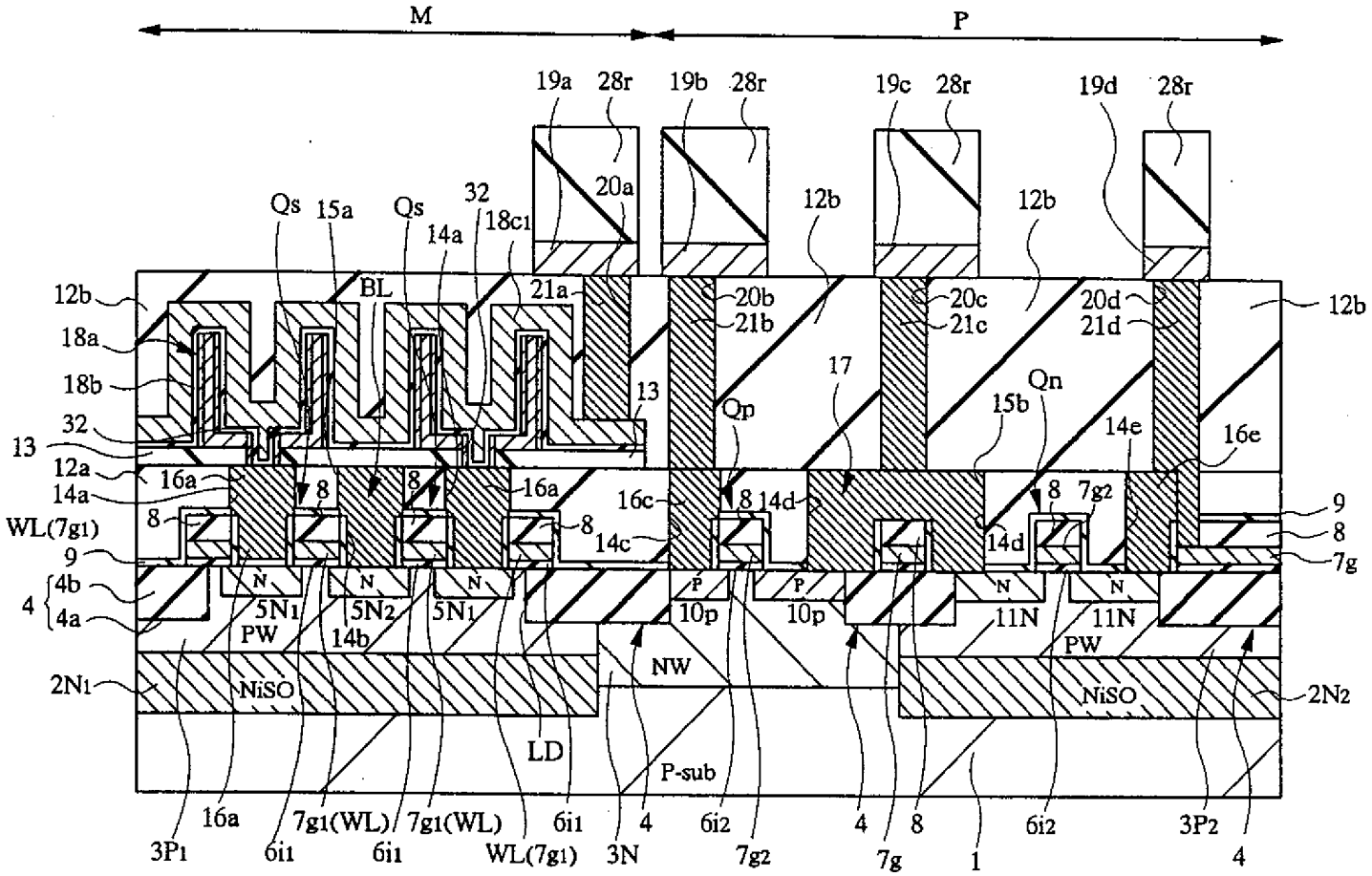
M
P
28p
Qs
15a
Qs
14a
BL
32
18a
18b
18c1
32
13
12a
14a
16a
8
WL(7g1)
9
4
4b
4a
N
5N1
PW
5N2
14b
5N1
16a
8
16c
14c
Qp
8
14d
P
10p
17
16d1
16d2
16d1
15b
Qn
14e
16e
8
7g2
14d
9
8
7g
11N
11N
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
3P2
4

第 45 圖

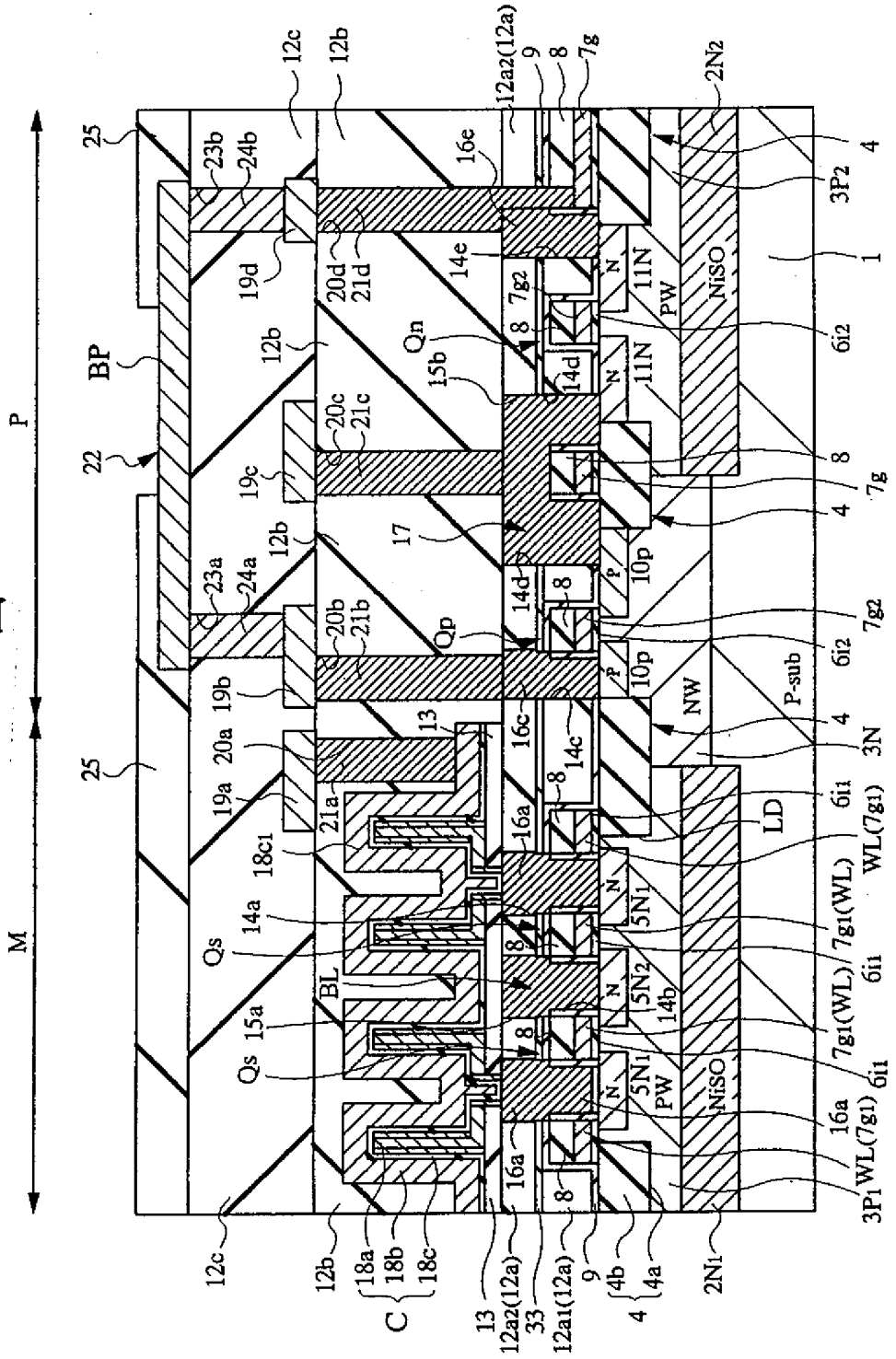

M
P
28q
20a
28q
20b
28q
20c
28q
20d
28q
Qs
15a
Qs
32
14a
18c1
BL
12b
18a
18b
32
13
12a
14a
WL(7g1)
9
4
4b
4a
16a
8
8
8
16a
8
13
Qp
16c
8
14d
14c
17
15b
Qn
16e
14e
8
7g2
14d
9
8
7g
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
1
4
7g
8
6i2
3P2
4

456029

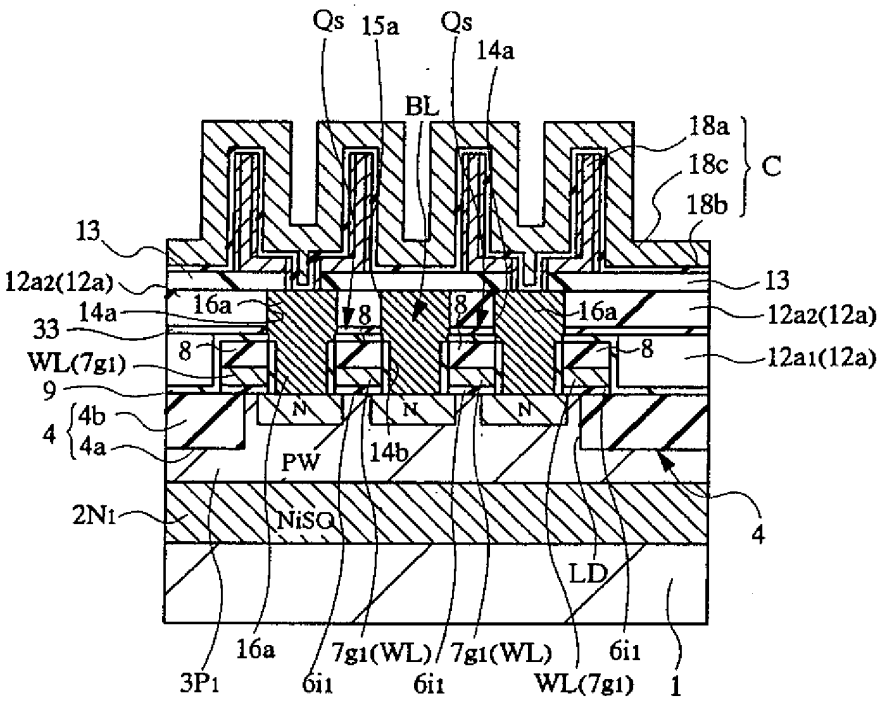
第 46 圖


M
P
19a
28r
19b
28r
19c
28r
19d
28r
20a
12b
12b
Qs
15a
Qs
32
14a
18c1
BL
21a
20b
21b
20c
21c
20d
21d
12b
12b
18a
18b
32
13
12a
14a
WL(7g1)
9
4
4b
4a
16a
8
8
8
16a
8
13
Qp
17
15b
Qn
14e
16e
16c
8
14d
8
7g2
9
8
7g
14c
14d
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
14b
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
1
6i2
3P2
4

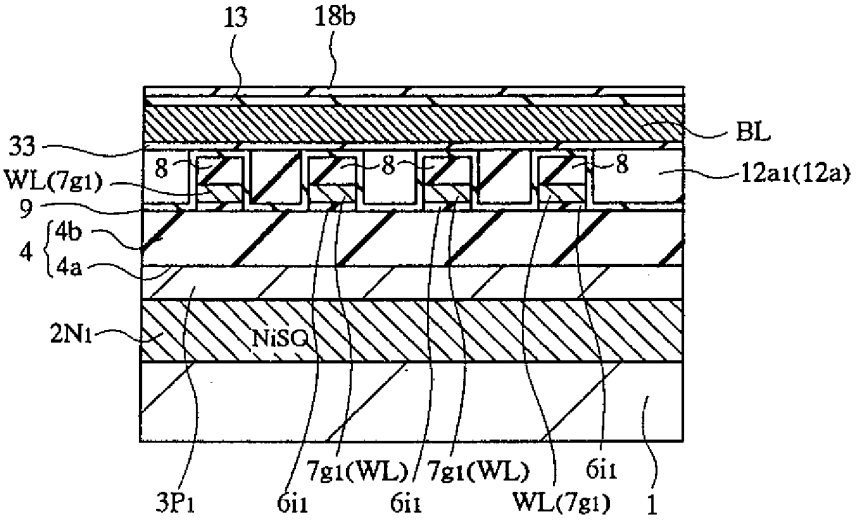
第47圖



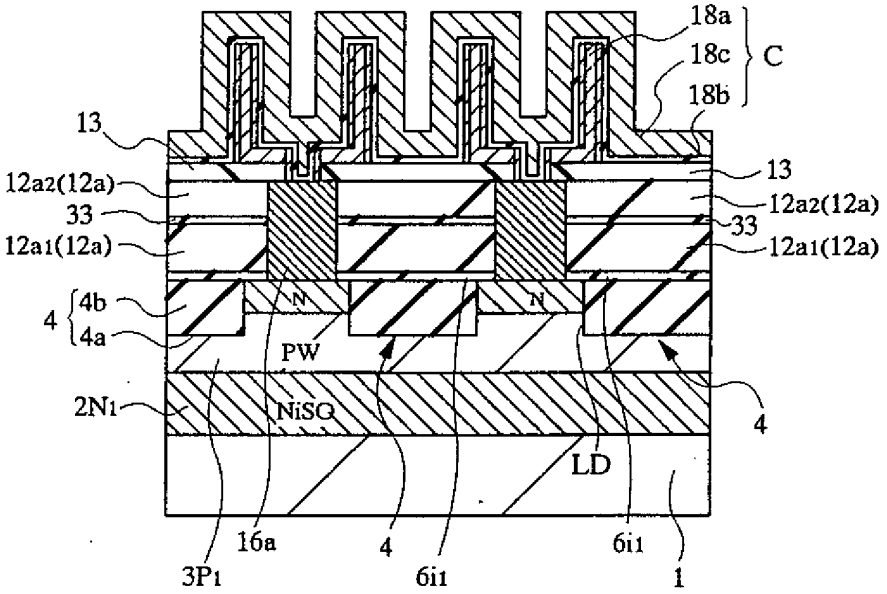
第 48 圖


Qs
15a
Qs
14a
BL
18a
18c
C
18b
13
12a2(12a)
16a
14a
33
WL(7g1)
9
4
4b
4a
8
8
8
8
16a
13
12a2(12a)
12a1(12a)
N
N
N
PW
14b
2N1
NiSO
4
LD
3P1
16a
6i1
7g1(WL)
6i1
7g1(WL)
6i1
WL(7g1)
1

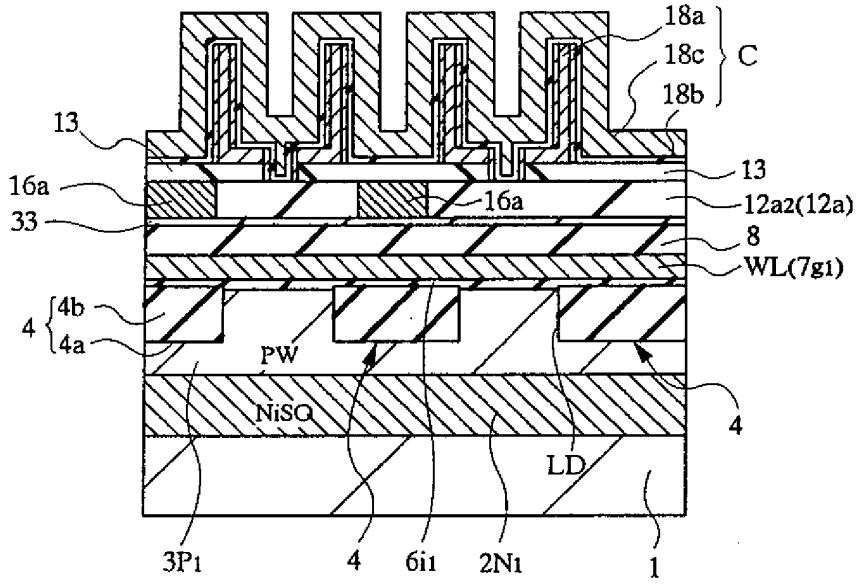
第 49 圖


13
18b
BL
33
8
8
8
12a1(12a)
WL(7g1)
9
4
4b
4a
2N1
NiSQ
3P1
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
1

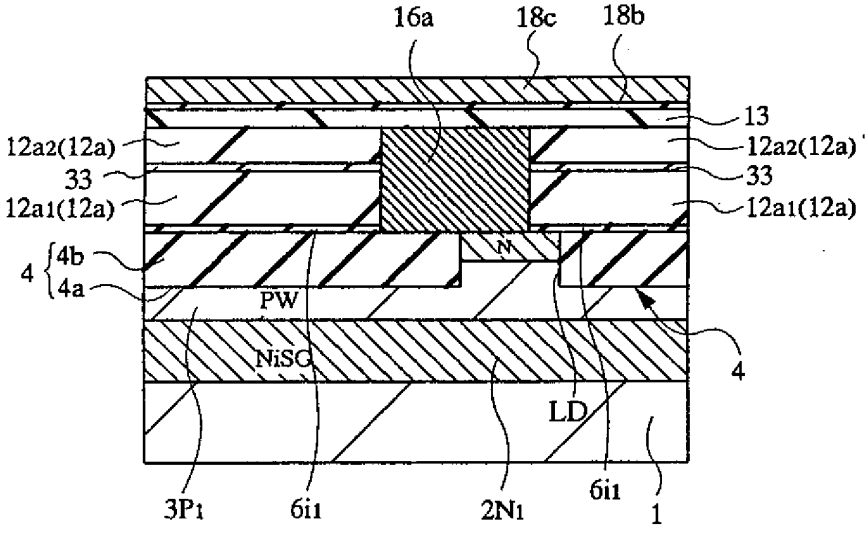
第 50 圖


18a
18c
C
18b
13
12a2(12a)
33
12a1(12a)
13
12a2(12a)
33
12a1(12a)
4
4b
4a
N
N
PW
2N1
NiSQ
4
LD
16a
4
6i1
3P1
6i1
1

第 51 圖

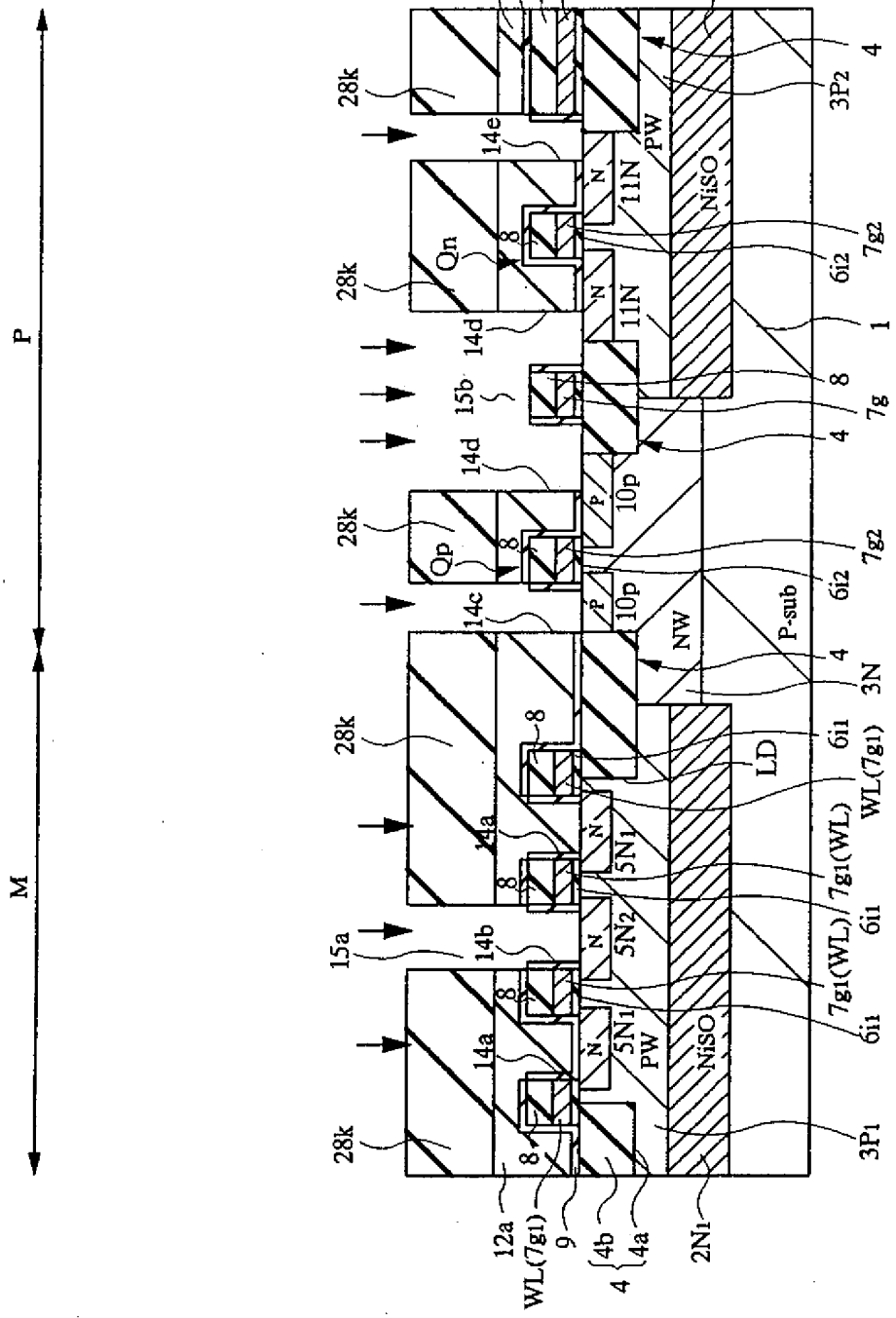

18a
18c
18b
C
13
16a
33
4
4b
4a
PW
NiSG
3P1
4
6i1
2N1
LD
1
13
16a
12a2(12a)
8
WL(7g1)
4

第 52 圖

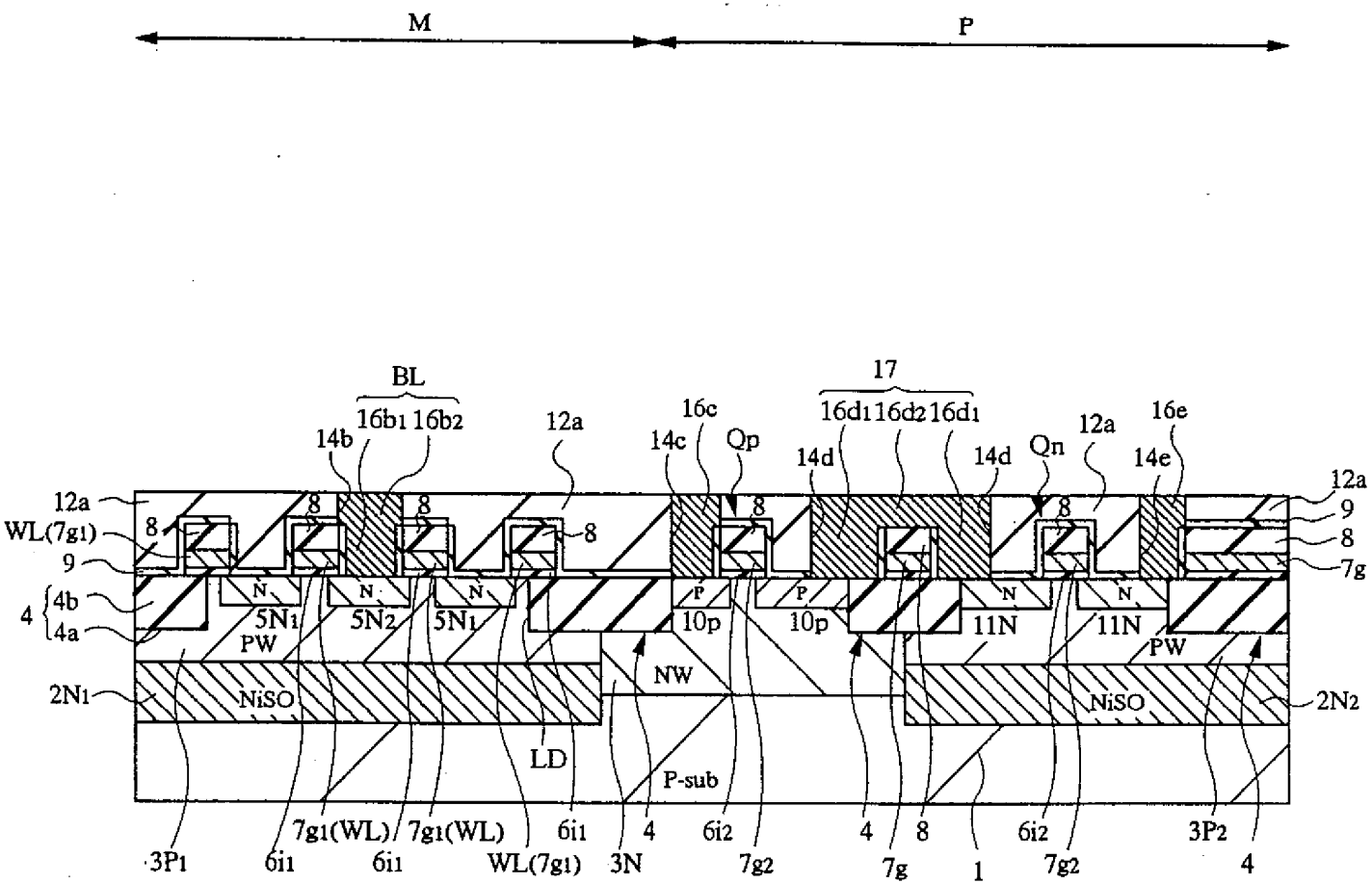

16a
18c
18b
12a2(12a)
33
12a1(12a)
4
4b
4a
PW
NiSG
3P1
6i1
2N1
LD
1
13
12a2(12a)
33
12a1(12a)
4

456029

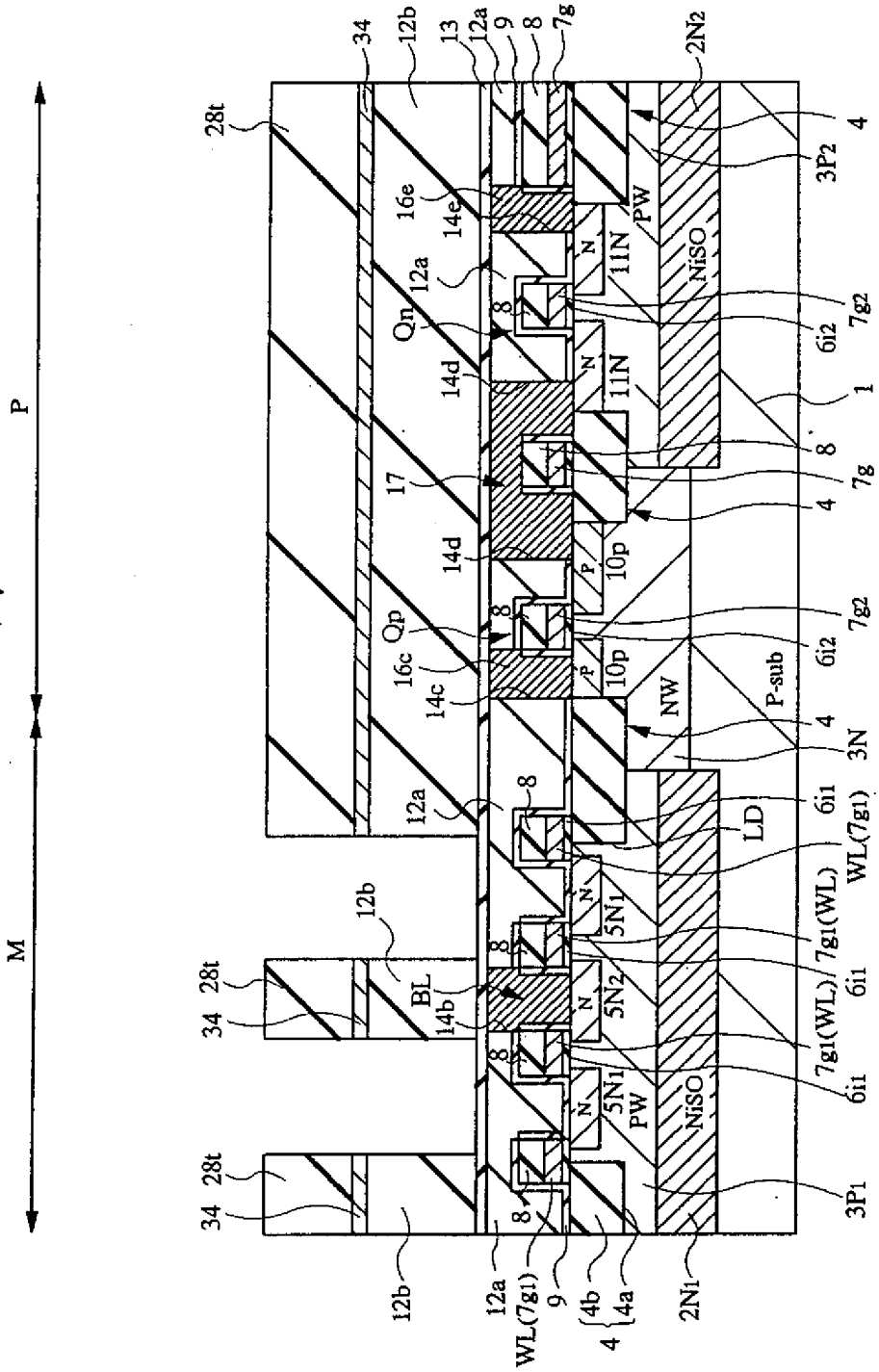
第53圖


P
M
28k
12a
9
8
7g
2N2
14e
11N
PW
NiSO
Qn
7g2
6i2
14d
1
15b
7g
4
10p
Qp
NW
P-sub
3N
14c
6i1
LD
WL(7g1)
14a
5N1
7g1(WL)
15a
14b
5N2
3P2
3P1
2N1
4b
4a

第 54 圖

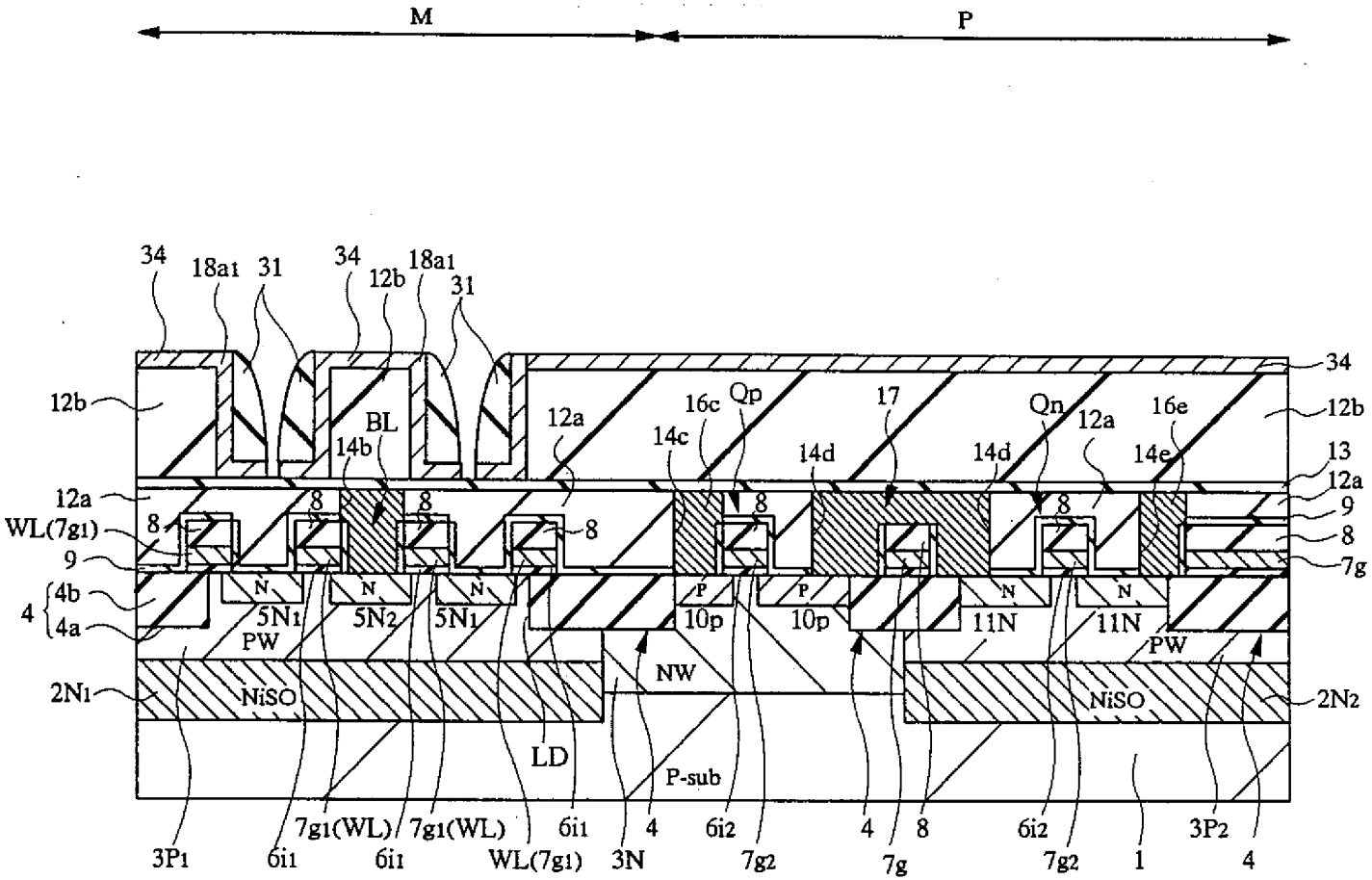

M
P
BL
16b1 16b2
14b
12a
16c
14c
Qp
17
16d1 16d2 16d1
14d
14d
Qn
12a
16e
14e
12a
WL(7g1)
9
4
4b
4a
8
8
8
8
8
8
8
8
12a
9
8
7g
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
1
6i2
7g2
3P2
4

第 55 圖


P
M
28t
34
12b
13
12a
9
8
7g
2N2
3P2
4
16e
14e
PW
11N
NiSO
Qn
6i2
7g2
14d
1
17
10p
Qp
16c
14c
NW
P-sub
3N
LD
6i1
WL(7g1)
5N1
7g1(WL)
BL
14b
5N2
3P1
2N1
WL(7g1)
9
4b
4a

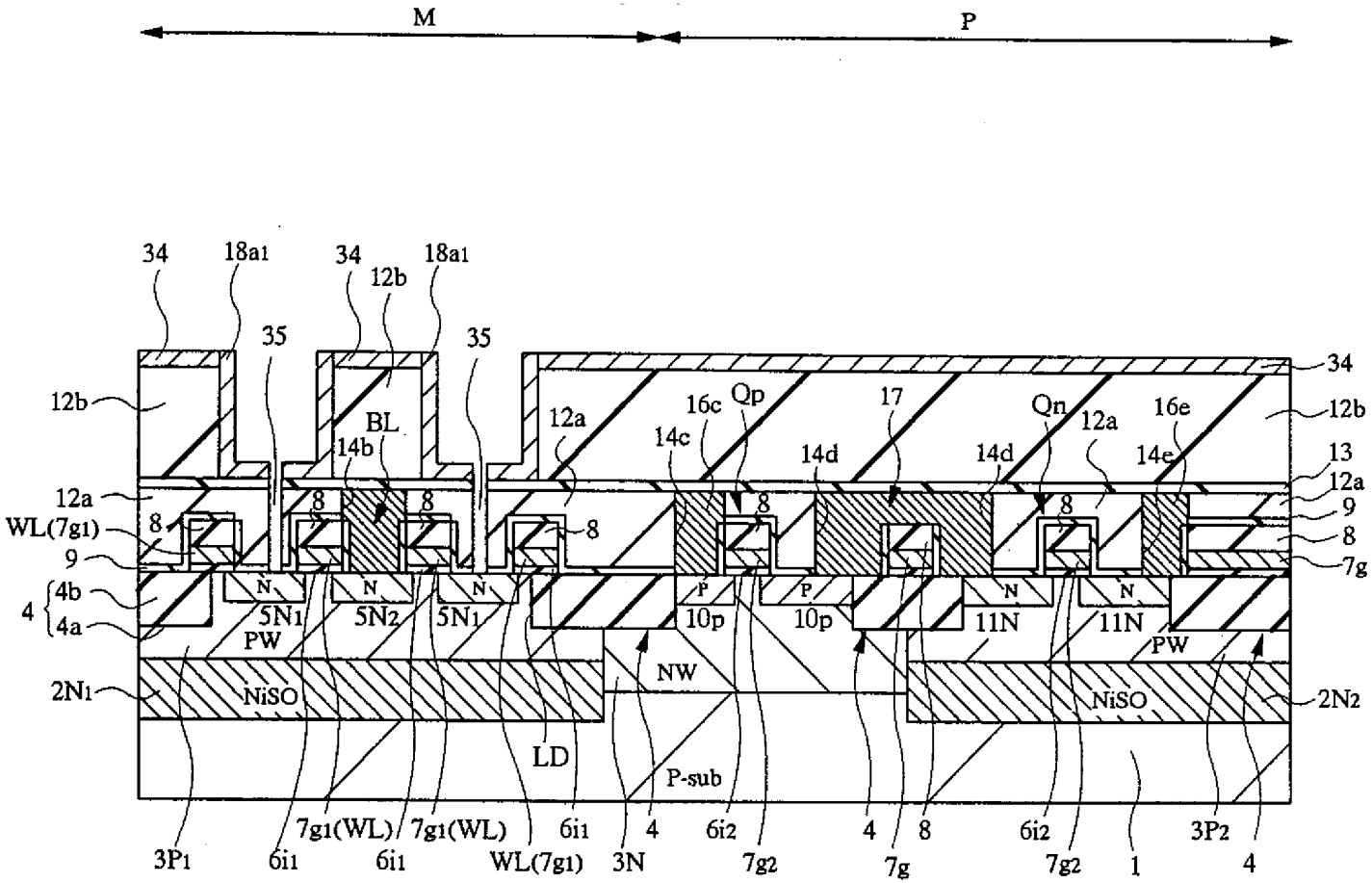
456029

第 56 圖

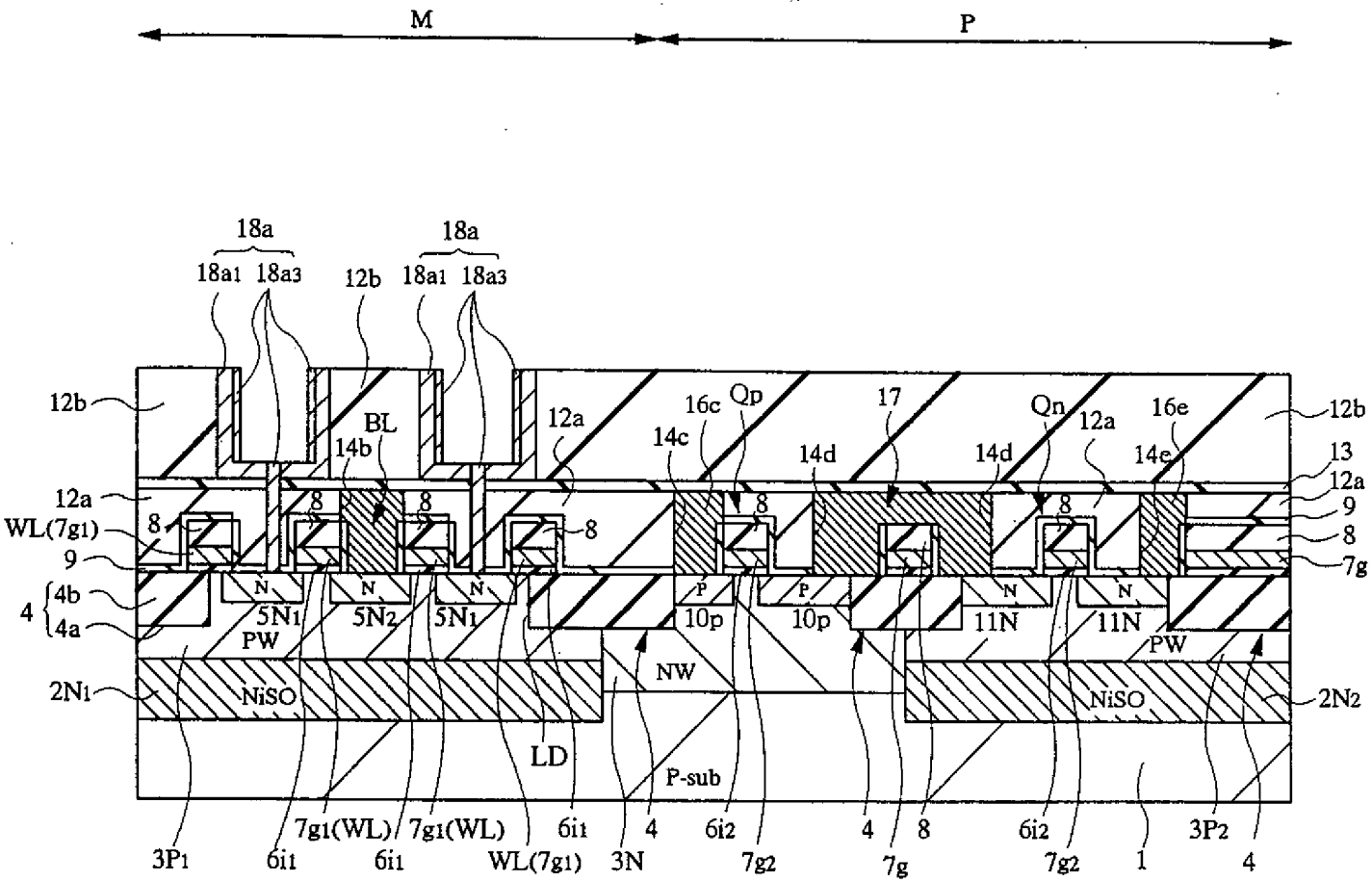


M
P
34
18a1
31
12b
BL
14b
12a
16c
Qp
14c
17
14d
Qn
16e
14e
13
9
8
7g
WL(7g1)
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
7g
1
3P2

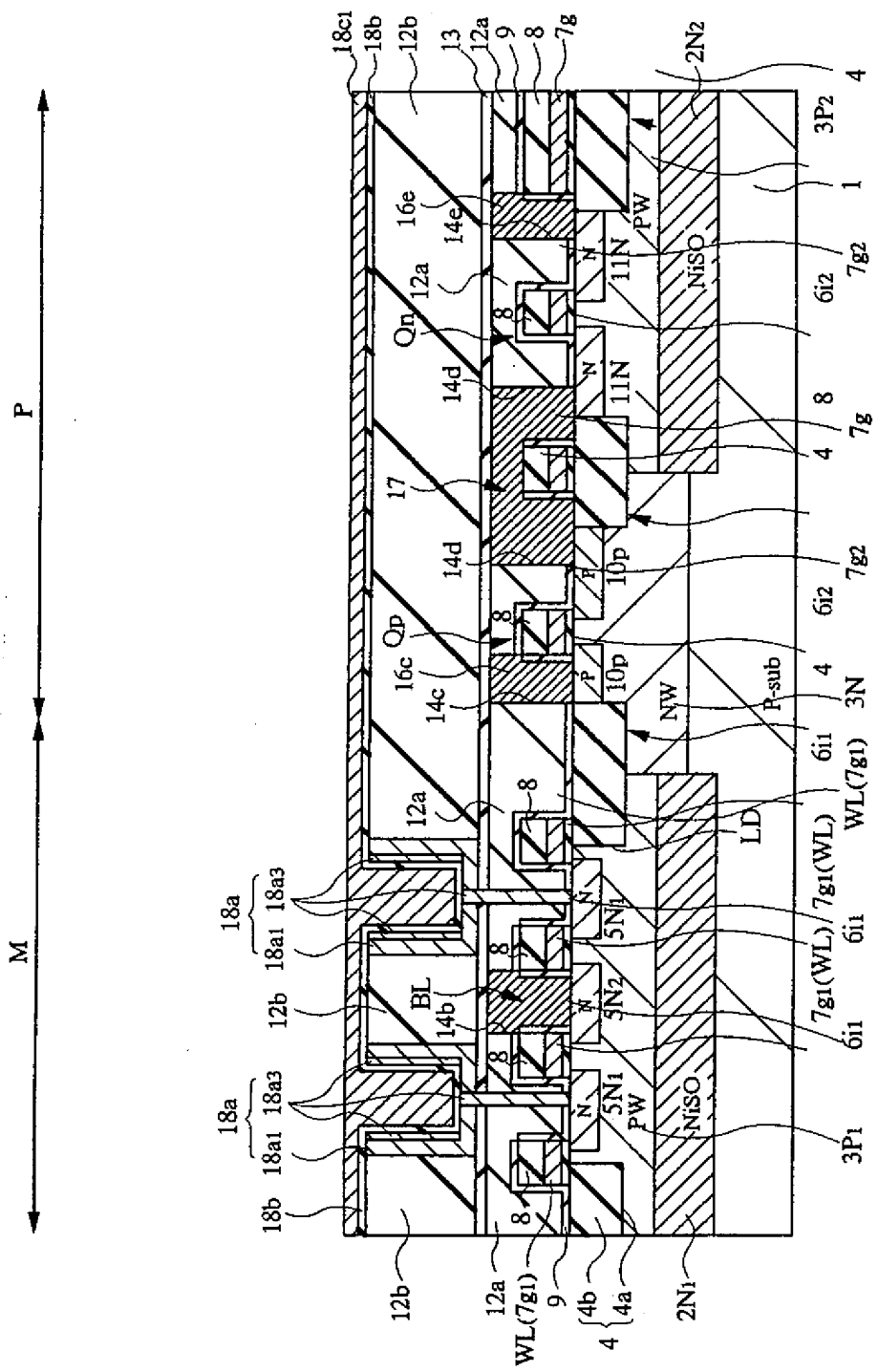
第 57 圖


M
P
34
18a1
34
12b
18a1
35
35
12b
BL
14b
12a
16c
Qp
14c
17
14d
14d
Qn
12a
16e
14e
34
12b
13
12a
9
8
7g
12a
WL(7g1)
9
4
4b
4a
8
8
8
8
8
8
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
6i2
7g2
1
3P2
4

第 58 圖

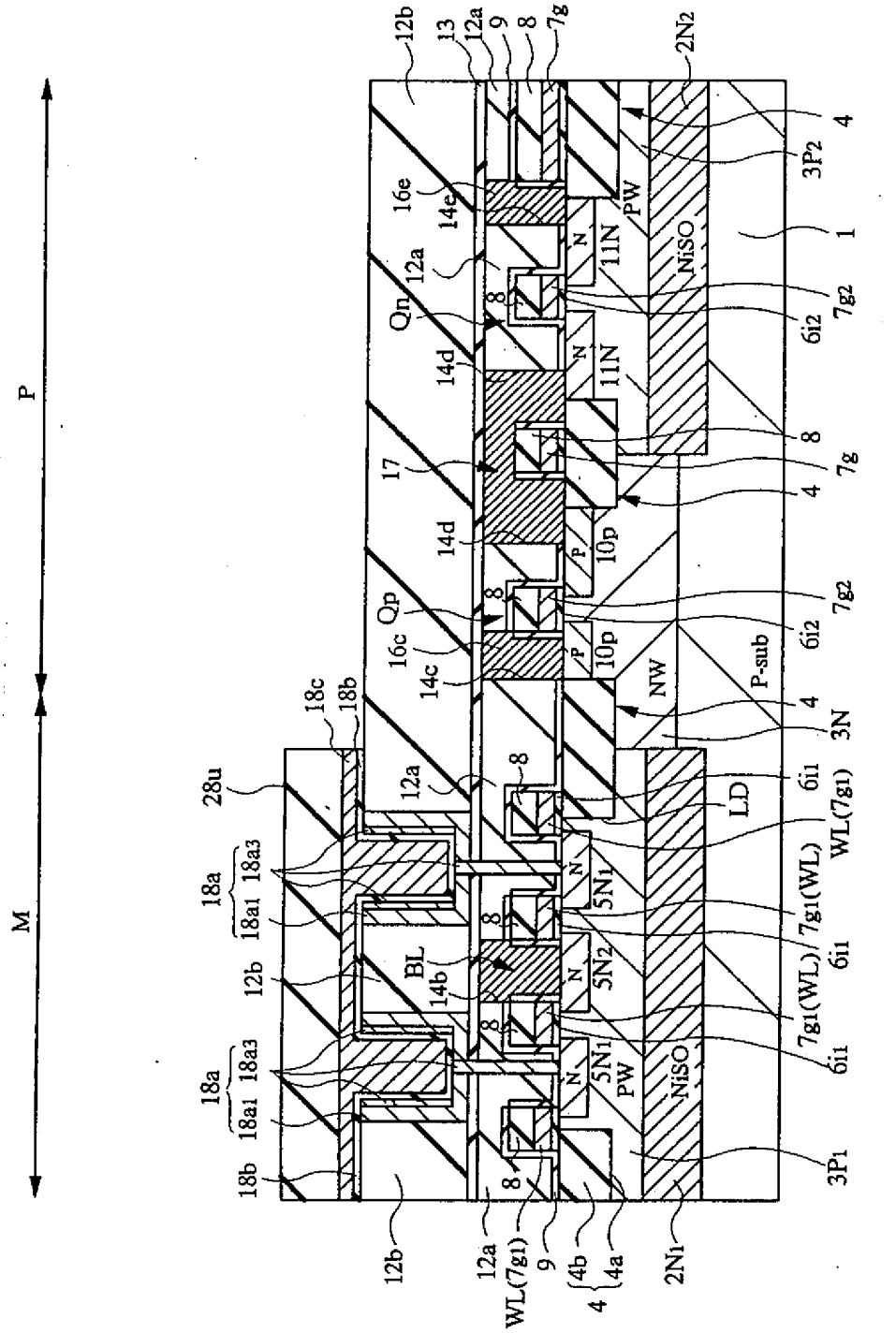

M
P
18a
18a1
18a3
12b
BL
14b
12a
16c
Qp
14c
14d
17
Qn
16e
14e
13
9
8
7g
WL(7g1)
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
7g
1
3P2

第59圖

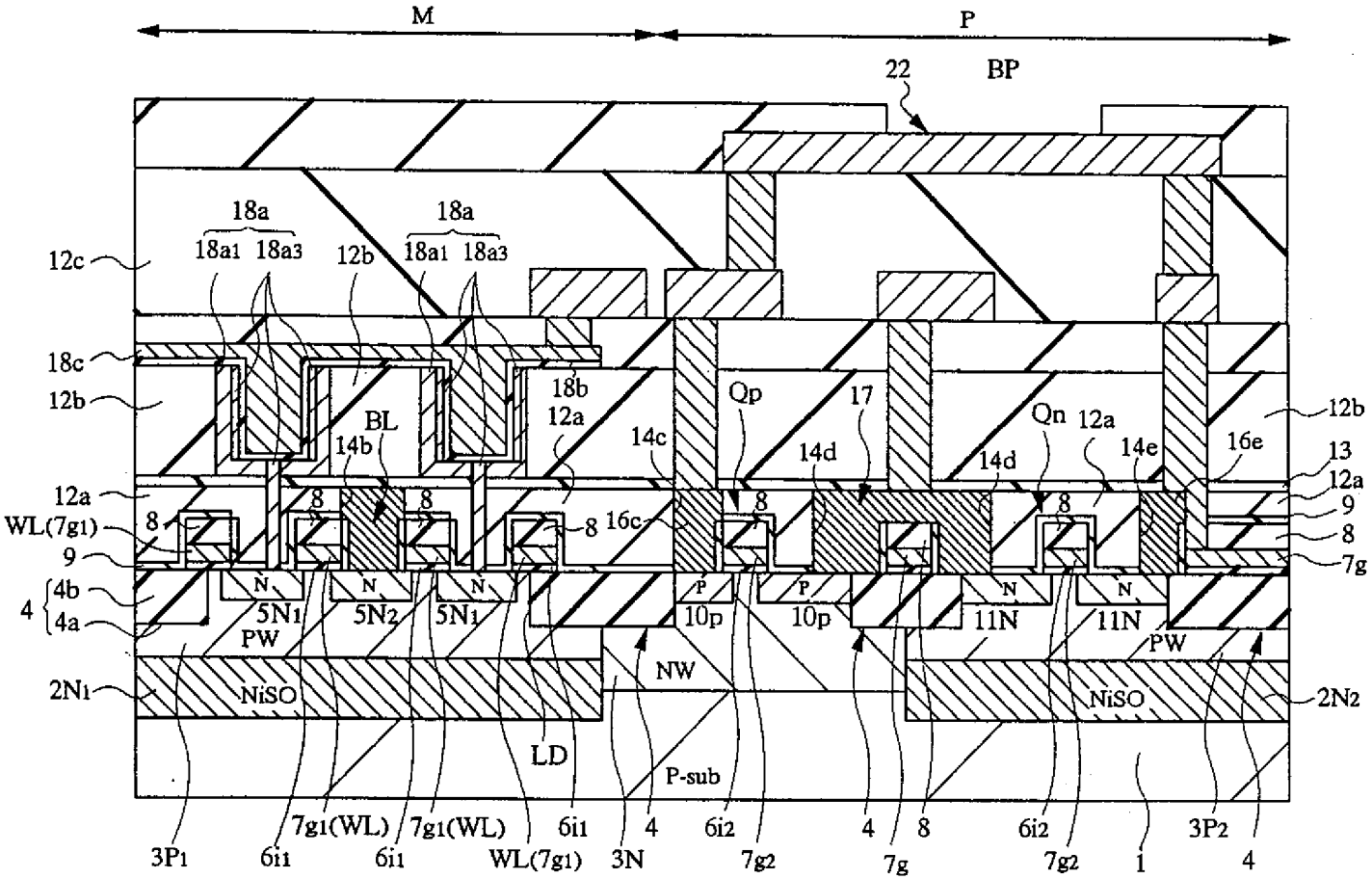

P
M
18c1
18b
12b
13
12a
9
8
7g
2N2
4
3P2
1
16e
14e
PW
11N
NiSO
7g2
6i2
Qn
12a
14d
17
16c
Qp
14c
10p
P-sub
3N
NW
6i1
WL(7g1)
LD
7g1(WL)
18a
18a1
18a3
5Ni
5N2
5N1
3P1
2N1
WL(7g1)
9
4b
4a
4

456029

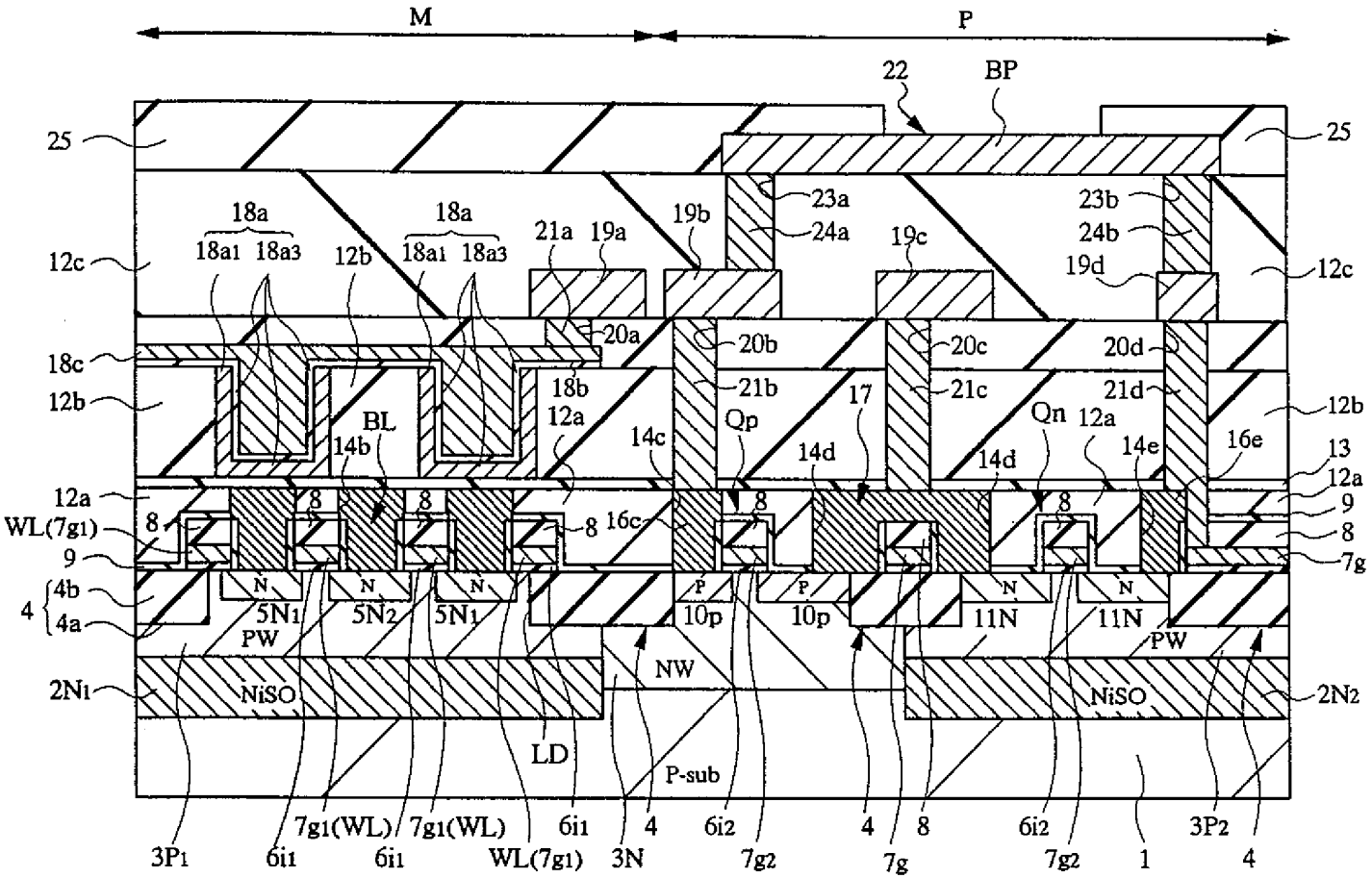
第 60 圖


P
M
12b
13
12a
9
8
7g
2N2
3P2
4
16e
14e
PW
11N
NiSO
1
12a
Qn
6i2
7g2
14d
11N
8
7g
17
4
14d
10p
Qp
16c
14c
P-sub
3N
18c
18b
28u
12a
6i1
LD
WL(7g1)
18a
18a3
18a1
5N1
7g1(WL)
12b
BL
14b
5N2
6i1
18a
18a3
18a1
5N1
PW
NiSO
3P1
18b
12b
12a
WL(7g1)
9
4b
4a
4
2N1

第 61 圖

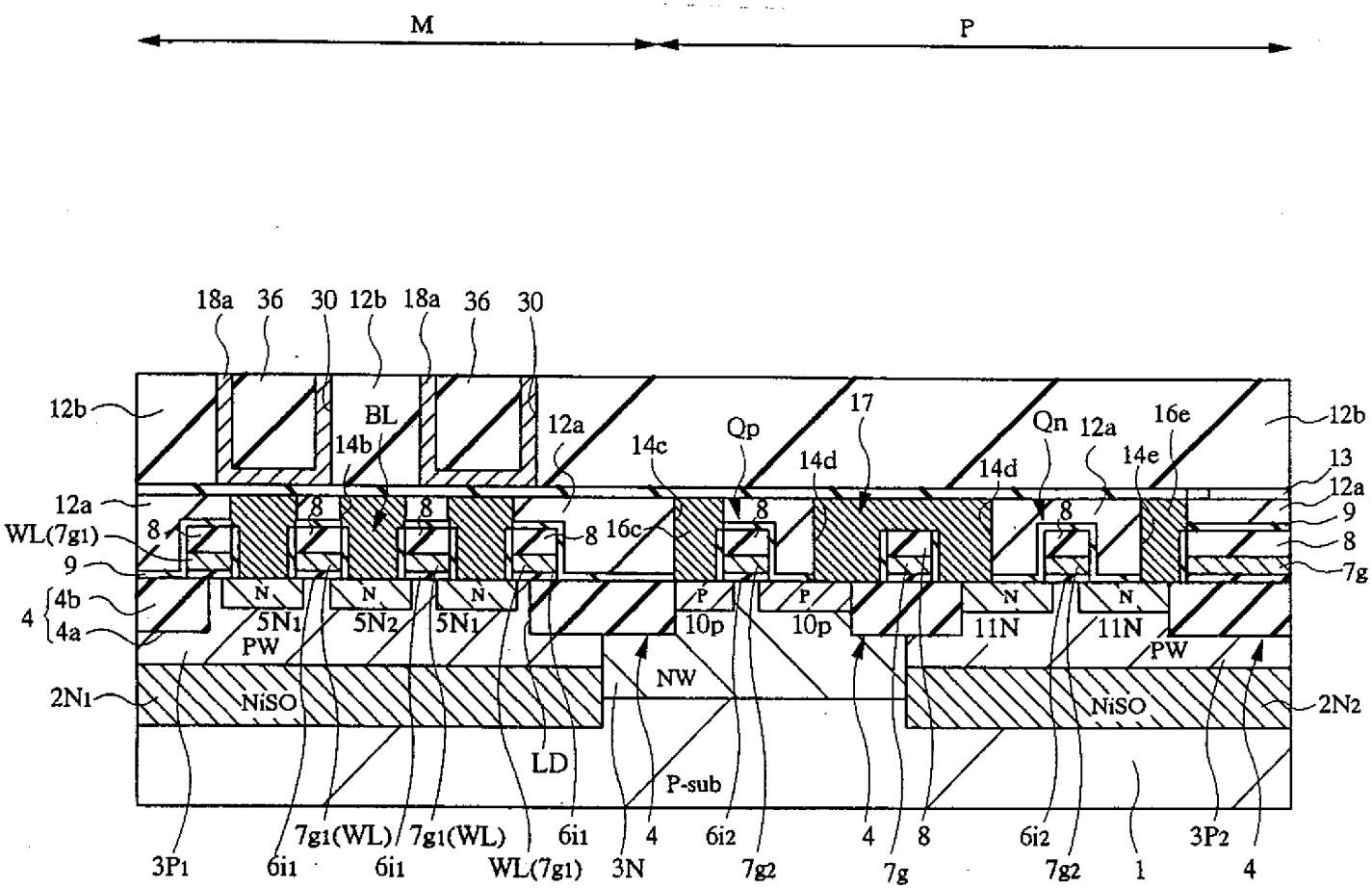

M
P
22
BP
18a
18a1
18a3
12b
12c
18c
18b
12a
BL
14b
14c
Qp
17
14d
Qn
14e
16e
13
9
8
7g
WL(7g1)
16c
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
7g1(WL)
WL(7g1)
3N
6i2
7g2
7g
1
3P2

第 62 圖


M
P
22
BP
25
18a
18a1 18a3
12b
12c
18c
21a 19a
19b
23a
24a
19c
23b
24b
19d
20a
20b
20c
20d
21b
21c
21d
18b
12a
BL
14b
14c
Qp
17
14d
Qn
14e
16e
13
9
8
7g
WL(7g1)
16c
4
4b
4a
N
P
5N1
5N2
10p
11N
PW
NW
NiSO
2N1
2N2
LD
P-sub
3P1
6i1
7g1(WL)
3N
6i2
7g2
7g
1
3P2

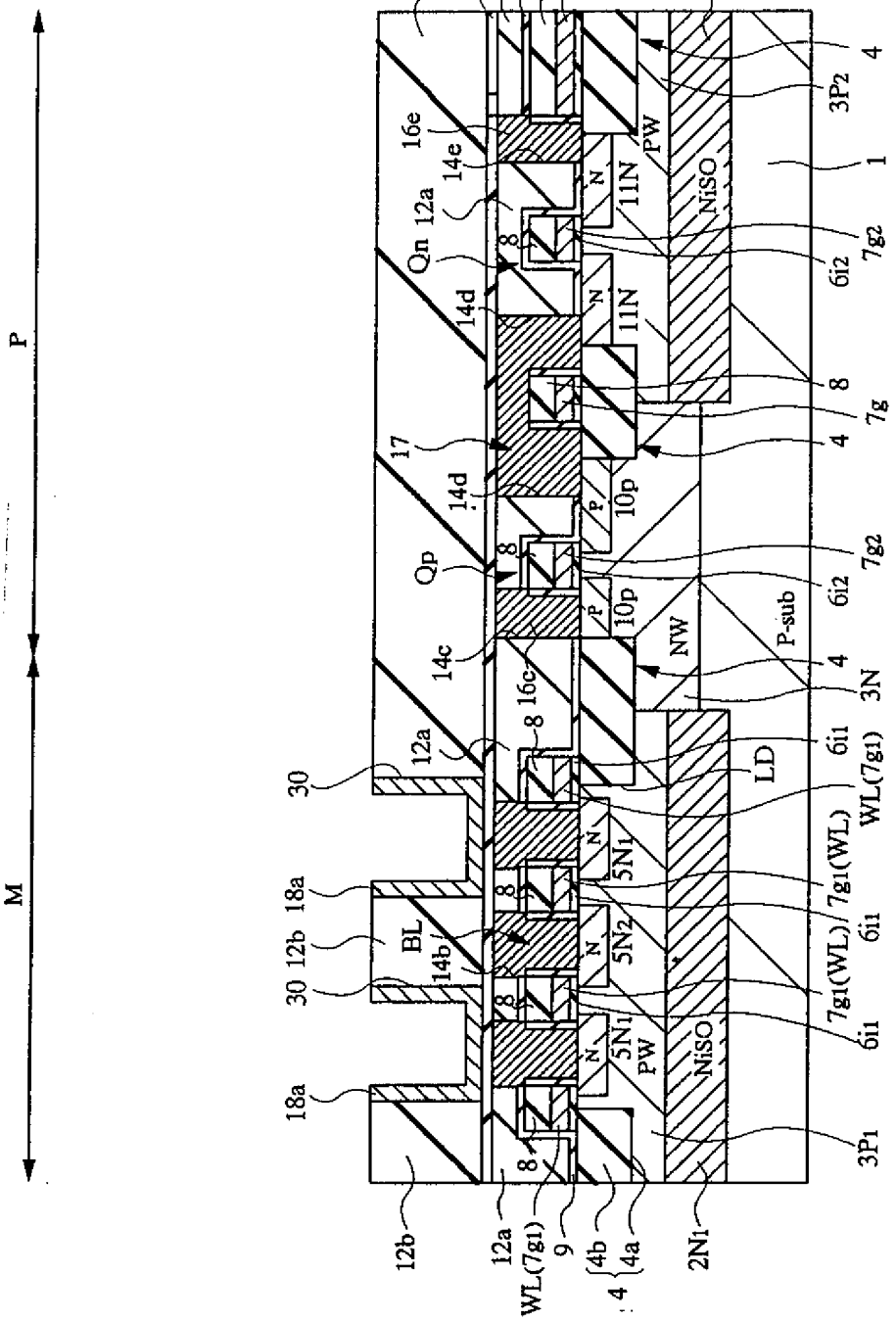
560926

第 63 圖

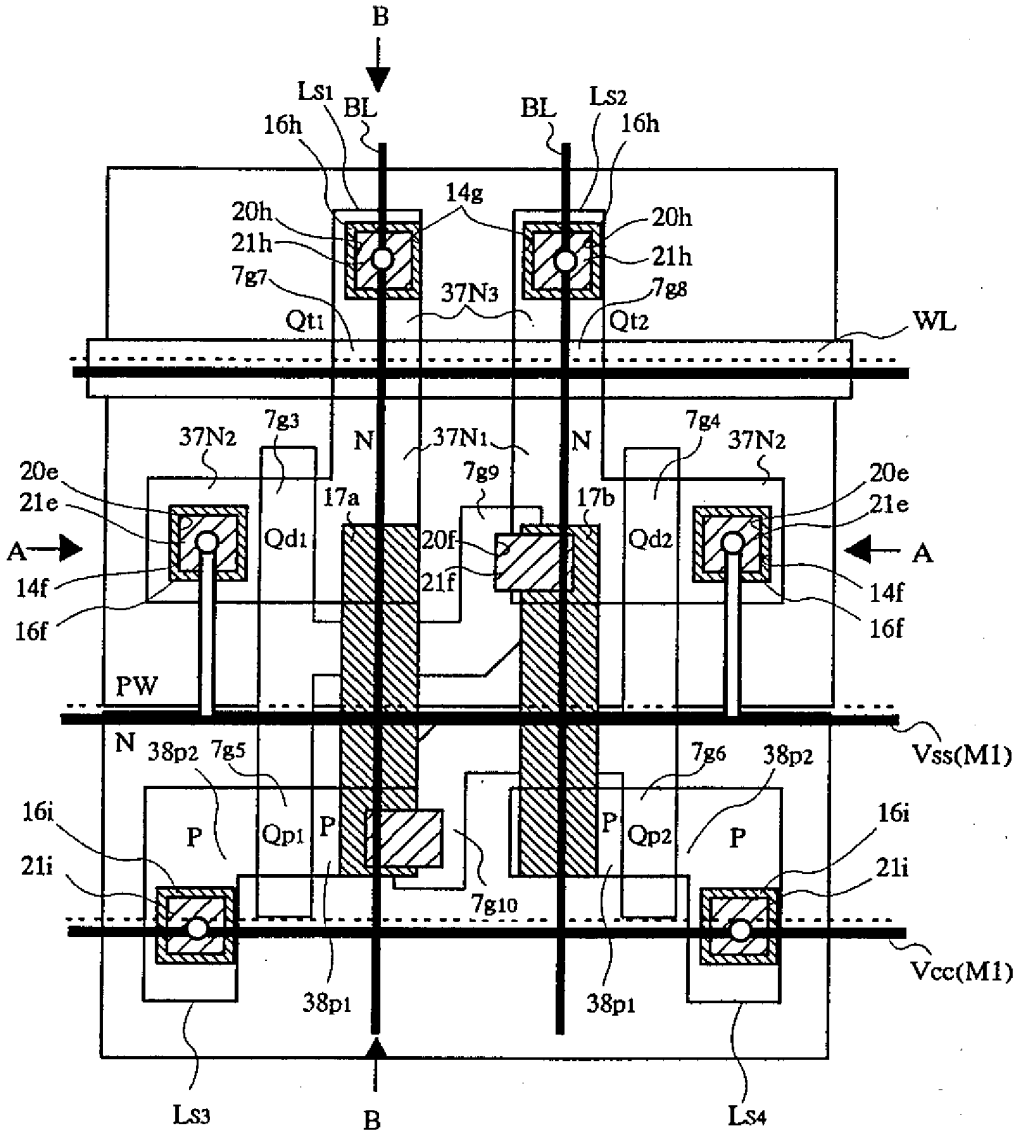

M
P
18a
36
30
12b
18a
36
30
12b
BL
14b
12a
14c
Qp
17
14d
Qn
12a
16e
14e
14d
12b
13
12a
9
8
7g
12a
WL(7g1)
9
8
8
8
8
16c
8
8
4
4b
4a
N
N
N
P
P
N
N
5N1
5N2
5N1
10p
10p
11N
11N
PW
PW
NW
2N1
NiSO
NiSO
2N2
LD
P-sub
3P1
6i1
7g1(WL)
6i1
7g1(WL)
WL(7g1)
6i1
3N
4
6i2
7g2
4
7g
8
6i2
7g2
1
3P2
4

456029

第 64 圖

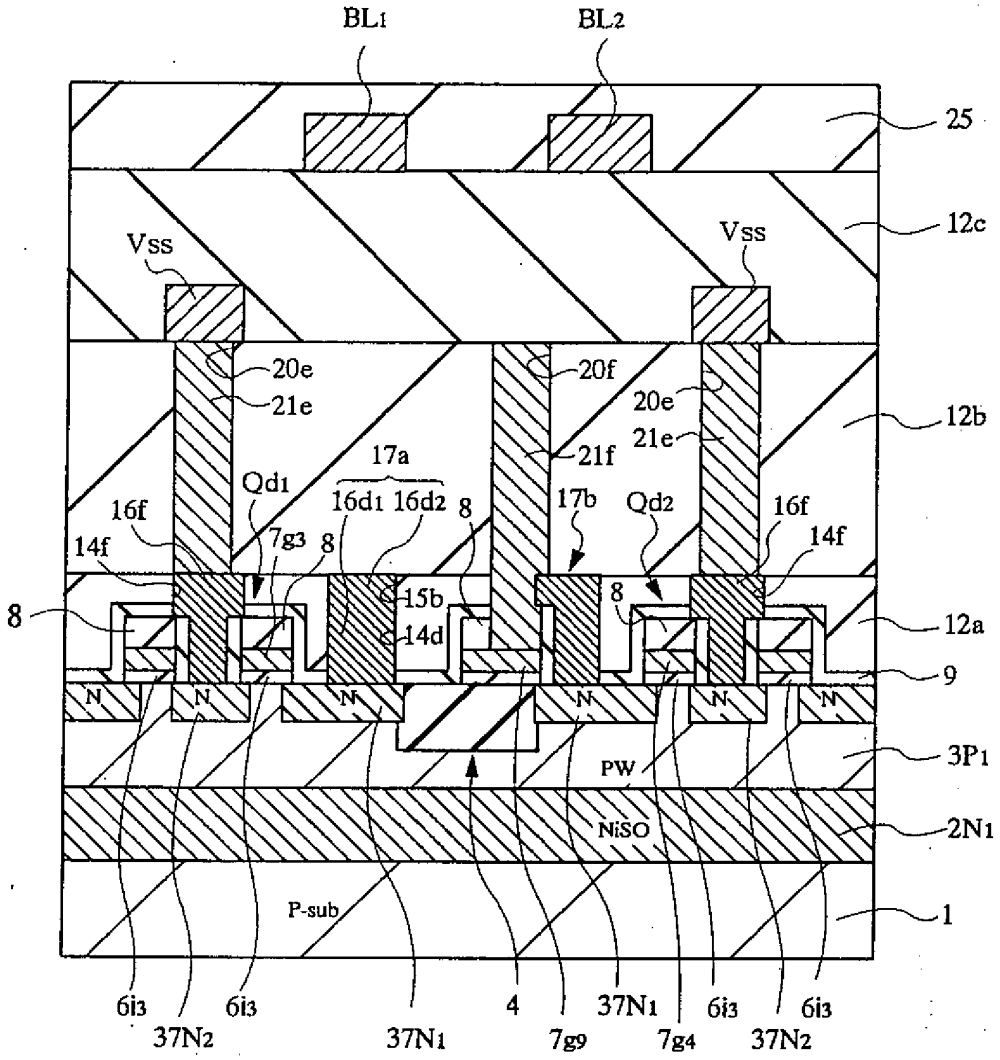

P
M
12b
13
12a
9
8
7g
2N2
16e
14e
12a
Qn
14d
17
14d
Qp
14c
16c
12a
30
18a
30 12b
BL
14b
18a
12b
WL(7g1)
9
4b
4
4a
2N1
3P1
PW
NiSO
11N
10p
NW
P-sub
3N
LD
5N1
5N2
6i1
6i2
7g1(WL)
7g2
3P2
1
4

第 65 圖


B
Ls1
BL
16h
BL
Ls2
16h
14g
20h
21h
7g7
37N3
7g8
20h
21h
Qt1
Qt2
WL
37N2
7g3
N
37N1
N
7g4
37N2
20e
21e
7g9
17a
17b
20e
21e
A
Qd1
20f
Qd2
A
14f
21f
14f
16f
16f
PW
Vss(M1)
N
38p2
7g5
7g6
38p2
16i
P
Qp1
P
P
Qp2
P
16i
21i
7g10
21i
Vcc(M1)
38p1
38p1
Ls3
B
Ls4

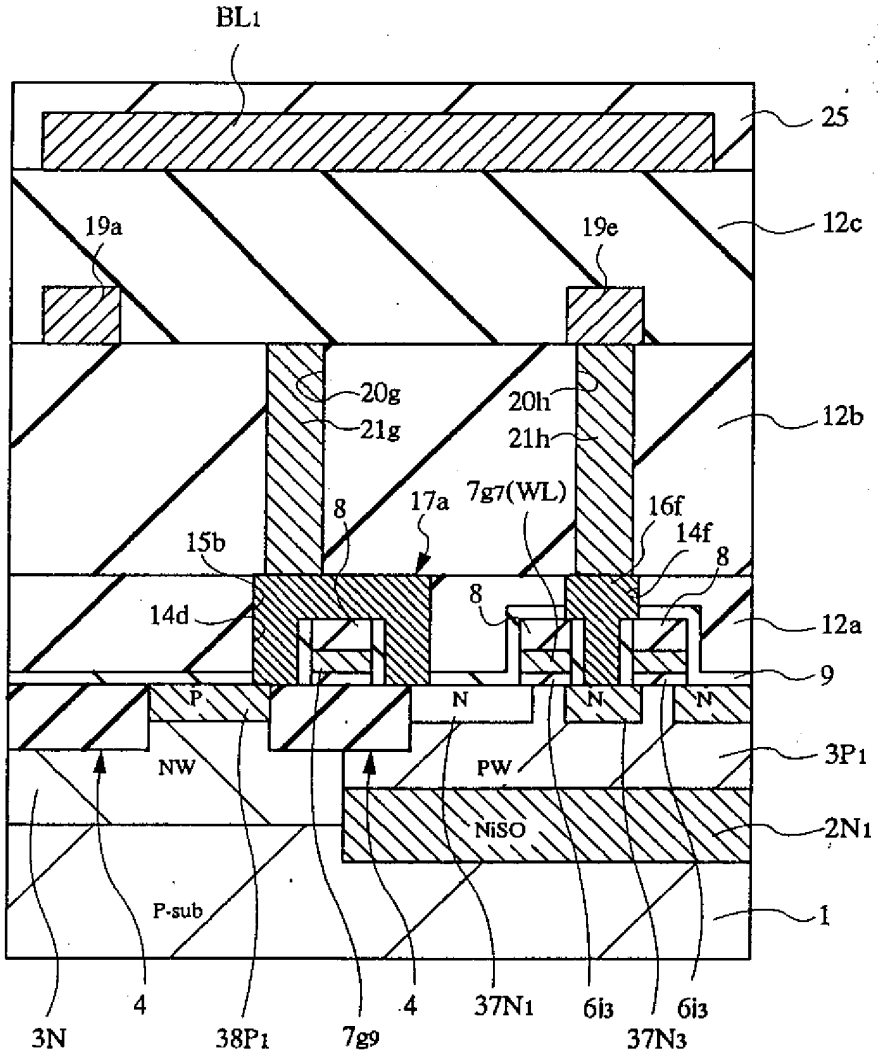
456029

第 66 圖


BL1
BL2
25
12c
Vss
Vss
20e
21e
20f
20e
21e
12b
21f
17a
Qd1
16d1 16d2
8
17b
Qd2
16f
16f
14f
14f
7g3
8
15b
8
8
14d
12a
9
N
N
N
N
N
N
3P1
PW
NiSO
2N1
P-sub
1
6i3
37N2
6i3
37N1
4
7g9
37N1
7g4
6i3
37N2
6i3

456029

第 67 圖


BL1
25
19a
19e
12c
20g
21g
20h
21h
12b
8
17a
7g7(WL)
16f
14f
15b
8
8
14d
12a
9
P
N
N
N
NW
PW
3P1
NiSO
2N1
P-sub
1
3N
4
38P1
7g9
4
37N1
6i3
6i3
37N3

156029

A8
B8
C8
D8

90年6月6日 修正補充

六、申請專利範圍

第 88109648 號專利申請案

中文申請專利範圍修正本

民國 90 年 6 月修正

1．一種半導體積體電路裝置之製造方法，是屬於一種在半導體基板上設置由記憶格選擇電晶體及直列連接於彼之資訊儲存用容量元件等所構成之複數個的記憶格之半導體積體電路裝置之製造方法，其特徵是具有：

（a）在上述半導體基板上形成平面孤立矩形狀的第1領域之過程；及

（b）在半導體基板上形成延伸於與上述第1領域交叉的方向的字元線之過程；及

（c）在上述第1領域中挾持上述字元線的正下方的通道領域而形成上述記憶格選擇電晶體的源極及汲極用之一對的半導體領域之過程；及

（d）形成用以覆蓋藉由上述（a）～（c）過程而形成之記憶格選擇電晶體的第1層間絕緣膜之過程；及

（e）在上述第1層間絕緣膜中形成：

位元線用的配線溝；及

位元線用的連接孔；該位元線用的連接孔爲上述位元線用的配線溝的一部份，延伸於與上述位元線用的配線溝的延伸方向成平面交叉的方向，並且在平面重疊於上述記憶格選擇電晶體的一方半導體領域之領域中，一體連接於該位元線用的配線溝，而且上述記憶格選擇電晶體的一方半導體領域被露出；等之過程；及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製