



(12) 发明专利

(10) 授权公告号 CN 110379918 B

(45) 授权公告日 2024. 07. 05

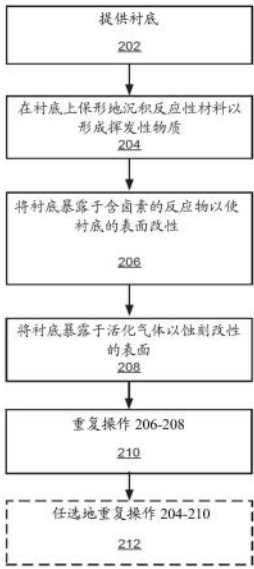
(21) 申请号 201910500208.2	(74) 专利代理机构 上海胜康律师事务所 31263
(22) 申请日 2016.04.20	专利代理师 樊英如 邱晓敏
(65) 同一申请的已公布的文献号 申请公布号 CN 110379918 A	(51) Int.Cl. H10N 50/01 (2023.01) H10B 61/00 (2023.01) H01J 37/32 (2006.01) G23F 4/00 (2006.01) G23F 1/12 (2006.01)
(43) 申请公布日 2019.10.25	(56) 对比文件 CN 1550575 A, 2004.12.01 US 2015037972 A1, 2015.02.05 US 6083413 A, 2000.07.04 US 2007238301 A1, 2007.10.11
(30) 优先权数据 62/150,053 2015.04.20 US 14/749,291 2015.06.24 US	审查员 杜海燕
(62) 分案原申请数据 201610248296.8 2016.04.20	权利要求书2页 说明书17页 附图11页
(73) 专利权人 朗姆研究公司 地址 美国加利福尼亚州	
(72) 发明人 萨曼莎·坦 特塞翁格·金姆 杨文斌 杰弗里·马克斯 索斯藤·利尔	

(54) 发明名称

图案化MRAM堆栈的干法等离子体蚀刻法

(57) 摘要

本发明涉及图案化MRAM堆栈的干法等离子体蚀刻法。提供了蚀刻金属的方法,所述方法通过沉积可与待被蚀刻的金属和卤素反应以形成挥发性物质的材料以及将衬底暴露于含卤素的气体和活化气体以蚀刻衬底来进行。所沉积的材料可以包括硅、锗、钛、碳、锡、以及它们的组合。方法适合于制造MRAM结构并且可以包括在不破坏真空的情况下将ALD和ALE工艺结合。



1. 一种蚀刻衬底的方法,其包含:

(a) 提供包含两个或更多个金属层、自由层、介电阻挡层和固定层的衬底,其中所述介电阻挡层介于所述自由层和所述固定层之间,而所述自由层、所述介电阻挡层和所述固定层介于所述两个或更多个金属层之间,

(b) 将所述衬底暴露于前体气体和还原剂以在所述衬底上沉积材料,所述材料选自自由含硅材料、含钛材料、含锆材料、含锡材料、含碳材料、以及它们的组合所组成的组,

(c) 将所述衬底暴露于含卤素的气体持续足以基本上充满所述衬底的表面的时间,其中所述含卤素的气体与所述材料形成卤化物,以形成沉积在所述衬底上的所述材料的卤化物,并且

(d) 使所述衬底暴露于活化气体以蚀刻所述衬底,其中,所述活化气体使所述材料与含卤素的气体和所述衬底的所述两个或更多个金属层中的至少一个的金属材料两者都反应并蚀刻所述衬底。

2. 根据权利要求1所述的方法,其中所述材料是含钛材料且选自自由氧化钛或氮化钛组成的组。

3. 根据权利要求1所述的方法,其进一步包含:

在基本上所有的所述自由层被蚀刻后且在所述介电阻挡层暴露前重复 (b) ,

用无卤素化学品蚀刻所述介电阻挡层,以及

重复 (c) 和 (d) 以在所述介电阻挡层被蚀刻后,蚀刻所述衬底。

4. 根据权利要求1所述的方法,其中在不破坏真空的情况下执行 (a) - (d) 。

5. 根据权利要求1所述的方法,其中 (b) 减少含金属副产品的重新沉积。

6. 根据权利要求1所述的方法,其中所述金属材料选自自由元素周期表IV族的过渡金属、元素周期表V族的过渡金属、元素周期表VI族的过渡金属、以及它们的组合组成的组。

7. 一种用于蚀刻包含一个或多个层的衬底的装置,该装置包含:

(a) 一个或多个处理室,每个处理室包含卡盘;

(b) 通向所述处理室和相关的流动控制硬件内的一个或多个气体入口;

(c) 至少一个RF功率源,用于产生等离子体;以及

(d) 具有至少一个处理器和存储器的控制器,其中

所述至少一个处理器和所述存储器彼此通信地连接,

所述至少一个处理器与所述流动控制硬件和所述至少一个RF功率源至少能操作地连接,并且

所述存储器存储计算机可执行指令,所述计算机可执行根据权利要求1所述的方法的指令用于控制所述至少一个处理器以至少控制所述流动控制硬件和所述至少一个RF功率源。

8. 根据权利要求7所述的装置,其中 (b) - (d) 在不破坏真空的情况下进行。

9. 根据权利要求7所述的装置,其中所述含卤素的气体选自自由 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{BBr}_3$ 、 $\text{BI}_3$ 、 $\text{F}_2$ 、 $\text{BF}_3$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 及它们的组合所组成的组。

10. 根据权利要求7所述的装置,其中,所述存储器还包含用于在 (c) 和 (d) 执行两个或更多个循环之后重复 (b) 的指令。

11. 根据权利要求7所述的装置,其中所述前体气体是含硅气体。

12. 根据权利要求7所述的装置,还包括等离子体发生器,其中用于活化活化源的指令包括用于产生等离子体的指令。

## 图案化MRAM堆栈的干法等离子体蚀刻法

[0001] 本申请是申请号为201610248296.8、申请日为2016年4月20日、发明名称为“图案化MRAM堆栈的干法等离子体蚀刻法”的申请的分案申请。

### 技术领域

[0002] 本发明总体上涉及半导体领域,更具体地涉及图案化MRAM堆栈的干法等离子体蚀刻法。

### 背景技术

[0003] 半导体制造工艺包含各种材料的蚀刻,包含金属和金属合金的蚀刻。然而,随着器件的缩小,以及各种类型的结构的制造变得越来越复杂,某些蚀刻副产品可能会重新沉积到衬底上的其它暴露区域,这可能导致缺陷和最终的设备故障。因此,其它的蚀刻技术是有益的。

### 发明内容

[0004] 本发明提供了处理衬底的方法。一个方面涉及一种方法,该方法包含:(a)使位于室内的衬底暴露于含卤素的气体以使所述衬底的表面改性,(b)使所述衬底暴露于活化气体和活化源以蚀刻所述衬底上的一个或多个层,以及(c)在(a)和(b)期间,向所述室提供能与所述含卤素的气体和所述衬底上的所述一个或多个层的材料两者都反应以形成挥发性物质的反应性材料。

[0005] 在一些实施方式中,在(c)中的所述反应性材料是含硅材料、含钛材料、含锆材料、含锡材料、含碳材料、和/或它们的组合。所述含卤素的气体可以是 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{BBr}_3$ 、 $\text{BI}_3$ 、 $\text{F}_2$ 、 $\text{BF}_3$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 及它们的组合中的任何一种。在多种实施方式中,所述含卤素的气体是卤化物气体。

[0006] 在多种实施方式中,(a)和(b)重复两个或更多个循环。在一些实施方式中,在不破坏真空的情况下执行(a)-(c)。在一些实施方式中,(c)减少含金属副产品的重新沉积。

[0007] 所述衬底的所述一个或多个层的材料可以是元素周期表IV族的过渡金属、元素周期表V族的过渡金属、元素周期表VI族的过渡金属、以及它们的组合中的任何一种。在一些实施方式中,所述衬底的所述一个或多个层的材料包括介电材料。所述金属和所述介电材料可以是所述衬底上的相邻层。例如,在一些实施方式中,所述介电材料是 $\text{MgO}$ ,并且所述介电材料邻近含有 $\text{CoFe}$ 的层和含有 $\text{CoPt}$ 的层两者。在一些实施方式中,所述方法进一步包含:(d)蚀刻所述金属层至介于约 $0 \text{ \AA}$ 与约 $10 \text{ \AA}$ 之间的剩余厚度;以及(e)在蚀刻所述金属层之后,在没有将所述介电材料暴露于所述含卤素的气体的情况下,通过将所述衬底暴露于所述活化气体和所述活化源来蚀刻所述介电材料。在(e)中的所述活化气体可以是氩气、二氧化碳、氨、含氢气体、以及它们的组合中的任何一种。

[0008] 在多种实施方式中,所述反应性材料是含钛材料并且是氧化钛或氮化钛。所述反应性材料可以是所述含硅材料并且可以是氮化硅、氧化硅或硅中的任一种。

[0009] 在多种实施方式中,所述两个或更多个循环蚀刻第一组金属层和介电层,并且从而(c)在蚀刻所述介电层之后且在蚀刻所述介电层下的第二组金属层之前执行。在一些实施方式中,在(a)和(b)重复两个或更多个循环之后重复(c)。

[0010] 所述活化源可以是等离子体,并且在(c)期间所述等离子体的功率可以为介于约500W至约1500W之间。

[0011] 所述反应性材料可以通过等离子体增强化学气相沉积来沉积。在一些实施方式中,所述反应性材料通过原子层沉积来沉积。所述反应性材料可以保形地沉积。在多种实施方式中,所述反应性材料通过自限反应来沉积。在多种实施方式中,在(a)期间,所述含卤素的气体基本上充满所述衬底的所述表面。

[0012] 在(c)期间,所述反应性材料可以基本上充满所述衬底的所述表面。在一些实施方式中,在所述蚀刻期间,反应性材料保留在所述衬底的特征的侧壁上。在所述蚀刻期间,所述反应性材料可以保护所述衬底的所述一个或多个层中的至少一个层。在一些实施方式中,所述反应性材料沉积到介于约3nm至约6nm之间的厚度。

[0013] 在多种实施方式中,蚀刻所述衬底以形成MRAM结构。

[0014] 所述方法还可以包含在(c)期间施加小于约100 Vb的强度的偏置。所述活化源可以是等离子体、离子束蚀刻和热活化中的任一种。

[0015] 在一些实施方式中,所述方法还包含湿法蚀刻所述衬底。所述方法还可包含通过反应离子蚀刻来蚀刻。在一些实施方式中,所述反应性材料通过提供固态硅源而被提供到所述室。

[0016] 在一些实施方式中,所述方法还包含:(d),在执行(a)和(b)之前,通过经由等离子体增强化学气相沉积在所述衬底上保形地沉积氮化硅层来执行(c);以及(e),在(d)之后,重复(a)和(b)两个或更多个循环,由此,在(a)中的所述含卤素的气体是BCl<sub>3</sub>和Cl<sub>2</sub>的组合。所述方法可以进一步包含:(f),在邻近介电层的金属层已被蚀刻至介于约0 Å与约10 Å之间的剩余厚度时,通过保形地沉积能与所述含卤素的气体和所述衬底上的所述一个或多个层的材料两者都反应以形成挥发性物质的材料来执行(c);(g)在没有将所述衬底暴露于所述含卤素的气体的情况下,用活化气体溅射所述衬底以蚀刻含MgO的介电层;以及(h)在(g)之后,重复(a)和(b)两个或更多个循环来蚀刻所述一个或多个层中的至少一个层。所述一个或多个层可以包含含钴材料。

[0017] 另一方面涉及一种方法,该方法包含:(a)提供包含一个或多个金属层、自由层、介电阻挡层和固定层的衬底,由此所述介电阻挡层介于自由层和固定层之间,而所述自由层、所述介电阻挡层和所述固定层介于所述一个或多个金属层之间;(b)将所述衬底暴露于含硅气体和还原剂以在所述衬底上沉积含硅材料,(c)将所述衬底暴露于含卤素的气体持续足以基本上充满所述衬底的表面的时间,并且(d)使所述衬底暴露于活化气体以蚀刻所述衬底。

[0018] 所述方法可以进一步包含:在基本上所有的自由层被蚀刻后且在所述介电阻挡层暴露前重复(b);用无卤素化学品蚀刻所述介电阻挡层;以及重复(c)和(d)以在所述介电阻挡层被蚀刻后,蚀刻所述衬底。

[0019] 另一方面涉及一种用于处理包含一个或多个层的衬底的装置,该装置包含:(a)一个或多个处理室,每个处理室包含卡盘;(b)通向所述处理室和相关的流动控制硬件内的一个

个或多个气体入口;以及(c)具有至少一个处理器和存储器的控制器,由此所述至少一个处理器和所述存储器彼此通信地连接,所述至少一个处理器与所述流动控制硬件至少能操作地连接,并且所述存储器存储计算机可执行指令,所述计算机可执行指令用于控制所述至少一个处理器以通过下述方式至少控制所述流动控制硬件:(i)使含卤素的气体流动持续足以基本上充满所述衬底的表面的时间;(ii)使活化气体流动并活化等离子体以蚀刻所述衬底的一个或多个层;以及(iii)在(i)和(ii)期间向所述室提供能与所述含卤素的气体和所述衬底上的所述一个或多个层的材料两者都反应以形成挥发性物质的材料,由此(i)-(iii)在不破坏真空的情况下执行。

[0020] 在多种实施方式中,用于提供能与所述含卤素的气体和所述衬底上的所述一个或多个层的材料两者都反应以形成挥发性物质的材料的所述指令还包含用于沉积例如含硅材料、含钛材料、含锆材料、含锡材料、含碳材料、和其组合等材料的指令。所述含卤素的气体可以是 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{BBr}_3$ 、 $\text{BI}_3$ 、 $\text{F}_2$ 、 $\text{BF}_3$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 及它们的组合中的任一种。在一些实施方式中,所述含卤素的气体是卤化物气体。在一些实施方式中,所述存储器还包含用于在(i)和(ii)执行两个或更多个循环之后重复(iii)的指令。

[0021] 具体而言,本发明的一些方面可以描述如下:

[0022] 1.一种方法,其包含:

[0023] (a)提供包含两个或更多个金属层、自由层、介电阻挡层和固定层的衬底,其中所述介电阻挡层介于所述自由层和所述固定层之间,而所述自由层、所述介电阻挡层和所述固定层介于所述两个或更多个金属层之间,

[0024] (b)将所述衬底暴露于前体气体和还原剂以在所述衬底上沉积材料,所述材料选自自由含硅材料、含钛材料、含锆材料、含锡材料、含碳材料、以及它们的组合所组成的组,

[0025] (c)将所述衬底暴露于含卤素的气体持续足以基本上充满所述衬底的表面的时间,并且

[0026] (d)使所述衬底暴露于活化气体以蚀刻所述衬底。

[0027] 2.根据条款1所述的方法,其中所述材料是含钛材料且选自自由氧化钛或氮化钛组成的组。

[0028] 3.根据条款1所述的方法,其进一步包含:

[0029] 在基本上所有的所述自由层被蚀刻后且在所述介电阻挡层暴露前重复(b),

[0030] 用无卤素化学品蚀刻所述介电阻挡层,以及

[0031] 重复(c)和(d)以在所述介电阻挡层被蚀刻后,蚀刻所述衬底。

[0032] 4.根据条款1所述的方法,其中在不破坏真空的情况下执行(a)-(d)。

[0033] 5.根据条款1所述的方法,其中(b)减少含金属副产品的重新沉积。

[0034] 6.根据条款1所述的方法,其中所述材料能与所述含卤素的气体和所述衬底的所述两个或更多个金属层中的至少一个的金属材料两者都反应,所述金属材料选自元素周期表IV族的过渡金属、元素周期表V族的过渡金属、元素周期表VI族的过渡金属、以及它们的组合组成的组。

[0035] 7.一种用于处理包含一个或多个层的衬底的装置,该装置包含:

[0036] (a)一个或多个处理室,每个处理室包含卡盘;

[0037] (b)通向所述处理室和相关的流动控制硬件内的一个或多个气体入口;以及

- [0038] (c) 具有至少一个处理器和存储器的控制器,其中
- [0039] 所述至少一个处理器和所述存储器彼此通信地连接,
- [0040] 所述至少一个处理器与所述流动控制硬件至少能操作地连接,并且
- [0041] 所述存储器存储计算机可执行指令,所述计算机可执行指令用于控制所述至少一个处理器以通过下述方式至少控制所述流动控制硬件:
- [0042] (i) 使含卤素的气体的引入持续足以基本上充满所述衬底的表面的时间;
- [0043] (ii) 引入活化气体并活化活化源以蚀刻所述衬底的所述一个或多个层;以及
- [0044] (iii) 在(i)和(ii)期间向所述一个或多个处理室中的一个提供能与所述含卤素的气体和和在所述衬底上的所述一个或多个层的材料两者都反应以形成挥发性物质的反应性材料。
- [0045] 8. 根据条款7所述的装置,其中(i)-(iii)在不破坏真空的情况下进行。
- [0046] 9. 根据条款7所述的装置,其中所述含卤素的气体选自由 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{BBr}_3$ 、 $\text{BI}_3$ 、 $\text{F}_2$ 、 $\text{BF}_3$ 、 $\text{Br}_2$ 、 $\text{I}_2$ 及它们的组合所组成的组。
- [0047] 10. 根据条款7所述的装置,其中,所述存储器还包含用于在(i)和(ii)执行两个或更多个循环之后重复(iii)的指令。
- [0048] 11. 根据条款7所述的装置,其中,用于提供所述反应性材料的指令包括用于引入前体气体和还原剂以将所述反应性材料沉积在所述衬底上的指令。
- [0049] 12. 根据条款11所述的装置,其中所述前体气体是含硅气体。
- [0050] 13. 根据条款7所述的装置,其中所述反应性材料选自由含硅材料、含钛材料、含锆材料、含锡材料、含碳材料、以及它们的组合所组成的组。
- [0051] 14. 根据条款7所述的装置,还包括等离子体发生器,其中用于活化活化源的指令包括用于产生等离子体的指令。
- [0052] 下面参照附图进一步描述这些和其它方面。

## 附图说明

- [0053] 图1是示例性衬底的示意图。
- [0054] 图2是描绘根据所公开的实施方式执行的方法的操作的处理流程图。
- [0055] 图3A-3G是根据所公开的实施方式进行操作示例性衬底的示意图。
- [0056] 图4A-4F是用于根据所公开的实施方式蚀刻衬底的示例性机制的示意图。
- [0057] 图5是用于执行所公开的实施方式的示例性处理室的示意图。
- [0058] 图6是用于执行所公开的实施方式的示例性处理装置的示意图。
- [0059] 图7是示出了根据所公开的实施方式进行的实验的经蚀刻的CoFe厚度的曲线图。

## 具体实施方式

[0060] 在下面的描述中,阐述了许多具体细节以提供对所呈现的实施方式的透彻理解。在没有这些具体细节中的一些或所有的情形下可以实施所公开的实施方式。在其它情形下,未详细描述众所周知的处理操作,以避免不必要地模糊所公开的实施方式。虽然将结合具体的实施方式描述所公开的实施方式,但是应理解的是这并不意在限制所公开的实施方式。

[0061] 在半导体晶片处理期间,特征可以蚀刻穿过含金属层。在磁性随机存取存储器(MRAM)的形成中,多个薄的金属层或膜可以顺序蚀刻,以形成磁隧道结堆栈。

[0062] 一种磁性隧道结(MTJ)是由两层磁性材料之间的薄的介电阻挡层组成。电子通过量子隧穿工艺穿过该阻挡。这可以作为基于磁的存储器的基础。

[0063] 自旋转移力矩是一种其中在MTJ中的磁性层的取向可使用自旋极化电流修改的效应。电荷载体(例如,电子)具有被称为自旋的属性,其是载体所固有的少量的角动量。电流一般是非极化的(50%自旋向上和50%自旋向下的电子)。通过使电流通过厚的磁性层(通常称为“固定层”),可以产生具有任一自旋的较多的电子自旋极化电流。如果该自旋极化电流被引导到第二较薄的磁性层(“自由层”),角动量可以被转移到该层,改变其方向。这种效应可以用来激发振荡或者甚至翻转磁体的取向。

[0064] 自旋转移力矩可用于翻转在磁性随机存取存储器中的有源元件。相比于使用磁场来翻转有源元件的常规磁阻随机存取存储器(MRAM)而言,自旋转移力矩磁性随机存取存储器(STT-RAM或STT-MRAM)具有较低的功耗和较好的可扩展性的优点。自旋转移力矩技术具有制造将低电流要求和降低的成本组合的可行的MRAM器件的潜力。参见Ralph,D.C.; Stiles,M.D. (April 2008).“Spin transfer torques”.Journal of Magnetism and Magnetic Materials 320(7):1190-1216。

[0065] 在图1提供了一示例性的MTJ堆栈。图1示出了堆栈100,其包含氧化硅蚀刻停止层101、氮化钽阻挡层103、钽金属层105、固定层107、介电层109、自由层111、钽层113、和另一钽金属层115。如在该图中所示出的,MTJ堆栈120包含自由层111、介电层109和固定层107。注意,虽然在图中示出了特定化学品,但是其它合适的化学品可以存在于这样的堆栈中。自由层和固定层可以包含金属和/或金属合金,如钴铁、或钴铂。

[0066] 在自旋转移力矩磁阻随机存取存储器(STT MRAM)的高密度缩放中还要克服的关键挑战之一是MRAM堆栈的图案化。MRAM堆栈包含具非挥发性和铁磁性的材料,如Co、Fe、Mn、Ni、Pt、Pd、Ru,在不使用利用离子束蚀刻(IBE)、反应性离子蚀刻(RIE)和湿法化学过程的复杂方法的情况下,对这些材料进行图案化是极其困难的。尽管研发了许多年,但目前的图案化技术仍然存在很多缺点,如侧壁重新沉积引起的锥形轮廓与MTJ至固定层的短路、以及造成MTJ层破坏的腐蚀。在一些常规技术中,含氯化学品被用来蚀刻金属,但蚀刻副产品包含非挥发性化合物,该非挥发性化合物随后会重新沉积到特征的侧壁上。

[0067] 本发明提供了一种干法等离子体蚀刻系统,其用于在没有侧壁重新沉积且不损坏暴露层的情况下蚀刻非挥发性金属。例如,所公开的实施方式可以被用于蚀刻非挥发性的MRAM金属而不损坏MTJ层。提供了用以针对MRAM金属形成挥发性蚀刻产品的化学品、和用以输送用于化学反应的基本上化学计量的反应物的方法、以及蚀刻副产品从金属蚀刻正面的精确去除。后者涉及ALD-ALE(原子层沉积-原子层蚀刻)方法,其沉积固态的反应物并以可预测的蚀刻速率蚀刻改性的表面。为了实现蚀刻反应物的精确输送和蚀刻产品的去除,可以使用组合ALD和ALE的方法。在一些实施方式中,反应物使用其它方法沉积,诸如使用等离子体增强化学气相沉积(PECVD)沉积。

[0068] ALD是一种使用连续的自限性反应沉积薄的材料层的技术。ALD可使用任何合适的技术来执行。“ALD循环”的构思与本文的各种实施方式的讨论相关。通常,ALD循环是用来执行一次表面沉积反应的最小的一组操作。一个循环的结果是在衬底表面上产生至少部分保



形的层。通常,ALD循环包括操作以提供和吸附至少一种反应物到衬底表面上,然后使被吸附的反应物与一种或多种反应物反应,以形成膜的部分层。所述循环可包含若干辅助操作,如扫除反应物或副产品中的一种和/或处理所沉积的部分膜。通常,循环中包含操作序列的一个实例。例如,ALD循环可包含以下的操作:(i) 输送/吸附前体到室,(ii) 从室清扫前体,(iii) 输送第二反应物和等离子体,和(iv) 从室清扫等离子体。

[0069] ALE是一种使用连续的自限性反应去除薄的材料层的技术。通常,ALE可使用任何合适的技术来执行。“ALE循环”的构思与本文的各种实施方式的讨论相关。通常,ALE循环是用于执行一次蚀刻工艺(例如蚀刻单层)的最小的一组操作。一个循环的结果是蚀刻在衬底表面上的固定的且可预测数量的膜层。通常,ALE循环包含形成改性层的改性操作,随后是去除操作以仅去除或蚀刻该改性层。该循环可包含某些辅助操作,例如扫除反应物或副产品中的一种。通常,循环中包含操作序列的一个实例。举例而言,ALE循环可包含以下操作:(i) 向室输送反应物气体,(ii) 从室清扫反应物气体,(iii) 输送去除气体和可选的等离子体,以及(iv) 清扫室。在一些实施方式中,蚀刻可以非保形地执行。

[0070] 根据所公开的方法,可以实现精确蚀刻速率控制、无损伤的MTJ、以及MRAM特征的保形性和蚀刻均匀性。如本文所述,通常,挥发性蚀刻副产品可以通过使材料(如Si)与卤素(如Cl)以及金属离子以基本上化学计量的方式反应以形成诸如M-SiCl<sub>x</sub>之类的物质而形成,其中M可以是Co、Fe、Mn、Ni、Pt、Pd、或Ru。在一些实施方式中,在甲硅烷基(-SiCl<sub>x</sub>)连接到金属的情况下,M-SiCl<sub>x</sub>物质的熔点/沸点显著降低,并且分压显著升高,尤其是在真空状态。

[0071] 使用基本上化学计量的反应物可避免不利的工艺影响。例如,如果在等离子体中有过多的Si通量,则可能会发生Si沉积,从而会阻止诸如M-SiCl<sub>x</sub>之类的物质在反应中形成。相反,例如,如果存在太少的Si,则蚀刻速率因M-SiCl<sub>x</sub>物质的形成被阻碍而受到抑制。同样,加入过量的Cl到金属表面导致非挥发性(具有超过1200°C的沸点)的金属氯化物(如CoCl<sub>2</sub>或FeCl<sub>3</sub>)的形成。

[0072] 根据一个实施方式,可与卤化物和/或含卤素的气体以及金属反应的以形成挥发性物质的基本上化学计量的材料在室中通过ALD工艺沉积到金属(例如,CoFe)表面上。实例包含SiN、SiO<sub>2</sub>、Si、或TiO<sub>2</sub>。ALE工艺利用以Cl<sub>2</sub>或BCl<sub>3</sub>形式存在的Cl活化所沉积的Si层和金属表面。然后将过量的Cl<sub>2</sub>泵出室。在一些实施方式中,可以执行Ar解吸,其轰击并进一步活化氯化表面,以使得挥发性金属甲硅烷基物质能形成,然后将挥发性金属甲硅烷基物质泵出室。蚀刻速率在Si反应物和Cl反应物化学计量匹配时达到最大值。在一些实施方式中,ALE和ALD操作可以在不破坏真空的情况下进行,包含在相同的室,或在工具的不同的室模块中进行。

[0073] 参考一些特定的实施方式更详细地说明所公开的实施方式。图2提供了用于根据所公开的实施方式执行操作的工艺流程图。图3A-3G提供了根据所公开的实施方式蚀刻的示例性堆栈的示意图。图4A-4F提供了用于根据公开的实施方式进行蚀刻的示例性机制的示意图。注意,尽管在图4A-4F中提供的示例描绘了金属层的蚀刻,但所公开的实施方式可以用于蚀刻各种材料,这些材料包含半导体材料、导体材料和介电材料。另外,图4A-4F描绘了示例性的机制,并且应当理解的是,本公开或权利要求的范围并不受限于任何具体的操作理论。这些图将一起讨论。

[0074] 参照图2,在操作202中,提供衬底。衬底可以是硅晶片,例如,200毫米的晶片、300mm的晶片、或450mm的晶片,包含具有沉积在其上面的一个或多个材料层的晶片,该材料如介电材料、导电材料或半导体材料。在多种实施方式中,将衬底图案化。图案化的衬底可以具有“特征”,如支柱、杆、沟槽、通孔或接触孔,其可表征为一个或更多个狭窄的和/或内凹的(re-entrant)开口、特征内的收缩部和高深宽比。所述特征可以在一个或更多个上述层中形成。特征的一个示例是半导体衬底或在该衬底上的层中的支柱或杆。另一个示例是衬底或层中的沟槽。在多个实施方式中,所述特征可以具有下层,例如阻挡层或粘合层。下层的非限制性示例包含介电层和导电层,例如,硅氧化物、硅氮化物、硅碳化物、金属氧化物、金属氮化物、金属碳化物和金属层。

[0075] 在一些实施方式中,诸如支柱之类的特征可以具有至少约1:1、至少约2:1、至少约4:1、至少约6:1、至少约10:1或更高的深宽比。特征还可以具有介于约10nm至500nm之间(例如约25nm和约300nm之间)的在开口附近的尺寸,例如开口直径或线宽度。所公开的方法可以在具有开口小于约150nm的特征的衬底上进行。通孔、沟槽或其它凹入特征可以被称为未填充特征或特征。根据各种实施方式,特征轮廓可以逐步缩小和/或包含在特征开口处的突出部。内凹轮廓是一种从特征的底部、封闭端或从特征内部向特征开口变窄的轮廓。内凹轮廓可通过在图案化期间的不对称蚀刻动力学和/或在之前的膜沉积(例如扩散阻挡层沉积)中的非保形膜台阶覆盖率所导致的突出部而产生。在多种实施例中,相比于在特征底部的宽度,特征可以具有在特征顶部处的开口中的较小的宽度。

[0076] 在一些实施方式中,图案化的衬底可包含在整个衬底上的多种形貌。在一些实施方式中,部分制造的栅极可以存在于衬底上。在多种实施方式中,衬底可以包含适于在以后的处理中蚀刻MRAM堆栈的金属层、介电材料层、和半导体材料层。例如,一些衬底可包含MRAM设计件,其中存储器元件包含MTJ。如本文别处所描述的,MTJ存储元件包含由薄的隧道阻挡层分开的两个电极。这两个电极可以是铁磁薄膜层,其可以是椭圆形的。在一些实施方式中,MTJ存储器元件包含附加的磁性层。例如,MTJ存储器元件还可以包含夹着薄金属层的成对的铁磁层-这些铁磁层可以称作合成反铁磁体和反铁磁性层。此外,在“Semiconductor Manufacturing Magazine”中(90-96页)公开的Ditizio,Robert等人的“Cell Shape and Patterning Considerations for Magnetic Random Access Memory (MRAM) Fabrication”中提供了可以使用本文所描述的方法在衬底上制造的示例性的MRAM存储器元件的形状和设计的进一步的描述。

[0077] 返回到图2,在操作202期间,可以准备好衬底进行湿法蚀刻。例如,在图3B中,执行湿法蚀刻以蚀刻穿过在衬底上的第一金属层313。在一些实施方式中,不执行湿法蚀刻。

[0078] 图3A示出了如本文所述的可存在于衬底上的MRAM堆栈的一实例。注意,虽然在图上标记了每个堆栈的示例性化学品,但是任何其它合适的材料可以替代所提供的化学品或者与所提供的化学品组合而存在。例如,所公开的实施方式可以被用于针对不同的图案(例如,非MRAM图案)蚀刻材料。注意,虽然示例的层在图3A-3G中描绘,但所公开的实施方式可以被用于蚀刻表面上的其它材料,同时减少非挥发性副产品重新沉积到衬底的部件上。

[0079] 衬底300包含SiO<sub>2</sub>的蚀刻停止层301。注意该蚀刻停止层301可以是在衬底300中的其它层(未示出)的顶部上。薄的氮化钽(TaN)阻挡层303在此堆栈中是在蚀刻停止层301的顶部上。在Ta<sub>2</sub>N<sub>5</sub>阻挡层303的顶部上是包含钌(Ru)的金属层305。在一些实施方式中,金属层

305可以具有约8nm的厚度。在Ru金属层305的顶部上是金属或金属合金层307,其可以包含钴铂(CoPt)。在一些实施方式中,金属合金层307可以包含PtMn。如本文中所使用的,层307可被称为“固定层”307。在一些实施方式中,固定层307可以具有约10-30nm的厚度。图3A还示出了可包含氧化镁(MgO)的介电阻挡层309。介电阻挡层309在本文中可以被称作“介电层”309。在一些实施方式中,介电层309可以是相当薄的,例如具有约1.5nm或1.5nm以下的厚度。

[0080] 在介电层309的顶部上是可以包含钴铁(CoFe)的金属合金层311。金属合金层311可以包含CoFeB。金属合金层311在本文中可以被称作“自由层”。在自由层311的顶部上是钽(Ta)阻挡层313。在钽阻挡层313的顶部上是Ru金属层315。在本文所公开的实施方式中,Ru金属层315可被称为“第一金属层”,而Ru金属层305可被称为“第二金属层”。钽硬掩模317可沉积并被蚀刻成图案,如图3A所示。注意,硬掩模317可能不一定是钽硬掩模。例如,其它合适的硬掩模包括含碳硬掩模、含氮硬掩模、和含氧硬掩模。

[0081] 回到图2,在操作204,材料被保形地沉积在衬底上。该材料能与卤化物和/或含卤素的气体以及衬底上的层中的材料反应以形成挥发性物质。在一些实施方式中,该材料能与一种或多种卤化物和/或含卤素的气体和衬底上的层中的一或多种材料反应以形成挥发性物质。例如,该材料可与 $\text{BCl}_3$ 和 $\text{Cl}_2$ 的混合物以及含钴的金属反应以形成挥发性物质。该材料既提供材料源以形成挥发性物质,也提供衬底上的保护层。为下面描述的目的,这种保形材料可以称为“保护层”,但应当理解的是,该保护层包含与卤化物和/或含卤素的气体以及在衬底上的材料进行反应以形成挥发性物质的材料,并且可以是保形的。

[0082] 在操作202沉积的保护层包含能够与金属卤化物形成挥发性物质的元素。该保护层可以包含任何IV族元素。例如,保护层可以是含硅层、含钛层、含锆层、含锡层、含碳层、或它们的任意组合。示例性的含硅层包含氧化硅、氮化硅、无定形硅、多晶硅、以及它们的混合物。示例性的含钛层包含氧化钛、氮化钛、钛和它们的混合物。在一些实施方式中,保护层是介电材料。

[0083] 保护层可以通过任何合适的方法沉积,合适的方法包括化学气相沉积(CVD)、等离子体增强CVD(PECVD)、原子层沉积(ALD)、等离子体增强ALD(PEALD)、旋涂沉积和溅射。在一些实施方式中,保护层提供用于与卤化物和/或卤素以及含金属的化合物反应以形成挥发性物质的材料源。例如,硅源可以引入到MRAM表面上,以通过不同于ALD的方法,如PVD,PECVD或旋涂工艺,使用气体(诸如 $\text{SiH}_4$ 、 $\text{SiCl}_4$ )或使用液体(诸如邻-硅酸盐化合物(例如TEOS,SOG和HMDS))进行反应。

[0084] 例如,保护层可以通过PECVD沉积。实施例包括将衬底同时暴露于含硅前体和带有等离子体的含氮反应物。例如,所述衬底可同时暴露于硅烷和氮等离子体。可使用能够沉积具有任何上述化学物质的保护层的任何合适的前体和反应物来沉积保护层。

[0085] 在图3C中,保护层320被示出为沉积在衬底300上。在一些实施方式中,这可以是第一保护层(例如,在某些操作中,也可以沉积另一保护层320)。注意,在该描绘中,保护层320是保形的。在一些实施方式中,保护层320不必是保形的。在一些实施方式中,保护层320的多个部分可以是牺牲层。

[0086] 图4A是衬底400的一部分的示意图的另一实例。在本实施例中,衬底400包含金属层411,其可以包含,例如,Co、Fe、Mn、Pd、Pt、它们的合金,以及它们的组合。这里,第一Ru金

属层已经被湿法蚀刻,并且含硅保护层420(例如,Si源)已被沉积在钽硬掩模和金属层411上。注意,虽然类似于图3C,但为了说明的目的,在图4A中衬底不包含钽阻挡层。虽然在图4A中描绘了多个层的具体实施例,但任何合适的金属可位于硬掩模下,硬掩模的任何组分可以存在。此外,在所公开的实施方式中可使用任何合适的保护层420,并且这样的保护层不限于例如图4A中所示的含硅层。

[0087] 回到图2,在操作206期间,将衬底暴露于含卤素的反应物以使衬底的表面改性。含卤素的反应物可以包括含硼卤素的气体、含卤素的气体、卤化物气体、以及它们的组合。实施例包括 $\text{BCl}_3$ 、 $\text{BBr}_3$ 、 $\text{BI}_3$ 、 $\text{Cl}_2$ 、 $\text{F}_2$ 、 $\text{Br}_2$ 和 $\text{I}_2$ 。气体的组合的示例可以是 $\text{BCl}_3/\text{Cl}_2$ 。含卤素的反应物可与保护层反应和/或吸附到保护层上。例如,硅的保护层可以与含卤素的反应物反应以在衬底的表面上形成卤化硅。注意,在一些实施方式中,含卤素的反应物会充满衬底的至少约90%,或充满衬底的至少约99%。在一些实施方式中,含卤素的反应物可保形地吸附在衬底的表面上。在一个实例中,氯原子和/或分子可以吸附到含硅保护层的表面上。

[0088] 图4B示出了来自 $\text{Cl}_2$ 的氯分子450a与保护层420反应并吸附到保护层420的表面以在表面上形成吸附层450b的一示例性示意图。在图4B的示例性衬底400示出了描绘了 $\text{Cl}_2$ 分子450a向衬底400的表面移动以吸附到衬底400的表面或与衬底400的表面反应的方向的箭头。可以供给小于约100Vb、或小于约60Vb、例如约50Vb的偏置。

[0089] 在图2的操作208中,将衬底暴露于活化气体以蚀刻衬底的改性表面。在各种实施方式中,活化气体可以包含一种或多种惰性气体,如氩气、二氧化碳、氨,含氢气体、以及它们的组合。在操作208期间,产生如等离子体之类的活化源以活化气体并蚀刻衬底。在图2的操作208期间,也垂直于偏置蚀刻的方向的具有吸附的含卤素化合物的表面可以被完全蚀刻。在一些实施方式中,可以施加低偏置以定向蚀刻衬底。例如,可以供给小于约100Vb、例如约50Vb的偏置。等离子体的功率可介于约500W至约1500W之间。

[0090] 在图4C中,包含氯化硅470的蚀刻化合物被从钽硬掩模的场区的水平表面去除,并且同时沉积的保形层或保护层420被去除以露出暴露的金属层411。注意,如图4C所示,一些沉积在硬掩模和第一金属层(在此,分别为Ta和Ru)的侧壁上的保护层保留在该侧壁上。该保留的保护层可作为连续地保护硬掩模以避免被来自蚀刻反应的潜在的任何副产品损坏或者降解的层。

[0091] 结果是,在图3C的执行操作206和208之后的衬底可具有图3D中所示的结构。可以执行定向蚀刻,使得如图3D中所示的一些保护层322保留在特征的侧壁上,而下面的一个或多个层(例如,钽阻挡层313和绝大部分的CoFe自由层311)被蚀刻。注意,在多种实施方式中,CoFe自由层311没有被完全蚀刻,以防止介电层309被轻易地蚀刻并蚀刻到特征的侧面内。举例来说,如果衬底包括邻近于自由层311的包含MgO的介电层309,则可以蚀刻自由层311,使得介于约0Å与约10Å之间的自由层311保留在衬底上。注意,在多种实施方式中,通过循环执行各种操作穿过这些层蚀刻衬底。

[0092] 例如,如图2所示,在操作210中,可以任选地重复操作206-208。在一些实施方式中,重复206和208可以构成循环。例如,在一些实施方式中,操作206和208可以重复两个或更多个循环。可以执行每个循环以蚀刻介于约1Å和约10Å之间/循环,如约6Å/循环。因此,在一些实施方式中,在图3C所示的衬底可以使用操作206和208的循环蚀刻以蚀刻穿过衬底的垂直于通过施加偏置实现的定向蚀刻的方向的表面。例如,如图3C所示,可以重复操

作206和208以蚀刻穿过保形或保护层320、钽阻挡层313、以及CoFe/CoFeB自由层311的绝大部分。如上所述,操作206和208的循环可以在完全蚀刻CoFe/CoFeB自由层311之前停止以保护MgO介电层309,或者可以继续以完全蚀刻穿过MgO介电层309。

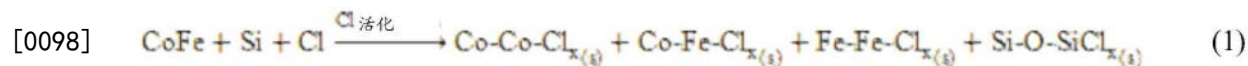
[0093] 在图3E中,可在不将衬底暴露于含卤素的气体的情况下,执行操作208以蚀刻穿过CoFe/CoFeB自由层311的薄层并蚀刻MgO介电层309。在一些实施方式中,在将衬底暴露于不含卤素的气体的情况下执行操作208。在多种实施例中,使用偏置来溅射氩气以蚀刻介电层,以便不在介电层上执行苛性蚀刻化学过程。在一些实施方式中,施加到介电层的苛性蚀刻化学过程可能会导致介电层在掩模下面被蚀刻,从而引起潜在的破坏和设备故障的问题。在一些实施方式中,在介电蚀刻过程中,施加偏置。例如,可以供给小于约100Vb的,例如约50Vb的偏置。

[0094] 图4D-4F示出了示例的蚀刻机制的示意图,其从图4C继续使得图2的操作206和208在操作210中重复。图4D示出了衬底400,由此重复操作206。在金属层411在图4C中被暴露后,在图4D将衬底暴露于Cl<sub>2</sub> 450a以将衬底的表面改性。如图所示,Cl<sub>2</sub>可以吸附在衬底400的表面上,或者可以与衬底的表面反应以形成吸附的氯层450b。注意,由于保护层420因之前的含硅材料的沉积保持在侧壁上,因此某些氯450b可吸附到保护层420上或与保护层420发生反应,而一些氯450b可吸附到金属表面411上或与金属表面411发生反应。

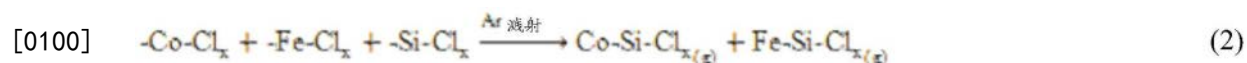
[0095] 图4E示出了衬底,由此重复操作208。如图所示,将氩气(例如,活化气体) 440引入到衬底并点燃等离子体以蚀刻衬底。在各种实施方式中,施加偏置以定向蚀刻衬底,如在图4E中的箭头所示。存在的含硅保护层420与吸附的氯450b以及来自金属表面411的金属形成配合物475。注意,不是所有配合物475会具有相同的化学结构。然而,在此实例中,保护层420提供硅以形成可以从处理衬底的室中清扫掉的挥发性物质475。在多种实施方式中,保护层420可以附加地或替代地包含其它材料,如钛、锆、和其它能与金属和卤化物 and/或卤素气体反应以形成挥发性物质的材料。

[0096] 在一些实施方式中,在Si-辅助的ALE蚀刻期间,SiO<sub>2</sub>/SiN保护层(例如在图4A的保护层420)被沉积到所述MRAM的金属表面上。然后用BCl<sub>3</sub>/Cl<sub>2</sub>气体(如氯分子450a)活化Si掺杂的金属表面(如图4B所示),以形成吸附的氯层(450b)。氩气(440)的定向Ar离子束轰击改性的层,并且在此过程中破坏和允许新键的形成,并最终将挥发性蚀刻产品(M-SiCl<sub>x</sub>) (475)解吸成气相。

[0097] 综上所述,示例的活化反应可以如下:



[0099] 示例性的解吸/重组反应可以如下:



[0101] M-SiCl<sub>x</sub>配合物是稳定的和挥发性的,并且在氩溅射解吸下能够维持而不分解成金属形式。结果是,在侧壁上的重新沉积被减少或避免。

[0102] 所公开的实施方式涉及沉积可与卤化物和/或含卤素的气体以及金属反应以形成挥发性物质的材料。示例包括含硅材料、含钛材料、含锆材料、含锡材料、含碳材料、以及它们的组合。在一些实施方式中,所沉积的材料可以是含硅材料,如无定形硅、多晶硅、氧化硅、或氮化硅。在一些实施方式中,所沉积的材料可以是钛或氧化钛。

[0103] 所公开的实施方式也适合于蚀刻固定层;CoPt、CoPd、PtMn和多种其它材料,其它材料包括Co、Fe、Mn、Pt、Ru、和Ta。原理适用于在第1行、第2行和第3行(例如,元素周期表的IV族、V族和VI族的过渡金属),包含诸如铜之类的金属,所有其它过渡金属。其它稳定的气态配合物质(如在相同的IV族的,例如锆和锡)可以表现出相同的性能。

[0104] 除Si之外,类似的挥发性蚀刻产品也可利用元素周期表中的IV族的其它成员(如C、Ge、Sn)形成,以形成等离子体中的稳定的且挥发性的物质,如M-CCl<sub>x</sub>、M-GeCl<sub>x</sub>和M-SnCl<sub>x</sub>。这些反应物可以作为卤化物气体,例如CCl<sub>x</sub>、SiCl<sub>x</sub>、GeCl<sub>x</sub>和SnCl<sub>x</sub>(其中X是卤素,例如具有各种化学计量的F、Cl或Br),或使这些元素能沉积到MRAM的金属表面上的其它来源引入。

[0105] 挥发性金属蚀刻产品的活化、形成和解吸可以以不同于ALE的其它方法进行;在一些实施方式中,诸如反应性离子蚀刻(RIE)、电子回旋共振蚀刻(ECR)、或者热解吸和UV工艺之类的方法也可使用。所公开的实施方式也可以与湿法蚀刻和/或反应性离子蚀刻工艺结合。

[0106] 图4F示出了在金属表面层411被蚀刻之后的衬底。注意,当以各种循环执行操作206和208时,可以蚀刻保护层420中的一些。

[0107] 相应地,在图2的操作212中,操作204-210可以任选地重复,使得操作204形成第一保形材料,并且操作204的重复操作形成被沉积在衬底上的第二保形材料,以进一步提供能与卤化物和/或含卤素的气体以及在衬底上的金属反应以形成挥发性物质的材料。

[0108] 图3F示出了对应于操作212的衬底的实施例。如图所示,操作204已被重复以进一步在衬底上沉积第二保护层324。该保护层324可以用来进一步保护Ta阻挡层313、CoFe自由层311、以及经蚀刻的MgO介电层309。

[0109] 因此,操作206和208可以重复,也是在循环中,直至在衬底的其余部分被蚀刻到蚀刻停止层。图3G示出了经蚀刻的衬底,由此操作206和208已被重复循环,以蚀刻穿过CoPt固定层307、第二Ru金属层305、以及TaN阻挡层303。注意,衬底300示出了在侧壁上的保留的保护层322和324。在多种实施方式中,这些层可在堆栈被制造之后减少或去除。在一些实施方式中,这些层中的一些或部分也可以在执行所公开的实施方式时进行蚀刻。

[0110] 虽然本公开绝不受理论的限制,但相信,对于MRAM金属(例如,Co、Fe、Mn、Pd和Pt)的沉积-蚀刻机制可以进行如下。该机制涉及这些金属的在Cl(例如,通过BCl<sub>3</sub>和/或Cl<sub>2</sub>提供的)和Ar的ALE期间通过引入硅的干式化学蚀刻,而没有而在侧壁上重新沉积这些金属。如上所述,不受任何具体理论的限制,相信,硅或其它可与卤化物和/或含卤素的气体以及金属反应的材料的存在导致在蚀刻室具有高的分压并且可以容易地抽走的挥发性蚀刻产品(例如Co-SiCl<sub>x</sub>或Fe-SiCl<sub>x</sub>)的形成。

[0111] 装置

[0112] 现在描述在某些实施方式中可适用于原子层蚀刻(ALE)操作和原子层沉积(ALD)操作的感应耦合等离子体(ICP)反应器。这样的ICP反应器还描述在2013年12月10日提交的并且名称为“IMAGE REVERSAL WITH AHM GAP FILL FOR MULTIPLE PATTERNING”的美国专利申请公开No.2014/0170853中,其在此通过引用整体并入本文并用于所有目的。尽管本文描述了ICP反应器,但是应该理解的是,在一些实施方式中也可以使用电容耦合等离子体反应器。



[0113] 图5示意性地示出了适于实施本文的某些实施方式的感应耦合等离子体集成蚀刻和沉积装置500的横截面图,其示例是Kiyo®反应器,由加利福尼亚州弗里蒙特的Lam Research Corp.生产。所述感应耦合等离子体装置500包括由室壁501和窗511结构上限定的总处理室524。室壁501可以由不锈钢或铝制成。窗511可以由石英或其它介电材料制成。任选的内部等离子体栅格550将总处理室分为上副室502和下副室503。在大多数实施方式中,等离子体栅格550可以被移除,从而利用由副室502和503构成的室空间。卡盘517定位在下副室503中在底部内表面附近。卡盘517被配置成接收和保持在其上执行蚀刻和沉积工艺的半导体衬底或晶片519。卡盘517可以是当晶片519存在时用于支撑晶片519的静电卡盘。在一些实施方式中,边缘环(未示出)围绕卡盘517,并具有大致与晶片519(当晶片存在于卡盘517上方时)的顶面在同一平面的上表面。卡盘517还包括能夹紧和放松晶片519的静电电极。可设置过滤器和DC钳位功率源(未示出)用于此目的。也可以提供其它的控制系统用于提升晶片519使其离开卡盘517。卡盘517可以用RF功率源523充电。RF功率源523通过连接件527被连接到匹配电路521。匹配电路521通过连接件525连接到卡盘517。以这种方式,RF功率源523被连接到卡盘517上。

[0114] 用于等离子体产生的元件包括位于窗511上方的线圈533。在一些实施方式中,所公开的实施方式中未使用线圈。线圈533由导电材料制成,并包括至少一整匝。在图5中所示的线圈533的例子包括三匝。线圈533的横截面用符号示出,且具有符号“X”的线圈533表示线圈533旋转地延伸到页面内,而具有符号“●”的线圈533表示旋转地延伸出页面。用于等离子体产生的元件还包括被配置为提供RF功率至线圈533的RF功率源541。一般地,RF功率源541通过连接件545被连接到匹配电路539。匹配电路539通过连接件543连接到线圈533。以这种方式,RF功率源541被连接到线圈533。可选的法拉第屏蔽件549被定位在线圈533和窗511之间。法拉第屏蔽件549以相对于线圈533成隔开的关系被保持。法拉第屏蔽件549被设置在窗511的正上方。线圈533、法拉第屏蔽件549和窗511各自被配置为基本上彼此平行。法拉第屏蔽件549可以防止金属或其它物质沉积在处理室524的窗511上。

[0115] 工艺气体(例如卤化物气体、含卤素的气体、氯气、氩气、四氯化硅、氧气、氮气等)可以通过位于上副室502中的一个或更多个主气体流入口560和/或通过一个或更多个侧气体流入口570流入处理室。同样,虽然未明确示出,但是类似的气体流入口可用于向电容耦合等离子体处理室供应工艺气体。真空泵,例如,一级或两级干式机械泵和/或涡轮分子泵540,可用于将工艺气体从处理室524抽出并维持处理室524内的压力。例如,真空泵可用于在ALD清扫操作过程中排空下副室503。阀控制的导管可用于使真空泵流体连接在处理室524上,以便选择性地控制由真空泵提供的真空环境的应用。在操作等离子体处理过程中,这可以使用封闭环控制的流量限制装置例如节流阀(未示出)或钟摆阀(未示出)进行。同样,也可以使用受控地流体连接在电容耦合等离子体处理室上的真空泵和阀。

[0116] 在装置500的操作过程中,一种或多种工艺气体可通过气体流入口560和/或570供给。在某些实施方式中,工艺气体可以仅通过主气体流入口560供给,或者仅通过侧气体流入口570供给。在一些情况下,在图中所示的气体流入口可以由较复杂的气体流入口替代,例如,由一个或多个喷头替代。法拉第屏蔽件549和/或任选的栅格550可以包括使工艺气体能输送至处理室524的内部通道和孔。法拉第屏蔽件549和任选的栅格550中的一者或两者可以作为用于输送工艺气体的喷头。在一些实施方式中,液体蒸发和输送系统可位于处理

室524的上游,使得一旦液体反应物或前体被蒸发,那么蒸发的反应物或前体通过气体流入口560和/或570引入到处理室524中。

[0117] 射频功率从RF功率源541供给到线圈533以使RF电流流过线圈533。流过线圈533的RF电流产生围绕线圈533的电磁场。电磁场产生在上副室502内的感应电流。所生成的各离子和自由基与晶片519的物理和化学相互作用蚀刻晶片519上的特征和沉积层。

[0118] 如果使用等离子体栅格550使得存在在上副室502和下副室503二者,则感应电流作用于存在于上副室502中的气体上以在上副室502中产生电子-离子等离子体。任选的内部等离子体栅格550限制下副室503中的热电子的量。在一些实施方式中,设计和操作所述装置500使得存在于下副室503中的等离子体是离子-离子等离子体。

[0119] 上部的电子-离子等离子体和下部的离子-离子等离子体二者可包含阳离子和阴离子,尽管离子-离子等离子体将具有更大的阴离子:阳离子比率。挥发性的蚀刻和/或沉积的副产物可通过端口522从下副室503去除。本文所公开的卡盘517可在约10℃与约250℃之间的升高的温度范围内操作。该温度将取决于工艺操作和具体配方。

[0120] 装置500当安装在干净的房间或制造厂中时可耦合在设施(未示出)上。设施包括管道,管道提供处理气体、真空、温度控制和环境微粒控制。这些设施当安装在目标制造厂时耦合在装置500上。此外,装置500可耦合在传送室上,该传送室允许使用典型的自动化由机器人手传送半导体晶片进出装置500。

[0121] 在一些实施方式中,系统控制器530(其可包括一个或更多个物理或逻辑控制器)控制处理室524的一些或所有操作。系统控制器530可包括一个或更多个存储器设备和一个或更多个处理器。在一些实施方式中,所述装置500包括当进行所公开的实施方式时用于控制流速和持续时间的开关系统。在一些实施方式中,所述装置500可具有高达约500ms或高达约750ms的切换时间。切换时间可取决于流动化学品、配方选择、反应器的体系结构和其它因素。

[0122] 在一些实现方式中,系统控制器530是系统的一部分,该系统可以是上述实例的一部分。这种系统可以包括半导体处理设备,其包括一个或多个处理工具、一个或多个室、用于处理的一个或多个平台和/或具体的处理组件(晶片基座、气流系统等)。这些系统可以与用于控制它们在处理半导体晶片或衬底之前、期间和之后的操作的电子器件一体化。电子器件可以整合到系统控制器530中,该控制器530可以控制一个或多个系统的各种元件或子部件。根据处理参数和/或系统的类型,系统控制器530可以被编程以控制本文公开的任何工艺,包括控制工艺气体输送、温度设置(例如,加热和/或冷却)、压强设置、真空设置、功率设置、射频(RF)发生器设置、RF匹配电路设置、频率设置、流速设置、流体输送设置、位置及操作设置、晶片转移进出工具和其它转移工具和/或与具体系统连接或通过接口连接的装载锁。

[0123] 宽泛地讲,系统控制器530可以被定义为接收指令、发布指令、控制操作、启用清洁操作、启用端点测量等等的具有各种集成电路、逻辑、存储器和/或软件电子器件。集成电路可以包括存储程序指令的固件形式的芯片、数字信号处理器(DSP)、定义为专用集成电路(ASIC)的芯片和/或一个或多个微处理器或执行程序指令(例如,软件)的微控制器。程序指令可以是以各种单独设置(或程序文件)的形式通信到控制器的指令,该设置定义用于在半导体晶片或系统上或针对半导体晶片或系统执行特定过程的操作参数。在一些实施方式



中,操作参数可以是由工艺工程师定义的用于在制备或者去除晶片的一个或多个(种)层、材料、金属、氧化物、硅、二氧化硅、表面、电路和/或管芯期间完成一个或多个处理步骤的配方(recipe)的一部分。

[0124] 在一些实现方式中,系统控制器530可以是与系统集成、耦合或者说是通过网络连接系统或它们的组合的计算机的一部分或者与该计算机耦合。例如,控制器可以在“云”中或者是fab主机系统的全部或一部分,其可以允许远程访问晶片处理。计算机可以启用对系统的远程访问以监测制造操作的当前进程,检查过去的制造操作的历史,检查多个制造操作的趋势或性能标准,改变当前处理的参数,设置处理步骤以跟随当前的处理或者开始新的工艺。在一些实例中,远程计算机(例如,服务器)可以通过网络给系统提供工艺配方,网络可以包括本地网络或互联网。远程计算机可以包括能够输入或编程参数和/或设置的用户界面,该参数和/或设置然后从远程计算机通信到系统。在一些实例中,系统控制器530接收数据形式的指令,该指令指明在一个或多个操作期间将要执行的每个处理步骤的参数。应当理解,参数可以针对将要执行的工艺类型以及工具类型,控制器被配置成连接或控制该工具类型。因此,如上所述,系统控制器530可以例如通过包括一个或多个分立的控制器而分布,这些分立的控制器通过网络连接在一起并且朝着共同的目标(例如,本文所述的工艺和控制)工作。用于这些目的的分布式控制器的实例可以是与结合以控制室上的工艺的一个或多个远程集成电路(例如,在平台水平或作为远程计算机的一部分)通信的室上的一个或多个集成电路。

[0125] 在非限制性的条件下,示例的系统可以包括等离子体蚀刻室或模块、沉积室或模块、旋转清洗室或模块、金属电镀室或模块、清洁室或模块、倒角边缘蚀刻室或模块、物理气相沉积(PVD)室或模块、化学气相沉积(CVD)室或模块、ALD室或模块、ALE室或模块、离子注入室或模块、轨道室或模块、以及在半导体晶片的制备和/或制造中可以关联上或使用的任何其它的半导体处理系统。

[0126] 如上所述,根据工具将要执行的一个或多个工艺步骤,控制器可以与一个或多个其它的工具体或模块、其它工具组件、群集工具、其它工具界面、相邻的工具、邻接工具、位于整个工厂中的工具、主机、另一个控制器、或者在将晶片的容器往来于半导体制造工厂中的工具位置和/或装载口搬运的材料搬运中使用的工具通信。

[0127] 图6描述了半导体工艺集群结构,其中各个模块与真空传送模块638(VTM)接口。在多个存储设备和处理模块之间“传送”晶片的各种模块的配置可以被称为“集群工具架构”系统。气密室630(也被称为装载锁或传送模块)与VTM 638连接,VTM 638进而与四个处理模块620a-620d连接,四个处理模块620a-620d可以被单独优化以执行各种制造工艺。例如,处理模块620a-620d可以被实现以执行衬底蚀刻、沉积、离子注入、晶片清洁、溅射和/或其它半导体工艺。在一些实施方式中,ALD和ALE在相同的模块中进行。在一些实施方式中,ALD和ALE在相同工具中的不同模块中进行。衬底蚀刻处理模块中的一个或多个(620a-620d中的任意一个)可以如本文所公开的被实施,即,用于沉积保形膜,选择性地通过ALD沉积膜,蚀刻图案,以及根据所公开的实施方式所述的其它合适的功能。气密室630和处理模块620a-620d可以被称为“站”。每个站具有将站与VTM 638连接的小面636(facet 636)。在每个小面内部,传感器1-18被用于在晶片626在各站之间移动时检测晶片626的通过。

[0128] 机械手622将晶片626在站之间传输。在一个实施方式中,机械手622具有一个臂,

而在另一实施方式中,机械手622具有两个臂,其中每个臂具有端部执行器624以拾取晶片(例如晶片626)以供运输。在大气传送模块(ATM)640中,前端机械手632用于从在负载端口模块(LPM)642中的晶片盒或前开式晶片盒(FOUP)634传送晶片626到气密室630。处理模块620a-620d内的模块中心628是用于放置晶片626的一个位置。在ATM 640中的对准器644用于对齐晶片。

[0129] 在一示例性的处理方法中,晶片被放置在LPM 642中的多个FOUP 634中的一个中。前端机械手632将晶片从FOUP 634传送到对准器644,其允许晶片626在被蚀刻或处理之前适当地居中。对准后,晶片626由前端机械手632移动到气密室630中。由于气密室630具有匹配ATM640和VTM638之间的环境的能力,因此晶片626能够在两种压强环境之间移动而不会被破坏。从气密室630,晶片通过机械手622移动通过VTM 638并进入处理模块620a-620d中的一个。为了实现这种晶片移动,机械手622在其每一个臂上使用端部执行器624。一旦晶片626已被处理,则通过机械手622将其从处理模块620a-620d移动到气密室630中。晶片626可以从这里通过前端机械手632移动到多个FOUP 634中的一个中或移动到对准器644。

[0130] 应当注意的是,控制晶片运动的计算机对于集群架构可以是本地的,或者它可以位于在制造工厂中的集群架构的外部,或在远程位置并通过网络连接到集群架构。如上参照图5所述的控制器可以用图6中的工具实施。

[0131] 实验

[0132] 实验1

[0133] 执行了一种实验,其包括蚀刻在衬底上的金属。衬底包含MRAM芯片,具有沉积在其上的CoPt层、MgO层、和沉积在衬底上的CoFeB层(对于磁性隧道结(MTJ)结构)。Ru层沉积在衬底上,以及沉积和图案化钼掩模。该堆栈在各种试验中使用,如下所述。SiO<sub>2</sub>载体晶片也插入处理衬底的相同的工具中。

[0134] 在所有的试验中,Ru层通过湿法蚀刻打开。将衬底暴露于BCl<sub>3</sub>/Cl<sub>2</sub>和Ar的交替脉冲,进行70个循环的ALE处理。这70个循环包括30个循环的强Cl<sub>2</sub>(20sccm BCl<sub>3</sub>/180sccm Cl<sub>2</sub>,在60mTorr下,持续2.5秒,最开始为3秒的Cl<sub>2</sub>稳定脉冲)与在200sccm、10mTorr的氩交替,具有900W的等离子体功率,施加在50Vb的偏置持续4秒(在开始,初始的4秒稳定,2秒的偏置延迟)。其它的40个循环包括轻度的Cl<sub>2</sub>的脉冲(在50sccm BCl<sub>3</sub>/45sccm Cl<sub>2</sub>,在10mTorr下,持续0.5秒,没有初始的稳定)及Ar(400sccm,10mTorr,等离子体功率900W,在50Vb下的偏置持续4秒,7秒的初始稳定和2秒的偏置延迟)。

[0135] 所得到的衬底包含在堆栈上以及在钼硬掩模侧壁上的重新沉积的厚的CoFeCl<sub>x</sub>和CoPt层。通过各种成像技术对衬底进行分析,其表明Co、Ru、和Pt残余物沉积在侧壁上,而在侧壁上没有检测到Fe或Ta。MgO层是完整的,但对于CoFe层有一些损坏。在MTJ层的边缘与侧壁检测到氯。在这项试验中,由于来自SiO<sub>2</sub>载体晶片的一些SiO<sub>2</sub>沉积,导致关键尺寸增大。来自载体晶片的一些硅也有助于蚀刻,但是硅的量不足以阻止在侧壁上的重新沉积。

[0136] 对于第二和第三试验,在Ru层被打开后,但是,在通过ALE进行蚀刻之前,将衬底同时暴露于含硅前体和含氮的反应物以在衬底上沉积6nm厚度的SiN。Ir涂层被沉积在SiN上。

[0137] 在第二试验中,将衬底仅暴露于70个循环的Ar溅射,但衬底仍然产生一些Co、Fe、和Pt的重新沉积。尽管衬底的所拍摄的图像显示在衬底上的SiN盖层是完整的,但是一些包含Co、Fe、和Pt的残留物重新沉积在SiN盖上,由此在钼硬掩模上形成锥形的轮廓。分析衬底

的图像。这里,大量的Fe、Co、Ru、Ta和Pt被重新沉积在侧壁上。结果表明,没有卤化物和/或卤素气体化学品(如含硼的卤化物和/或卤素气体化学品)的硅本身可能不会阻止侧壁沉积。

[0138] 在第三试验中,在沉积SiN层和Ir涂层后,将衬底暴露于根据所述第一试验的70个ALE循环(30个循环的强Cl<sub>2</sub>和Ar,和40个循环的轻度Cl<sub>2</sub>和Ar)。所得衬底显示在SiN盖上没有重新沉积,并且轮廓的锥形度较小。这里,分析衬底的图像。侧壁的重新沉积被大大减少。在Ta掩模上,几乎没有Fe、Co、Ta和Pt以及有少量的Ru。在MTJ侧壁上,仍有一些Co、Fe、Ru和Pt,但是相对于在其它试验中重新沉积的量已显著减少了。可以进一步调整工艺条件和沉积以及蚀刻循环以使重新沉积最小化。在这项试验中,MTJ层没有被破坏,并且没有检测到Cl。在蚀刻工艺之后,没有SiN衬层留下,从而可以解释在MTJ上观察到的少量的重新沉积。在侧壁上保留一些SiO<sub>2</sub>,其可能来自于硅载体晶片。

[0139] 实验2

[0140] 处理具有钽硬掩模的包含钽阻挡层、沉积在钽层上的PtMn层、和沉积在PtMn层上的CoFeB层的衬底。SiN层沉积在衬底上,薄的Cr涂层沉积在SiN盖上。使衬底暴露于交替的BCl<sub>3</sub>/Cl<sub>2</sub>和Ar的交替脉冲,并且在蚀刻之后没有重新沉积被显示在所得的SiN盖上。

[0141] 实验3

[0142] 实验用SiCl<sub>4</sub>在原CoFe晶片(a blanket CoFe wafer)上进行。第一试验包含SiCl<sub>4</sub>/Ar暴露。第二试验包含在ALE模式中的BCl<sub>3</sub>/Cl<sub>2</sub>和Ar的交替脉冲。第三试验包含1、2、3、然后4个循环的SiCl<sub>4</sub>ALD,随后是在ALE中交替的1个循环的BCl<sub>3</sub>/Cl<sub>2</sub>和Ar以执行ALD-ALE模式。

[0143] 结果表明,CW SiCl<sub>4</sub>/Ar和ALE BCl<sub>3</sub>/Cl<sub>2</sub>/Ar两者都不蚀刻CoFe,而该处理涉及ALD-ALE蚀刻的CoFe。这表明,如本文所描述的ALD-ALE工艺的组合有效地蚀刻通常产生非挥发性副产品的这些金属化合物。预计,类似的方法也会蚀刻CoPd、CoPt、和PtMn。

[0144] 实验4

[0145] 执行涉及衬底的实验。将衬底暴露于50sccm的SiCl<sub>4</sub>和200sccm的N<sub>2</sub>(60毫托)持续5秒,然后暴露于200sccm的N<sub>2</sub>(1200W和60W,40毫托)以在衬底上沉积SiN层。然后将衬底暴露于1个循环的ALE,其包含20sccm的BCl<sub>3</sub>和180sccm的Cl<sub>2</sub>(60毫托)持续2.5秒,以及200sccm的Ar(900W,60Vb的偏置,50毫托)持续4秒。对于每个试验执行60个总循环。第一试验包括:1个SiN ALD循环,之后1个ALE循环,60次。第二试验包括:2个SiN ALD循环,之后1个ALE循环,60次。第三试验包括:3个SiN ALD循环,之后1个ALE循环,60次。第四试验包括:4个SiN ALD循环和1个ALE循环,60次。在3个循环的ALD的SiN的情况下,所有的21.6nm的CoFe被蚀刻掉。每个ALD的SiN循环厚度预期为0.5 Å至1Å。蚀刻掉的CoFe的量与ALD的SiN循环的次数的关系描绘在图7中。如图所示,在3个循环的ALD的SiN的情况下,所有的CoFe被蚀刻掉。

[0146] 实验5

[0147] 执行涉及衬底的实验,该衬底具有钽阻挡层、PtMn层、CoFeB层和钽硬掩模。用Ar溅射衬底,并且在执行卤化物和/或卤素气体蚀刻之前,TiO<sub>2</sub>保护层保形地沉积在衬底上以覆盖衬底。接着,将衬底暴露于在ALE工艺中的BCl<sub>3</sub>/Cl<sub>2</sub>和Ar的脉冲循环。所得衬底上显示在侧壁上没有Co、Fe、Pt和Ta的重新沉积,在TiO<sub>2</sub>盖上也没有Co、Fe、Pt和Ta的重新沉积。

[0148] 实验6

[0149] 执行涉及衬底的实验,该衬底具有钨金属层、PtMn层、CoFeB层和钽硬掩模。在执行

卤化物和/或卤素气体蚀刻之前,  $\text{SiO}_2$  保护层保形地沉积在衬底上, 以覆盖衬底。接着, 将衬底暴露于在 ALE 工艺中的  $\text{BCl}_3/\text{Cl}_2$  和 Ar 的脉冲循环。所得衬底上显示在侧壁上没有 Co、Fe、Pt 和 Ta 的重新沉积, 在  $\text{SiO}_2$  盖上也显示没有 Co、Fe、Pt 和 Ta 的重新沉积。

[0150] 结论

[0151] 虽然为了清楚理解的目的已经相当详细地描述了前述的实施方式, 但是显而易见的是, 可在所附权利要求书的范围内实施某些变化和修改。应当注意的是, 具有实施本发明实施方式的工艺、系统和装置的许多替代方式。因此, 本发明的实施方式应被视为是说明性的而不是限制性的, 并且所述实施方式并不限于本文所给出的细节。

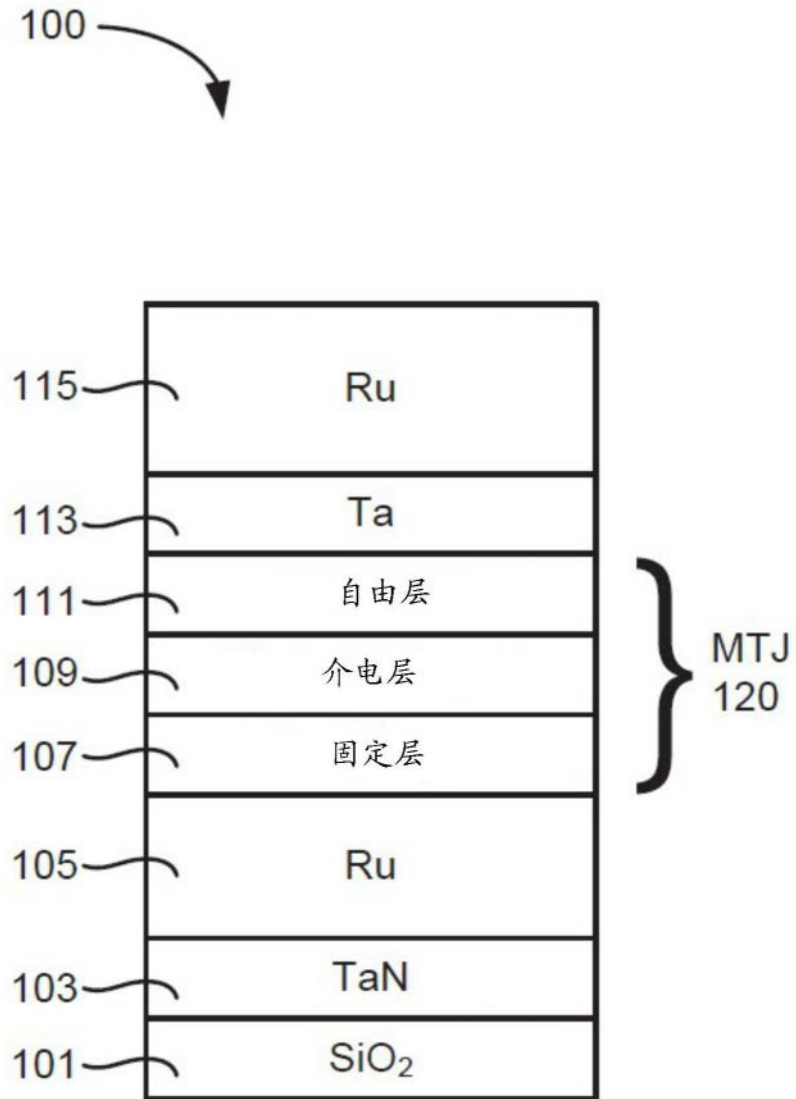


图1

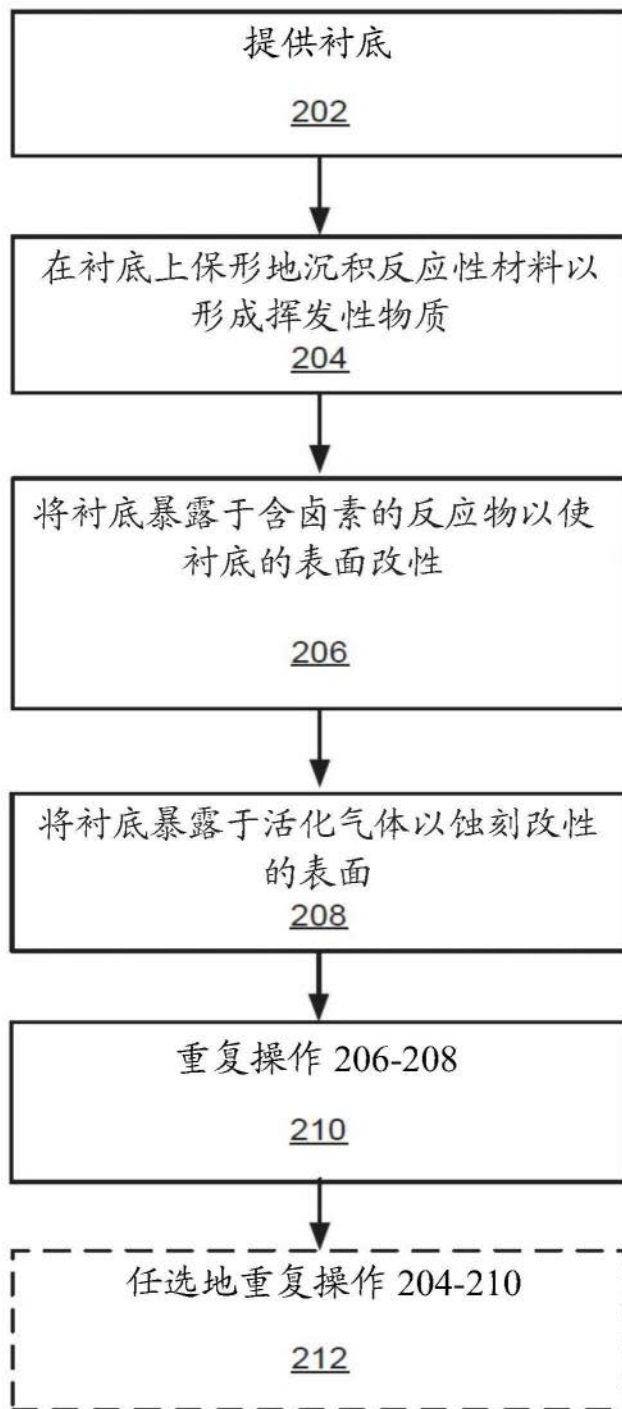


图2

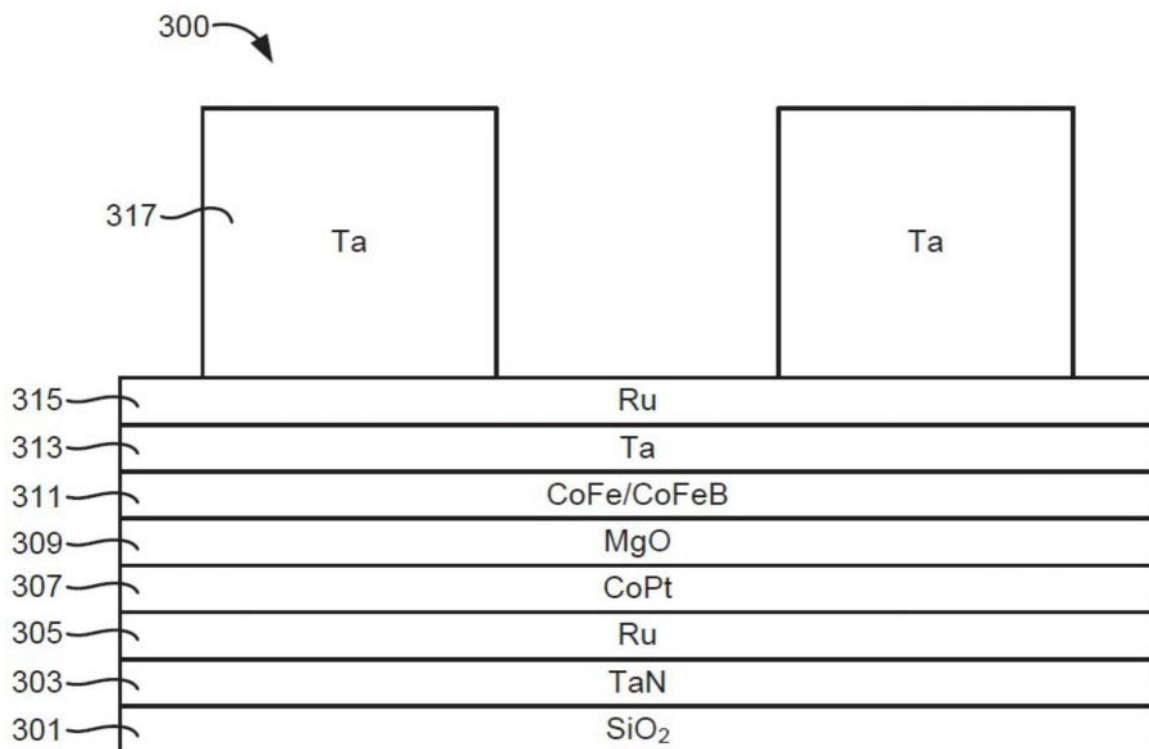


图3A

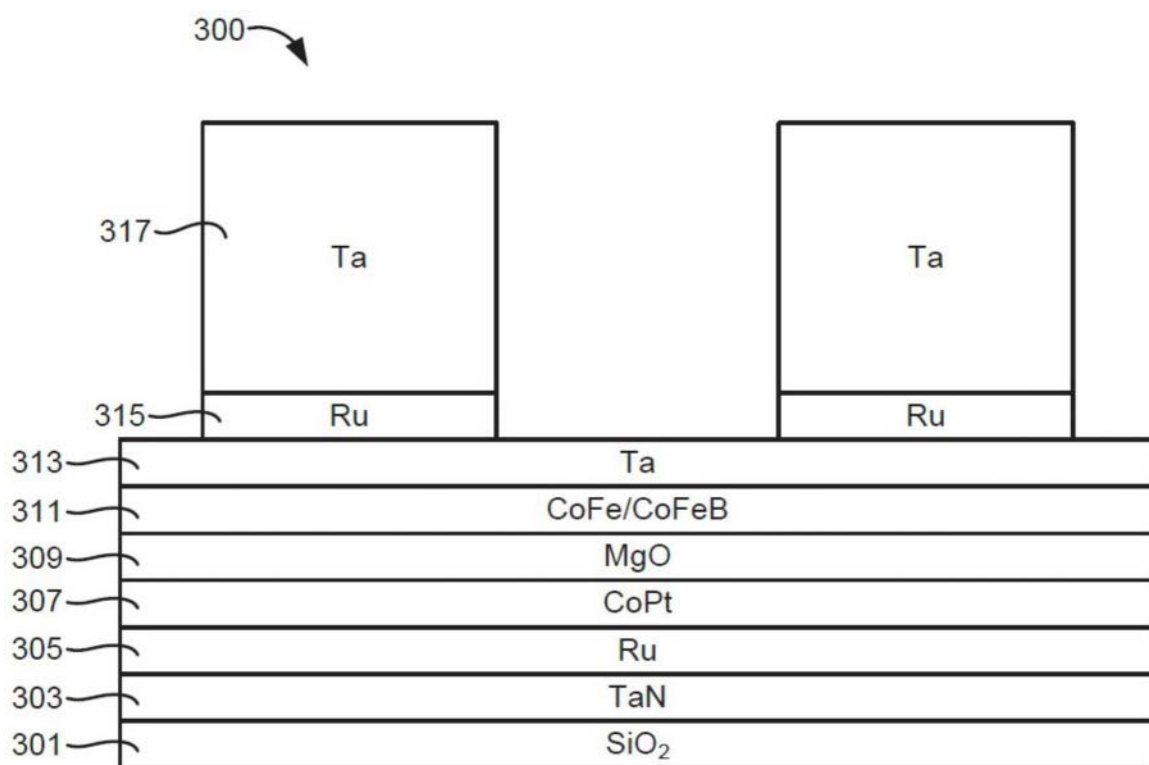


图3B

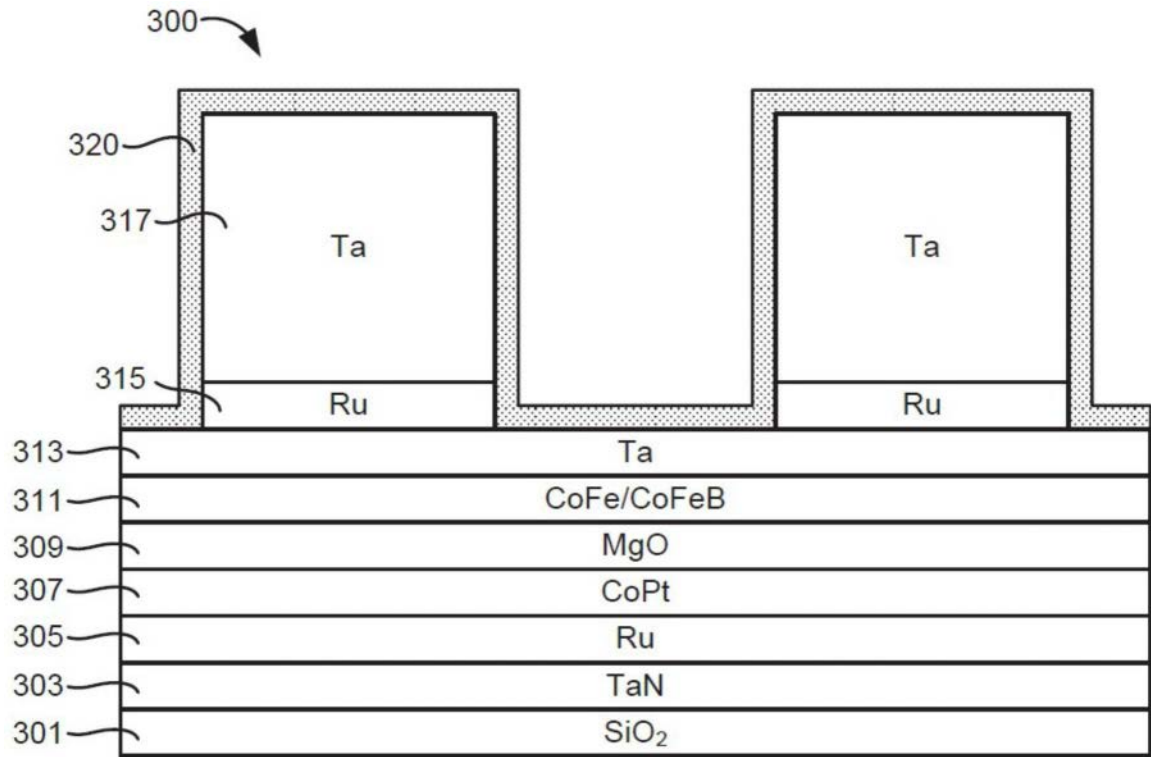


图3C

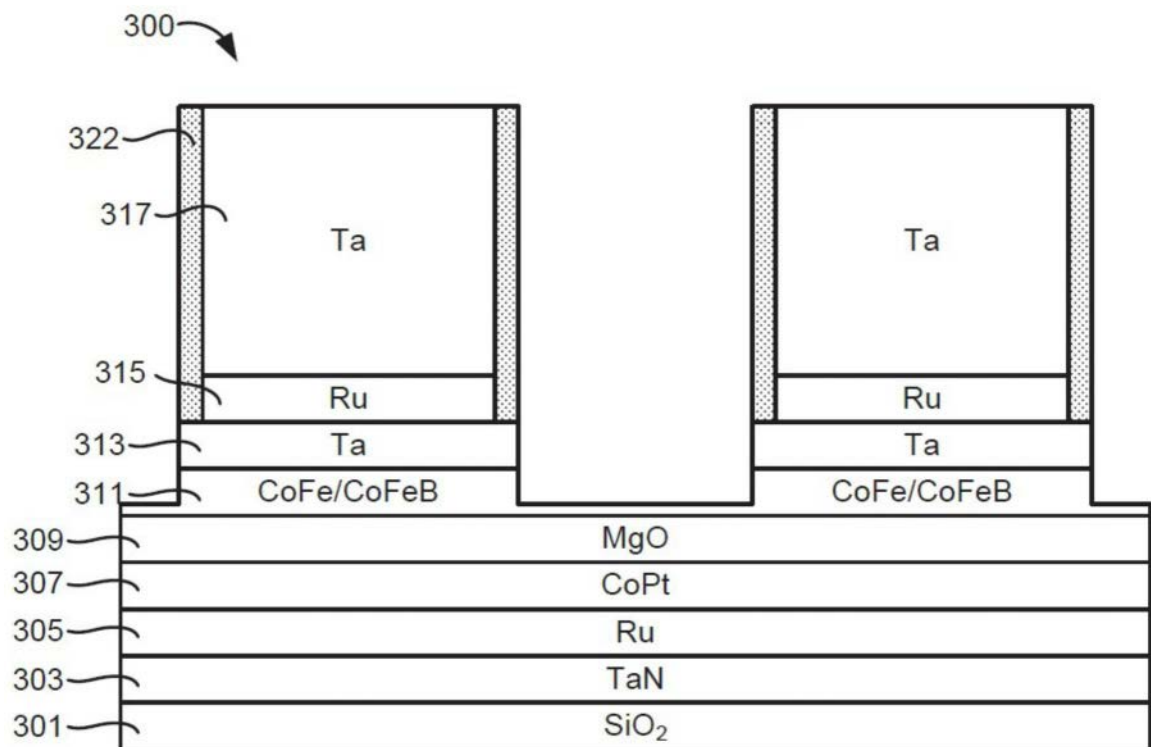


图3D



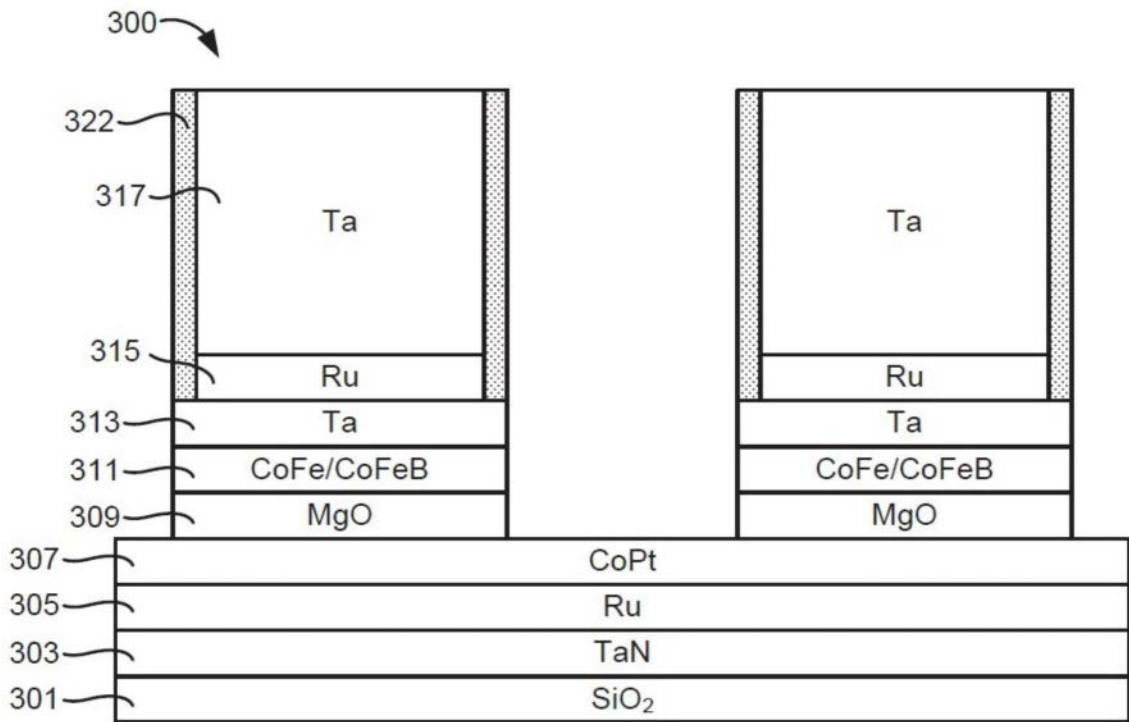


图3E

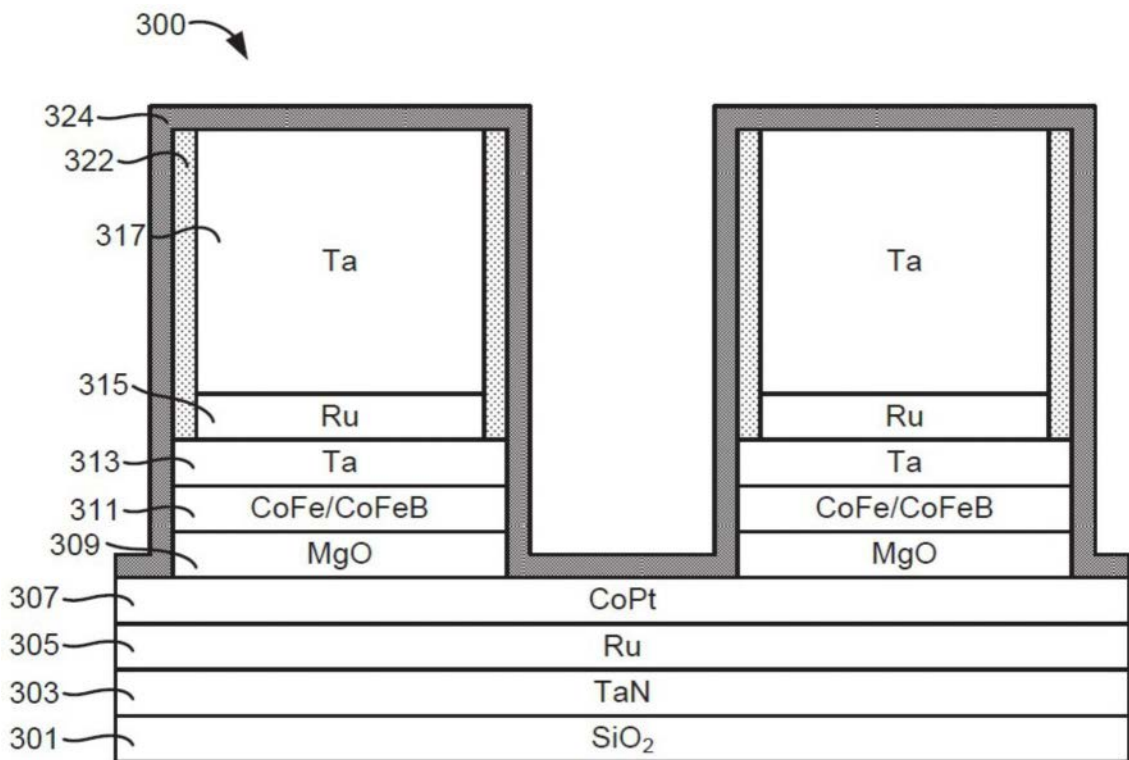


图3F

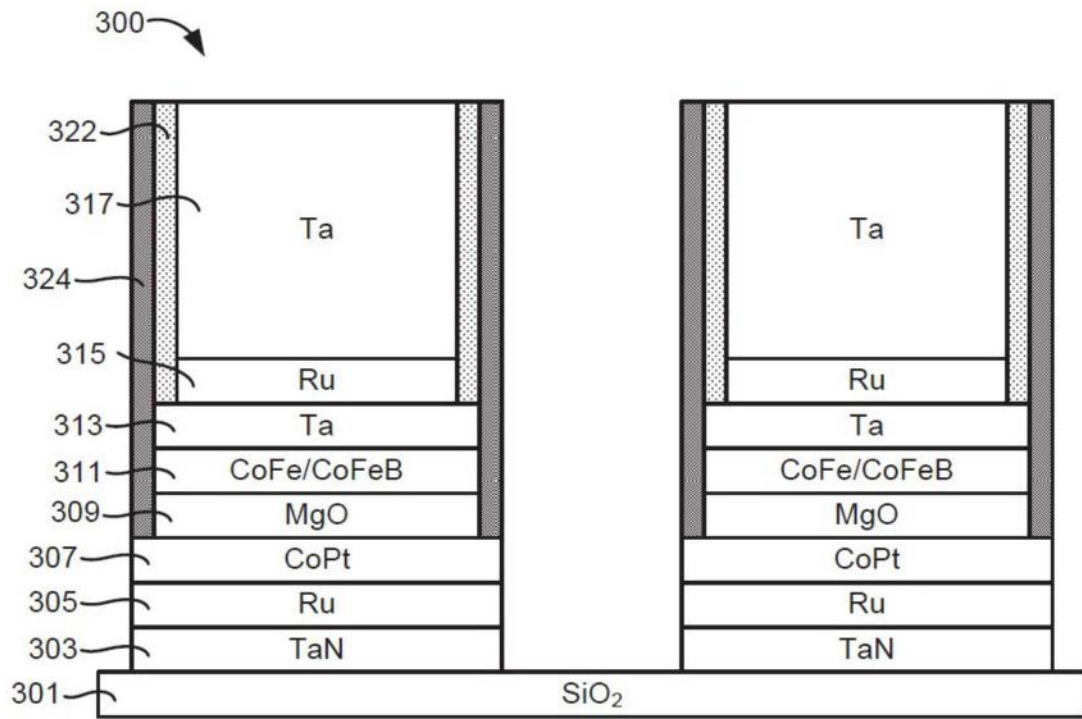
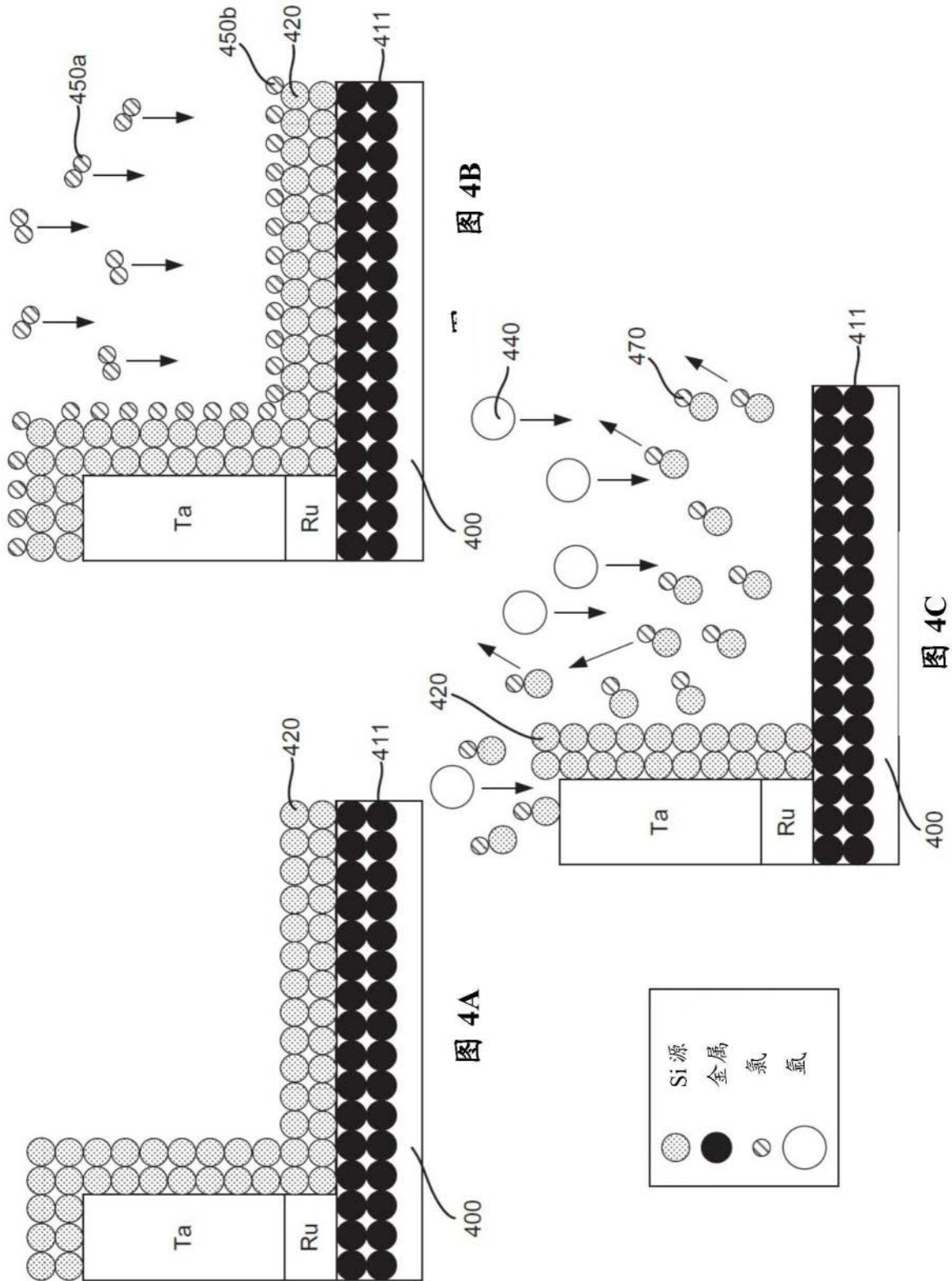


图3G



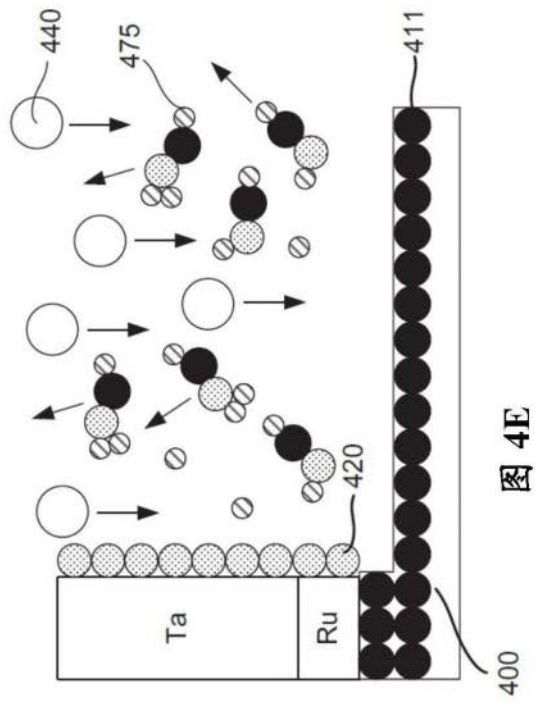


图 4E

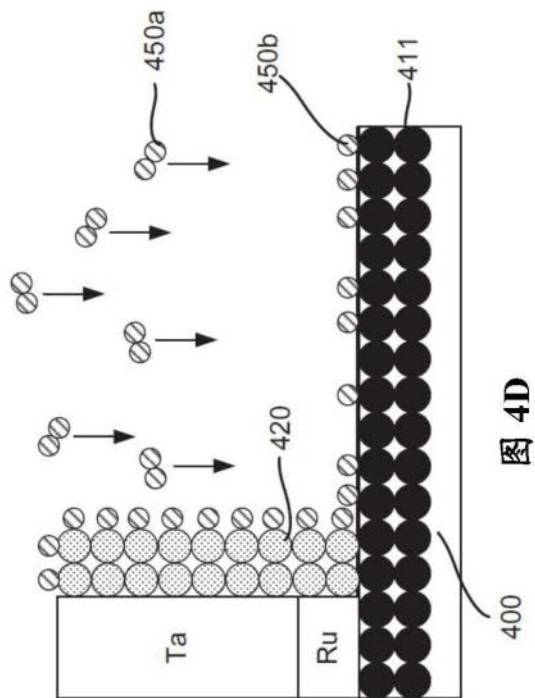


图 4D

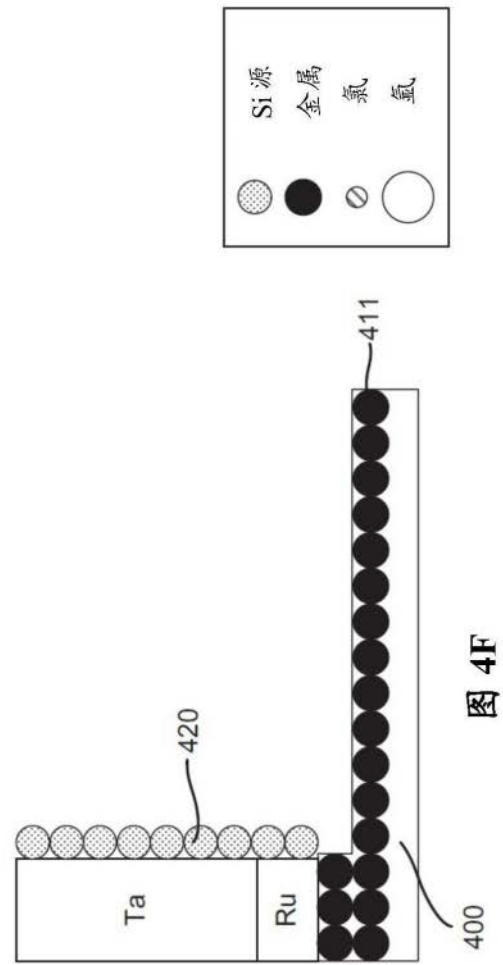


图 4F

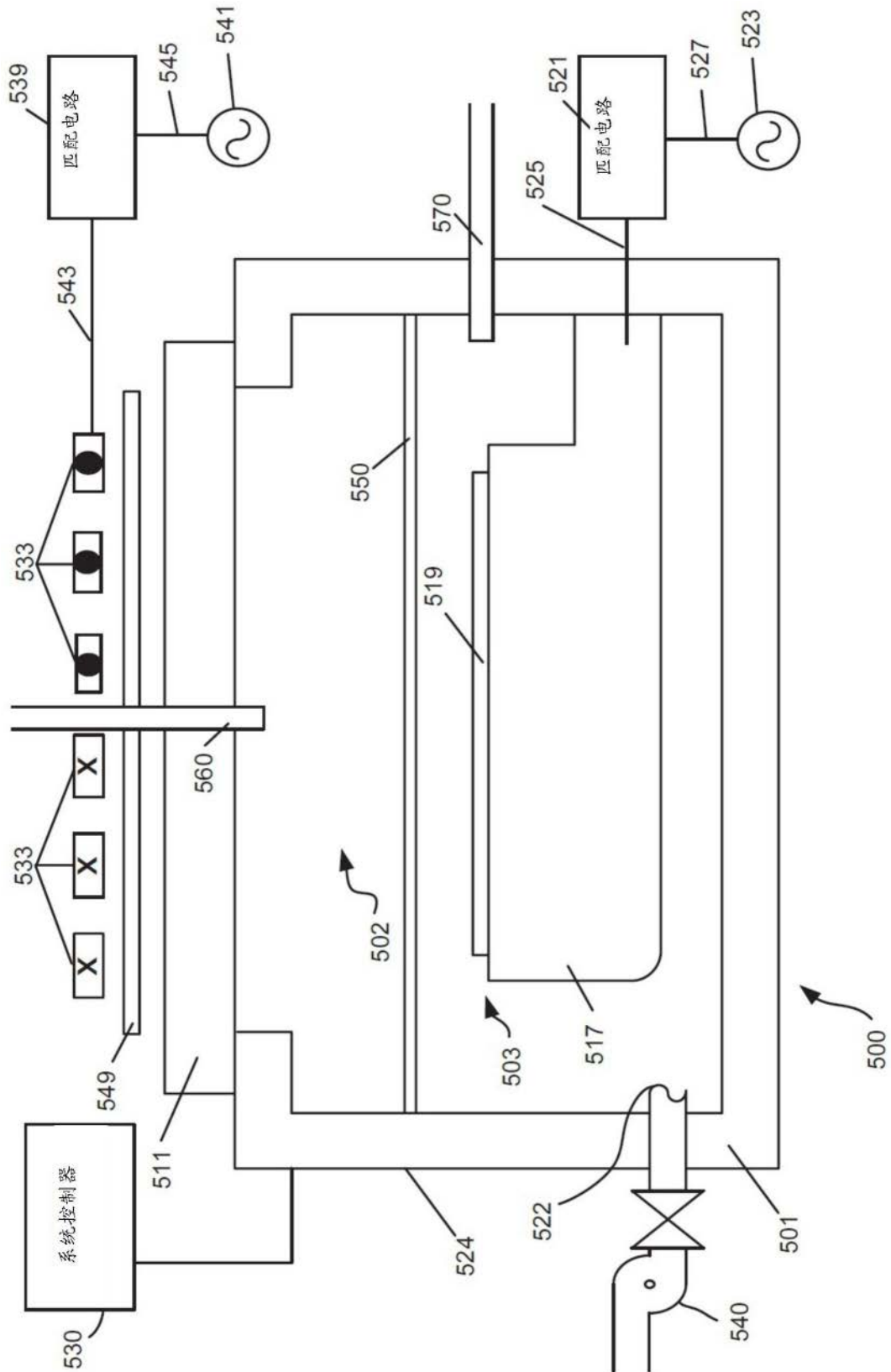


图5

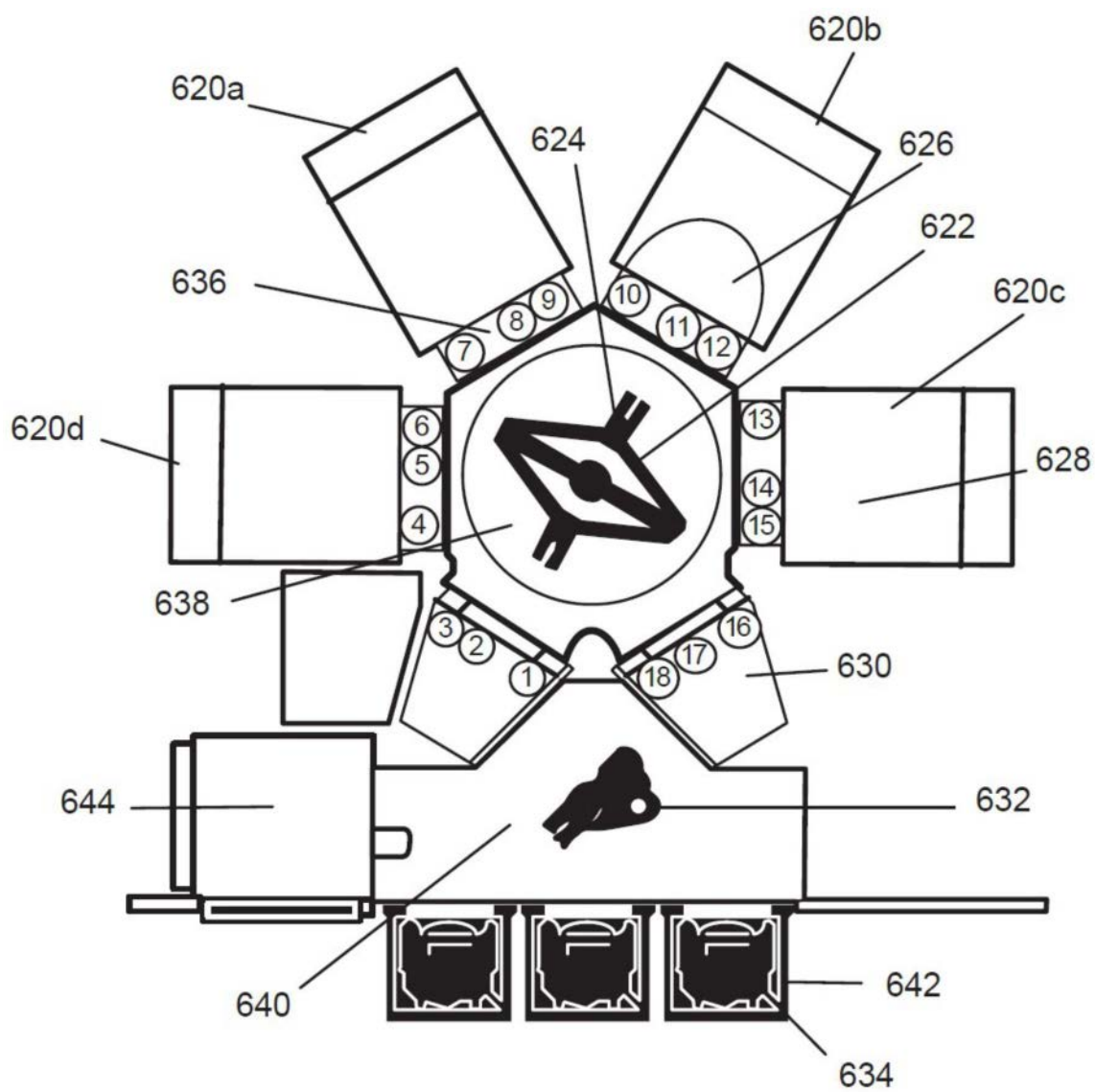


图6

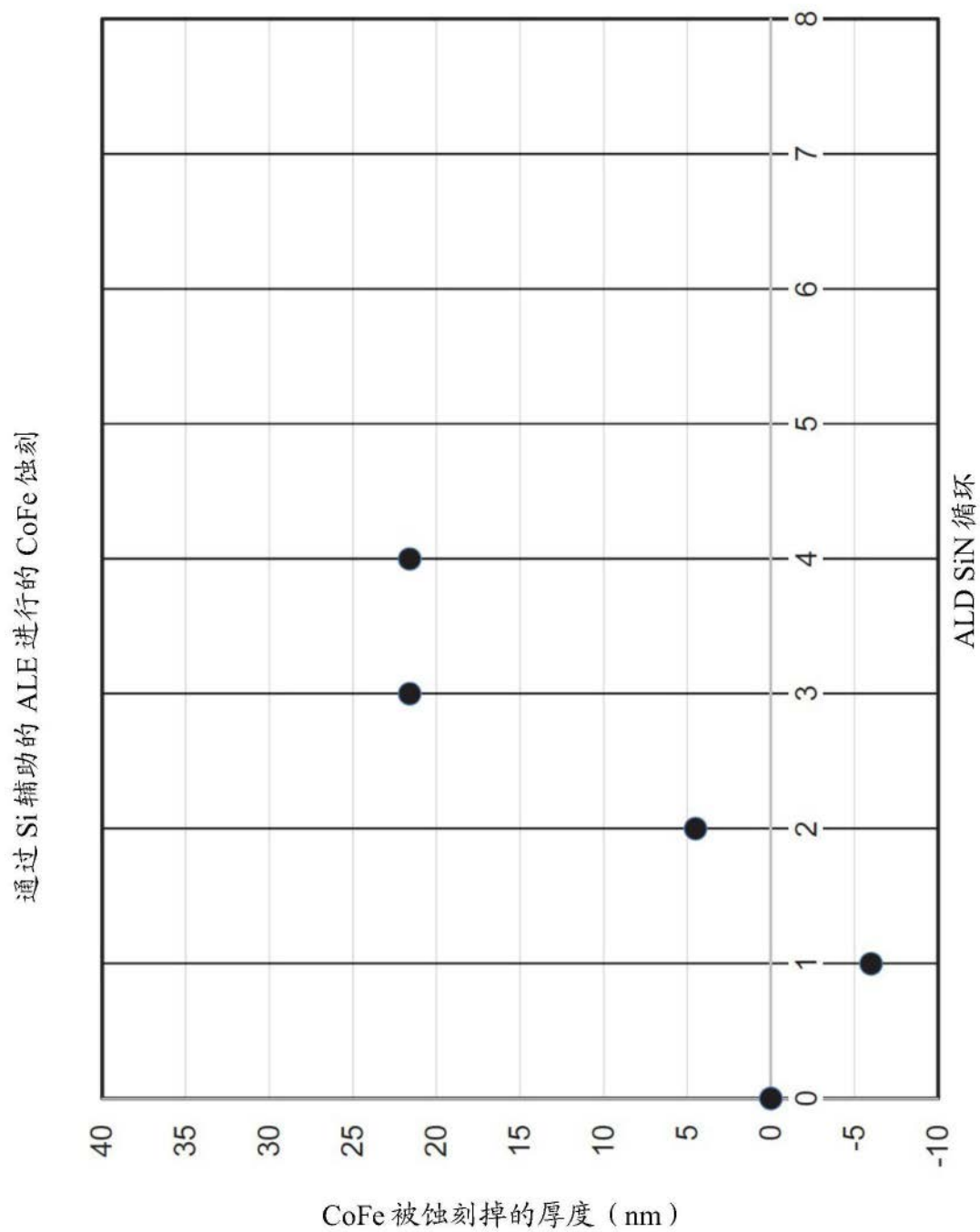


图7