



(12) 发明专利申请

(10) 申请公布号 CN 103035713 A

(43) 申请公布日 2013. 04. 10

(21) 申请号 201110426113. 4

(22) 申请日 2011. 12. 16

(30) 优先权数据

13/252,892 2011. 10. 04 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 刘继文 王昭雄

(74) 专利代理机构 北京德恒律师事务所 11306

代理人 陆鑫 房岭梅

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/49(2006. 01)

H01L 29/423(2006. 01)

H01L 21/336(2006. 01)

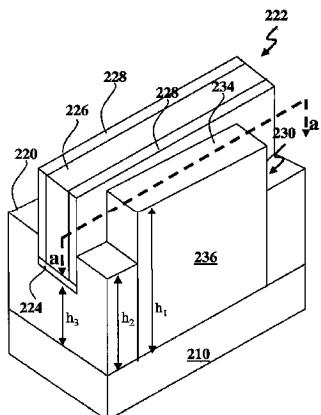
权利要求书 2 页 说明书 9 页 附图 9 页

(54) 发明名称

FinFET 器件及其制造方法

(57) 摘要

本发明公开了一种半导体器件以及制造半导体器件的方法。示例性的半导体器件包括：衬底，该沉底包括设置在衬底上方的鳍结构。该鳍结构包括一个或多个鳍。半导体器件进一步包括设置在衬底上方的绝缘材料。半导体器件进一步包括设置在部分鳍结构以及部分绝缘材料上方的栅极结构。该栅极结构横贯鳍结构中的每个鳍。半导体器件进一步包括由具有连续的并且不间断的表面区域的材料所形成的源极部件和漏极部件。该源极部件和漏极部件包括位于平面中的表面，该表面与位于绝缘材料、鳍结构的一个或多个鳍中的每个鳍以及栅极结构的平行平面中的表面直接接触。本发明还提供了 FinFET 器件及其制造方法。



1. 一种半导体器件，包括：

衬底，包括设置在所述衬底上方的鳍结构，其中，所述鳍结构包括一个或多个鳍；

绝缘材料，设置在所述衬底上方；

栅极结构，设置在所述鳍结构的部分以及所述绝缘材料的部分上方，其中，所述栅极结构横贯所述鳍结构中的每个鳍；以及

源极部件和漏极部件，由具有连续的并且不间断的表面区域的材料形成，其中，所述源极部件和所述漏极部件包括位于平面中的表面，所述表面与位于所述绝缘材料、所述鳍结构的一个或多个鳍中的每个鳍以及所述栅极结构的平行平面中的表面直接接触。

2. 根据权利要求 1 所述的半导体器件，其中，所述衬底选自由体硅和绝缘体上硅 (SOI) 所构成的组。

3. 根据权利要求 1 所述的半导体器件，其中，所述栅极结构包括：栅极介电层；栅电极，设置在所述栅极介电层上方；以及栅极隔离件，设置在所述栅电极的侧壁上方。

4. 根据权利要求 1 所述的半导体器件，其中，所述半导体器件是 P 型金属氧化物半导体 (PMOS) 鳍状场效应晶体管 (FinFET) 器件或 N 型金属氧化物半导体 (NMOS) FinFET 器件之一，并且其中，在集成电路器件中包括所述半导体器件。

5. 根据权利要求 1 所述的半导体器件，其中，所述绝缘材料包括：具有高度 (h2) 的表面，在所述表面上方没有设置所述绝缘材料；以及具有高度 (h3) 的表面，在所述表面上方设置有所述绝缘材料，所述高度 h2 大于所述高度 h3。

6. 根据权利要求 1 所述的半导体器件，其中，所述源极部件和所述漏极部件包括高度 (h1)，所述高度大于紧邻着所述源极部件和所述漏极部件并且与所述源极部件和所述漏极部件直接接触的所述绝缘材料的高度 (h2)。

7. 根据权利要求 3 所述的半导体器件，其中，所述源极部件和所述漏极部件与所述衬底、所述绝缘材料、所述栅极隔离件以及所述鳍结构的每个鳍直接接触。

8. 一种半导体器件，包括：

衬底；

鳍结构，所述鳍结构包括一个或多个设置在所述衬底上方的鳍，所述鳍结构包括：位于第一公共面中的第一表面和位于第二公共面中的第二表面，所述第一公共面和所述第二公共面不同；

介电层，设置在所述鳍结构的中心部分上方；

栅电极，设置在所述介电层上方，所述栅电极横贯一个或多个鳍并且将所述半导体器件的源极区域与漏极区域分开，所述源极区域和所述漏极区域限定在其间的所述一个或多个鳍中的每个的沟道区域；

第一栅极隔离件和第二栅极隔离件，所述第一栅极隔离件形成在所述栅电极的第一侧壁上，而所述第二栅极隔离件形成在所述栅电极的第二侧壁上，所述第一栅极隔离件包括位于所述第一公共面中的表面，而所述第二栅极隔离件包括位于所述第二公共面中的表面；以及

应变的源极部件和应变的漏极部件，直接形成在所述源极区域和所述漏极区域中的所述衬底上方，所述应变的源极部件和所述应变的漏极部件由具有连续的并且不间断的表面区域的材料形成。

9. 根据权利要求 8 所述的半导体器件, 进一步包括 :

绝缘材料, 设置在衬底上方, 所述绝缘材料包括 : 位于所述第一公共面中的第一表面以及位于所述第二公共面中的第二表面,

其中, 所述应变的源极部件和所述应变的漏极部件包括 :

第一表面, 与位于所述第一公共面中的所述鳍结构的所述第一表面、所述绝缘材料的所述第一表面、以及所述第一栅极隔离件的所述表面直接接触并且平行, 以及

第二表面, 与位于所述第二公共面中的与所述鳍结构的所述第二表面、所述绝缘材料的所述第二表面、以及所述第二栅极隔离件的所述表面直接接触并且平行。

10. 一种制造半导体器件的方法, 包括 :

提供衬底 ;

形成鳍结构, 所述鳍结构包括位于所述衬底上方的一个或多个鳍 ;

在所述鳍结构上方沉积绝缘材料 ;

去除所述绝缘材料的部分, 以暴露所述鳍结构的所述一个或多个鳍中的每个鳍的部分 ;

在所述鳍结构的所述一个或多个鳍中的每个鳍的所述暴露部分上方形成栅极结构, 所述栅极结构将所述半导体器件的源极区域与漏极区域分开 ;

去除所述源极区域和所述漏极区域中的所述绝缘材料 ; 以及

在所述源极区域和所述漏极区域中形成源极部件和漏极部件, 所述源极部件和所述漏极部件具有连续的并且不间断的表面区域。

FinFET 器件及其制造方法

技术领域

[0001] 本发明一般地涉及半导体领域,更具体地来说,涉及半导体器件以及制造半导体器件的方法。

背景技术

[0002] 半导体集成电路 (IC) 工业经历了迅速的发展。在 IC 的发展过程中,通常增大了功能密度(即,每个芯片区域的互连器件的数量),而减小了几何尺寸(即,使用制造工艺可以制造的最小部件(或线))。这种按比例缩小的工艺的优点在于提高了生产效率并且降低了相关费用。这种按比例缩小也增加了处理和制造 IC 的复杂性,并且为了实现这些进步,IC 的制造也需要类似的发展。

[0003] 例如,在寻求更高的器件密度、更高的性能以及更低的费用的过程中,随着半导体工艺发展到纳米技术工艺节点,制造和设计中的挑战导致鳍状的场效应晶体管(FinFET)器件的发展。尽管现有的 FinFET 器件以及制造 FinFET 器件的方法已大体上满足了其预期目的,但并不是在所有方面都能够完全令人满意。

发明内容

[0004] 为了解决现有技术中所存在的缺陷,根据本发明的一方面,提供了一种半导体器件,包括:衬底,包括设置在所述衬底上方的鳍结构,其中,所述鳍结构包括一个或多个鳍;绝缘材料,设置在所述衬底上方;栅极结构,设置在所述鳍结构的部分以及所述绝缘材料的部分上方,其中,所述栅极结构横贯所述鳍结构中的每个鳍;以及源极部件和漏极部件,由具有连续的并且不间断的表面区域的材料形成,其中,所述源极部件和所述漏极部件包括位于平面中的表面,所述表面与位于所述绝缘材料、所述鳍结构的一个或多个鳍中的每个鳍以及所述栅极结构的平行平面中的表面直接接触。

[0005] 在该半导体器件中,所述衬底选自由体硅和绝缘体上硅(SOI)所构成的组。

[0006] 在该半导体器件中,所述栅极结构包括:栅极介电层;栅电极,设置在所述栅极介电层上方;以及栅极隔离件,设置在所述栅电极的侧壁上方。

[0007] 在该半导体器件中,所述半导体器件是P型金属氧化物半导体(PMOS)鳍状场效应晶体管(FinFET)器件或N型金属氧化物半导体(NMOS)FinFET器件之一,并且其中,在集成电路器件中包括所述半导体器件。

[0008] 在该半导体器件中,所述绝缘材料包括:具有高度(h2)的表面,在所述表面上方没有设置所述绝缘材料;以及具有高度(h3)的表面,在所述表面上方设置有所述绝缘材料,所述高度h2大于所述高度h3。

[0009] 在该半导体器件中,所述源极部件和所述漏极部件包括高度(h1),所述高度大于紧邻着所述源极部件和所述漏极部件并且与所述源极部件和所述漏极部件直接接触的所述绝缘材料的高度(h2)。

[0010] 在该半导体器件中,所述源极部件和所述漏极部件与所述衬底、所述绝缘材料、所

述栅极隔离件以及所述鳍结构的每个鳍直接接触。

[0011] 根据本发明的另一方面，提供了一种半导体器件，包括：衬底；鳍结构，所述鳍结构包括一个或多个设置在所述衬底上方的鳍，所述鳍结构包括：位于第一公共面中的第一表面和位于第二公共面中的第二表面，所述第一公共面和所述第二公共面不同；介电层，设置在所述鳍结构的中心部分上方；栅电极，设置在所述介电层上方，所述栅电极横贯一个或多个鳍并且将所述半导体器件的源极区域与漏极区域分开，所述源极区域和所述漏极区域限定在其间的所述一个或多个鳍中的每个的沟道区域；第一栅极隔离件和第二栅极隔离件，所述第一栅极隔离件形成在所述栅电极的第一侧壁上，而所述第二栅极隔离件形成在所述栅电极的第二侧壁上，所述第一栅极隔离件包括位于所述第一公共面中的表面，而所述第二栅极隔离件包括位于所述第二公共面中的表面；以及应变的源极部件和应变的漏极部件，直接形成在所述源极区域和所述漏极区域中的所述衬底上方，所述应变的源极部件和所述应变的漏极部件由具有连续的并且不间断的表面区域的材料形成。

[0012] 该半导体器件进一步包括：绝缘材料，设置在衬底上方，所述绝缘材料包括：位于所述第一公共面中的第一表面以及位于所述第二公共面中的第二表面，其中，所述应变的源极部件和所述应变的漏极部件包括：第一表面，与位于所述第一公共面中的所述鳍结构的所述第一表面、所述绝缘材料的所述第一表面、以及所述第一栅极隔离件的所述表面直接接触并且平行，以及第二表面，与位于所述第二公共面中的与所述鳍结构的所述第二表面、所述绝缘材料的所述第二表面、以及所述第二栅极隔离件的所述表面直接接触并且平行。

[0013] 在该半导体器件中，所述应变的源极部件和所述应变的漏极部件包括硅锗。

[0014] 在该半导体器件中，所述第一公共面和所述第二公共面基本上平行。

[0015] 在该半导体器件中，所述半导体衬底和所述鳍结构包括硅。

[0016] 根据本发明的又一方面，提供了一种制造半导体器件的方法，包括：提供衬底；形成鳍结构，所述鳍结构包括位于所述衬底上方的一个或多个鳍；在所述鳍结构上方沉积绝缘材料；去除所述绝缘材料的部分，以暴露所述鳍结构的所述一个或多个鳍中的每个鳍的部分；在所述鳍结构的所述一个或多个鳍中的每个鳍的所述暴露部分上方形成栅极结构，所述栅极结构将所述半导体器件的源极区域与漏极区域分开；去除所述源极区域和所述漏极区域中的所述绝缘材料；以及在所述源极区域和所述漏极区域中形成源极部件和漏极部件，所述源极部件和所述漏极部件具有连续的并且不间断的表面区域。

[0017] 在该方法中，形成所述鳍结构包括使用硬掩模的蚀刻工艺。

[0018] 在该方法中，去除所述绝缘材料的部分以暴露所述鳍结构的所述一个或多个鳍中的每个鳍的部分包括：以所述源极区域和所述漏极区域中的所述绝缘材料不被去除的方式实施蚀刻工艺。

[0019] 在该方法中，去除所述绝缘材料的部分以暴露所述鳍结构的所述一个或多个鳍中的每个鳍的部分包括：在所述源极区域和所述漏极区域中的所述绝缘材料上方形成掩模层；以及实施蚀刻工艺，以去除未被所述掩模层覆盖的所述绝缘材料的部分，从而暴露所述鳍结构的所述一个或多个鳍中的每个鳍的部分。

[0020] 在该方法中，形成所述栅极结构包括：形成所述栅电极以及在所述栅电极的第一侧壁和第二侧壁上形成第一栅极隔离件和第二栅极隔离件。

[0021] 在该方法中,提供所述衬底包括:提供包括硅的衬底,并且其中,形成所述源极部件和所述漏极部件包括:直接在所述硅衬底上方外延(epi)生长半导体材料。

[0022] 在该方法中,外延(epi)生长所述半导体材料包括:填充所述源极区域和所述漏极区域,使得所述半导体材料的部分与所述第一栅极隔离件和所述第二栅极隔离件直接接触。

[0023] 在该方法中,去除所述源极区域和所述漏极区域中的所述绝缘材料包括:暴露所述衬底的表面,以及其中,形成所述源极部件和所述漏极部件包括:在所述衬底的所述暴露表面上方外延(epi)生长半导体材料,所述半导体材料和所述鳍结构具有不同的晶格常数。

附图说明

[0024] 当结合附图进行阅读时,根据下面详细的描述可以更好地理解本发明。应该强调的是,根据工业中的标准实践,各种部件没有被按比例绘制并且仅仅用于说明的目的。实际上,为了清楚的讨论,各种部件的尺寸可以被任意放大或缩小。

[0025] 图1是示出根据本发明的各个方面制造半导体器件的方法的流程图;

[0026] 图2A至图9A示出的是根据图1的方法,在各个制造阶段中的半导体器件的一个实施例的透视图;

[0027] 图2B至9B分别示出了图2A至9A中所示的半导体器件的部分或整体的示意性横截面侧视图。

具体实施方式

[0028] 以下发明提供了多种不同实施例或实例,用于实现本发明的不同特征。以下将描述组件和布置的特定实例以简化本发明。当然,这些仅是实例并且不旨在限制本发明。例如,在以下描述中,在第二部件上方或上形成第一部件可以包括第一部件和第二部件以直接接触形成的实施例,也可以包括其他部件可以形成在第一部件和第二部件之间使得第一部件和第二部件不直接接触的实施例。另外,本发明可以在多个实例中重复参考符号和/或字符。这种重复用于简化和清楚,并且其本身没有指定所述各个实施例和/或配置之间的关系。同时,在不背离本发明的范围的条件下,在此所公开的部件可以以此所示出的示例性实施例的不同方式进行布置、结合或配置。可以理解,本领域的技术人员能够设计出(尽管在此没有进行明确的描述)包括本发明的原理的各种等效结构。

[0029] 得益于本发明的一个或多个实施例的器件的实例是半导体器件。例如,这种器件是鳍状场效应晶体管(FinFET)。例如,该FinFET器件可以是P型金属氧化物半导体(PMOS)FinFET器件或N型金属氧化物半导体(NMOS)FinFET器件。下面的公开内容将继续以FinFET为实例来说明本发明的各个实施例。然而,可以理解,除非特殊要求,否则本发明不应该局限于特定类型的器件。

[0030] 根据图1和图2A至图9A,图2B至图9B,下面共同描述了方法100以及半导体器件200。图1是根据本发明的各个方面制造集成电路器件的方法100的流程图。在本实施例中,方法100用于制造集成电路器件,该集成电路器件包括鳍状场效应晶体管(FinFET)器件。该方法100以框102开始,其中提供了衬底。在框104中,将鳍结构形成在衬底上方。

鳍结构的形成可以包括：图案化掩模层以及使用掩模层来蚀刻半导体衬底。在框 106 中，将介电层沉积在鳍结构上方。可以沉积介电层，使得该介电层覆盖该鳍结构。可以实施平坦化工艺，使得介电层的顶面平坦化，暴露出鳍结构的顶部。该方法继续进行到框 108，其中，对于介电层实施蚀刻工艺，从而暴露出鳍结构的部分侧壁。该蚀刻工艺可以包括：在源极区域和漏极区域中的介电层上方沉积光刻胶层以及在 FinFET 器件的中心区域中实施蚀刻工艺，从而在该中心区域中暴露出鳍结构的部分侧壁。在框 110 中，在部分鳍结构上方形成了栅叠层。形成该栅叠层可以包括：在中心区域中的鳍结构上方沉积介电层；在该介电层上方形成栅极结构；并且在栅极结构的壁上并且与源极和漏极 (S/D) 区域相邻地形成栅极隔离件。该方法 100 继续进行到框 112，其中对于 S/D 区域中的介电层实施蚀刻工艺。该蚀刻工艺可以包括：在介电层上沉积光刻胶层以及蚀刻介电层，从而暴露出衬底的表面。在框 114 中，将半导体材料形成在 S/D 区域中。形成半导体材料可以包括：在 S/D 区域中的暴露的衬底上方外延 (epi) 生长应变的半导体材料。方法 100 继续进行到框 116，在其中完成了集成电路器件的制造。可以在方法 100 之前、之间、以及之后提供额外的步骤，并且对于该方法的其他实施例而言，所述步骤中的一些步骤可以被替换或去除。下面的论述说明的是根据图 1 的方法 100 所制造的集成电路器件的各个实施例。

[0031] 图 2A 至图 9A 示出了根据图 1 的方法，在各个制造阶段中的半导体器件的一个实施例的示意图。另外，图 2B 至图 9B 分别示出了沿着线 a-a 所截取的图 2A 至图 9A 中所示的半导体器件的部分或整体的示意性横截面侧视图。在本发明中，半导体器件是 FinFET 器件。该 FinFET 器件包括任何以鳍为基础的多栅极晶体管。可以在微处理器、存储单元和 / 或其他集成电路器件中包括 FinFET 器件 200。为了清楚地更好地理解本发明的创造性概念，已经简化了图 2A、图 2B 至图 9A、图 9B。可以在 FinFET 器件 200 中添加额外的部件，而对于半导体器件 200 的其他实施例而言，下面所描述的这些部件中的一些可以被替换或删除。

[0032] 参考图 2A 和图 2B，FinFET 器件 200 包括衬底（例如，晶圆）210。衬底 210 是体硅衬底。可选地，衬底 210 包括元素半导体，诸如，晶体结构的硅或锗；化合物半导体，诸如，硅锗、碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和 / 或锑化铟；或其组合。可选地，衬底 210 包括绝缘体上硅 (SOI) 衬底。可以使用注氧隔离 (SIMOX)、晶圆接合和 / 或其他适当的方法来制造该 SOI 衬底。衬底 210 可以包括多种掺杂区域和其他适当的部件。

[0033] 参考图 2A 和图 2B，介电层 212 形成在衬底 210 上方。可以通过任意适当的工艺将介电层 212 形成任意适当的厚度。在本实施例中，介电层 212 包括氧化硅并且通过 CVD 或热氧化工艺形成该介电层 212。该热氧化工艺可以是干式工艺或湿式工艺。在多个实例中，可以通过物理汽相沉积 (PVD)、原子层沉积 (ALD)、高密度等离子体 CVD (HDPCVD)、其他适当的方法和 / 或其组合来形成该氧化硅。例如，CVD 工艺可以使用包括六氯乙硅烷 (HCD 或 Si_2Cl_6)、二氯二硅烷 (DCS 或 SiHC_2)、二（三甲基甲硅烷基）乙炔 (BTBAS 或 $\text{C}_8\text{H}_{22}\text{N}_2\text{Si}$) 以及乙硅烷 (DS 或 Si_2H_6) 的化学物质。

[0034] 掩模层 214 形成在介电层 212 上方。掩模层 214 可以是停止 / 硬掩模层。通过任意适当的工艺将掩模层 214 形成为任意适当的厚度。掩模层 214 可以包括以下材料，诸如，氮化硅、氧化硅、氮氧化硅、碳化硅、碳氮化硅、非晶硅、多晶硅、其他适当的材料或其组合。在本实施例中，掩模层 214 包括氮化硅，并且掩模层 214 通过 CVD 工艺形成。在各个实例

中,可以通物理汽相沉积 (PVD)、原子层沉积 (ALD)、高密度等离子体 CVD (HDPCVD)、其他适当的方法和 / 或其组合来形成该氮化硅。例如,CVD 工艺可以使用包括六氯乙硅烷 (HCD 或 Si₂Cl₆)、二氯二硅烷 (DCS 或 SiHCl₂)、二 (三甲基甲硅烷基) 乙炔 (BTBAS 或 C₈H₂₂N₂Si) 以及乙硅烷 (DS 或 Si₂H₆) 的化学物质。

[0035] 光刻胶层 216 形成在掩模层 214 上方。通过任意适当的工艺将光刻胶层 216 形成为任意适当的厚度。

[0036] 参考图 3A 和图 3B,通过任意适当的工艺 (诸如,光刻工艺和蚀刻工艺) 形成鳍结构 218(包括多个鳍 218a、218b 以及 218c)。例如,在本实施例中,通过将光刻胶层 216 曝光成图案,实施曝光后烘烤工艺并且对光刻胶层 216 进行显影以形成掩蔽元件 (masking element) 来形成鳍结构 218,该掩蔽元件包括了光刻胶层 216 和掩模层 214。光刻胶层 216 的图案化可以包括以下处理步骤:光刻胶涂覆、软烘、掩模对准、将图案曝光、曝光后烘培、将光刻胶显影以及硬烘。也可以通过其他适当的方法 (诸如,无掩模光刻、电子束曝光 (electron-beam writing)、离子束曝光以及分子压印) 来实施或替代该图案化。然后,可以在蚀刻工艺中使用掩蔽元件 (包括光刻胶层 216 和掩模层 214),从而在衬底 210 中蚀刻鳍结构 218。蚀刻工艺使用图案化的掩模层 214 来限定出将被蚀刻的区域并且保护 FinFET 器件 200 的其他区域。蚀刻工艺可以包括湿蚀刻工艺、干蚀刻工艺或其组合。可以通过使用反应离子蚀刻 (RIE) 的蚀刻工艺和 / 或其他适当工艺来形成鳍结构 218。在一个实例中,根据掩模层 214 所限定的图案,可以使用氢氟酸 (HF) 或含有缓冲剂的 HF 来蚀刻介电层 212,从而暴露衬底 210。在一个实例中,用于蚀刻衬底 210 的干蚀刻工艺包括具有含氟的气体的化学物质。在另一个实例中,干蚀刻的化学物质包括 CF₄、SF₆ 或 NF₃。可选地,通过双重图案化光刻 (DPL, double-patterning lithography) 工艺来形成鳍结构 218。DPL 是一种通过将图案分成两个间隔的图案来在衬底上构造图案的方法。DPL 能够增强部件 (例如,鳍) 的密度。可以使用包括双重曝光 (例如,使用两个掩模组) 的各种 DPL 方法。

[0037] 参考图 4A 和图 4B,绝缘材料 220 沉积在衬底 210 上方 (以及鳍结构 218 上方)。沉积绝缘材料 220,使得绝缘材料包围着鳍结构 218 的每个鳍 218a、218b、218c 并且使鳍结构 218 的每个鳍 218a、218b、218c 与其他鳍隔离。绝缘材料 220 可以包括以下绝缘材料,诸如,氧化硅、氮化硅、氮氧化硅、低 k 材料、空气间隙、其他适当的材料或其组合。在本实施例中,绝缘材料 220 包括氧化硅。可以通过 CVD 工艺沉积该氧化硅。在各个实例中,可以通过物理汽相沉积 (PVD)、原子层沉积 (ALD)、高密度等离子体 CVD (HDPCVD)、其他适当的方法和 / 或其组合来形成该氧化硅。可选地,可以通过高纵横比工艺 (HARP) 来形成该氧化硅。在各个实施例中,可以生长任选的热氧化物沟槽衬垫来改善沟槽界面。例如,CVD 工艺可以使用包括六氯乙硅烷 (HCD 或 Si₂Cl₆)、二氯二硅烷 (DCS 或 SiHCl₂)、二 (三甲基甲硅烷基) 乙炔 (BTBAS 或 C₈H₂₂N₂Si) 以及乙硅烷 (DS 或 Si₂H₆) 的化学物质。绝缘材料 220 可以具有多层结构,例如,热氧化物衬垫层和形成在衬垫上方的氮化硅。

[0038] 参考图 5A 和图 5B,在 FinFET 器件 200 上实施平坦化工艺。在一个实施例中,该平坦化工艺包括化学机械抛光 (CMP) 工艺,将该化学机械抛光工艺应用于 FinFET 器件 200,从而去除绝缘材料 220 的多余部分。可以实施该平坦化工艺,使得去除介电层 212,因此暴露出鳍结构 218。

[0039] 参考图 6A 和图 6B,将蚀刻工艺用于对 FinFET 器件 20 的中心区域中的多余的绝

缘材料 220 进行回蚀,由此暴露出鳍结构 218 的部分侧壁。该蚀刻工艺可以包括湿蚀刻、干蚀刻工艺或其组合。在一个实例中,干蚀刻工艺可以包括:形成光刻胶层,图案化该光刻胶层,蚀刻绝缘材料 220,以及去除光刻胶层。在另一个实例中,用于蚀刻隔离材料的干蚀刻工艺可以包括化学物质,该化学物质包括含氟气体。在另一个实例中,干蚀刻的化学物质包括 CF₄、SF₆ 或 NF₃。

[0040] 参考图 7A 和图 7B,FinFET 器件 200 包括栅极结构 222。栅极结构 222 横贯鳍结构 218,而在所述的实施例中,该栅极结构形成在鳍结构 218 的中心部分上方。栅极结构 222 可以包括:栅极介电层 224、栅电极 226 以及栅极隔离件 228。栅极介电层 224 包括以下介电材料,诸如,氧化硅、高 k 介电材料、其他适当的介电材料或其组合。高 k 介电材料的实例包括 HfO₂、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、氧化锆、氧化铝、二氧化铪 - 三氧化二铝 (HfO₂-Al₂O₃) 合金、其他适当的高 k 介电材料和 / 或其组合。栅电极 226 包括多晶硅和 / 或金属,该金属包括 Al、Cu、Ti、Ta、W、Mo、TaN、NiSi、CoSi、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、其他导电材料或其组合。可以在先栅极工艺或后栅极工艺中形成栅电极 226。栅极结构 222 可以包括多个其他层,例如,覆盖层、界面层、扩散层、阻挡层或其组合。可以在栅极结构 222 上方形成硬掩模层。该硬掩模层可以包括氧化硅、氮化硅、氮氧化硅、碳化硅、其他适当的材料或其组合。

[0041] 栅极结构 222 通过适当工艺形成,该适当工艺包括沉积工艺、光刻图案化工艺以及蚀刻工艺。该沉积工艺包括:化学汽相沉积 (CVD)、物理汽相沉积 (PVD)、原子层沉积 (ALD)、高密度等离子体 CVD (HDPCVD)、金属有机物 CVD (MOCVD)、远程等离子体 CVD (RPCVD)、等离子体增强 CVD (PECVD)、低压 CVD (LPCVD)、原子层 CVD (ALCVD)、常压 CVD (APCVD)、电镀、其他适当的方法或其组合。光刻图案化工艺包括光刻胶涂覆 (例如,旋涂)、软烘、掩模对准、曝光、曝光后烘焙、将光刻胶显影、清洗、烘干 (例如,硬烘)、其他适当工艺或其组合。可选地,可以通过其他方法 (诸如,无掩模光刻、电子束曝光、离子束曝光) 来实施或替代该光刻曝光工艺。在又一个可选方式中,该光刻图案化工艺可以实施纳米压印技术。蚀刻工艺包括:干蚀刻、湿蚀刻、和 / 或其他蚀刻方法。

[0042] 参考图 8A 和图 8B,去除了部分绝缘材料 220,从而限定出源极和漏极 (S/D) 区域 230。S/D 区域 230 限定在其间的沟道区域 232。沟道区域 232 包括位于由栅极结构 222 所覆盖的鳍结构 218 中的鳍 218a、218b、218c 的内部的区域。可以去除部分绝缘材料 220,使得衬底 210 的顶面暴露出来和 / 或使得鳍结构 218 中的每个鳍 218a、218b、218c 的侧壁暴露出来。去除部分绝缘材料 220,使得第一公共面形成在栅极结构 222 的一个面上,而第二公共面形成在栅极结构 222 的另一个面上。第一公共面是共用的并且包括绝缘材料 222 的表面、每个鳍 218a、218b、218c 的表面、栅极介电层 224 的表面以及栅极隔离件 228 之一的表面。第二公共面 (在图 8 中该公共面被栅极结构 222 遮挡着) 包括与第一公共面相类似的位于栅极结构 222 的反面上的部件,第二公共面包括另一个栅极隔离件 228 的表面。第二公共面基本上与第一公共面平行。

[0043] 可以通过任意适当的工艺去除部分绝缘材料 220。在本实施例中,例如,通过蚀刻工艺去除部分绝缘材料 220。该蚀刻工艺可以包括湿蚀刻或干蚀刻工艺或其组合。在一个实例中,干蚀刻工艺可以包括:形成光刻胶层、图案化光刻胶层、蚀刻绝缘材料 220 以及去除光刻胶层。在另一个实例中,用于蚀刻隔离材料的干蚀刻工艺可以包括化学物质,该化学

物质包括了含氟气体。在另一个实例中，干蚀刻的化学物质包括： CF_4 、 SF_6 或 NF_3 。

[0044] 参考图 9A 和图 9B, FinFET 器件 200 包括形成在 S/D 区域 230 中的源极和漏极 (S/D) 部件 234。可以通过在位于 S/D 区域 230 中的暴露的衬底 210 上方沉积半导体材料 236 来形成 S/D 部件 234。S/D 部件 234 包括第一表面，该第一表面与位于第一公共面中的绝缘材料 220、鳍 218a、218b、218c、栅极介电层 224 以及栅极隔离件 228 的表面相邻、直接接触并且平行；和第二表面，该第二表面与位于第二公共面中的绝缘材料 220、鳍 218a、218b、218c、栅极介电层 224 以及栅极隔离件 228 的表面相邻、直接接触并且平行。如所示，S/D 部件 234 由具有连续的并且不间断的表面区域的材料形成。

[0045] 可以通过适当工艺（诸如，外延或外延的 (epi) 工艺）沉积半导体材料 236。该外延工艺可以包括 CVD 沉积技术（例如，汽相外延 (VPE) 和 / 或超高真空 CVD (UHV-CVD)、分子束外延和 / 或其他适当工艺。该外延工艺可以使用气态和 / 或液态前体，该前体与鳍结构 218 的组成成分（例如，硅）以及暴露的衬底 210 相互作用。在所述实施例中，FinFET 器件 200 是 PMOS 器件，并且由此，S/D 部件 234 产生应变并且包括由硅锗外延沉积工艺而形成的硅锗 (SiGe)。在 FinFET 器件 200 是 PMOS 器件情况下，S/D 部件 234 的晶格常数大于衬底 210（以及鳍结构 218）的晶格常数。可选地，FinFET 器件 200 可以是 NMOS 器件，并且由此，S/D 部件 234 产生应变并且包括碳化硅 (SiC) 或硅 (Si)。在一些实施例中，碳化硅 (SiC) 或硅 (Si) 可以包括一个或多个用于位错，从而增大沟道区域 232 上的 S/D 部件 234 的应变。在 FinFET 器件 200 是 NMOS 器件的情况下，S/D 部件 234 的晶格常数小于衬底 210（以及鳍结构 218）的晶格常数。可以通过在 S/D 部件 234 的沉积（生长）期间向外延工艺的源极材料中添加杂质或在其沉积生长工艺之后通过离子注入工艺来对 S/D 部件 234 进行掺杂。例如，硅外延层可以掺杂有磷（用于形成 Si:P epi 层）。掺杂的外延层可以具有渐变的掺杂轮廓。在形成应变的 S/D 部件 234 之前或之后可以实施注入、扩散和 / 或退火工艺，从而在 p 型的（如果 FinFET 器件 200 是 PMOS 器件）或 n 型的（如果 FinFET 器件 200 是 NMOS 器件）的 FinFET 器件 200 的 S/D 区域 230 中形成重掺杂的 S/D (HDD) 部件。

[0046] 如图 9A 和图 9B 中所示，应变的 S/D 部件 234 包括连续的矩形 / 方形轮廓 / 结构，该轮廓 / 结构具有连续并且不间断的表面区域。应变的 S/D 部件 234 包括高度 h1，该高度大于与应变的 S/D 部件 234 相邻的绝缘材料 220 的高度 h2。绝缘材料 220 的高度 h2 大于在其上形成了栅极结构 222 的绝缘材料 220 的高度 h3。从衬底 210 的顶部到相应结构中的每个的相应区域来测量相应结构的高度。如所示的，部分应变的 S/D 部件 234 与衬底 210、绝缘材料 220、鳍结构 218 的鳍 218a、218b、218c 中的每个、栅极介电层 224 以及栅极隔离件 228 相邻并且直接接触。同时，部分绝缘材料 220 在栅极介电层 224 以及部分栅极结构 222 上方延伸。另外，如所示的，S/D 部件 234 由连续的材料（具有连续的和不间断的表面区域）形成，该连续的材料从衬底 210 的顶部延伸达到高度 h1，该高度 h1 大于紧邻着 S/D 部件 234 并且与该 S/D 部件直接接触的绝缘材料 220 的高度 h2。

[0047] 方法 100 和 FinFET 器件 200 的优点在于，S/D 234 部件具有较大的并且连续不间断的表面区域。与传统的 FinFET 器件相比，应变的 S/D 部件 234 的更大的表面区域为 FinFET 器件 200 的沟道区域 232 提供了增大的 / 更大的应变，由此改进了在沟道区域 232 的电流方向上的载流子迁移率。另外，在当前工艺中，容易实现为了实现本文所述的具有更大区域的应变结构所公开的方法。不同的实施例可以具有不同的优点，而对任何实施例来

说没有任何特定的优点是必须的。

[0048] FinFET 器件 200 可以包括额外的部件,可以通过后续的处理工艺形成这些额外的部件。例如,各种接触件 / 通孔 / 线以及多层互连部件(例如,金属层和层间电介质)都可以形成在衬底 210 上方,将各种接触件 / 通孔 / 线以及多层互连部件配置成连接 FinFET 器件 200 的各个部件或结构。这些额外的部件可以为 FinFET 器件 200 提供电互连。例如,多层互连包括垂直互连(诸如,通常的通孔或接触件)和水平互连,诸如,金属线。包括铜、钨和 / 或硅化物的各种导电材料可以实现各种互连部件。在一个实例中,使用单镶嵌工艺和 / 或双镶嵌工艺来形成与铜相关的多层互连结构。

[0049] 由此提供了一种半导体器件。示例性的半导体器件包括衬底,该沉底包括设置在衬底上方的鳍结构。该鳍结构包括一个或多个鳍。半导体器件进一步包括设置在衬底上方的绝缘材料。半导体器件进一步包括栅极结构,设置在部分鳍结构以及部分绝缘材料上方。该栅极结构横贯鳍结构中的每个鳍。半导体器件进一步包括由具有连续的并且不间断的表面区域的材料所形成的源极部件和漏极部件。该源极部件和漏极部件包括位于平面中的表面,该表面与绝缘材料、鳍结构的一个或多个鳍中的每个以及栅极结构的平行平面内的表面直接接触。

[0050] 在一些实施例中,衬底选自于由体硅和绝缘体上硅(SOI)所构成的组。在各个实施例中,栅极结构包括:栅极介电层;栅电极,设置在栅极介电层上方;以及栅极隔离件,设置在栅电极的侧壁上。在特定的实施例中,半导体器件是PMOS FinFET 器件或NMOS FinFET 器件之一,并且其中,在集成电路器件中包括半导体器件。在一些实施例中,绝缘材料包括:具有高度(h2)的表面,在该表面上没有设置绝缘材料;以及具有高度(h3)的表面,在该表面上设置有绝缘材料。高度h2大于高度h3。在各个实施例中,源极部件和漏极部件包括高度(h1),该高度大于紧邻着源极部件和漏极部件并且与该源极部件和漏极部件直接接触的绝缘材料的高度(h2)。在实施例中,该源极部件和漏极部件导致在沟道区域中的电流方向上产生压应力。在另一个实施例中,源极部件和漏极部件导致在沟道区域中的电流方向上产生张应力。在各个实施例中,源极部件和漏极部件与衬底、绝缘材料、栅极隔离件以及鳍结构的每个鳍直接接触。

[0051] 还提供了半导体器件的一个可选的实施例。该示例性的半导体器件包括衬底和鳍结构,该鳍结构包括一个或多个设置在衬底上方的鳍。该鳍结构包括位于第一公共面中的第一表面和位于第二公共面中的第二表面。第一公共面和第二公共面不同。半导体器件进一步包括设置在鳍结构的中心部分上方的介电层。半导体器件进一步包括设置在介电层上方的栅电极。该栅电极横贯一个或多个鳍结构并且将半导体器件的源极区域与漏极区域分开。源极区域和漏极区域在其间限定出了一个或多个鳍中的每个的沟道区域。半导体器件进一步包括:第一栅极隔离件,形成在栅电极的第一侧壁上以及第二栅极隔离件,形成在栅电极的第二侧壁上。半导体器件进一步包括直接形成在源极区域和漏极区域中的衬底上方的应变的源极部件和漏极部件。该应变的源极部件和漏极部件由连续的材料形成。

[0052] 在一些实施例中,半导体器件进一步包括设置在衬底上方的绝缘材料。该绝缘材料包括位于第一公共面中的第一表面以及位于第二公共面中的第二表面。应变的源极部件和漏极部件包括:第一表面,与位于第一公共面中的鳍结构的第一表面、绝缘材料的第一表面以及第一栅极隔离件的表面直接接触并且平行;以及第二表面,与位于第二公共面中的

鳍结构的第二表面、绝缘材料的第二表面以及第二栅极隔离件的表面直接接触并且平行。

[0053] 在一些实施例中，应变的源极和漏极部件包括硅锗。在各个实施例中，第一公共面和第二公共面基本上平行。在特定的实施例中，半导体衬底和鳍结构包括硅。

[0054] 还提供了一种方法。该方法包括：提供衬底并且形成包括一个或多个位于衬底上方的鳍的鳍结构。该方法进一步包括：在鳍结构上方沉积绝缘材料并且去除该绝缘材料的部分，使得暴露鳍结构的一个或多个鳍中的每个鳍的部分。该方法进一步包括：在鳍结构的一个或多个鳍中的每个鳍的暴露部分上方形成栅极结构。该栅极结构将半导体器件的源极区域与漏极区域分开。该方法进一步包括：去除源极区域和漏极区域中的绝缘材料并且在源极区域和漏极区域中形成源极部件和漏极部件。该源极部件和漏极部件具有连续的并且不间断的表面区域。

[0055] 在一些实施例中，形成鳍结构包括使用了硬掩模的蚀刻工艺。在特定的实施例中，去除部分绝缘材料，使得暴露鳍结构的一个或多个鳍中的每个鳍的部分包括：实施蚀刻工艺，使得没有去除源极区域和漏极区域中的绝缘材料。在各个实施例中，去除部分绝缘材料暴露出鳍结构的一个或多个鳍中的每个鳍的部分包括：在源极和漏极区域中的绝缘材料上方形成掩模层；以及实施蚀刻工艺，使得未被掩模层覆盖的绝缘材料的部分被去除，由此暴露出鳍结构的一个或多个鳍中的每个鳍的部分。在实施例中，形成栅极结构包括：形成栅电极以及在栅电极的第一侧壁和第二侧壁上方形成第一栅极隔离件和第二栅极隔离件。在其他实施例中，提供衬底包括：提供包括硅的衬底，而形成源极部件和漏极部件包括：直接在硅衬底上方外延(epi)生长半导体材料。在又一些实施例中，外延(epi)生长半导体材料包括：填充源极区域和漏极区域，使得部分半导体材料与第一栅极隔离件和第二栅极隔离件直接接触。在一些实施例中，去除源极区域和漏极区域中的绝缘材料包括：暴露出衬底的表面，并且形成源极部件和漏极部件包括：在暴露的衬底表面上外延(epi)生长半导体材料，该半导体材料和鳍结构具有不同的晶格常数。

[0056] 上面论述了若干实施例的部件，使得本领域普通技术人员可以更好地理解本发明的各个方面。本领域普通技术人员应该理解，可以很容易地使用本发明作为基础来设计或更改其他用于达到与这里所介绍实施例相同的目的和/或实现相同优点的处理和结构。本领域普通技术人员也应该意识到，这种等效构造并不背离本发明的主旨和范围，并且在不背离本发明的主旨和范围的情况下，可以进行多种变化、替换以及改变。

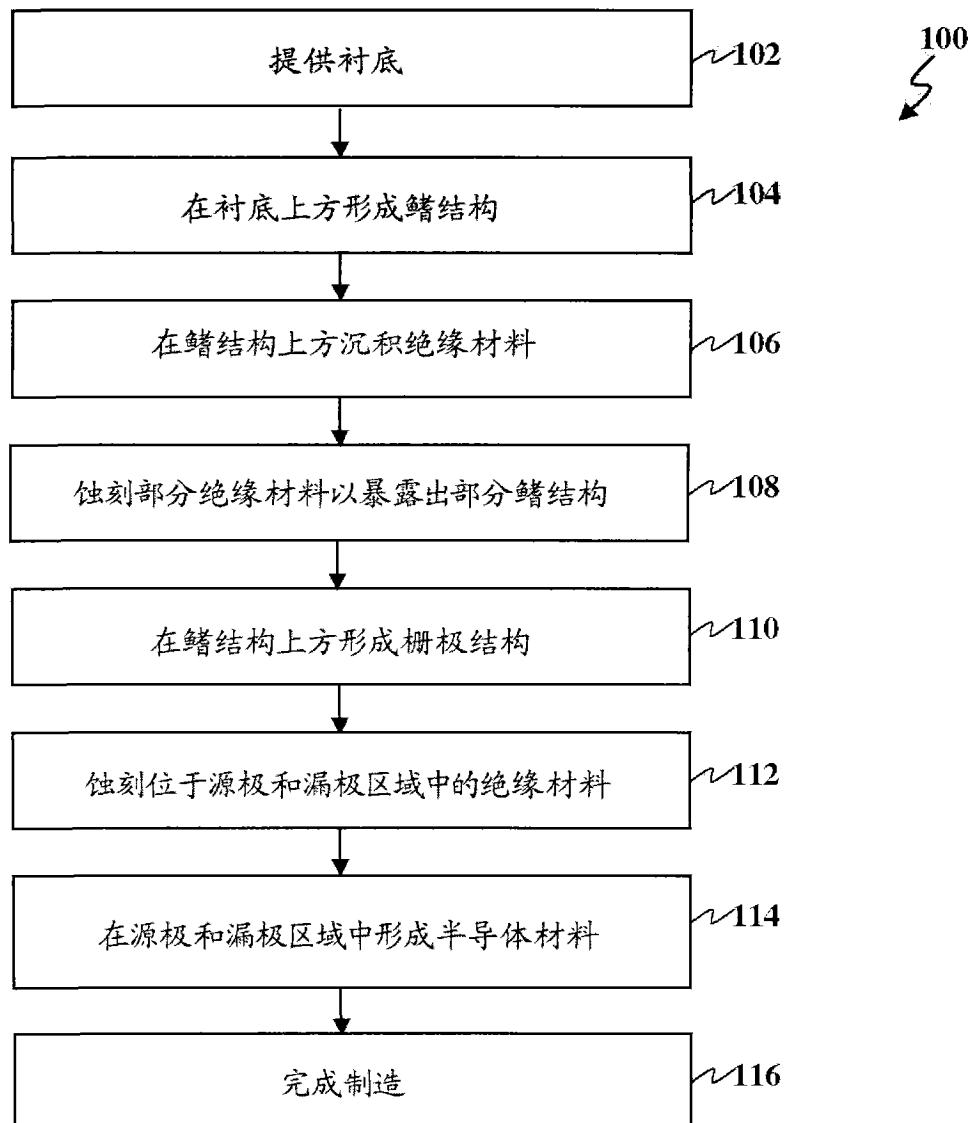


图 1

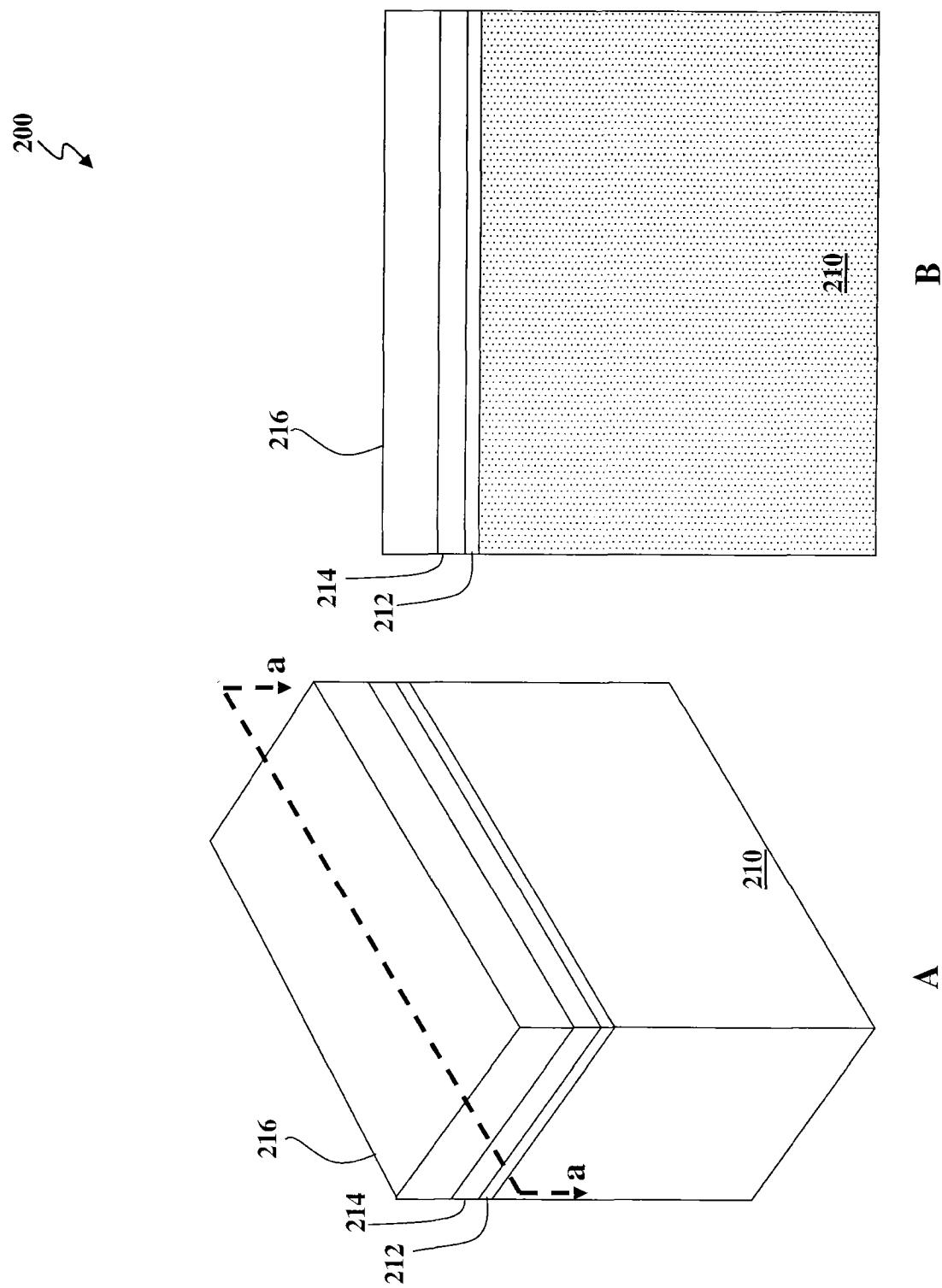


图 2

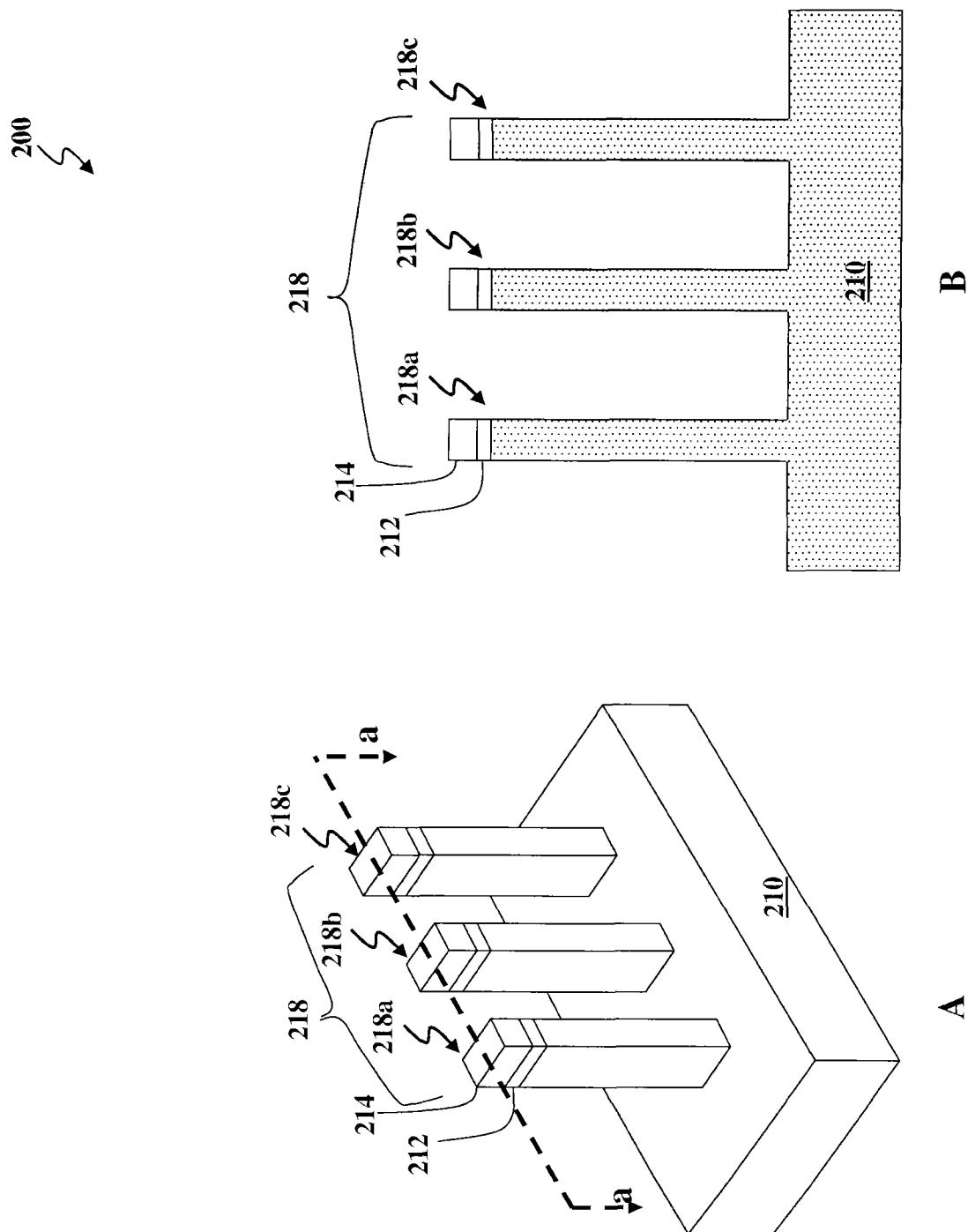


图 3

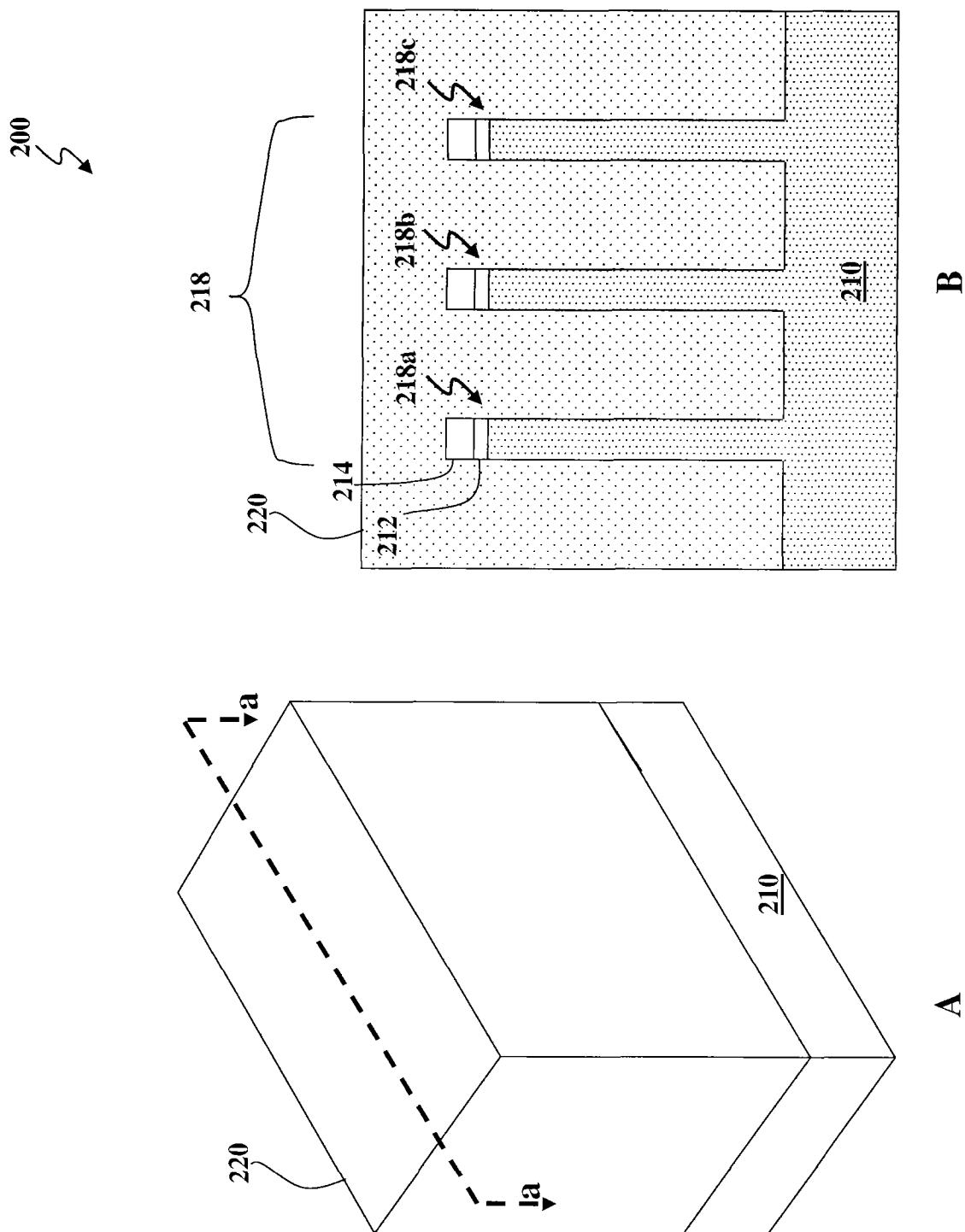


图 4

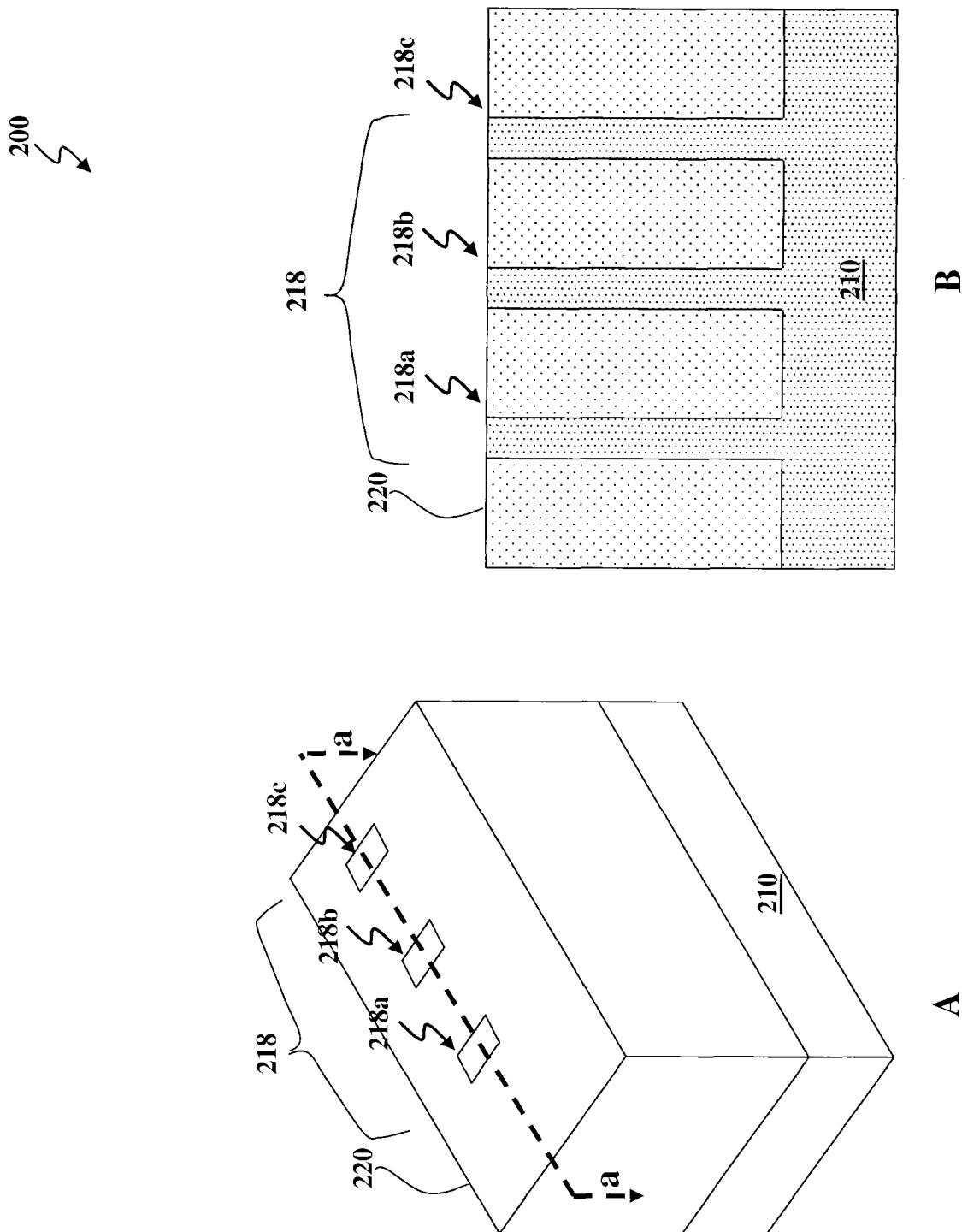


图 5

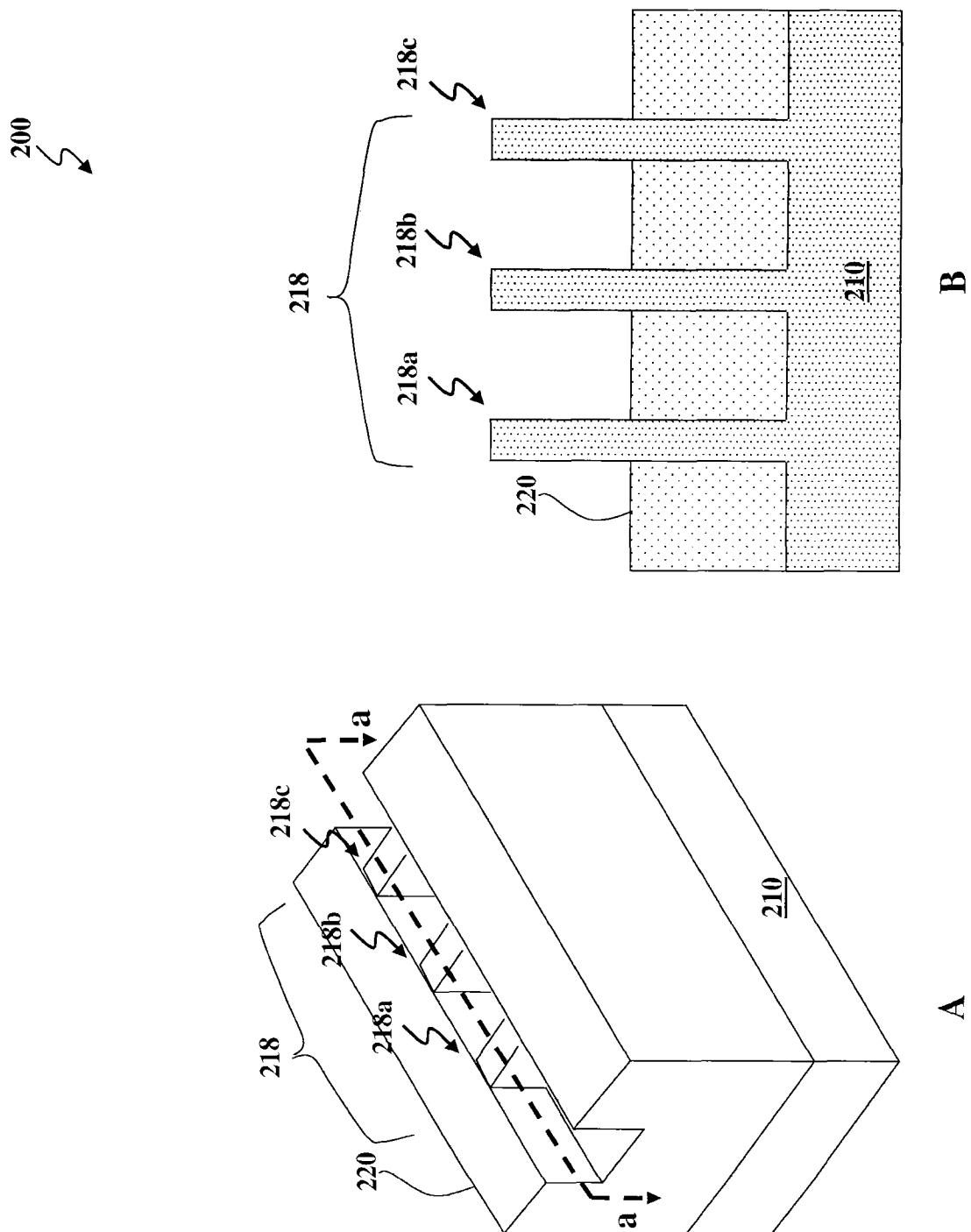


图 6

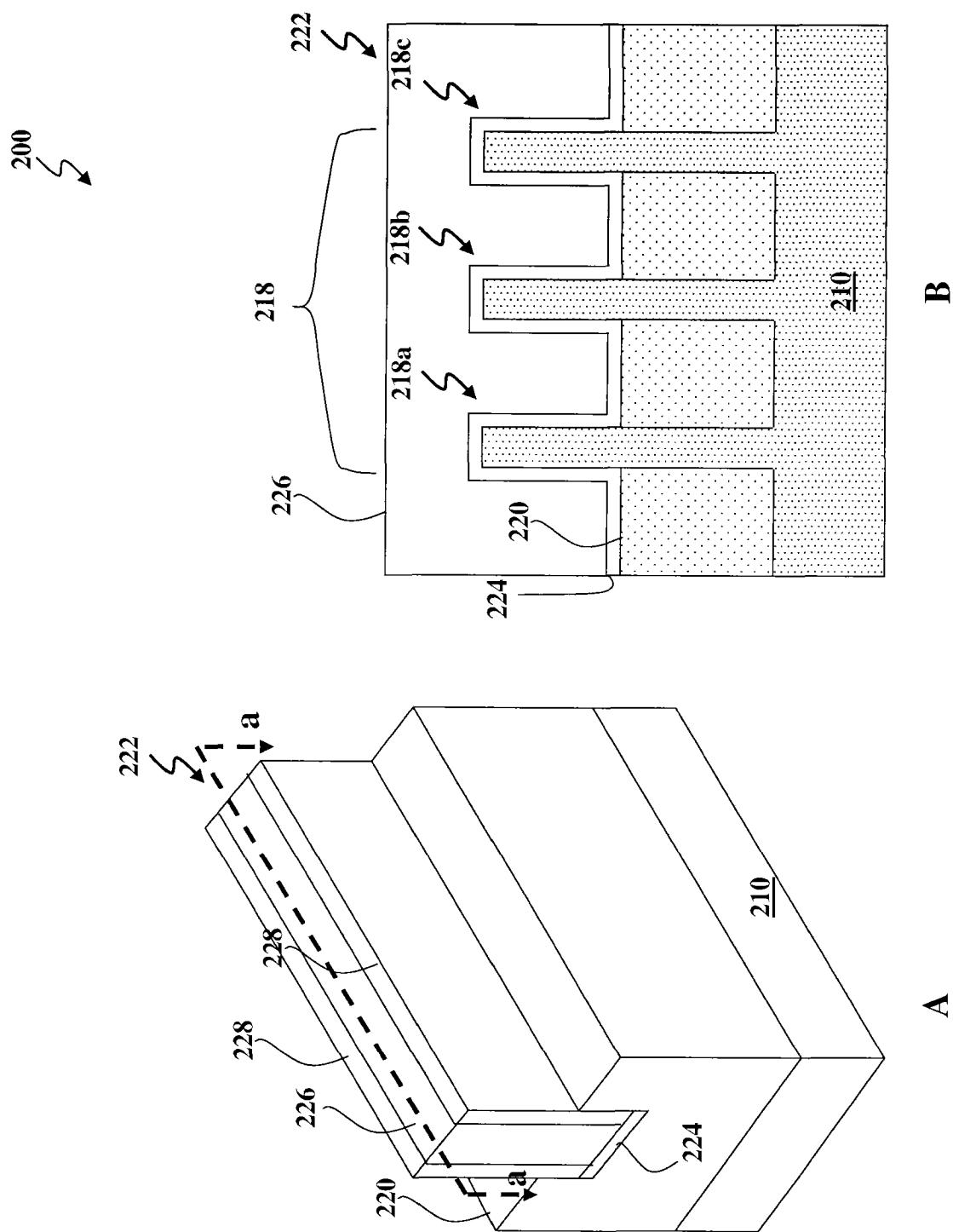


图 7

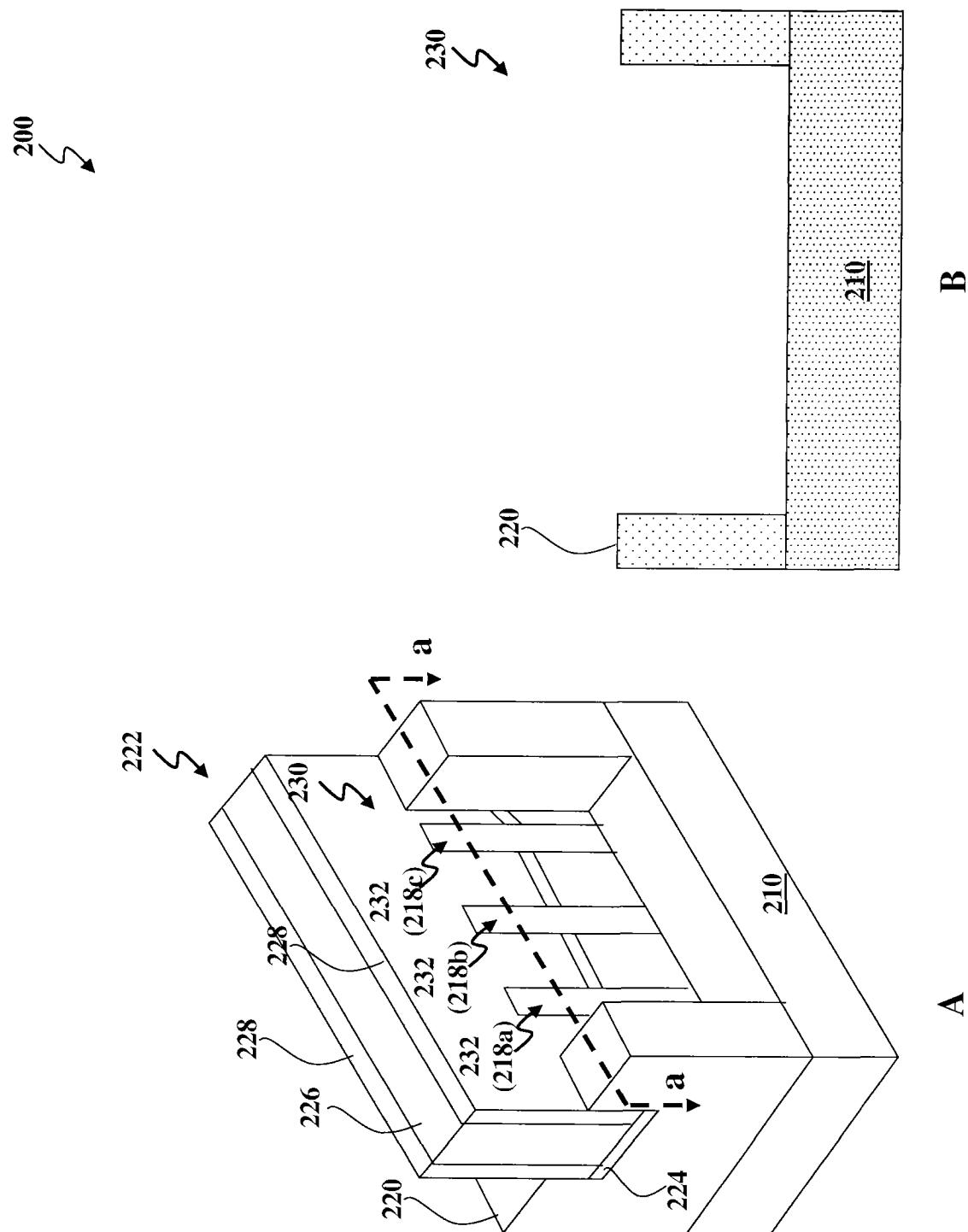


图 8

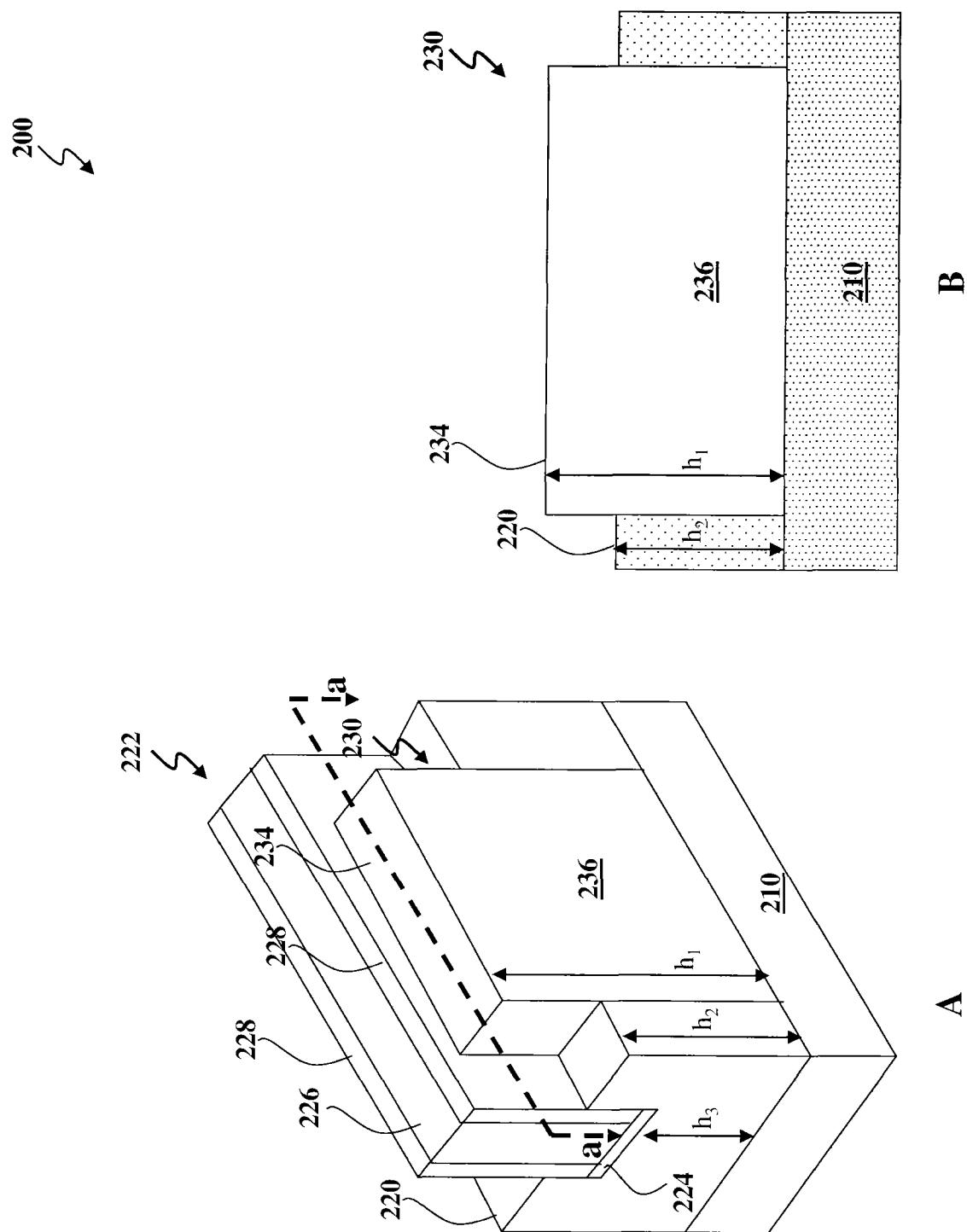


图 9