

1. 一种偏移校准方法,其特征在于,包括:

在可变增益放大器的输出端生成时变信息信号;

在无时钟数据恢复的非同步启动过程中,针对所述时变信息信号,将采样器的电压判定阈值设置为目标峰值信号幅度;

以所述采样器,在所述非同步启动过程中根据自由运行时钟信号对所述时变信息信号进行非同步采样,以在连续的信令间隔内的不同采样时刻生成一系列判定结果,其中,所述一系列判定结果包括(i)表示所述时变信息信号大于所述目标峰值信号幅度的正性判定结果以及(ii)表示所述时变信息信号小于所述目标峰值信号幅度的负性判定结果;

对所述正性判定结果的数目与所述负性判定结果的数目的比率进行累计;

响应于累计的比率与目标比率的不匹配,生成增益反馈控制信号,以调节所述可变增益放大器的增益设定值;以及

生成锁相采样时钟,以在正常数据操作中对所述时变信息信号进行采样。

2. 如权利要求1所述的方法,其特征在于,所述自由运行时钟信号相对于所述时变信息信号存在频率偏移。

3. 如权利要求2所述的方法,其特征在于,所述自由运行时钟信号的频率为所述时变信息信号的波特率的约80%。

4. 如权利要求1至3当中任何一项所述的方法,其特征在于,对所述正性判定结果的数目与所述负性判定结果的数目的比率进行累计包括:通过响应于每一个正性判定结果更改计数寄存器的第一位置以及响应于每一个负性判定结果更改所述计数寄存器的第二位置的方式对所述计数寄存器进行更改,其中,对所述第一位置和所述第二位置朝相反方向更改。

5. 如权利要求4所述的方法,其特征在于,所述目标比率为1:N,其中,所述计数寄存器的所述第一位置和所述第二位置由 $\log_2(N)$ 个位置隔开,其中,N为大于1的整数。

6. 如权利要求4所述的方法,其特征在于,所述增益反馈控制信号对应于多比特信号,其中所述多比特信号对应于所述计数寄存器的最高有效比特部分。

7. 如权利要求6所述的方法,其特征在于,所述计数寄存器包括处于所述计数寄存器的所述最高有效比特部分与所述第一位置和所述第二位置之间的至少一个位置,其中,所述至少一个位置用于对所述增益反馈控制信号进行低通滤波。

8. 一种偏移校准装置,其特征在于,包括:

用于生成时变信息信号的可变增益放大器;

采样器,其中,在非同步启动过程中,所述采样器具有设置为目标峰值信号幅度的电压判定阈值,其中,所述采样器用于根据自由运行时钟信号对所述时变信息信号进行非同步采样,以在连续的信令间隔内的不同采样时刻生成一系列判定结果,其中,所述一系列判定结果包括(i)表示所述时变信息信号大于所述目标峰值信号幅度的正性判定结果以及(ii)表示所述时变信息信号小于所述目标峰值信号幅度的负性判定结果;

控制滤波器,其中,所述控制滤波器用于对所述正性判定结果的数目与所述负性判定结果的数目的比率进行累计,并且响应于累计的比率与目标比率的不匹配来生成增益反馈控制信号,以调节所述可变增益放大器的增益设定值;以及

时钟数据恢复电路,其中,所述时钟数据恢复电路用于生成锁相采样时钟,以及用于将

所述锁相采样时钟提供给所述采样器,以在正常数据操作中对所述时变信息信号进行采样。

9. 如权利要求8所述的装置,其特征在于,所述自由运行时钟信号相对于所述时变信息信号存在频率偏移。

10. 如权利要求9所述的装置,其特征在于,所述采样时钟的频率为所述时变信息信号的波特率的约80%。

11. 如权利要求8至10当中任何一项所述的装置,其特征在于,所述控制滤波器包括用于对所述正性判定结果的数目与所述负性判定结果的数目的比率进行累计的计数寄存器,其中,所述计数寄存器用于响应于每一个正性判定结果更改所述计数寄存器的第一位置以及响应于每一个负性判定结果更改所述计数寄存器的第二位置,其中,对所述第一位置和所述第二位置朝相反方向更改。

12. 如权利要求11所述的装置,其特征在于,所述目标比率为1:N,其中,所述计数寄存器的所述第一位置和所述第二位置由 $\log_2(N)$ 个位置隔开,其中,N为大于1的整数。

13. 如权利要求11所述的装置,其特征在于,所述增益反馈控制信号对应于多比特信号,其中,所述多比特信号对应于所述计数寄存器的最高有效比特部分。

无时钟恢复情况下的可变增益放大器与采样器偏移校准

[0001] 相关申请的交叉引用

[0002] 本申请要求申请号为16/378,455,申请日为2019年4月8日,发明人为Ali Hormati,名称为“无时钟恢复情况下的可变增益放大器与采样器偏移校准”的美国申请的权益,并将其全部内容援引于此,以供所有目的之用。

[0003] 参考文献

[0004] 以下在先申请通过引用整体并入本文,以供所有目的之用:

[0005] 申请号为14/612,241,申请日为2015年2月2日,专利号为9,100,232,授权日为2015年8月4日,发明人为Amin Shokrollahi, Ali Hormati及Roger Ulrich,名称为“低符号间干扰比低功率芯片间通信方法和装置”的美国专利,下称【Shokrollahi】;

[0006] 申请号为15/582,545,申请日为2017年4月28日,发明人为Ali Hormati和Richard Simpson,名称为“采用判定反馈均衡的时钟数据恢复”的美国专利申请,下称【Hormati】。

背景技术

[0007] 在当今数字系统中,数字信息必须得到高效可靠的处理。在这一背景下,须将数字信息理解为含于离散值(即非连续值)内的信息。数字信息不但可由比特和比特集合表示,而且还可由有限集合内的数字表示。

[0008] 为了提高总带宽,大多数芯片间或装置间通信系统采用多条线路进行通信。这些线路当中的每一条或每一对均可称为信道或链路,而且多条信道组成电子器件之间的通信总线。在物理电路层级上,芯片间通信系统内的总线通常由芯片与主板之间的封装电导体、印刷电路板(PCB)上的封装电导体、或PCB间线缆和连接器内的封装电导体构成。此外,在高频应用中,还可采用微带或带状PCB迹线。

[0009] 常用总线线路信号传输方法包括单端信令法和差分信令法。在需要高速通信的应用中,这些方法还可以在功耗和引脚利用率方面(尤其高速通信中的这些方面)进一步优化。最近,【Shokrollahi】等文中提出的向量信令法可在芯片间通信系统的功耗、引脚利用率及噪声稳健性方面实现更加优化的权衡取舍。此类向量信令系统将发送器的数字信息转换为向量码字这一不同表示空间,并且根据传输信道的特性和通信系统的设计约束选择不同的向量码字,以在功耗、引脚利用率及速度之间做出更优的权衡取舍。这一过程在本申请中称为“编码”。编码后的码字以一组信号的形式从发射器发送至一个或多个接收器。接收器将所接收的与码字对应的信号反转为最初的数字信息表示空间。这一过程在本申请中称为“解码”。

[0010] 无论采取何种编码方法,均须对接收装置所接收的信号进行间隔采样(或者以其他方式记录其信号值),而且无论传输信道的延迟、干扰及噪声条件如何,该采样间隔均须使得采样值能够以最佳方式表示最初的发送值。这一时钟和数据恢复(CDR)操作需要不但能够确定合适的采样时间,而且能够持续不断地确定合适的采样时间,才能实现对不断变化的信号传播条件的动态补偿。通信接收器通常从接收到的数据流中提取接收时钟信号。为了促进此类时钟数据恢复(CDR)操作,一些通信协议通过对通信信令施加约束而区分时

钟相关信号分量和数据相关信号分量。类似地,为了提供促进时钟恢复的额外信息,一些通信接收器通过在所需最小限度之上对接收到的信号进行处理而检测数据。举例而言,所谓的双波特率接收采样器可在两倍于所需数据接收速率的速率下测量接收信号电平,从而能够对与数据分量相应的接收信号电平以及与信号时钟分量相关且在时间上发生偏移的接收信号跃迁进行独立检测。

[0011] 现实中的通信信道存在瑕疵,会同时对发送信号的幅度(如衰减作用)和时间(如延迟及脉冲拖影作用)产生负面影响,此类影响可通过发送器预补偿和/或接收均衡得以消弭。连续时间线性均衡(CTLE)为一种已知的频域均衡方法,该方法例如能够对高频下信道衰减度的增大进行补偿。此外,时域导向型均衡方法用于对接收信号所受符号间干扰(ISI)的影响进行补偿。导致此类ISI的原因在于,先前发送信号在通信传输介质内的残留电效应会对当前符号间隔的幅度和时间造成影响。例如,存在一项或多项阻抗异常的传输线路介质可能会导致信号反射。如此,当发送信号在介质内传播时,将因所述一项或多项阻抗异常而发生部分反射,而且此类反射信号将在稍后的某个时间点以与正常传播信号叠加的形式到达接收器。

[0012] 一种数据依赖性接收均衡方法为判定反馈均衡法(DFE)。在DFE中,通过如下方式进行时域导向型均衡:先由接收器保持先前接收数据值的历史记录;然后由传输线路模型对接收数据值历史记录进行处理,以推测每一历史数据值对当前接收信号的预期影响。所述传输线路模型既可预先算出,也可通过测量获得,还可通过试错方式生成,并且可涵盖一个或多个先前数据间隔的影响。针对所述一个或多个先前数据间隔预测出的影响程度统称DFE补偿量,在低数据速率或中等数据速率下,DFE补偿量可在后一数据采样值被检测出之前及时算出,以供施加,施加方式例如为在接收采样操作之前从接收数据信号中显式减除,或者为通过变更在接收数据采样器或比较器中作为接收数据信号比较对象的参考电平的方式实现的隐式减除。然而,在高数据速率下,先前数据比特的检测和DFE补偿量的计算可能无法在后一数据采样值被检测出之前及时完成,因此需要对推测数据值或可能数据值进行所谓的“展开式”DFE计算,而非对已知的先前数据值进行计算。例如,展开式DFE处理级可根据用于确定的数据比特的解析结果为“1”或“0”两种情形预测出两个不同的补偿值,而接收检测器同时根据此两预测结果进行采样(切片)操作,并将所得的多个结果一直保留至完成对先前单位间隔DFE判定的解析。

发明内容

[0013] 一种数字接收器系统同时在幅度和时间两方面对接收信号进行采样,从而无论通信介质所产生的信号质量下降作用如何,均能获得足以实现对发送数据进行精确检测和解码的信息。由于通信介质可引入显著的信号衰减,因此信号接收器通常通过包括可变增益放大器来恢复出可供检测得到的信号电平。通过在此类放大器中设置正确的增益水平,可以实现信号检测。本申请所述方法和系统用于对可变增益放大器的增益设定值进行测量和调节,以使得在该可变增益放大器之后开始操作的接收器能够实现完全同步的操作。

[0014] 在所描述的方法和系统中:在可变增益放大器(VGA)的输出端生成时变信息信号;以具有与目标信号幅度相关联的垂直判定阈值的采样器,对所述时变信息信号进行非同步采样,以在连续的信令间隔内的不同采样时刻生成一系列判定结果,该系列判定结果包括

(i) 表示所述时变信息信号大于所述目标信号幅度的正性判定结果以及(ii) 表示所述时变信息信号小于所述目标信号幅度的负性判定结果; 对正性判定结果的数目与负性判定结果的数目的比率进行累计; 以及响应于所述累计的比率与目标比率的不匹配, 生成增益反馈控制信号, 以调节所述VGA的增益设定值。

附图说明

- [0015] 图1为根据一些实施方式的接收器框图。
- [0016] 图2为根据一些实施方式对测量结果的比率进行累计的一种计数寄存器实施方式的框图。
- [0017] 图3为一种计数寄存器替代实施方式的框图。
- [0018] 图4为根据一些实施方式的方法流程图。
- [0019] 图5为根据一些实施方式与偏移差分对连接的差分采样器示意图。
- [0020] 图6为根据一些实施方式在无时钟和数据恢复(CDR)的情况下对可变增益放大器(VGA)进行增益校准的装置框图。
- [0021] 图7为根据一些实施方式在无CDR的情况下进行采样器偏移校准的装置框图。

具体实施方式

[0022] 近年来, 高速通信系统的信令速率已达每秒数十吉比特, 使得单个数据单位间隔以皮秒计。此类系统的一例见【Shokrollahi】，该文描述了在设置于系统内的两个集成电路装置之间等位置的极高带宽多线路数据通信链路上传输向量信令码的情形。根据所使用的具体向量信令码, 组成通信链路的信道数目可少至两条多至八条或八条以上, 并且可在数据信道内或另设的通信信道内传输一个或多个时钟信号。

[0023] 在一种采用向量信令码的实施方式中, 发送器将多个数据比特编码为向量信令“码字”, 即待在多条线路或通信介质信道中几乎同时发送的一组符号。由于每条此类线路或信道均可承载多于两种的可能取值, 因此每一码字符号均取自信号值符集。在【Shokrollahi】给出的示例中, 利用四值符集和十值符集将五个数据比特编码为六个符号码字。接收器通过检测多电平线路信号确定所接收的码字, 并随后将其解码(例如, 通过查找映射表)为接收数据。

[0024] 在替代实施方式中, 需要注意的是, 每一向量信令码字的形式均为“子信道”分量的相互叠加, 每一此类子信道均为相应线路或信道的正交模或调制模式。因此, 在【Shokrollahi】示例中, 发送信号可以为五条子信道的求和结果, 每条子信道均由五个发送数据比特当中的一者调制。与此同时, 向量信令码接收器可直接检测与特定子信道对应的接收线路信号组合。此类检测可例如由多输入比较器(MIC)实施, 该MIC对与相应子信道的正交模关联的两个或更多个线路信号进行加权求和操作, 并直接生成接收数据的一个比特。在【Shokrollahi】示例中, 完全解码五个数据比特需要使用与两至六个线路信号的组合对应的一组MIC。由于码字和子信道处理模型彼此完全等效, 因此可以认为, 无论所使用的具体编码和解码模型如何, 两者之间均可实现互操作。举例而言, 在使用相同正交向量信令码的情形下, 码字发送器可与基于MIC的子信道接收器结合使用。

[0025] 如上所述, 正交向量信令码系统内的线路信号可取多个不同的值, 而子信道检测

结果(如MIC输出端的加权求和结果)一般为二进制结果。如此,ISI削减和时偏校正等接收处理功能可以在更为简单的子信道信号而非更复杂的线路信号上实施,因此更为有效。

[0026] 在现有高速集成电路接收器的实践当中,每一接收信号信道、子信道或线路信号的终点均为采样装置。该采样装置所实施的测量同时在时间和幅度两个维度上施加约束。在一种例示实施方式中,该采样装置可由对待测时间间隔施加约束的采样保持电路以及在下游判断该间隔内的信号大于或小于参考值(或者,在一些实施方式中,判断该信号是否处于参考值所设定的上下限内)的阈值检测器或数字比较器构成。或者,也可由确定信号幅度的数字比较器以及在选定时间点上对所述确定结果进行采集的下游钟控数字触发器构成。在其他实施方式中,还可采用响应于时钟跃迁的发生而对输入信号的幅度状态进行采样的组合式时间/幅度采样电路。在一些实施方式中,在接收器的部分或所有采样器内,采样值的采集时间均可调节。在一些实施方式中,在接收器的部分或所有采样器内,作为采样值比较对象的阈值电平均可调节。

[0027] 由于用于获得输入测量值的接收部件同时对时间和幅度的测量施加约束,因此出于描述的方便性,本文以“采样装置”或更为简洁的“采样器”一词指代该接收部件,而不使用在本领域中可同等指代但在描述性方面有所欠缺的“切片器”一词。在一些实施方式中,在接收器的部分或所有采样器内,采样值的采集时间均可调节。在一些实施方式中,在接收器的部分或所有采样器内,作为采样值比较对象的阈值电平均可调节。例如,众所周知的接收器“眼图”一般通过对此类参数进行迭代式调节的方式获得,所得结果为信号幅度随时变图。

[0028] 本申请所述实施方式还可应用于【Shokrollahi】中的向量处理方法未涵盖的现有技术排列组合排序方法。更加概括性地说,这些实施方式可应用于任何通信或存储方法,尤其需要通过多条信道或多个信道元件之间的协调配合而产生相干性总结果的此类方法。

[0029] 时钟数据恢复

[0030] 【Hormati】等文中所述的时钟数据恢复(CDR)或时钟数据对齐(CDA)电路从数据线路本身或从专门的时钟信号输入中提取时间信息,并利用所提取的信息生成时钟信号,以控制接收信号采样装置所使用的时间间隔。实际的时钟提取操作可由锁相环(PLL)或延迟锁相环(DLL)等众所周知的电路实施。为了支持接收器的操作,此类电路还可在其运行过程中生成更高频率的内部时钟、多个时钟相位等。本领域中已见诸报道的CDR实施方式与CDA实施方式之间的实施差异与本文无关,因此本申请下文中将以“CDA”为总称,但这并不意味着限制。

[0031] 在一种常见的CDA实施方式中,第一采样时间用于最佳地获得数据采样值,第二采样时间用于最佳地确定内部时钟的相位是否仍保持与输入信号跃迁对齐,该采样时间在时间上可与最佳数据采样时间相差至1/2个接收信号单位间隔(UI)。由于在此类实施方式中,每一接收单位间隔内进行两次采样,因此可谓采用双波特率CDA的体系。此类体系在低速通信系统或接收信号具有极其尖锐的跃迁的情形(即观察到信号跃迁的时间点与最佳数据采样时间点之间具有较大时间差的情形)中极为常见。更为高级的CDA系统可利用单个采样时间同时获得数据和时钟相位信息。

[0032] 接收信号的均衡

[0033] 在高数据速率下,即便是相对较短的高质量通信信道仍存在相当可观的频率相关

信号损失,因此数据接收器往往具有对接收信号进行均衡的功能。连续时间线性均衡(CTLE)一般用于提高接收信号路径的高频增益,以补偿信道在高频下衰减增大的现象。此外,由于信号路径的衰减作用,接收器可能需要进一步具有信号放大功能,以提供检测所需的足够大的信号幅度。此类实施方式一般包括设于接收信号路径内的可变增益放大器(VGA)。

[0034] 例示实施方式

[0035] 出于非限制性说明目的,以下以图1所示简易式串行数据接收器为例。该例示接收器包括:由两个数据采样器支持的至少一个推断式DFE处理级150,所述两个数据采样器在两个不同幅度阈值下同时进行时间采样操作;以及用于产生采样时钟的接收器时钟系统170,该系统的相位可通过CDR校正进行调节,以实现数据采样时间的优化。如图所示,所述数据采样器包括比较器120,这些比较器根据采样时钟对可变增益放大器(VGA)115提供的接收信号进行采样。在采样前,连续时间线性均衡器(CTLE,未图示)可对接收信号进行均衡处理。

[0036] 在一些实施方式中,一种装置包括用于生成两个比较器输出的两个比较器120,此两比较器用于根据采样时钟,由比较器121将所接收的时变信息与第一阈值进行比较,并由比较器122将其与第二阈值进行比较。所述第一和第二阈值可对应于由多线路总线内的符号间干扰预估量决定的判定反馈均衡(DFE)因子。该装置可进一步包括数据判定选择电路130,该电路用于根据可存储于数据值历史记录存储器140中的至少一个先前数据判定结果,将所述两个比较器输出当中的一者选择为数据判定结果。该装置进一步包括相位误差指示选择电路160,该电路用于在从模式检测电路155接收到CDR选择信号时,将所述两个比较器输出当中的一者选择为相位误差指示信号,模式检测电路155用于识别数据值历史记录存储器140中的预设数据判定模式。

[0037] 在一些实施方式中,一个或多个备用采样器180提供额外测量功能。在一种模式中,备用采样器180当中的一个或多个可用作替代数据采样器,以使得数据采样器能够被置为离线状态,以供校准、调节或其他操作维护用途之用。在另一模式中,一个或多个备用采样器180可用于利用幅度阈值和/或测量控制器190提供的采样时钟(而非数据采样器的采样时钟)采集眼图范围数据。在又一模式中,测量控制器190可对一个或多个备用采样器180进行设置,以使其对接收信号幅度或跃迁时间进行非干扰性测量。

[0038] 在一些实施方式中,所述装置进一步包括接收器时钟系统170,该系统用于接收所述相位误差指示信号,并随之对采样时钟进行相位调节。在一些实施方式中,所述相位误差指示信号为对接收信号的跃迁做出的过早/过晚逻辑判定。在一些实施方式中,数据判定选择电路130与相位误差指示电路160选择不同的比较器输出。

[0039] 在一些实施方式中,所述装置进一步包括用于生成所述第一和第二阈值的判定反馈均衡(DFE)电路150。

[0040] 在一些实施方式中,该装置进一步包括对经多条线路接收的信号实施操作的子信道检测多输入比较器(MIC,未图示),该子信道检测MIC用于生成接收数据输入信号。在此类实施方式中,经所述多条线路接收的信号对应于向量信令码的码字符号,所述码字对应于多个子信道向量的加权求和结果,每一子信道向量均相互正交。在一种此类实施方式中,符号间干扰特定于具体子信道,而且该子信道特定ISI对应于对与接收信号关联的相应子信

道向量的各分量进行的调制。在一些实施方式中,每一子信道向量的关联子信道特定ISI彼此相互正交。在一些实施方式中,所述装置可进一步包括滤波器,该滤波器用于在比较器输出生成前,对接收信号进行滤波。

[0041] 在一些实施方式中,至少图1所示数据采样器120为多个180,其中,一组数据采样器对接收信号进行测量,以实现非间断的检测数据流,而另一组数据采样器对同一接收信号进行测量,以获得信号幅度或时钟相位信息等非数据结果。在其他实施方式中,在所述测量和/或调节过程中,针对至少一组数据采样器,对比较器阈值、采样时间、接收信道增益及CTLE均衡当中的至少一者进行调整。

[0042] 无CDR情况下的VGA增益调节

[0043] 在数据接收器的初始启动或初始化过程中,通信信道特性可能未知,而且尤其未知的是,发送装置生成的时变信息信号已经历了何种程度的衰减,因此无法提供应该施加何等的接收器前端增益(例如由可变增益输入放大器(VGA)施加)才能为接收数据检测器提供可接收程度的输入信号方面的指示。

[0044] 在未检测到数据流时,接收时钟或CDA子系统可无需锁相,并且一般可在某个频率下自由运行,而该频率可能与发送数据流的频率迥然不同,从而使得接收信号采样器无法正常使用。在一些实施方式中,接收器的锁相环时钟系统的自由运行状态频率可接近于发送器该状态下的频率,例如处于标称频率的20%以内。在其他实施方式中,PLL的初始速率可大不相同,在某些情形中,在频率方面可高或低两倍或更多倍。这一问题对于从接收数据跃迁中提取时间信息的CDA实施方式而言尤其严重,其原因在于,由其中一个采样器120获得的用于实现PLL锁相的相位误差信号至少部分依赖于从接收时变信息信号中正确检测得到的数据值,而此类检测的依据为从PLL获得的精确对齐的时钟信号。

[0045] 许多接收器系统并不为信号幅度的实际测量提供任何硬件支持。相反地,数据采样器仅在其被采样时钟触发时输入信号是大于还是小于采样器阈值方面给出提示。在CDA未锁相的情况下,无从得知对时变信息信号进行的给定测量发生于给定信令间隔中的哪一点,因此在每一连续的信令间隔内进行的此类测量基本上可发生于任意时刻。

[0046] 一种实施方式恰恰利用初始启动过程中缺乏采样时钟这一点,使数据采样器能够以统计方式估计出输入信号的总幅度,并进而估计出时变信息信号的上限和下限。在接收器采样时钟于数据检测器处于正常操作等状况下实现锁相的情形中,所述上限和下限可参考接收信号检测领域众所周知的眼图模型的元素,描述为“眼图顶沿”和“眼图底沿”。然而,由于时钟并未锁相,因此时变信息信号只能进行非同步采样操作,而非同步采样操作与由CDR确定的眼图中心采样时间之间的关系为任意关系,并且随采样操作的不同而不同。

[0047] 图6为根据一些实施方式的装置框图。如图所示,图6包括用于生成时变信息信号Vin的VGA 115。图6进一步包括采样器(如图1采样器121),该采样器具有与目标信号幅度相联的垂直判定阈值Vth。采样器121用于以尚未由CDR锁相的采样时钟CK对时变信息信号进行非同步采样,以在连续的信令间隔内的不同采样时刻生成一系列判定结果,该系列判定结果包括(i)表示时变信息信号大于目标信号幅度的正性判定结果以及(ii)表示时变信息信号小于目标信号幅度的负性判定结果。图6进一步包括控制滤波器610,用于对正性判定结果数与负性判定结果数的比率进行累计,并随之在累计比率与目标比率不匹配后生成用于调节VGA增益设定值的增益反馈控制信号。在一些实施方式中,所述增益反馈控制信号

可以为选自所述控制滤波器内的计数寄存器的MSB部分的多比特控制信号。在替代实施方式中，所述增益反馈控制信号可以为用于将VGA增益设定值单步增大或减小的单个比特。

[0048] 图4包括根据一些实施方式的方法400。如图所示，方法400包括在VGA输出端生成402时变信息信号。在一些实施方式中，所述时变信息信号可以为任意数据信号，或者为训练模式。在一种具体实施方式中，采样器正常数据操作中实现正确数据检测所需的初始眼图顶沿目标值为200mV。在该非同步启动过程中，所述采样器垂直判定阈值调至所述目标信号幅度，而且通过获得404若干采样值而在连续的信令间隔内的不同采样时刻生成一系列判定结果。在一种具体实施方式中，所述采样器阈值的设定包括通过偏移差分对施加电压偏移量。在一些实施方式中，所述目标信号幅度对应于目标峰间信号幅度。例如，图5为根据一种具体实施方式的示意图，其中，所述采样器阈值具有经偏移校正差分对510施加的偏移量。在一些实施方式中，所述电压偏移量Voc可对应于所述目标信号幅度，而在另一些实施方式中，Voc可对应于DFE校正因子。在一些实施方式中，所述电压偏移量可通过对所述差分对的电流源进行调节的方式施加。由于CDR尚未根据采样器120生成的相位误差信息生成时钟信号，因此所述采样值的时间与输入数据流的幅度变化之间的关系基本为随机关系，而且通过采集多个此类采样值，可以合理地估算出整个信令间隔的总信号幅度。所述采样器生成的一系列判定结果包括：(i) 表示时变信息信号大于目标信号幅度的“正性”(或称“大于阈值”)判定结果以及(ii) 表示时变信息信号小于目标信号幅度的“负性”(或称“小于阈值”)判定结果。该方法进一步包括对正性判定结果数与负性判定结果数的比率进行累计406，并随之在当累计比率与目标比率不匹配时生成408用于调节VGA增益设定值的增益反馈控制信号。如图4所示，增益反馈控制信号408的生成可包括将判定结果的累计比率与预设目标比率相比较410。如果大于目标信号幅度的判定结果数与小于目标信号幅度的判定结果数的累计比率远小于目标比率，例如为1:8，则在将VGA增益增大412后重复测量过程。如果判定结果的累计比率远大于所述预设比率或目标比率，则在将VGA增益减小414后重复测量过程。

[0049] 另一实施方式使用控制滤波器，对作为统计对象的采样值进行累计，并例如通过硬件式计数寄存器施加所述目标比率。继续上例，1:8这一例示目标比率基本上表示，在对于该统计分析而言，八个小于阈值采样值相对于一个大于阈值采样值。相应地，在该实施方式中，将小于阈值判定结果的计数值除以八(例如，以设于比较功能上游的三比特二进制计数器进行计数值的累计)，并利用二进制增减计数器对大于阈值判定结果(已预先经缩放或除法处理)数与小于阈值采样值数的比率进行累计：每一个大于阈值判定结果下数一次；每八个小于阈值判定结果上数一次。如果计数器的值一直大约保持于其测量过程之前的初始化值，则表示上数次数大约等于下数次数，因此所得测量结果大约为目标比率。如果计数器的值显著增大，则表示小于阈值采样结果数超出目标比率设定的预期值。如果计数器的值显著减小，则表示大于阈值的采样判定结果数超出目标比率设定的预期值。

[0050] 一种具体实施方式将最初的除数为N的除法器与增减结果计数器相互结合成单个专用硬件式计数寄存器，其中，举例而言，“小于阈值”判定结果使计数器的计数寄存器自其最低有效比特或第一比特步增，而且每当低位比特的计数值满溢出之后，均按照普通的级联方式向计数寄存器的更高位比特进位。“大于阈值”判定结果使计数寄存器自其第 $\log_2(N)$ 个比特后开始步减(也就是说，在该例中，步减操作的计数器进位逻辑开始于第三和第

四计数器比特之间)。

[0051] 所得效果如下:每一小于阈值判定结果使得计数器总值增一,而每一大于阈值判定结果使得计数器总值减八。所述增减计数器的最高有效比特(MSB)用作结果指示比特,而且该计数器的总大小选择为使得所获得的作为统计对象的采样值的个数不会使计数器的结果指示部分溢出。在一种具体实施方式中,所述测量过程进行至累计得到在统计意义上有效的测量判定结果比率为止。对于每一测量判定结果,如果采样器输出为“0”(即时变信息信号小于判定阈值),则计数器自其最低有效比特(即第 2^0 个比特)开始步增,以使得总值增一。如果采样器输出为“1”(即时变信息信号大于判定阈值),则计数器自其第 2^3 个比特开始步减,以使得计数器总值减八。在获得统计意义上有效数目个采样值后,通过检查计数器的MSB判断是否应该例如通过增益反馈控制信号增大(例如,当MSB=0时)或减小(例如,当MSB=1时)VGA增益设定值。在一些实施方式中,所述增益反馈控制信号可对应于用于单步更新VGA增益设定值的单个比特。或者计数器的MSB部分可对应于用于控制VGA增益设定值的多比特增益反馈控制信号。

[0052] 图2为上述计数器逻辑的一种实施方式的框图,其中,增减计数器210实施为分别由进位/借位(即上数和下数)信号“c”和“b”(如图示220)相互连接的一系列触发器211,212,213,214,215,216,217,218。如图所示,表示时变信息信号小于目标信号幅度的负性(即“小于阈值”)判定结果230用作计数器210的最低有效比特211,用于启动使计数器总值步增(即“上数”)的操作。每八次此类上数操作使得由211,212,213组成的计数段产生一个使214~218组成的计数段步增(上数)的进位溢出信号240。表示时变信息信号大于目标信号幅度的正性(即“大于阈值”)判定结果250作用于213与214之间,以引入使214~218组成的计数段步减(下数)的额外“借位”信号。如图所示,正性和负性判定结果对根据目标比率(在该具体示例中为 $1:2^3$,即1:8)彼此分隔的计数寄存器位置施加影响。

[0053] 由于高速操作的增减计数器较难实现,因此替代实施方式不采用确切的比例计算,而是采用快速近似法。可以注意到的是,在第 $\log_2(N)$ 个计数器比特后引入计数器步减操作这一做法同时牵涉计数器各级之间的进位和借位两种操作,即需执行全套的增减计数器逻辑。相反地,当将计数器实施为仅上数的触发器级联(根据实例化状况,适宜选择行波进位或超前进位)时,小于阈值判定结果可启动始自LSB且以适宜方式级联至高位比特的计数操作。

[0054] 如上所述,计数器的前 $\log_2(N)$ 个比特隐式地实现了与所选1:N目标比率相关联的N除功能。作为引入步减操作的替代方案,每一大于阈值判定结果均将计数器的前 $\log_2(N)$ 个比特当中的每一比特清除(即设置为零),即抵消了之前0~N-1次待实现向计数器更高位比特进位的步增操作的作用。相对于上述实施方式所得的结果,基于此类近似计算所做的仿真试验的结果可能会建议使用不同的有效N值。

[0055] 在一种此类实施方式中,在做出统计意义上有效次数的测量判定后,对计数器的输出进行衡量。如果计数器步增至使得MSB已置位(或者,在变型实施方式中,“保值”计数器溢出标志已因计数器步增的进位溢出而置位时),则可知小于阈值判定结果数目已超出近似计算的目标比率,因此可以增大VGA增益。如果MSB或计数器溢出标志仍保持清空状态,则说明大于阈值判定结果(此类结果将计数器的低位比特清空,因此抑制计数器高位比特的步增)的数目大至足以将计数器总值保持为较小的值,因此近似计算的目标比率未被超过,

可以相应减小VGA增益。

[0056] 图3为上述计数器逻辑的一种实施方式的框图。与上例一致,计数器310实施为一系列触发器311,312,313,314,315,316,317,318。出于描述的简单性,图中所示为行波进位计数器的情形,但这并不意味着限制。计数器的各触发器由本领域中周知的简易级联步增信号相互连接。“小于阈值”判定结果330作用于计数器310的最低有效比特311,以实现使计数器总值步增(即“上数”)操作。每八次此类上数操作使得由311,312,313组成的计数段溢出,从而使得由314~318组成的计数段步增(上数)。“大于阈值”判定结果350将311,312,313重置,从而推迟计数段溢出,除非计数段步增次数达到或超过八次。该测量过程的观测对象可以为最高有效计数器比特318的正负。在计数器可因回绕而产生错误结果的实施方式中,可以将额外的触发器350用作进位溢出标志,该标志在计数器比特318升高后置位,随后在计数器因开始另一测量过程而重新初始化之前,不论318是否进一步变化仍保持高值。在其他实施方式中,可将计数器预先设置或初始化至0与其最大计数值一半之间的选定值,以对进位至计数器MSB的快慢进行控制。在一些实施方式中,可以向计数器用于预缩放(因此,用于周期性重置)的计数段分配少于或多于三个的比特。在一些实施方式中,计数器总尺寸所含级数可小于或大于例示数目。

[0057] 在一些实施方式中,可以将上述计数寄存器(如图2和图3所示计数寄存器)当中一个计数寄存器的一组MSB用作VGA增益设定值的多比特增益反馈控制信号。例如,一种具体实施方式可将触发器216,217,218输出端的计数器比特用作三比特增益反馈控制信号,以对VGA增益设定值进行控制。在一些实施方式中,可将若干计数元件(如触发器214和215)设于计数寄存器的MSB部分与第一和第二位置(如211和213)之间,以对正性的“大于阈值”判定结果与负性的“小于阈值”判定结果的比率累计结果进行低通滤波。

[0058] 在初始目标眼图顶沿值无法通过可配置的输入增益最大量(或者当信号太强时,为最小量)实现时,可以使用替代实施方式。在此类实施方式中,为了设置正确的H1值,重要的一点在于,获知实际眼图测量的顶沿。一种此类实施方式包括将增益设置至固定水平(例如,设置至最大水平,然后步增式下调(或者根据判定阈值的施加方式相应上调)采样器偏移量),直至达到目标比率。如此,当最大增益无法在200mV的阈值水平下实现1:8这一目标比率时,通过该替代方式,可能能够确定最大增益可在140mV的判定阈值水平下实现1:8的比率。随后,可通过相应修改接收配置计算方式(如包括H1在内的DFE补偿参数的计算方式),以实现正常操作。

[0059] 容易理解的,上述方法和装置可例如通过将上文中的大于阈值判定结果与小于阈值判定结果互换而同等应用于时变信息信号底沿的测量。采用多个采样器的实施方式可同时进行使用不同阈值的多项测量,以例如同时确定出信号的顶部边界和底部边界。

[0060] 无CDR情况下的采样器偏移校正

[0061] 在一些实施方式中,一种类似方法可用于在无CDR的情况下进行采样器偏移的校正。上述实施方式的方法包括,先将采样器的垂直阈值设置为固定值,然后根据采样器生成的判定结果变化VGA的增益设定值,以确定以预设目标信号幅度生成时变信息信号的VGA增益设定值。与此相反,在下述实施方式中,先将VGA的增益设定值固定,然后变化采样器的垂直阈值,并以采样器的判定结果确定数据信令眼图垂直方向的中心。在至少一种实施方式中,该方法包括:对与具有固定增益设定值的VGA连接的数据采样器的判定阈值进行调节。

该数据采样器的判定阈值根据上述类似的控制滤波器进行调节,但所需目标比率为1:1,而非任意比率1:N。也就是说,平均而言,大于采样器判定阈值的判定结果数等于小于采样器判定阈值的判定结果数。该采样器用于对信息信号进行非同步采样,并以响应的方式生成判定结果,这些判定结果包括(i)表示信息信号大于采样器判定阈值的判定结果以及(ii)表示信息信号小于采样器判定阈值的判定结果。计数寄存器可响应于采样器生成的判定结果,步增或步减寄存器位置。在一些实施方式中,该计数寄存器可响应于采样器生成的每一判定结果更新。或者,根据数据速率及其他因子,该计数寄存器可以以更长的周期进行周期性更新。此类周期性更新可以为每当采样器生成k个判定结果后更新一次,或者例如根据非同步时钟信号随机更新。此类周期性更新可有助于提供低通滤波功能,以及减小更新的频次。

[0062] 计数寄存器的部分比特段可对采样器判定阈值进行控制。然而,与此相比,在上述VGA增益调节示例中,计数寄存器对VGA的增益设定值进行控制。判定阈值可根据判定结果周期性更新,直至大于判定阈值的判定结果数与小于判定阈值的判定结果数的比率大约为1:1,该比率表示判定阈值已设置至眼图垂直方向的中心。

[0063] 图7所示为根据一些实施方式在无CDR的情况下进行采样器偏移校正的框图。如图所示,采样器121用于生成表示VGA的时变信息信号Vin大于或小于判定阈值Vth的判定结果。时变信息信号非同步采样,并且一直采样至表示时变信息信号Vin大于阈值Vth的判定结果的数目与表示时变信息信号Vin小于阈值Vth的判定结果的数目之比约为1:1,该比率表示判定阈值Vth已设置至眼图垂直方向的中心。图7中的控制滤波器710可包括与图2和图3所示类似的计数寄存器,区别在于,这些计数寄存器可设置1:1的比率,而且计数寄存器的输出可用于调节采样器阈值,而非VGA的增益设定值。

[0064] 在一些实施方式中,一种方法包括:在具有固定增益设定值的可变增益放大器(VGA)的输出端生成时变信息信号。该方法进一步包括:以具有垂直判定阈值的采样器,对时变信息信号进行非同步采样,以在连续的信令间隔内的不同采样时刻生成一系列判定结果。在一些实施方式中,时变信息信号的非同步采样包括:使用相对于时变信息信号存在频率偏移的采样时钟对时变信息信号进行采样。在部分此类实施方式中,该采样时钟的频率大约为时变信息信号波特率的80%。在一些实施方式中,时变信息信号的非同步采样包括:时变信息信号的随机采样。

[0065] 采样器生成的一系列判定结果包括:(i)表示时变信息信号大于垂直判定阈值的正性判定结果;以及(ii)表示时变信息信号小于垂直判定阈值的负性判定结果。

[0066] 该方法进一步包括:对正性判定结果数与负性判定结果数的比率进行累计。在一些实施方式中,对正性判定结果数与负性判定结果数的比率的累计包括:对计数寄存器进行更改。在部分此类实施方式中,响应于每一正性判定结果将计数寄存器位置朝第一方向更改,并且响应于每一负性判定结果将计数寄存器位置朝第二方向更改。所述计数寄存器的位置可对应于该计数寄存器的最低有效比特 LSB 位置,而垂直判定阈值反馈控制信号对应于与所述计数寄存器最高有效比特 MSB 部分对应的多比特信号。所述计数寄存器可包括处于该计数寄存器MSB部分与该计数寄存器LSB位置之间且因而将其分隔开来的一个或多个位置,作为对垂直判定阈值反馈控制信号的更新进行低通滤波的低通滤波器。

[0067] 该方法进一步包括:生成所述垂直判定阈值反馈控制信号,用于在所述累计比率

与目标比率不匹配时调节采样器的垂直判定阈值。所述目标比率可对应于处于1:1比率阈值以内的比率。

[0068] 在一些实施方式中,一种装置包括用于生成时变信息信号的可变增益放大器(VGA)。

[0069] 该装置进一步包括具有垂直判定阈值的采样器,该采样器用于对所述时变信息信号进行非同步采样,以在连续的信令间隔内的不同采样时刻生成一系列判定结果。所述采样器可用于以相对于所述时变信息信号存在频率偏移的采样时钟对所述时变信息信号进行非同步采样。在部分此类实施方式中,所述采样时钟的频率为所述时变信息信号波特率的约80%。在一些实施方式中,该采样器用于对所述时变信息信号进行随机采样。由该采样器生成的所述一系列判定结果包括:(i)表示时变信息信号大于垂直判定阈值的正性判定结果;以及(ii)表示时变信息信号小于垂直判定阈值的负性判定结果。这些判定结果随后用于生成垂直判定阈值反馈控制信号。

[0070] 该装置进一步包括控制滤波器,该控制滤波器用于对正性判定结果数与负性判定结果数的比率进行累计,并随之生成所述垂直判定阈值反馈控制信号,以在当所述累计比率与目标比率不匹配时,调节所述采样器的垂直判定阈值。所述目标比率处于1:1比率阈值以内。

[0071] 在一些实施方式中,所述控制滤波器包括用于对正性判定结果数与负性判定结果数的比率进行累计的计数寄存器。在部分此类实施方式中,所述计数寄存器用于响应于每一正性判定结果将计数寄存器的位置朝第一方向更改,以及响应于每一负性判定结果将计数寄存器的位置朝第二方向更改。所述计数寄存器的更改位置可以为该计数寄存器的最低有效比特 LSB 位置,而所述垂直判定阈值反馈控制信号对应于与所述计数寄存器最高有效比特 MSB 部分对应的多比特信号。所述计数寄存器可包括处于该计数寄存器MSB部分与该计数寄存器LSB位置之间的一个或多个位置,用于对所述垂直判定阈值反馈控制信号进行低通滤波。

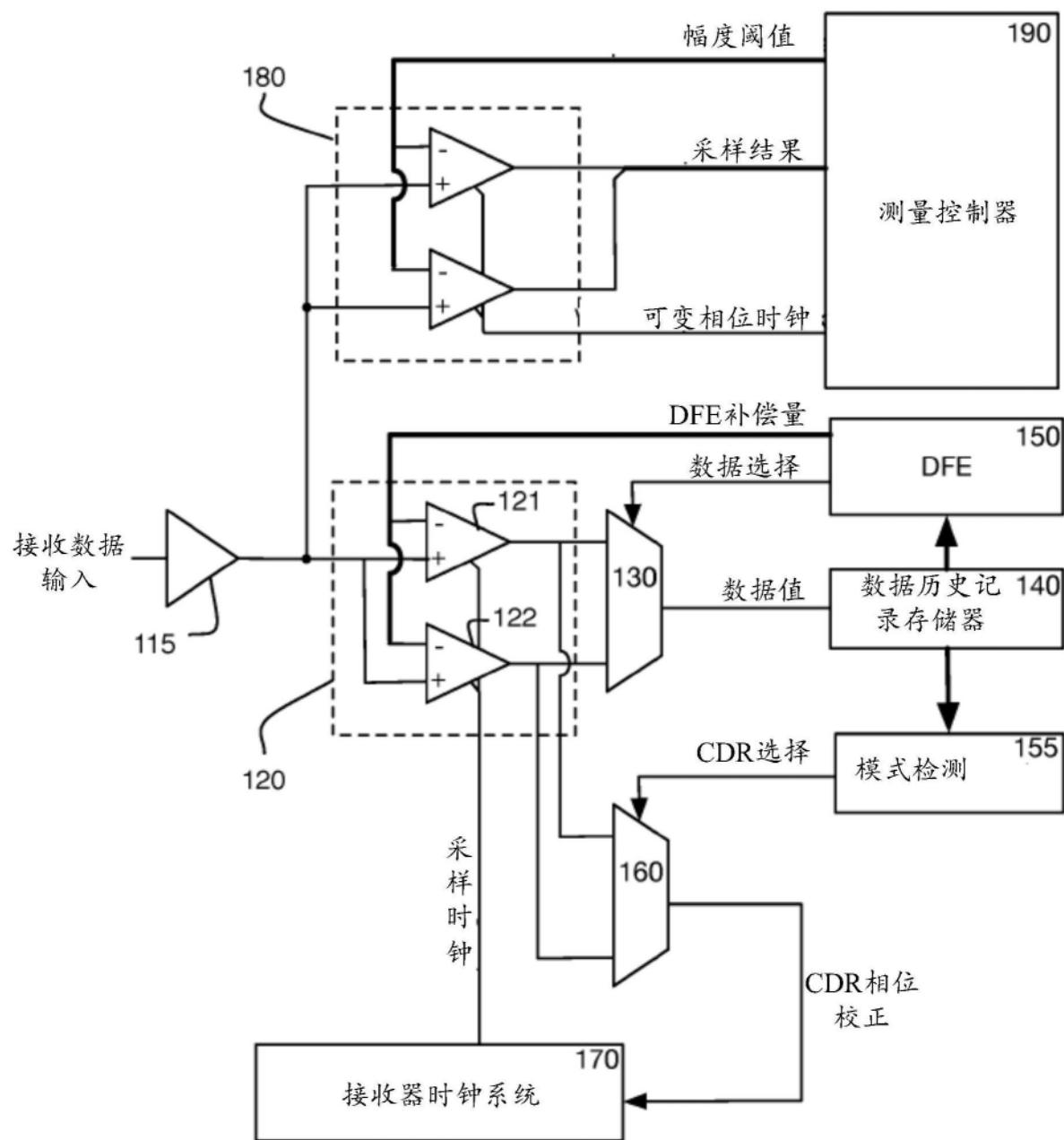


图1

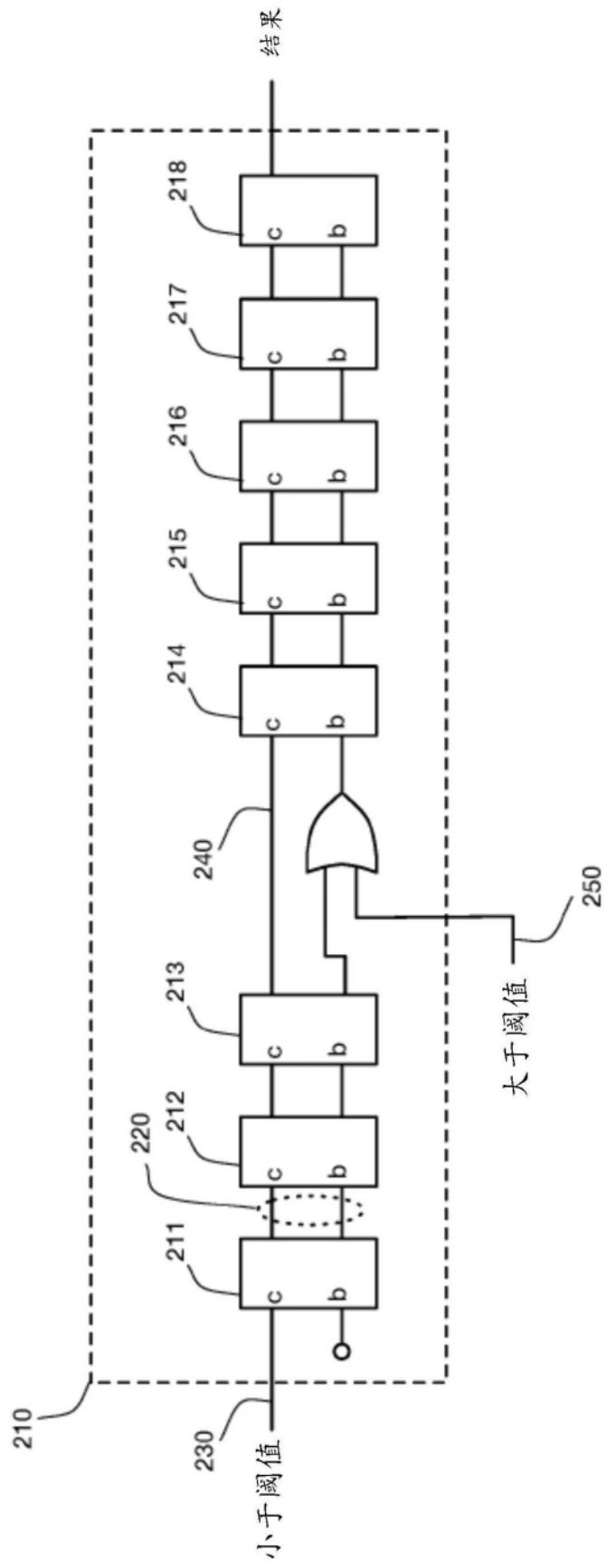


图2

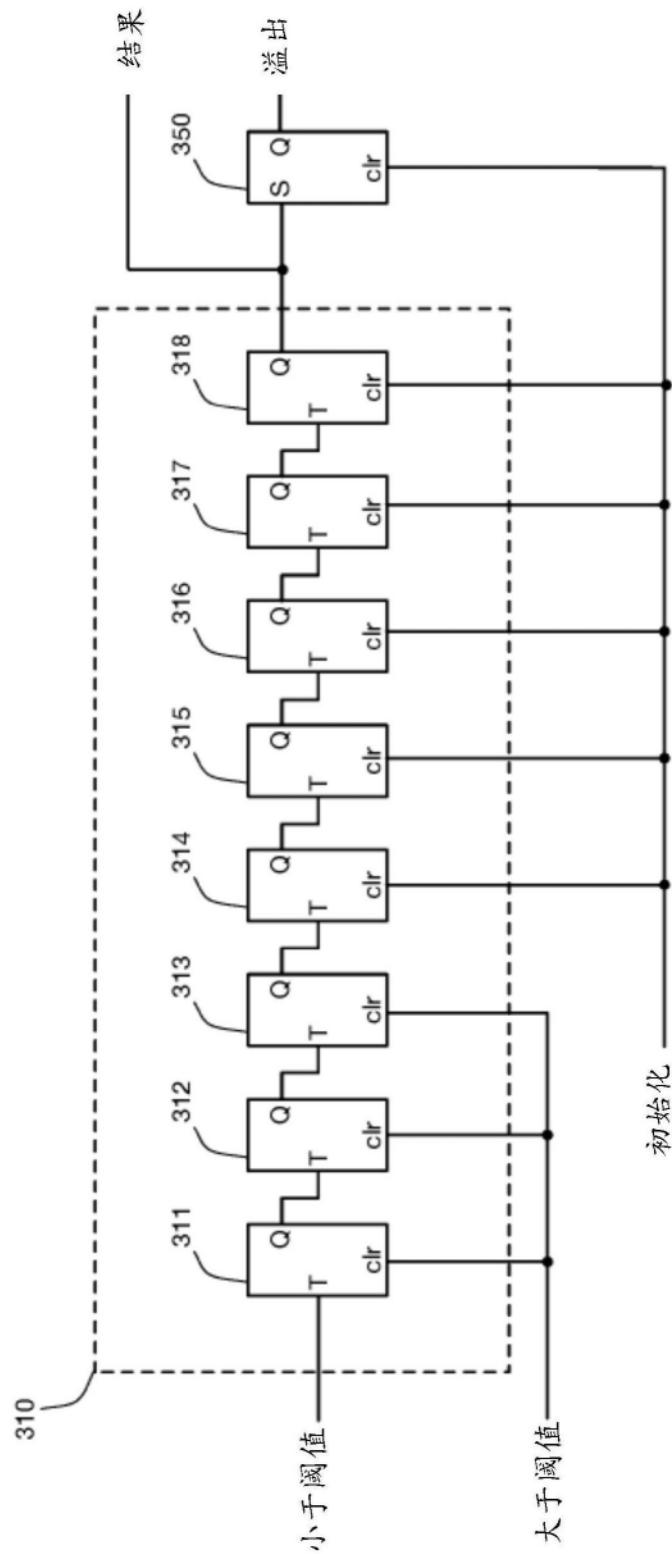


图3

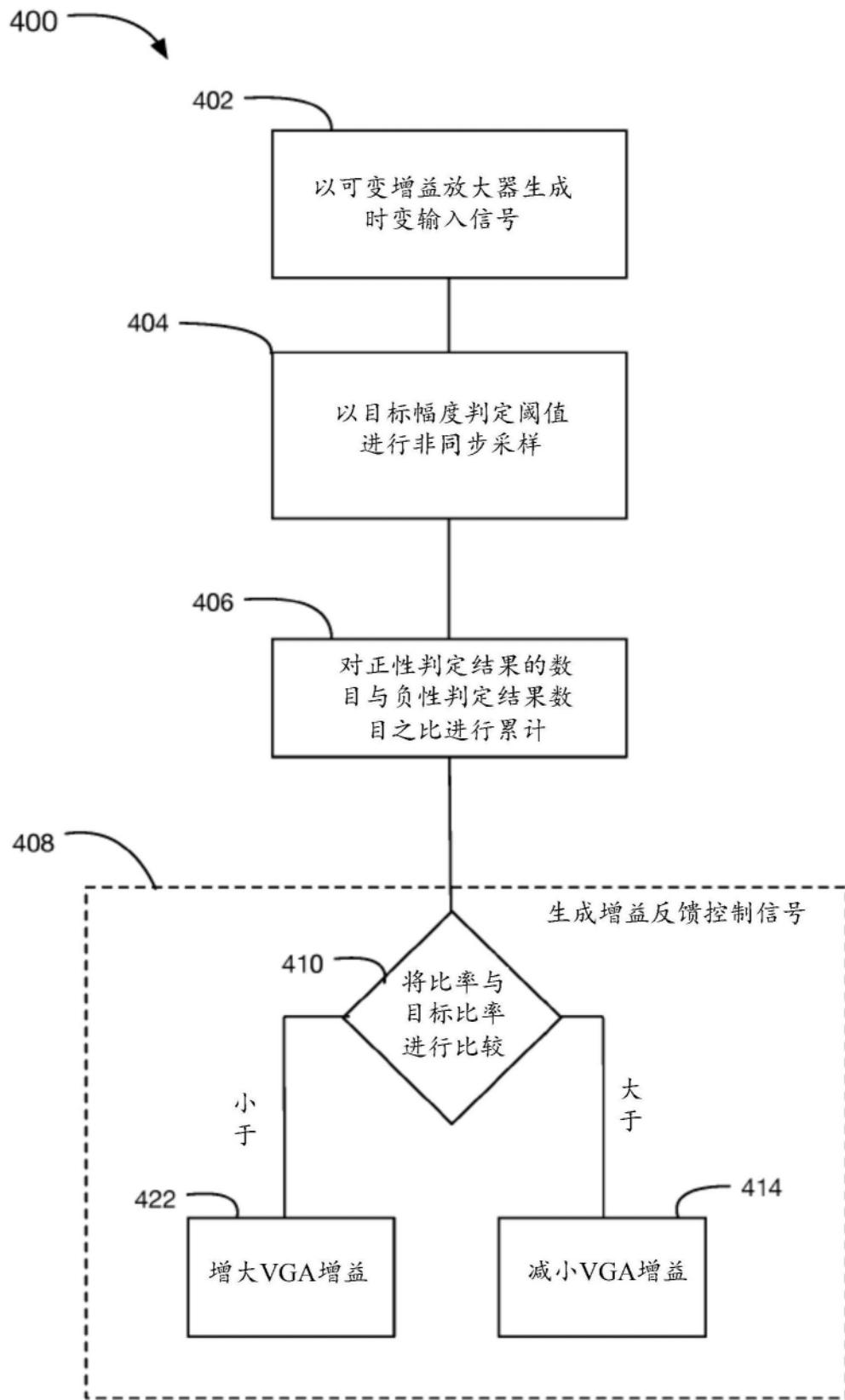


图4

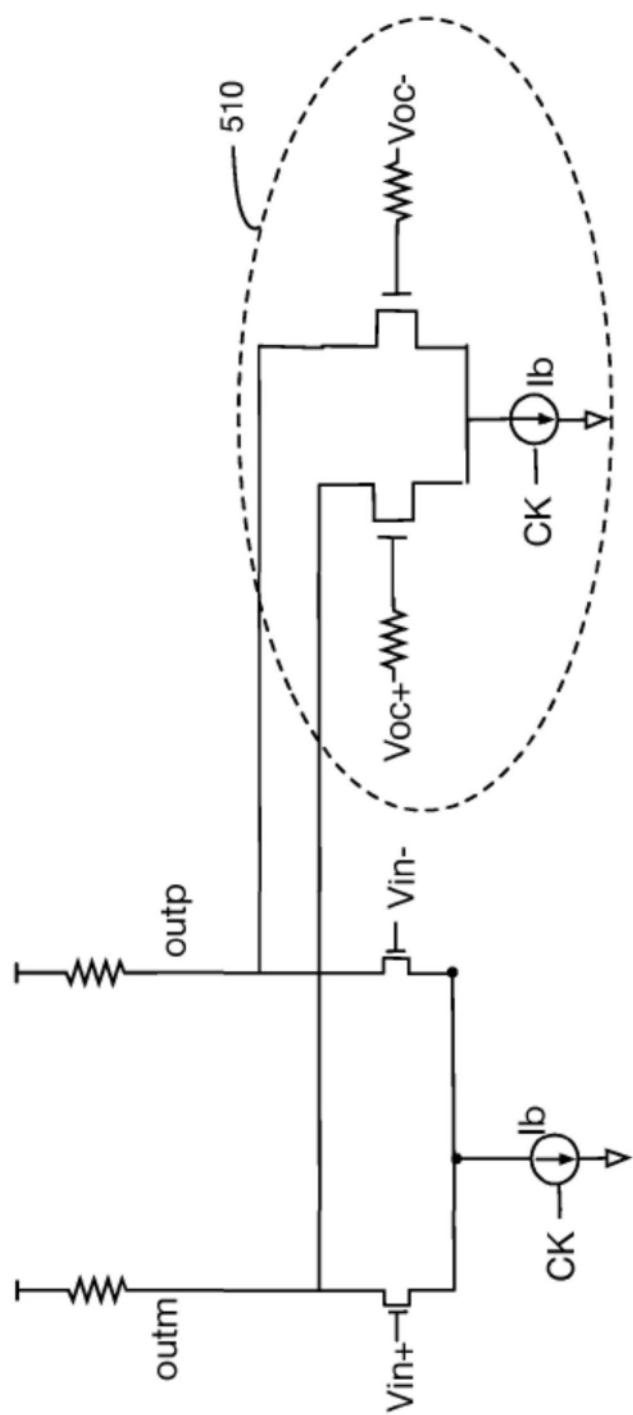


图5

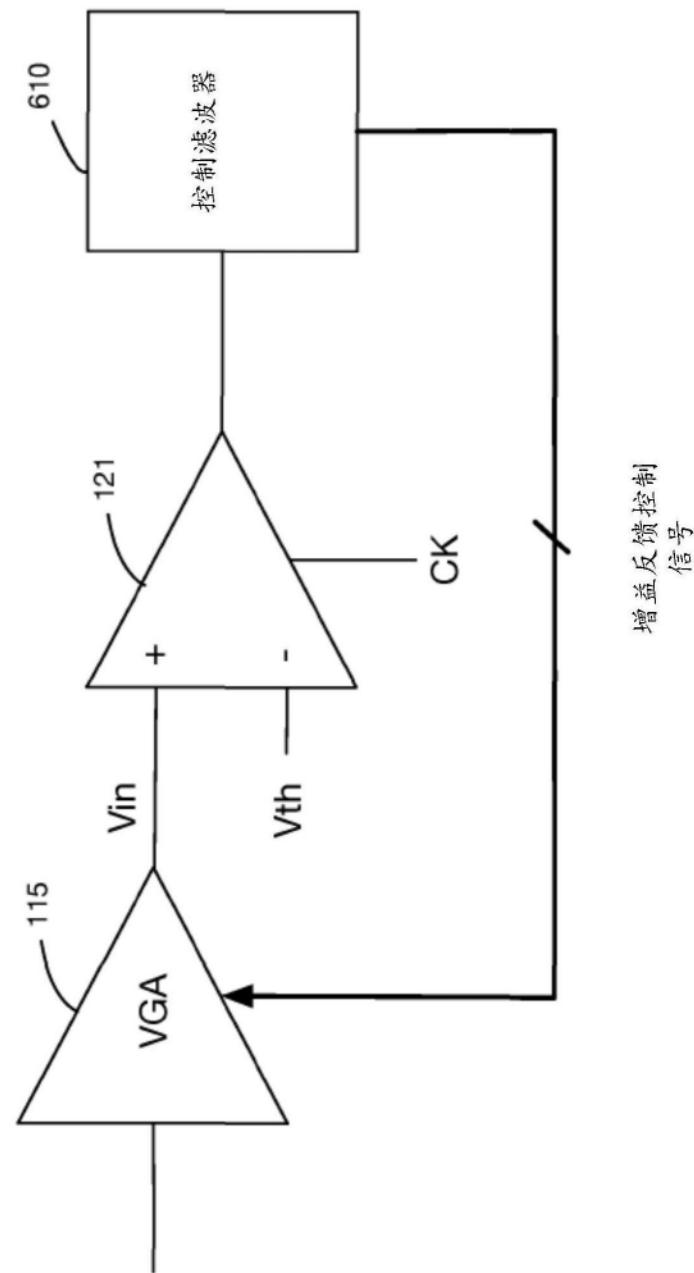


图6

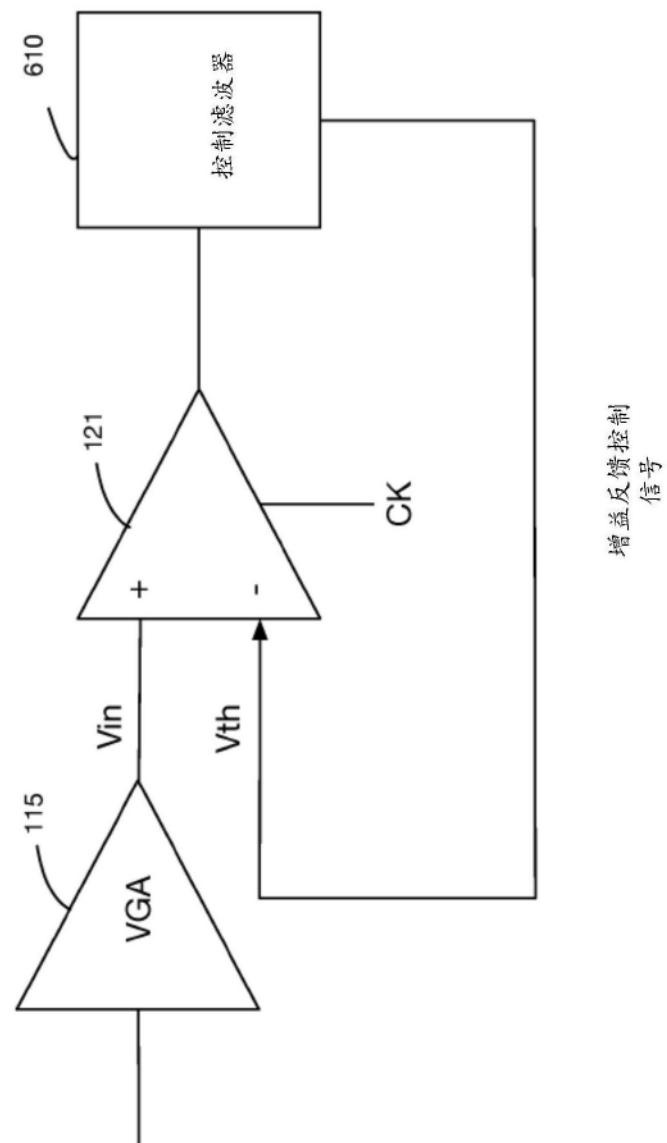


图7