

399220

399220

公告本

A4
C4

申請日期	84.12.22
案 號	84113741
類 別	G11C 16/06

(以上各欄由本局填註)

發明專利說明書

一、發明 新 名稱	中 文	於快閃記憶體之過拭除更正電路之溫度補償參考
	英 文	TEMPERATURE COMPENSATED REFERENCE FOR OVERERASE CORRECTION CIRCUITRY IN A FLASH MEMORY
二、發明 創作 人	姓 名	(1)李·E·克萊佛蘭得 (2)陳中利
	國 籍	美國
	住、居所	(1)美國·加州·聖他克來拉·聖瑪麗區3428號 (2)美國·加州·古柏地諾·銀泉巷11537號
三、申請人	姓 名 (名稱)	美商·高級微裝置公司
	國 籍	美國
	住、居所 (事務所)	美國·加州94088-3453·桑尼威第1AMD區·郵政信箱3453號
	代 表 人 姓 名	石丸幹夫

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
1995年 11月 1日 08/551,422

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (11)₁元 件 符 號 說 明

10	快 閃 單 元 陣 列	12	比 較 電 路
20	參 考 電 路	22	信 號 線
24	信 號 線	26	控 制 信 號
30	快 閃 單 元 陣 列	32	溫 度 補 償 參 考 電 路
34	比 較 電 路	36	線
37	控 制 信 號	38	線
40	程 式 規 劃 電 路	42	拭 除 電 路
44	測 試 器	50	低 電 壓 產 生 器
52	溫 度 補 償 參 考 電 路	100	位 元 線 偏 壓 電 路
110	汲 極 電 壓 產 生 器	120	汲 極 電 壓 產 生 器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明(3)

發明背景

發明領域

本發明係屬於快閃記憶體電路之領域。更明確的說，本發明係關於用於快閃記憶體中之過拭除更正電路之溫度補償參考電路。

技藝背景

先前之快閃記憶體典型上包含有排列成一組行和列之快閃記憶體單元的陣列。典型上，各列快閃記憶體單元共用一個對應輸出感測電路。此種輸出感測電路通常將快閃單元陣列之對應列上的電流與參考電流比較以判定該列之選出的快閃記憶體單元是在程式狀態或是在拭除狀態。

一般而言，在拭除狀態之快閃記憶體單元具有高電流特性，其對應於邏輯1。另一方面，在程式狀態之快閃記憶體單元具有低電流特性，其對應於邏輯0。

先前之快閃記憶體典型上包括有拭除電路，該電路係同時拭除全體的快閃記憶體單元群。一般而言，此種於快閃記憶體單元的拭除操作涉及施加負電壓於記憶體單元之閘極並施加正電壓於記憶體單元之源極，此係將電子從記憶體單元之浮動閘極移除。此種拭除操作一般係使快閃記憶體單元之臨限電壓(V_t)降低至低位準，該低位準乃對應於被拭除之記憶體單元的高電流狀態。

雖然如此，半導體處理技術中固有的處理控制變異通常造成新近被拭除之快閃記憶體單元群的臨限電壓 V_t 之位準的分散。此外，一些新近被拭除的快閃記憶體單元常保

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(4)

有負位準之臨限電壓 V_t 。此種達到低於 0 之臨限電壓 V_t 之記憶體單元一般稱之為過拭除記憶體單元。典型上，流入此種過拭除記憶體單元的電流稱之為洩漏電流 (I_{leak})。

不幸的是，此種被拭除之記憶體單元的負臨限電壓可能在讀取操作期間造成電流傳導於由經程式規劃之記憶體單元驅動的列線。結果，在低電流狀態之經程式規劃之記憶體單元會因過拭除記憶體單元之傳導而如被拭除之記憶體單元般呈現於輸出感測電路。

先前之快閃記憶體典型上係實施洩漏更正模式，將過拭除之記憶體單元中的洩漏電流減低至可容忍的位準。在典型之洩漏更正模式期間，相當高的電壓係施加至記憶體單元之汲極，而記憶體單元之閘極和源極係拉至接地位準。此種電壓位準之施加，在過拭除之快閃記憶體單元中造成反逆區，並使電子加至過拭除快閃記憶體單元之浮動閘極。此電子之加至浮動閘極的結果係使過拭除快閃記憶體單元中的洩漏電流量最終減低至可容忍之位準以下。

此外，先前之快閃記憶體一般包括有控制洩漏更正模式之期間的電路。圖 1 顯示用以控制快閃記憶體之洩漏更正模式之期間的一個先前之參考電路 20。快閃記憶體單元 C1 係顯示包含在快閃單元陣列 10。在洩漏驗證模式期間，約為 1V 之偏壓係藉由位元線偏壓電路 100 由拉上電晶體 Q20 而施加至快閃記憶體單元 C1 之汲極。在洩漏更正模式期間，汲極電壓產生器 120 施加更正位準電壓至快閃記憶體單元 C1 之汲極。此外，在洩漏更正模式期間，快閃記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

體單元 C1 之閘極係接地。快閃記憶體單元 C1 中之洩漏電流的位準係經由信號線 22 而被感測。參考電路 20 包括有比較電路 12，其將快閃記憶體單元 C1 之洩漏電流的位準與在信號線 24 上感測到的參考電流做比較。

信號線 24 上的參考電流係由包含一組電晶體 Q1 至 QN 之感測比電路所產生。參考電路 20 亦包括有參考快閃記憶體單元 C2。參考快閃記憶體單元 C2 之閘極係耦接至高電壓源位準 VX。經過參考快閃記憶體單元 C2 之電流係分流於並聯之拉上電晶體 Q1 至 QN 的排列中。一般而言，數字 N 係預選擇以使流經參考快閃記憶體單元 C2 之參考電流平衡於過拭除快閃記憶體 C1 之洩漏電流的可容忍位準。當經由信號線 22 感測到的洩漏電流之位準落於感測比電路提供於信號線 24 之電流的位準以下時，比較電路 12 產生控制信號 26 以通知洩漏更正結果。

典型上，參考電路 20 之感測比 N 係由首先決定於快閃記憶體之最高操作溫度下，經過過拭除單元 C1 之洩漏電流的可容忍位準而預選擇的。一般來說，快閃記憶體之最高操作溫度係表示經過過拭除單元 C1 之洩漏電流最差情況的位準。過拭除單元 C1 之最差情況之最高溫度之洩漏電流然後轉換成快閃記憶體之最低操作溫度之對應的洩漏電流。典型上，然後預選擇感測比以提供適當的電流位準於信號線 24 以用於快閃記憶體之最低操作溫度。

不幸的是，此依據於最高操作溫度之洩漏電流的最差情況分析而對在最低操作溫度之感測比所做的選擇通常造

五、發明說明(6)

成在高溫下之過拭除快閃記憶體之過度更正。此種技術導致極長的更正時間，且若洩漏更正模式係在低溫下實行，則在高溫下可能發生功能失效。此外，如此長的更正時間對於存取此種快閃記憶體之可得速度造成基本上的限制。

發明之概述及目的

本發明之目的之一係提供用於快閃記憶體之過拭除更正電路之溫度補償參考。

本發明之另一目的係提供涵蓋廣泛之操作溫度範圍之快閃記憶體之過拭除更正。

本發明之又一目的係提供過拭除更正，同時避免於高操作溫度下時間消耗之過度更正。

本發明之另一目的係當在低操作溫度下實行過拭除更正時，避免快閃記憶體在高操作溫度下功能失效。

該等及其他目的係藉由用於快閃記憶體之過拭除更正的參考電路而提供，該參考電路包括有參考快閃記憶體單元，其以大致相似於快閃記憶體之陣列快閃記憶體單元的方式而偏壓。參考快閃記憶體單元之洩漏電流係預設定成快閃記憶體之最高操作溫度之洩漏電流的可容忍位準。其後參考快閃記憶體單元之溫度特性係追蹤陣列快閃記憶體單元之溫度特性。

本發明之其他目的，特徵和優點將從以下之詳細說明而更臻顯明。

圖式之簡單說明

本發明將關於特定示範之實施例而說明，並據以參照

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

圖式，於該等圖式中：

圖 1 顯示一種先前之用以控制快閃記憶體中洩漏更正模式之期間的參考電路；

圖 2 顯示一實施例之溫度補償參考電路；

圖 3 顯示操作溫度改變對快閃記憶體單元之臨限電壓的影響；

圖 4 顯示快閃記憶體之操作溫度對快閃記憶體單元內之電子移動率的影響；

圖 5 顯示在快閃記憶體裝置製造期間，參考快閃記憶體單元之校準；

圖 6 顯示另一實施例之溫度補償參考電路。

詳細說明

圖 2 顯示一實施例之溫度補償參考電路 32。溫度補償參考電路 32 控制包含於快閃單元陣列 30 中之過拭除快閃記憶體單元 C4 之洩漏更正。過拭除快閃記憶體單元 C4 之汲極係耦接至包括有電晶體 Q51 和反相器 I2 的位元線偏壓電路。在洩漏更正期間，汲極電壓產生器 110 供應 5.5 伏特至快閃記憶體單元 C4 之汲極。在本實施例中之汲極電壓產生器 110 係為美國專利第 5,263,000 號所述之類型。

溫度補償參考電路 32 提供洩漏驗證，並產生控制信號 37，該信號決定洩漏修正之時間長度。只要經由線 36 感測到之洩漏電流大於線 38 指示之可容忍位準，比較器 34 即經由控制信號 37 致能洩漏更正。溫度補償參考電路 32 包括比較電路 34，拉上電晶體 Q12 以及參考快閃記憶體單元 C5。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

以本實施例而言，參考快閃記憶體單元 C5 之閘極和源極二者皆耦接至共同節點。參考快閃記憶體單元 C5 之汲極耦接至包括電晶體 Q50 及反相器 I1 之位元線偏壓電路。

過拭除快閃記憶體單元 C4 和參考快閃記憶體單元 C5 係依據適於構成快閃記憶體之半導體處理技術製造於相同之積體電路基質。此外，快閃記憶體單元 C4 和 C5 各操作於相同之溫度模式並以相似之方式偏壓。結果，包含於陣列 30 之快閃記憶體單元 C4 和參考快閃記憶體單元 C5 具有大致相似之溫度特性，於線 36 感測到之洩漏中溫度變化相似於線 38 上之參考電流變化。

在包含快閃單元陣列 30 和溫度補償參考電路 32 之快閃記憶體的製造測試期間，係將參考快閃記憶體單元 C5 之臨限電壓位準 V_t 預設定。參考快閃記憶體單元 C5 之臨限電壓位準 V_t 係預設定以使在快閃記憶體之最高操作溫度的洩漏更正最佳化。

隨著快閃記憶體之操作溫度降低至較低位準，陣列 30 中的快閃記憶體單元 C4 和參考快閃記憶體單元 C5 之臨限電壓朝著較低之臨限電壓位準精確地互相追蹤，此種快閃記憶體單元 C4 與參考快閃記憶體單元 C5 之間的臨限電壓位準之追蹤以比較電路 34 提供洩漏更正時間的平衡控制。

圖 3 顯示操作溫度改變對快閃記憶體單元 C4 之臨限電壓 V_t 的影響。在本實施例中，臨限電壓隨著操作溫度增加而依由約等於每攝氏一度負 4 毫伏之臨限電壓溫度係數 (V_{tTC}) 所給定的斜率而減低。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

圖 4 顯示操作溫度對快閃記憶體單元 C4 中之電子移動率的影響。如所示，電子移動率隨著上升之操作溫度而降低。此降低的電子移動率使得將快閃記憶體單元 C4 之洩漏電流於高操作溫度下驅動至可容忍位準所需之更正時間增加。

於快閃記憶體陣列 30 之最高操作溫度下經過快閃記憶體單元 C4 之洩漏電流可由下列公式 (公式 1) 而得。

$$I_{leakTH} = K \cdot V_{tTH}^2$$

其中 K 為電子移動率，快閃記憶體單元 C4 之氧化物厚度，以及快閃記憶體單元 C4 之實際尺寸的函數。快閃記憶體單元 C4 之高溫臨限電壓係依據下列公式 (公式 2) 而決定。

$$V_{tTH} = \sqrt{I_{leakTH} / K}$$

於快閃記憶體陣列 30 之最低操作溫度下之快閃記憶體單元 C4 的臨限電壓係由下式 (公式 3) 所給定。

$$V_{tTL} = V_{tTH} - (T_H - T_L) \cdot V_{tTC}$$

此臨限電壓位準對應於由下列公式 (公式 4) 所給定的洩漏電流。

$$I_{leakTL} = K \cdot V_{tTL}^2$$

對於本實施例而言，參數 K 在溫度 125℃ 下約等於每平方伏特 6 微安，而在操作溫度 -55℃ 下約等於每平方伏特 12 微安。

因此，快閃記憶體單元 C4 中洩漏電流之範圍之可容忍位準等於 15.48 微安，此產生 -1.606 伏特之高溫臨限電壓。將此臨限電壓轉換成 -55℃ 之低操作溫度，則利用公式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(10)

3產生-0.89伏特之低溫臨限電壓。而後公式4顯示於-55℃之低操作溫度的洩漏電流約為9.5微安。

將認知到溫度補償參考電路32於低操作溫度下過更正快閃記憶體單元C4中之洩漏電流。舉例而言，當於低溫下較多洩漏電流係可被容忍時，在-55℃下洩漏電流被更正為9.5微安。然而，此較低之操作溫度一般提供相當快的洩漏更正模式，此乃肇因於陣列30之快閃記憶體單元中電子之較高的移動率。

溫度補償參考電路32係預設定以提供於最高溫度之洩漏更正的更正量，因而防止於高溫之過更正。在快閃單元陣列30之上升溫度下洩漏電流之過更正的免除可防止由高溫下之低電子移動率所造成的時間消耗過更正。

圖5顯示快閃記憶體裝置製造期間，參考快閃記憶體單元C5之校準。快閃記憶體中之拭除電路42施加負電壓於參考快閃記憶體單元C5之源極與閘極間。以脈波形式施加負電壓以漸次降低快閃記憶體單元C5之臨限電壓 V_t 。另一方面，程式規劃電路40施加高的正電壓於參考快閃記憶體C5之閘極與汲極間，以使臨限電壓 V_t 升高。當外部測試器44感測參考快閃記憶體單元C5之汲極的電流時，程式規劃和拭除電路40和42漸次地調整臨限電壓位準。測試器44使程式規劃電路40和拭除電路42依所需調整參考單元C5之臨限電壓位準以獲得參考單元C5中高溫洩漏電流之精確校準，以致此於最高操作溫度之預設洩漏電流係等於在最高操作溫度下陣列單元中之最大可容忍洩漏電流。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明(11)

圖 6 顯示另一實施例之溫度補償參考電路 52。於此實施例中，低電壓產生器 50 係耦接至過拭除快閃記憶體單元 C14 和參考快閃記憶體單元 C15 之閘極。如先前，單元 C14 和 C15 因相同之偏壓而動作於相同之操作區域。舉例而言，用於單元 C14 之位元線偏壓電路包括有電晶體 Q52 和反相器 I3，其係大致相似於包括有電晶體 Q53 和反相器 I4 之用於單元 C15 之位元線偏壓電路。

在快閃記憶體單元 C14 中所要求之可容忍洩漏電流為很小值之實施例中，陣列單元 C14 之臨限電壓會接近 0。如上所論，陣列快閃記憶體單元 C14 之臨限電壓隨著操作溫度升高而降低。若陣列快閃記憶體單元 C14 之臨限電壓於高操作溫度下接近 0，則當陣列 60 轉移至較低操作溫度時，臨限電壓會大於 0。低電壓產生器 50 確保陣列快閃記憶體單元 C14 和參考快閃記憶體單元 C15 之閘極維持在此種低溫。

前述之本發明的詳細說明係提供以闡釋用，而非意在為徹底無遺或用以限制本發明於所揭示之嚴謹的實施例。因此，本發明之範疇係由所附之申請專利範圍所界定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (11)₁元 件 符 號 說 明

10	快閃單元陣列	12	比較電路
20	參考電路	22	信號線
24	信號線	26	控制信號
30	快閃單元陣列	32	溫度補償參考電路
34	比較電路	36	線
37	控制信號	38	線
40	程式規劃電路	42	拭除電路
44	測試器	50	低電壓產生器
52	溫度補償參考電路	100	位元線偏壓電路
110	汲極電壓產生器	120	汲極電壓產生器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

四、中文發明摘要(發明之名稱：於快閃記憶體之過拭除更正電路之溫度補償參考)

一種用於快閃記憶體之過拭除更正之參考電路，包括有大致相似於過拭除快閃記憶體單元之方式而偏壓的參考快閃記憶體單元。參考快閃記憶體單元之洩漏電流係預設至快閃記憶體之最高操作溫度下洩漏電流之可容忍位準，且參考快閃記憶體單元追蹤過拭除快閃記憶體單元之溫度特性，以避免於高溫下之昂貴的過更正。

英文發明摘要(發明之名稱：TEMPERATURE COMPENSATED REFERENCE FOR OVERERASE CORRECTION CIRCUITRY IN A FLASH MEMORY)

A reference circuit for overerase correction in a flash memory includes a reference flash memory cell biased in a substantially similar manner to that of an overerased flash memory cell. The leakage current for the reference flash memory cell is preset to a tolerable level of leakage current for a maximum operating temperature of the flash memory and the reference flash memory cell tracks the temperature characteristics of the overerased flash memory cell, to avoid costly overcorrection at high temperatures.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

第 84113741 號 專 利 申 請 案

申請專利範圍修正本

修正
補
86年9月10日

1. 一種用來控制在快閃記憶體中過拭除更正期間之參考電路，組成包括：

參考快閃記憶體單元，以大致相似於快閃記憶體中之過拭除快閃記憶體單元的方式而偏壓，其中該參考快閃記憶體單元之洩漏電流係預設至該快閃記憶體之最高操作溫度之可容忍位準；

拉上電晶體；以及

比較器，用來控制該過拭除更正之期間，該比較器操作以比較從該過拭除快閃記憶體單元和該參考快閃記憶體單元來之洩漏電流。

2. 如申請專利範圍第1項之參考電路，其中該參考快閃記憶體單元和該過拭除快閃記憶體單元係耦接至大致相似之位元線偏壓電路。
3. 如申請專利範圍第1項之參考電路，其中對於參考快閃記憶體單元之洩漏電流係由程式規劃和拭除電路所預設定，當外部測試器測量洩漏電流時，該程式規劃和拭除電路調整該參考快閃記憶體單元之臨限電壓。
4. 如申請專利範圍第3項之參考電路，其中該程式規劃和拭除電路包括有施加高的正電壓至該參考快閃記憶體單元而使臨限電壓增高之程式設定電路。
5. 如申請專利範圍第3項之參考電路，其中該程式規劃和拭除電路包括有施加高的負電壓至該參考快閃記憶體

第 84113741 號 專 利 申 請 案

申請專利範圍修正本

修正
補
86年9月10日

1. 一種用來控制在快閃記憶體中過拭除更正期間之參考電路，組成包括：

參考快閃記憶體單元，以大致相似於快閃記憶體中之過拭除快閃記憶體單元的方式而偏壓，其中該參考快閃記憶體單元之洩漏電流係預設至該快閃記憶體之最高操作溫度之可容忍位準；

拉上電晶體；以及

比較器，用來控制該過拭除更正之期間，該比較器操作以比較從該過拭除快閃記憶體單元和該參考快閃記憶體單元來之洩漏電流。

2. 如申請專利範圍第1項之參考電路，其中該參考快閃記憶體單元和該過拭除快閃記憶體單元係耦接至大致相似之位元線偏壓電路。
3. 如申請專利範圍第1項之參考電路，其中對於參考快閃記憶體單元之洩漏電流係由程式規劃和拭除電路所預設定，當外部測試器測量洩漏電流時，該程式規劃和拭除電路調整該參考快閃記憶體單元之臨限電壓。
4. 如申請專利範圍第3項之參考電路，其中該程式規劃和拭除電路包括有施加高的正電壓至該參考快閃記憶體單元而使臨限電壓增高之程式設定電路。
5. 如申請專利範圍第3項之參考電路，其中該程式規劃和拭除電路包括有施加高的負電壓至該參考快閃記憶體

單元而使臨限電壓減低之拭除電路。

6. 一種快閃記憶體，包括有：

過拭除快閃記憶體單元；

用於過拭除更正之參考電路，其包括有以大致相似於該過拭除快閃記憶體單元之方式偏壓之參考快閃記憶體單元；

參考拉上電晶體；以及

電路，用來每當該參考快閃記憶體單元之洩漏電流與該過拭除記憶體單元之洩漏電流作比較時，將參考快閃記憶體單元之洩漏電流預設至快閃記憶體之最高操作溫度下洩漏電流之可容位準。

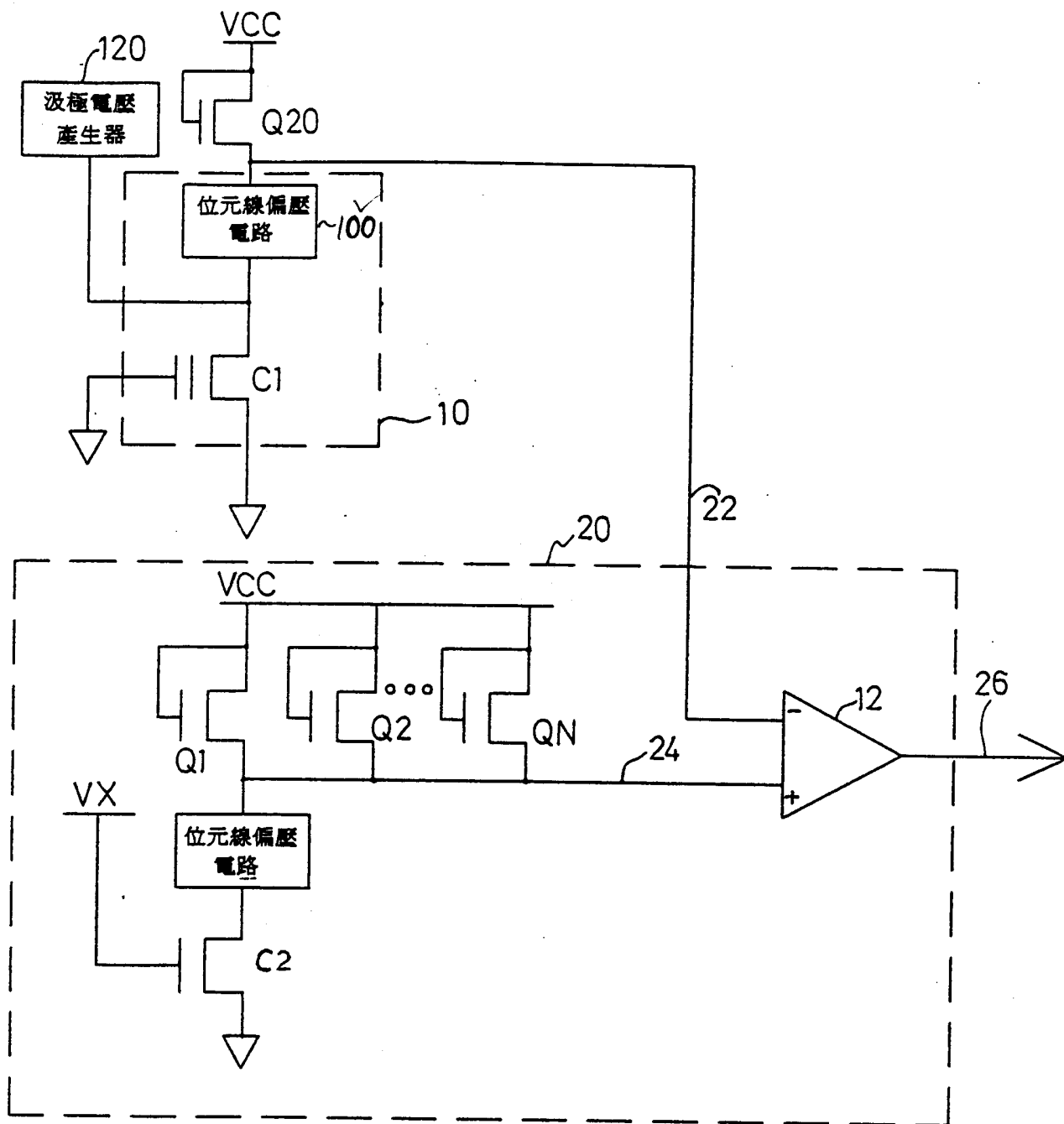
7. 如申請專利範圍第6項之快閃記憶體，其中該參考快閃記憶體單元耦接至第一位元線偏壓電路，而過拭除快閃記憶體單元耦接至第二位元線偏壓電路，其中該第一和第二位元線偏壓電路係大致相同。

8. 如申請專利範圍第6項之快閃記憶體，更包括程式規劃和拭除電路，其當外部測試器測量洩漏電流時，藉由調整該參考快閃記憶體單元之臨限電壓而預設該參考快閃記憶體單元之洩漏電流。

9. 如申請專利範圍第8項之快閃記憶體，其中該程式規劃和拭除電路包括有施加高的正電壓至該參考快閃記憶體單元以使臨限電壓增高之程式規劃電路。

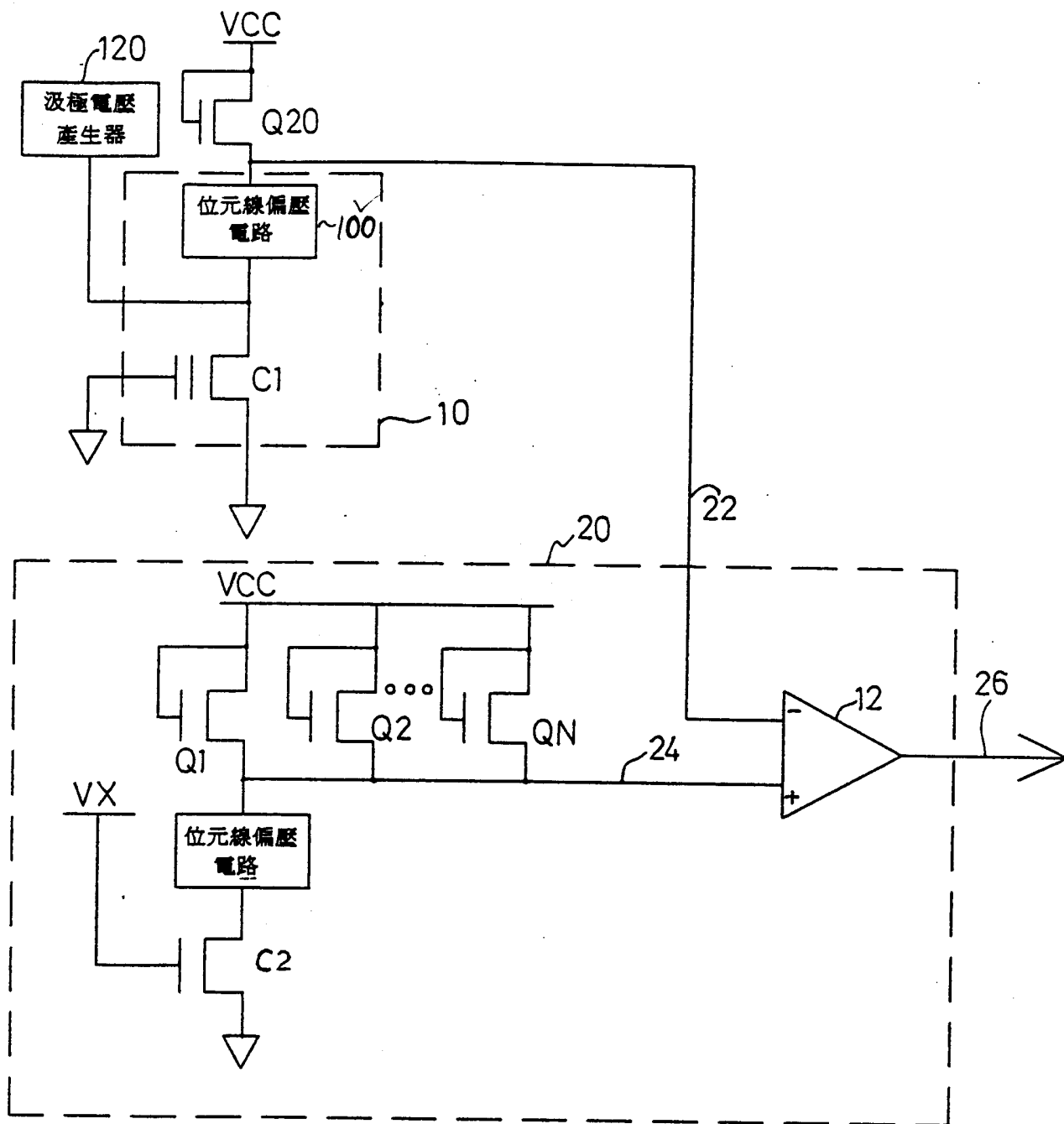
10. 如申請專利範圍第8項之快閃記憶體，其中該程式規劃和拭除電路包括有施加高的負電壓至該參考快閃記憶體單元以使臨限電壓減低之拭除電路。

修正
補充 本 年 月 日



第 1 圖

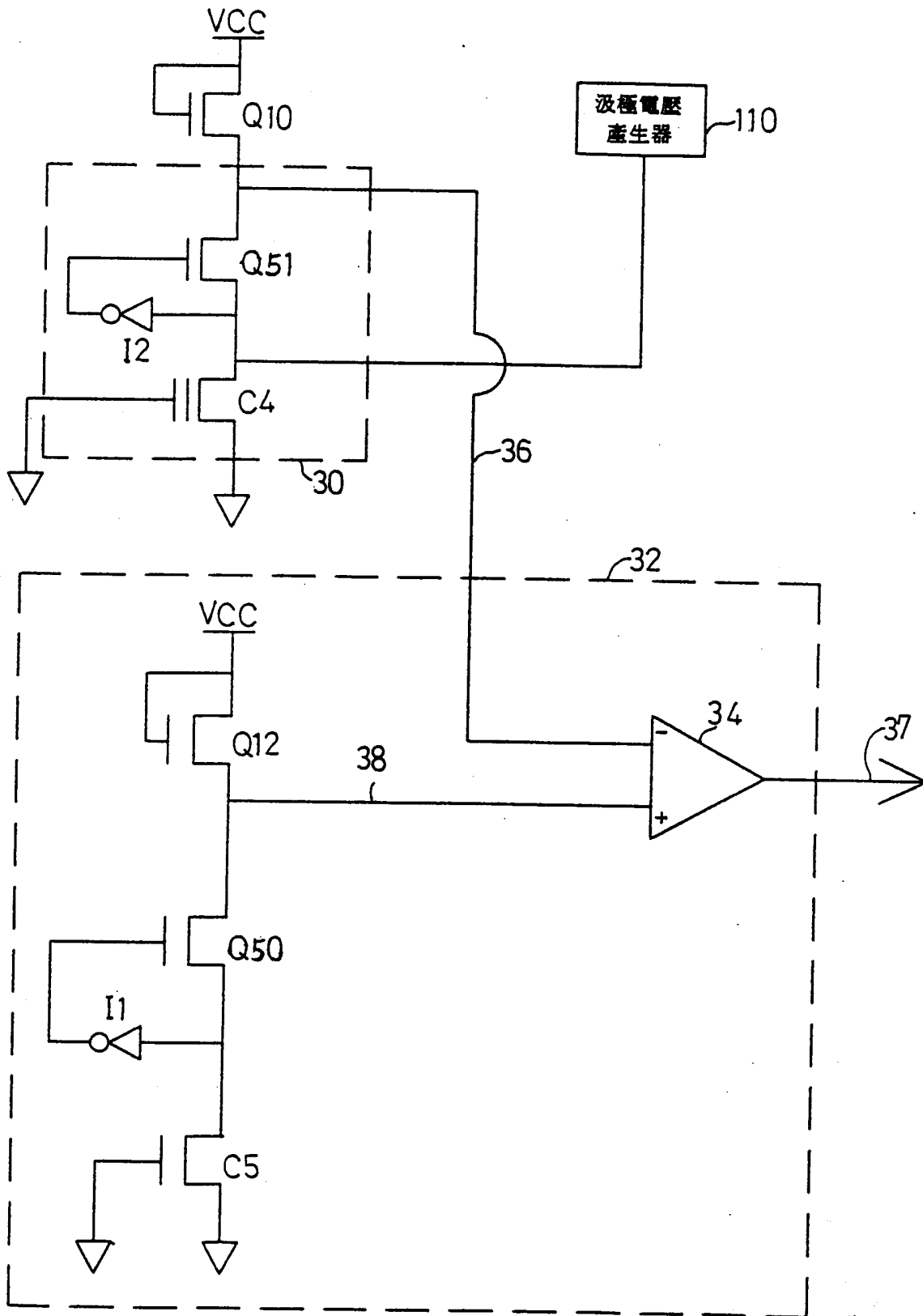
修正
補充 本 年 月 日



第 1 圖

399220

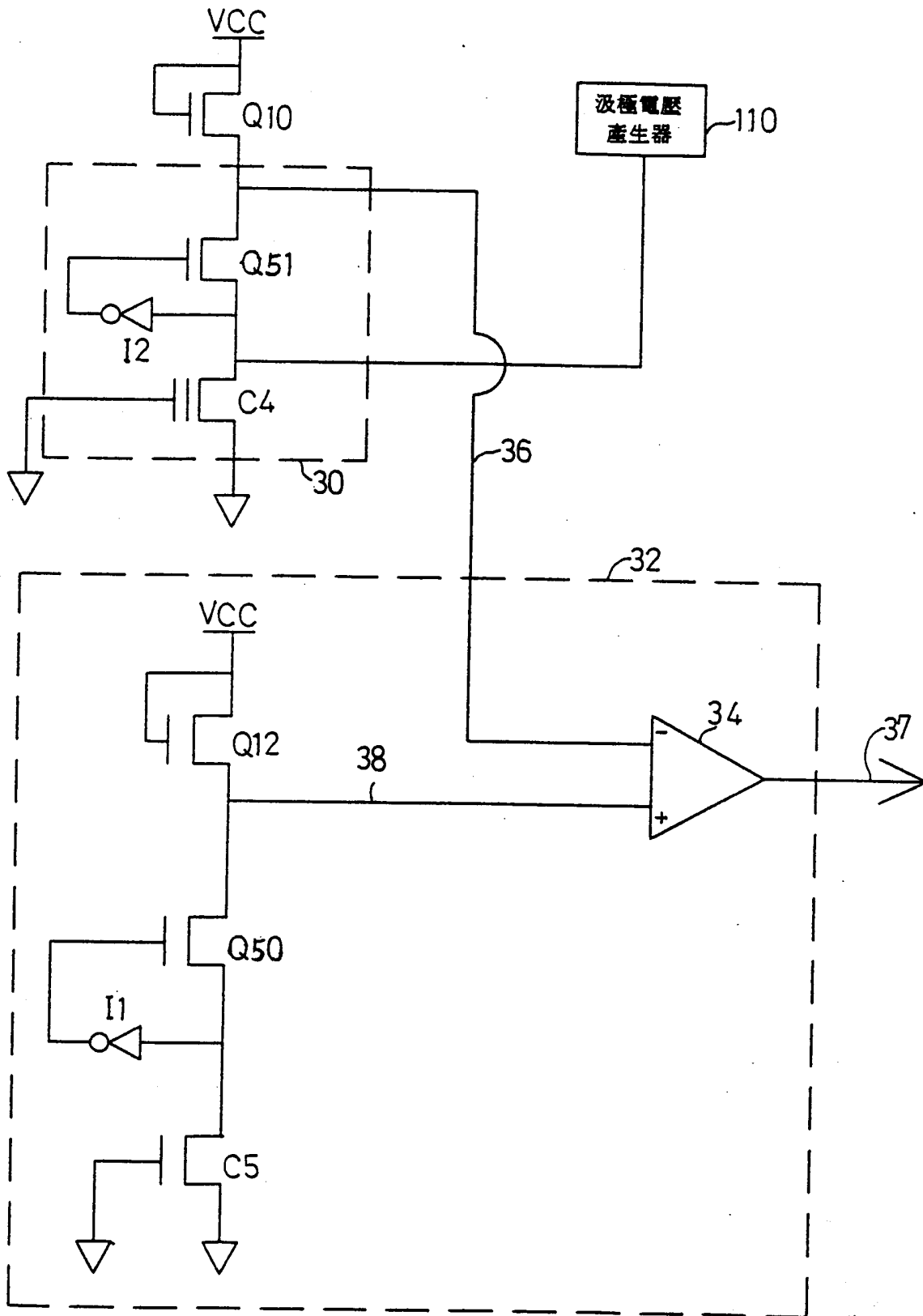
85年9月12日修正
補充



第 2 圖

399220

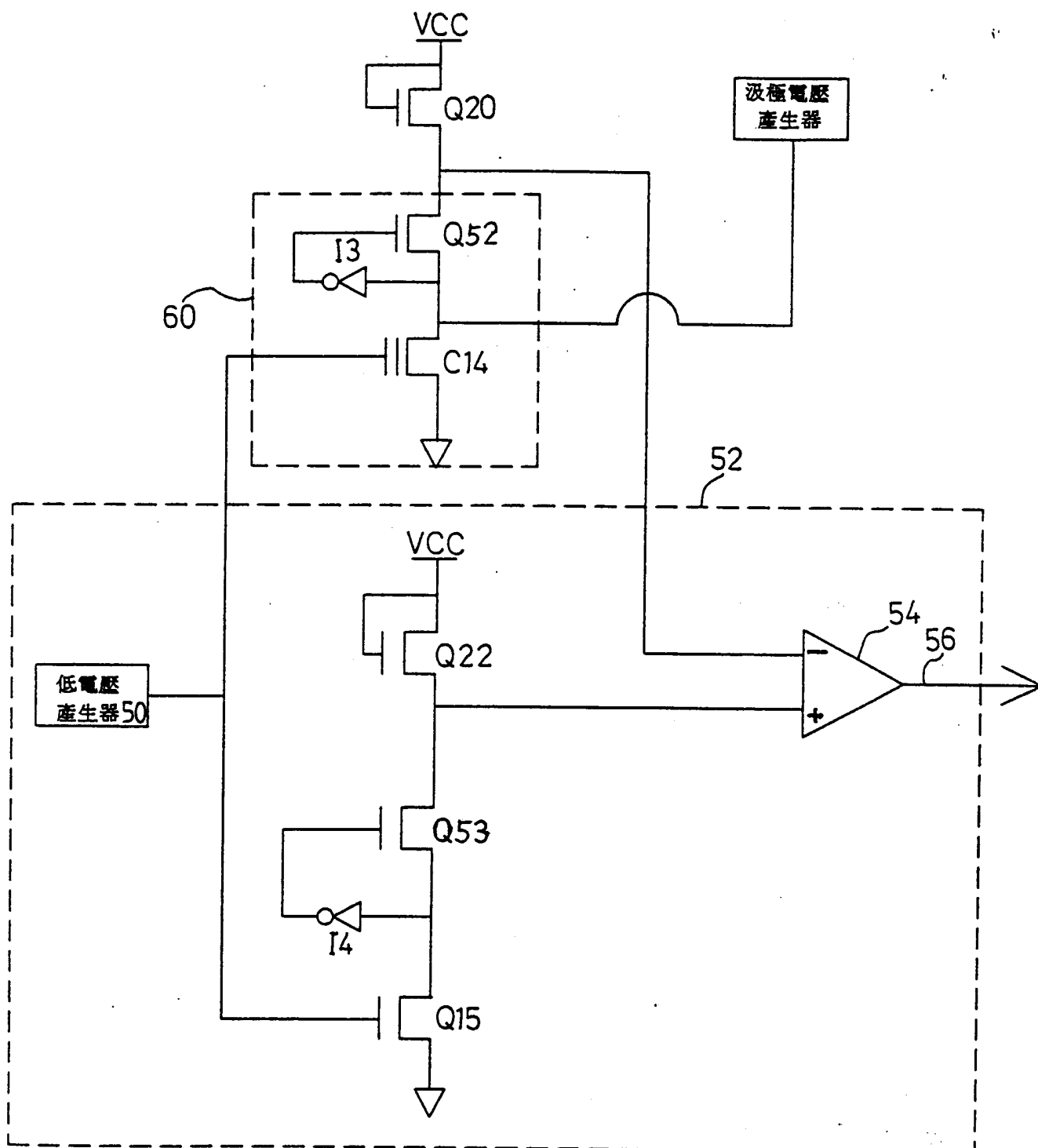
85年9月12日修正
補充



第 2 圖

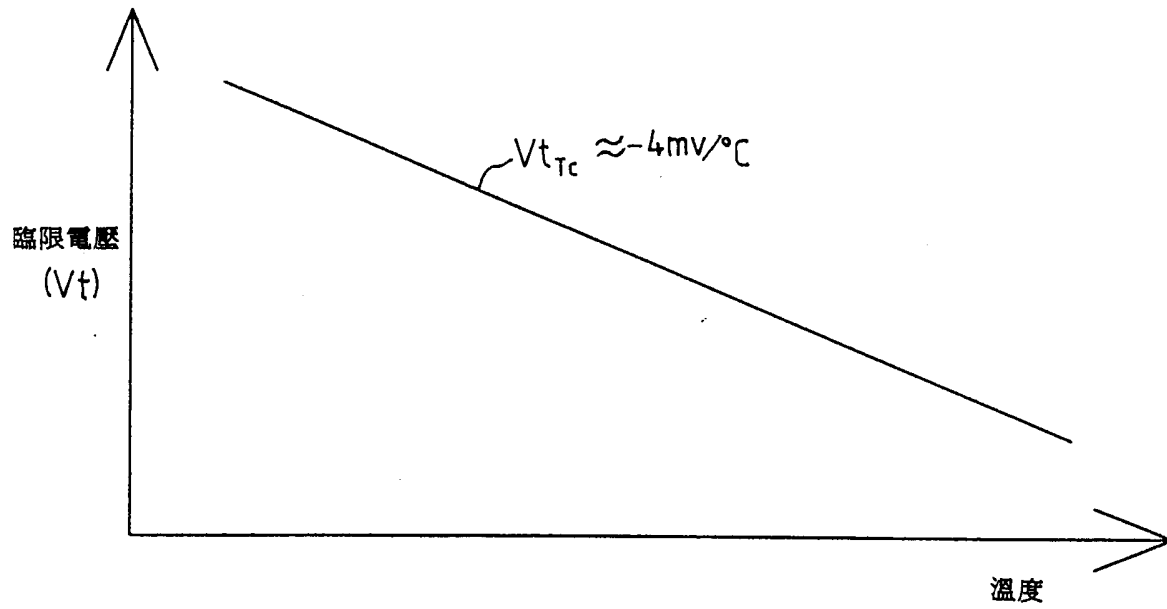
399220

85年9月12日修正
補充

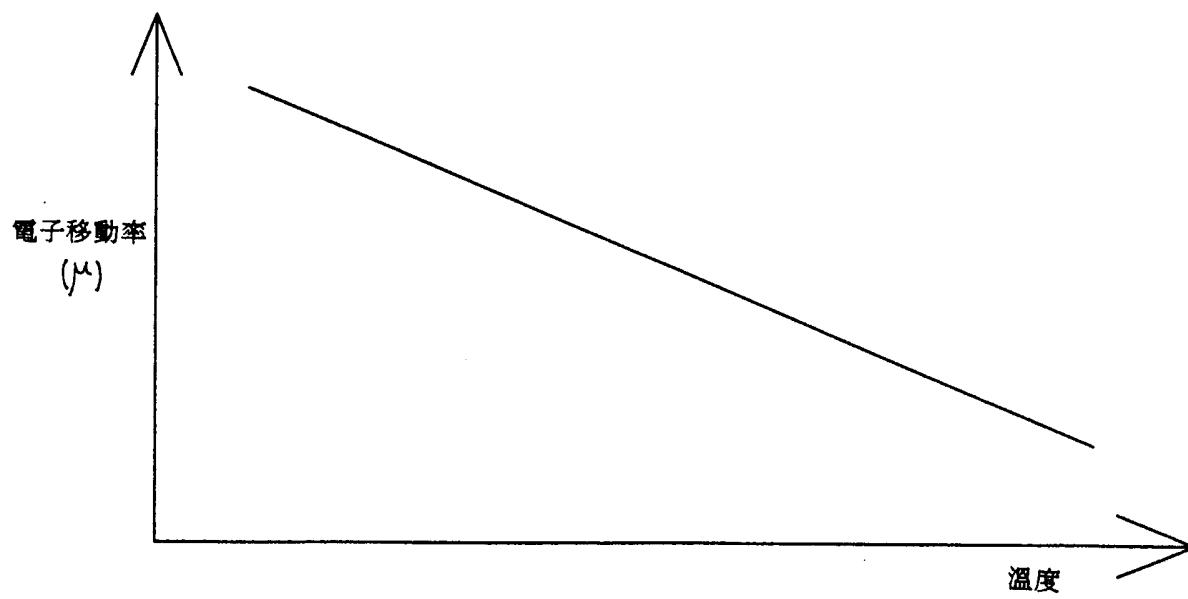


第 6 圖

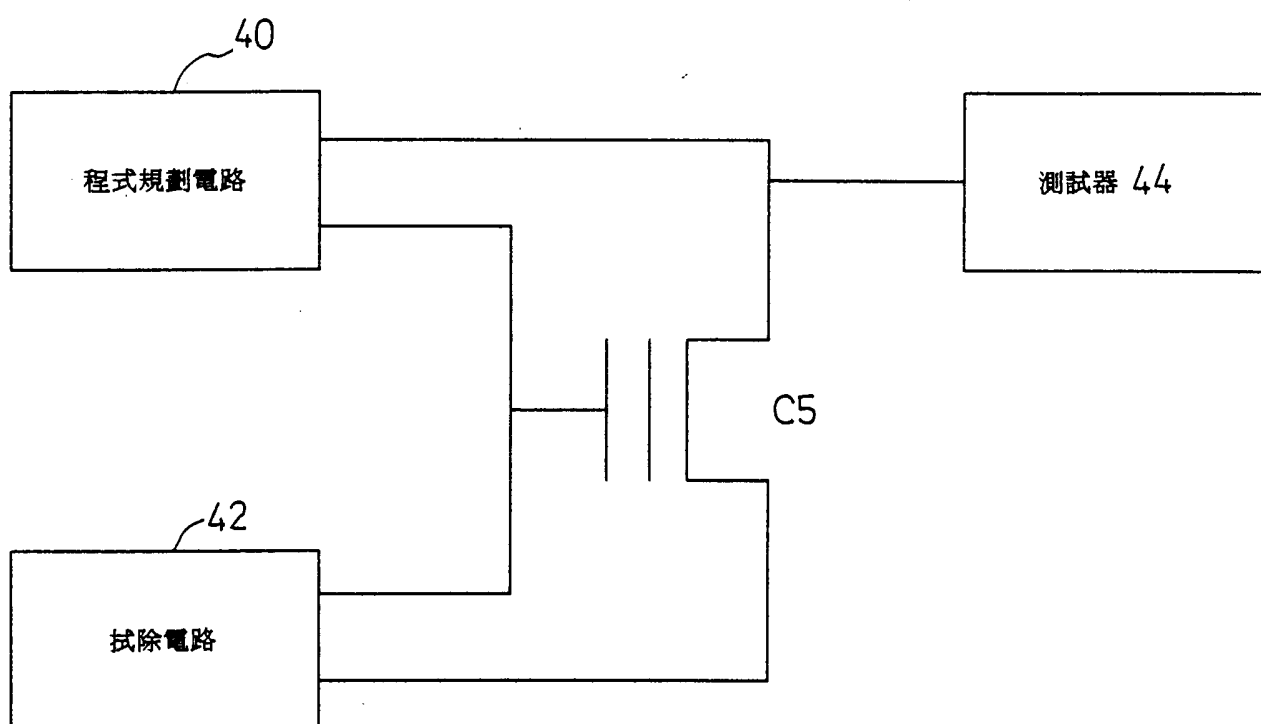
399220



第 3 圖



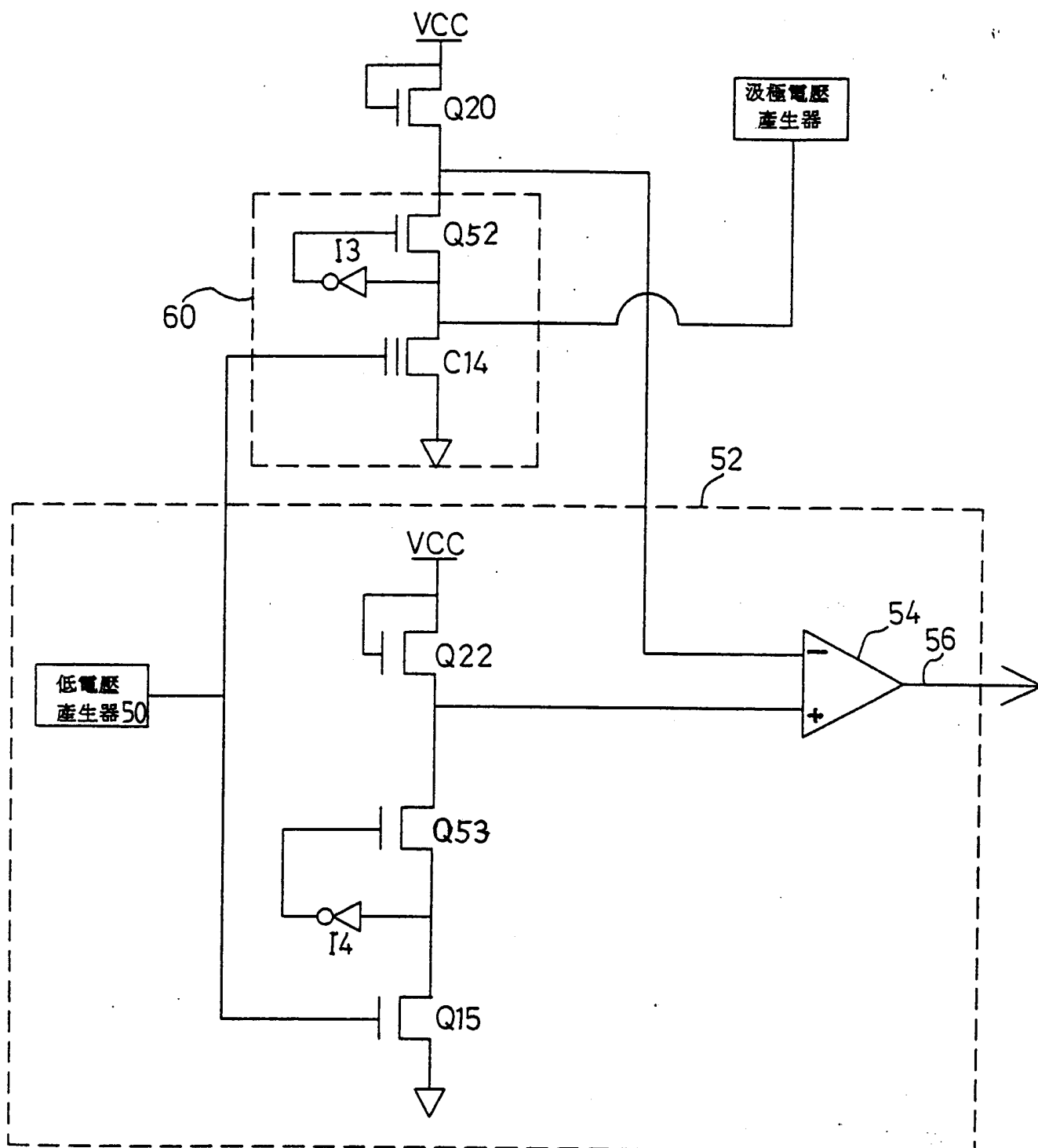
第 4 圖



第 5 圖

399220

85年9月12日修正
補充



第 6 圖