



(12) 发明专利申请

(10) 申请公布号 CN 112839813 A

(43) 申请公布日 2021.05.25

(21) 申请号 201980067491.2

(22) 申请日 2019.10.16

(30) 优先权数据

62/746,072 2018.10.16 US

(85) PCT国际申请进入国家阶段日

2021.04.13

(86) PCT国际申请的申请数据

PCT/US2019/056428 2019.10.16

(87) PCT国际申请的公布数据

W02020/081623 EN 2020.04.23

(71) 申请人 麻省理工学院

地址 美国马萨诸塞州

(72) 发明人 金知桓 孔玮

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 蔡胜有 苏虹

(51) Int.Cl.

B32B 37/26 (2006.01)

B32B 9/04 (2006.01)

H01L 21/02 (2006.01)

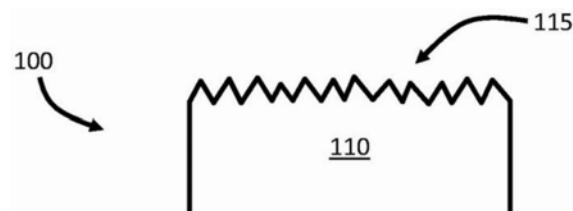
权利要求书1页 说明书8页 附图6页

(54) 发明名称

在升华的SiC基底上使用碳缓冲的外延生长模板

(57) 摘要

一般地描述了用于形成半导体材料(例如,使用纳米制造)的装置、系统和方法。在一个实例中,方法包括通过硅升华在第一基底上形成碳缓冲层以及在碳缓冲层上形成石墨烯层,随后将石墨烯层移除以便使碳缓冲层暴露并形成制造平台。



1. 一种方法,包括:
在第一基底上形成碳缓冲层以及在所述碳缓冲层上形成石墨烯层;以及
将所述石墨烯层移除以便使所述碳缓冲层暴露并形成制造平台。
2. 根据权利要求1所述的方法,其中所述第一基底包含碳化硅以及所述石墨烯层包括单晶石墨烯层。
3. 根据权利要求1至2中任一项所述的方法,还包括:
在所述碳缓冲层上形成第一外延层;以及
将所述第一外延层从所述碳缓冲层转移至第二基底。
4. 根据权利要求3所述的方法,其中形成所述第一外延层包括使用所述第一基底作为籽晶来外延生长所述第一外延层。
5. 根据权利要求3至4中任一项所述的方法,还包括:
在将所述第一外延层转移至所述第二基底之后,在所述碳缓冲层上形成第二外延层。
6. 根据权利要求3至5中任一项所述的方法,其中转移所述第一外延层包括剥离所述第一外延层。
7. 根据权利要求3至6中任一项所述的方法,其中转移所述第一外延层包括:
在所述第一外延层上形成金属应力源;
在所述金属应力源上设置柔性带;以及
用所述柔性带将所述第一外延层和所述金属应力源拉离所述碳缓冲层。
8. 根据权利要求3至7中任一项所述的方法,其中所述第一外延层包括半导体。
9. 根据权利要求3至8中任一项所述的方法,其中所述第一外延层包括III-V半导体、Si、Ge、III-N半导体、SiC、SiGe、和/或II-VI半导体。
10. 根据权利要求3至9中任一项所述的方法,其中所述第一外延层被制造成半导体器件。
11. 一种半导体器件,包括通过根据权利要求3至9中任一项所述的方法形成的所述第一外延层。

在升华的SiC基底上使用碳缓冲的外延生长模板

[0001] 相关申请

[0002] 本申请根据35U.S.C.§119(e)要求于2018年10月16日提交的题为“Epitaxial Growth Template Using Carbon Buffer on Sublimated SiC Substrate”的美国临时申请第62/746,072号的优先权,其出于所有目的通过引用整体并入本文。

技术领域

[0003] 一般地描述了用于形成半导体材料(例如,使用纳米制造)的装置、系统和方法。

背景技术

[0004] 在先进的电子和光子技术中,器件通常由功能半导体例如III-N半导体、III-V半导体、II-VI半导体和Ge制造。这些功能半导体的晶格常数通常与硅基底的晶格常数不匹配。如本领域所理解的,基底与基底上的外延层之间的晶格常数失配可能将应变引入到外延层中,从而阻止在没有缺陷的情况下的外延生长较厚的层。因此,通常采用非硅基底作为用于大多数功能半导体的外延生长的籽晶。然而,具有与功能材料的晶格常数匹配的晶格常数的非Si基底可能是昂贵的,因此限制了非Si电子/光子器件的发展。

发明内容

[0005] 本发明的实施方案包括用于纳米制造的装置、系统和方法。在一个实例中,制造半导体器件的方法包括通过硅升华在第一基底上形成碳缓冲层以及在碳缓冲层上形成石墨烯层。该方法还包括将石墨烯层移除以便使碳缓冲层暴露并形成制造平台。

[0006] 应理解,前述概念和以下更详细讨论的另外的概念的所有组合(只要这样的概念不相互矛盾)被考虑作为本文所公开的本发明的主题的一部分。特别地,出现在本公开的末尾处的所要求保护的主题的所有组合被考虑作为本文所公开的本发明的主题的一部分。还应理解,本文明确采用的还可能出现在通过引用而并入的任何公开内容中的术语应符合与本文所公开的特定概念最一致的含义。

附图说明

[0007] 技术人员将理解,附图主要是为了说明性目的并不旨在限制本文所述的本发明的主题的范围。附图不一定按比例绘制;在一些情况下,本文所公开的本发明的主题的各个方面可以在附图中夸大或放大示出以促进对不同特征的理解。在附图中,相同的附图标记一般是指相同的特征(例如,功能上类似和/或结构上类似的要素)。

[0008] 图1A至图1D示出根据一些实施方案的使用层转移技术制造半导体器件的方法。

[0009] 图2A至图2C示出根据一些实施方案的使用通过图1A至图1D中所示的方法制造的制造平台来制造半导体器件的方法。

[0010] 图3A至图3F示出根据一些实施方案的基于伪石墨烯的层转移的方法。

[0011] 图4是根据某些本发明的方法制造的半导体材料的照片。

具体实施方式

[0012] 一种解决非硅基底的高成本的方法是“层转移”技术,在该技术中,在晶格匹配的基底上生长功能器件层,然后将该功能器件层移除并转移至其他基底。然后可以重复使用剩余晶格匹配的基底以制造另一个器件层,从而降低成本。为了显著地降低制造成本,可能期望层转移方法具有以下特性:1) 基底重复使用性;2) 在层释放之后的最少基底翻新步骤;3) 快的释放速率;以及4) 释放厚度的精确控制。

[0013] 从晶格匹配的基底移除并转移器件层的常规方法包括化学剥离(也称为外延剥离或ELO)、光学剥离(也称为激光剥离或LLO)以及机械剥离(也称为受控剥落)。遗憾的是,这些方法都不具有上述所有四种期望特性。

[0014] 化学剥离技术可以用于从GaAs晶片剥离由III-V半导体制成的器件层。通常在器件层与基底之间外延地插入AlAs的牺牲层。化学剥离技术在湿式化学溶液中对牺牲层进行选择性地蚀刻以释放器件层。

[0015] 虽然化学剥离在过去三十年间不断发展,但是其仍具有若干缺点。例如,由于化学蚀刻剂缓慢渗透通过牺牲层,因此释放速率缓慢(例如,通常几天释放单个8英寸晶片)。第二,在释放之后,蚀刻残留物趋于变成表面污染物。第三,由于在释放之后执行的化学机械平坦化(chemical mechanical planarization, CMP)以将粗糙的基底表面恢复成外延就绪的表面,因此化学剥离具有有限的重复使用性。第四,处理化学溶液中所释放的外延层可能具有挑战性。

[0016] 光学剥离技术通常使用高功率激光器来照射晶格匹配的基底(例如,透明蓝宝石或SiC基底)的背面并选择性地加热器件-基底界面,从而引起界面的分解和器件层(例如, III-N膜)的释放。该技术可以降低制造基于III-N的发光二极管(LED)的成本,并且通过将释放的III-N转移至具有高热导率的基底来解决来自器件的热积聚的问题。

[0017] 然而,光学剥离具有其自身的局限性。第一,因为熔化的III-N/基底界面可能使基底粗糙,所以通常在重复使用之前进行修复步骤,从而将重复使用性降低到小于五次。第二,由高功率热照射引起的界面处的局部加压可能诱发裂纹或位错。第三,激光扫描速度可能太慢而不允许高处理能力。

[0018] 受控剥落可以具有比光学剥离更高的处理能力。在该技术中,在外延膜上沉积高应力膜(也称为“应力源”),从而诱发在外延层下方的断裂并且导致活性材料与基底的分离。当向界面施加足够的拉伸应力时, K_{II} 剪切模式可能引发裂纹,并且 K_I 开放模式可以允许裂纹的扩展平行于外延层与基底之间的界面。通过控制应力源的内应力和厚度,可以提供足以达到临界 K_I 值的应变能,从而导致膜/基底界面的断裂。因为剥离通过裂纹扩展而发生,所以剥落过程可能引起膜的快速释放。

[0019] 然而,至少出于以下原因,受控剥落不够成熟,不足以用于商业制造。第一,因为裂纹扩展通常通过并不总是垂直于表面对准的解理面发生,所以表面可能需要抛光以重复使用。第二,通常使用厚应力源来提供足够的能量以分离强的共价键,特别是当与高杨氏模量材料如III-N半导体一起使用时。第三,应力源的内应力可能仅被控制在窄的范围内,这限制所得剥落膜的可获得厚度。例如,因为典型的Ni应力源中的最大内应力为约1GPa,所以引发GaAs膜的剥落的在1GPa拉伸应力下的临界Ni厚度为约1.5 μm ,如果GaAs为约10 μm 厚,则可能诱发GaAs膜自身的剥落。因此,当使用Ni应力源时,制作小于10 μm 厚的GaAs膜可能具有挑

战性,但是通常大多数器件使用薄得多的膜。

[0020] 根据某些实施方案的本文所述的系统和方法采用基于伪石墨烯的层转移方法来制造器件。该方法可以解决上述层转移法中的一个或更多个缺点。在某些实施方案中,功能器件被制造在碳缓冲层(也称为伪石墨烯层)上,碳缓冲层又形成在SiC基底上。然后通过例如附接至功能器件的应力源将所制造的功能器件从晶格匹配的基底移除。

[0021] 在某些实施方案中,碳缓冲层用作用于生长器件层的可重复使用且通用的平台,并且还用作允许在石墨烯表面处快速、精确和可重复释放的离型层。与常规方法相比,本文所述的方法可以提供一个或更多个优点。第一,碳缓冲层与器件层之间的弱相互作用可以显著缓解外延生长的晶格失配规则,潜在地允许具有低缺陷密度的大多数半导体膜的生长。第二,由于碳缓冲层与外延层之间的弱范德华相互作用,因此可以容易且精确地从基底释放生长在碳缓冲层上的外延层(例如,功能器件),这允许快速机械释放外延层而无需进行释放表面的释放后修复。第三,碳缓冲层通常是机械稳健的并因此可以高度可重复使用用于多个生长/释放循环。

[0022] 图1A至图1D示出根据一些实施方案的通过伪石墨烯层转移技术制造半导体器件的方法100。图1A示出具有有可能未抛光的第一表面115的第一基底110(例如,SiC基底)。在一些实施方案中,第一表面115的特征可以在于表面粗糙度基本上等于或大于约100nm(例如,约100nm、约200nm、约500nm,或更大,包括之间的任何值和子范围)。

[0023] 图1B示出第一基底110的第一表面115被平坦化。例如,可以采用化学机械平坦化(CMP)工艺和/或高温氢蚀刻来降低第一基底的表面粗糙度。在图1C中,使最顶部的硅层升华,并且在第一基底110上形成碳缓冲层120以便在碳缓冲层120上形成石墨烯层130(也称为层形成步骤)。根据某些实施方案,石墨烯层130可以通过范德华力与碳缓冲层120相互作用。在一些实施方案中,可以在石墨烯层130的生长的早期阶段期间形成碳缓冲层120。碳缓冲层120可以包括例如碳簇和/或碳网。在一些实施方案中,碳缓冲层120包括晶体结构。在某些实施方案中,晶体结构可以与石墨烯相同或相似。在一些实施方案中,碳缓冲层与下面的基底共价键合。例如,在一些实施方案中,碳缓冲层120可以与基底110的第一表面115共价键合。

[0024] 在图1D中,从碳缓冲层120移除石墨烯层130,因此形成包括第一基底110和碳缓冲层120的平台140。平台140可以被使用和重复使用来制造不同类型的半导体器件(如图2A至图2C以及以下相关描述中更详细示出的)。与石墨烯层130相比,碳缓冲层120与下面的基底110具有更强的键合,从而在后续的过程中允许更稳定的器件制造。

[0025] 图1C中所示的层形成步骤可以通过各种方法来进行。在一些实施方案中,石墨烯层130可以包含具有单晶取向的外延石墨烯,以及基底110可以包括具有硅表面的(0001)4H-SiC晶片。石墨烯层130的制造可以包括多步退火步骤。可以在H₂气体中进行第一退火步骤用于表面蚀刻,以及可以在Ar中进行第二退火步骤用于在高温(例如,至少约1000°C,例如约1575°C,或更高)下进行石墨化。

[0026] 在一些实施方案中,可以通过化学气相沉积(CVD)工艺在第一基底110上生长碳缓冲层120和石墨烯层130。基底110可以包括镍基底或铜基底。或者,基底110可以包括SiO₂、HfO₂、Al₂O₃、Si₃N₄和实际上可与高温CVD相容的任何其他平面材料的绝缘基底。在一些实施方案中,可以通过分子束外延(MBE)技术在第一基底110上生长碳缓冲层120和石墨烯层

130。

[0027] 还可以使用各种方法以将石墨烯层130从碳缓冲层120和第一基底110移除。例如，可以将载体膜附接至石墨烯层130。载体膜可以包括聚(甲基丙烯酸甲酯)(PMMA)的厚膜或热释放带，并且附接可以通过旋涂法实现。

[0028] 图2A至图2C示出根据一些实施方案的使用通过图1A至图1D中所示的方法制造的制造平台来制造外延层(例如，其可以用于形成半导体器件的一部分)的方法200。图2A示出包括第一基底210和设置在第一基底210上的碳缓冲层220的制造平台240的示意图。制造平台可以与图1D中所示的和以上描述的制造平台140相同或基本相似。在图2B中，在碳缓冲层220上形成外延层250(例如，通过外延生长或任何其他适当的方法)。如下所述，在一些实施方案中，外延层250可以与碳缓冲层220外延匹配。在一些实施方案中，外延层250还可以与基底210外延匹配。

[0029] 在图2C中，外延层250被从碳缓冲层220移除。例如，可以将外延层250转移至另一基底用于进一步处理。在移除外延层250之后，制造平台240可以被用于另一轮制造(例如，在碳缓冲层220上形成第二外延层)。

[0030] 外延层250可以包括III-V半导体、Si、Ge、III-N半导体、SiC、SiGe、或II-VI半导体等。在一个实例中，第一基底210的晶格与外延层250的晶格匹配，在这种情况下，如果碳缓冲层220是多孔的或足够薄，则第一基底210用作作用于外延层250的生长的籽晶。例如，在一些情况下，碳缓冲层220包括孔，并且形成外延层250的材料可以通过该孔接触下面的第一基底210，从而允许第一基底引晶外延层250的生长。作为另一个实例，即使当外延层250与第一基底210之间不存在直接接触时，也可以发生通过第一基底210进行的外延层250的引晶。例如，根据某些实施方案，第一基底210可以具有势场(例如，通过范德华力和/或其他原子力或分子力产生的)，以及碳缓冲层220可以很薄以至于第一基底210的势场达到超过碳缓冲层220，与其中形成外延层250的区域相互作用。因此，在一些实施方案中，来自第一基底210的势场影响外延层250的生长。

[0031] 将碳缓冲层220夹在第一基底210与外延层250之间可以促进快速且无损坏地释放和转移外延层250。

[0032] 在另一个实例中，碳缓冲层220可以足够厚(例如，若干层厚)以用作生长外延层250的籽晶，在这种情况下，外延层250可以与碳缓冲层220晶格匹配。该实例还允许重复使用第一基底210。在又一个实例中，第一基底210与碳缓冲层220一起可以用作生长外延层250的籽晶。

[0033] 在一个实例中，外延层250包括2D材料系统。在另一个实例中，外延层250包括3D材料系统。制造2D材料系统和3D材料系统二者的灵活性允许制造本领域已知的宽范围的光学器件、光电器件和光子器件。

[0034] 外延层250的制造可以使用本领域已知的多种半导体制造技术中的任一种来进行。例如，可以使用低压金属-有机化学气相沉积(MOCVD)以在碳缓冲层220上生长外延层250(例如，GaN膜)，碳缓冲层220又被设置在第一基底210(例如，SiC基底)上。在该实例中，可以对碳缓冲层220和第一基底210进行烘烤(例如，在 H_2 下在 $>1100^\circ C$ 下持续 >15 分钟)以清洁表面。然后，可以在例如200毫巴下进行包含GaN的外延层250的沉积。可以使用三甲基镓、氨和氢分别作为Ga源、氮源和载气。可以采用改进的两步生长来获得在碳缓冲层220上的平

坦的GaN外延膜。第一步骤可以在1100°C的生长温度下进行几分钟,在该步骤中,可以促进在平台边缘处的引导成核。第二生长步骤可以在1250°C的升高的温度下进行以促进侧向生长。在这种情况下的垂直Ga_N生长速率可以为约20nm/分钟。

[0035] 图3A至图3F示出根据一些实施方案的层转移的方法300。图3A示出碳缓冲层320形成在施主晶片(donor wafer)310(其可以为单晶晶片)上。例如,碳缓冲层320可以直接在施主晶片310上生长,例如使用根据图1A至图1D以上描述的任何方法。图3B示出在碳缓冲层320上外延生长外延层330。外延层330可以包括电子层、光子层、或任何其他功能器件层。制造外延层330的方法可以包括根据图2A至图2C以上描述的任何方法和技术。

[0036] 图3C示出在外延层330上设置应力源340。例如,应力源340可以包括高应力金属膜,例如Ni膜。在该实例中,可以以 1×10^{-5} 托的真空水平在蒸发器中沉积Ni应力源。

[0037] 图3D示出在应力源340上设置带层350用于操作应力源340。使用带350和应力源340可以通过向外延层330与碳缓冲层320之间的界面施加高应变能以快速的释放速率从碳缓冲层320机械剥离外延层330。至少由于碳缓冲层320与其他材料例如外延层330之间的弱范德华键合,释放速率可以是快速的。

[0038] 在图3E中,经释放的外延层330与应力源340和带层350一起被设置在寄主晶片(host wafer)360上。在图3F中,带350和应力源340被移除,留下外延层330用于进一步处理例如在外延层330上形成更复杂的器件或沉积另外的材料。在一个实例中,带层350和应力源340可以通过基于FeCl₃的溶液被蚀刻掉。

[0039] 在该方法300中,在图3D中所示的释放外延层330之后,可以重复使用剩余的施主晶片310和碳缓冲层320用于外延层制造的下一个循环。或者,还可以释放碳缓冲层320。在这种情况下,可以在外延层制造的下一个循环之前在施主晶片310上设置和/或形成新的碳缓冲层。在任一种情况下,碳缓冲层320都保护施主晶片310不受损坏,从而允许多次使用并降低成本。更多细节可以见于2018年3月7日提交的、于2018年7月12日作为美国专利申请公开第2018/0197736号公开的并且标题为“SYSTEMS AND METHODS FOR GRAPHENE BASED LAYER TRANSFER”的美国专利申请第15/914,295号,其通过引用整体并入本文。

[0040] 图4是外延生长在碳缓冲层上的Ga_N薄膜的照片,之后,使用柔性机械操作器通过剥离从碳缓冲层的表面移除Ga_N薄膜。简言之,使用4英寸直径(0001)4H-SiC晶片作为基底,其中在硅面上生长。通过首先在1575°C下在H₂气体中进行退火,然后在1575°C下在Ar中进行石墨化步骤,使SiC晶片的顶表面升华,并且生长碳缓冲层和石墨烯层。然后使用机械释放层移除石墨烯层(其位于碳缓冲层和基底上方),在SiC基底上留下碳缓冲层。随后,使用MOCVD在碳缓冲层上生长Ga_N薄膜。将三甲基镓、氨和氢用于两步生长过程中,第一步骤在1100°C下进行几分钟,第二步骤在1250°C下进行。随后使用柔性机械操作器将Ga_N薄膜从碳缓冲层剥离。在图4中,Ga_N薄膜被示出作为悬挂在柔性机械操作器(其用于将Ga_N从碳缓冲层和基底剥离)上的独立式Ga_N薄膜。

[0041] 2018年10月16日提交的并且标题为“Epitaxial Growth Template Using Carbon Buffer on Sublimated SiC Substrate”的美国临时申请第62/746,072号出于所有目的通过引用整体并入本文。

[0042] 虽然在本文中已经描述和举例说明了各种发明实施方案,但是本领域普通技术人员将容易想到用于执行本文中所述的功能和/或获得本文中所述的结果和/或一个或更多

个优点的多种其他手段和/或结构,并且这样的变化和/或修改中的每一个均被认为在本文所述的本发明的实施方案的范围内。更一般地,本领域技术人员将容易理解,本文所述的所有参数、尺寸、材料和配置均意指为示例性的,并且实际参数、尺寸、材料和/或配置将取决于使用本发明的教导的具体应用或多个应用。本领域技术人员将认识或者仅使用常规实验就能够确定本文所述的具体发明实施方案的许多等同方案。因此,应理解,前述实施方案仅通过示例的方式呈现,并且在所附权利要求书及其等同方案的范围内,本发明的实施方案可以以不同于具体描述和要求保护的其他方式实践。本公开的发明实施方案涉及本文所述的每个单独的特征、系统、制品、材料、套件和/或方法。此外,如果这样的特征、系统、制品、材料、套件和/或方法不相互矛盾,则两个或更多个这样的特征、系统、制品、材料、套件和/或方法的任意组合均包括在本公开的发明范围内。

[0043] 上述实施方案可以以多种方式中的任一种来实现。例如,本文所公开的设计并进行技术的实施方案可以使用硬件、软件或其组合来实现。当以软件来实现时,无论软件代码是在单个计算机中提供还是分布在多个计算机中,该软件代码都可以在任何合适的处理器或处理器集合上执行。

[0044] 此外,应理解,计算机可以以许多形式(例如机架式计算机、台式计算机、膝上型计算机或平板计算机)中的任一种来体现。此外,计算机可以被嵌入通常不被视为计算机但具有适当处理量的设备中,包括个人数字助理(PDA)、智能电话或者任何其他合适的便携式或固定电子设备。

[0045] 此外,计算机可以具有一个或更多个输入和输出装置。这些装置尤其可以用于呈现用户界面。可以用于提供用户界面的输出装置的实例包括用于输出的可视呈现的打印机或显示屏以及用于输出的可听呈现的扬声器或其他声音产生装置。可以用于用户界面的输入装置的实例包括键盘以及指向装置例如鼠标、触摸板和数字化平板。作为另一个实例,计算机可以通过语音识别或以另外的可听形式接收输入信息。

[0046] 这样的计算机可以通过一个或更多个网络以任何合适的形式(包括局域网或广域网,例如企业网、智能网(IN)或因特网)互连。这样的网络可以基于任何合适的技术并且可以根据任何合适的协议来运行,并且可以包括无线网络、有线网络或光纤网络。

[0047] 本文中概述的多种方法或过程可以被编码为可在采用多种操作系统或平台中的任一种的一个或更多个处理器上执行的软件。另外,这样的软件可以使用许多合适的编程语言和/或编程或脚本工具中的任一种来编写,并且还可以被编译为在框架或虚拟机上执行的可执行机器语言代码或中间代码。

[0048] 在这方面,各种发明构思可以体现为以一个或更多个程序编码的计算机可读存储介质(或多个计算机可读存储介质)(例如,计算机存储器、一个或更多个软盘、压缩盘、光盘、磁带、闪存、现场可编程门阵列或其他半导体器件中的电路配置、或者其他非暂时性介质或有形计算机存储介质),当在一个或更多个计算机或其他处理器上执行时,其执行实现以上所讨论的本发明的各个实施方案的方法。计算机可读媒介或介质可以是可传输的,使得存储在其上的一个或更多个程序可以被加载到一个或更多个不同的计算机或其他处理器上以实施如上所讨论的本发明的各个方面。

[0049] 术语“程序”或“软件”在本文中以一般意义使用,以指可以用于对计算机或其他处理器进行编程以实施如上所讨论的实施方案的各个方面的任何类型的计算机代码或计算

机可执行指令集。此外,应理解,根据一个方面,在执行时执行本发明的方法的一个或更多个计算机程序不需要驻留在单个计算机或处理器上,而是可以以模块化方式在许多不同的计算机或处理器中分布以实施本发明的各个方面。

[0050] 计算机可执行指令可以是由一个或更多个计算机或其他装置执行的许多形式例如程序模块。通常,程序模块包括执行特定任务或实施特定抽象数据类型的例程、程序、对象、组件、数据结构等。通常,程序模块的功能可以如所期望的在各个实施方案中进行组合或分布。

[0051] 此外,数据结构可以以任何合适的形式存储在计算机可读介质中。为了简化说明,可以将数据结构显示为具有通过数据结构中的位置有关的字段。这样的关系同样可以通过对传达字段之间的关系的计算机可读媒介中的位置的字段分配存储来实现。然而,可以使用任何合适的机制来建立数据结构的字段中的信息之间的关系,包括通过使用指针、标签或建立数据要素之间关系的其他机制。

[0052] 此外,各种发明构思可以体现为已经提供了实例的一种或更多种方法。作为方法的一部分而执行的动作可以以任何合适的方式排序。因此,可以构造其中以不同于所示的顺序执行动作的实施方案,即使在说明性实施方案中示出为顺序动作,其也可以包括同时执行一些动作。

[0053] 如本文所定义和使用的所有定义应理解为优先于字典定义、通过引用并入的文献中的定义和/或所定义的术语的一般含义。

[0054] 除非明确指出相反,否则如本文在说明书和权利要求书中使用的没有数量词修饰的对象应理解为意指“至少一个/一种”。

[0055] 如本文在说明书和权利要求书中使用的短语“和/或”应理解为意指这样结合的要素中的“任一者或两者”,即,在一些情况下共同存在而在另一些情况下分开存在的要素。用“和/或”列出的多个要素应以相同的方式解释,即这样结合的要素中的“一者或更多者”。除了由“和/或”子句具体指出的要素之外,其他要素可以任选地存在,无论其与具体指出的那些要素相关或无关。因此,作为一个非限制性实例,当与开放式语言例如“包括”结合使用时,提及“A和/或B”在一个实施方案中可以仅指A(任选地包括除B之外的要素);在另一个实施方案中可以仅指B(任选地包括除A之外的要素);在又一个实施方案中可以指A和B二者(任选地包括其他要素);等等。

[0056] 如本文在说明书和权利要求书中所使用的,“或”应理解为具有与如上所定义的“和/或”相同的含义。例如,当分开列表中的项目时,“或”或“和/或”应当理解为包括性的,即包括许多要素或要素列表中的至少一个,但也包括多于一个,并且任选地包括另外的未列出的项目。仅明确指出相反的术语,例如“仅其一”或“恰好其一”,或当用于权利要求书时“由.....组成”是指包括许多要素或要素列表中的恰好一个要素。通常,当前面有排他性术语(例如“任一”、“其一”、“仅其一”或“恰好其一”)时,如本文所使用的术语“或”仅应当理解为表示排他性的替代方案(即,“一个或另一个但并非二者”)。“基本上由.....组成”在用于权利要求书时应当具有其在专利法领域中所使用的一般含义。

[0057] 如本文在说明书和权利要求书中所使用的,短语“至少一个”在提及一个或更多个要素的列表时应理解为意指从要素列表中的任一个或更多个要素中选择的至少一个要素,但并不一定包括要素列表中具体列出的各个和每个要素中的至少一个,并且不排除要素列

表中的要素的任意组合。该定义还允许可以任选地存在除了短语“至少一个”所提及的要素列表中具体指出的要素之外的要素,无论其与具体指出的那些要素相关还是无关。因此,作为一个非限制性实例,“A和B中的至少一个”(或者等同地“A或B中的至少一个”,或者等同地“A和/或B中的至少一个”)在一个实施方案中可以是指至少一个A,任选地包括多于一个A,而不存在B(并且任选地包括除B之外的要素);在另一个实施方案中,可以是指至少一个B,任选地包括多于一个B,而不存在A(并且任选地包括除A之外的要素);在又一个实施方案中,可以是指至少一个A,任选地包括多于一个A,以及至少一个B,任选地包括多于一个B(并且任选地包括其他要素);等等。

[0058] 在权利要求书中以及在以上说明书中,所有过渡性短语例如“包含”、“包括”、“带有”、“具有”、“含有”、“涉及”、“持有”、“包括有”等都应理解为开放式的,即,意指包括但不限于。仅过渡性短语“由.....组成”和“基本上由.....组成”应当分别是封闭或半封闭的过渡性短语,如美国专利局专利审查程序手册第2111.03节中所阐述的。

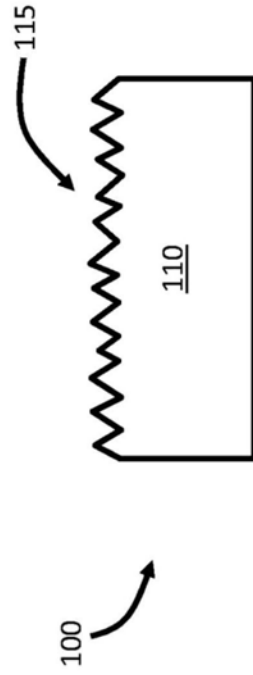


图1A

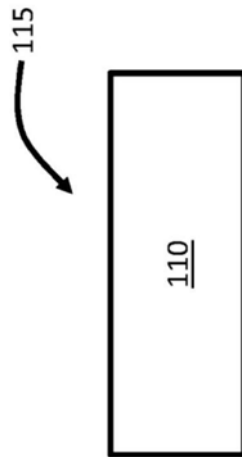


图1B



图1C

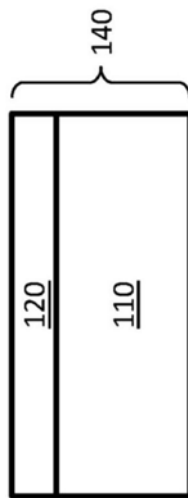
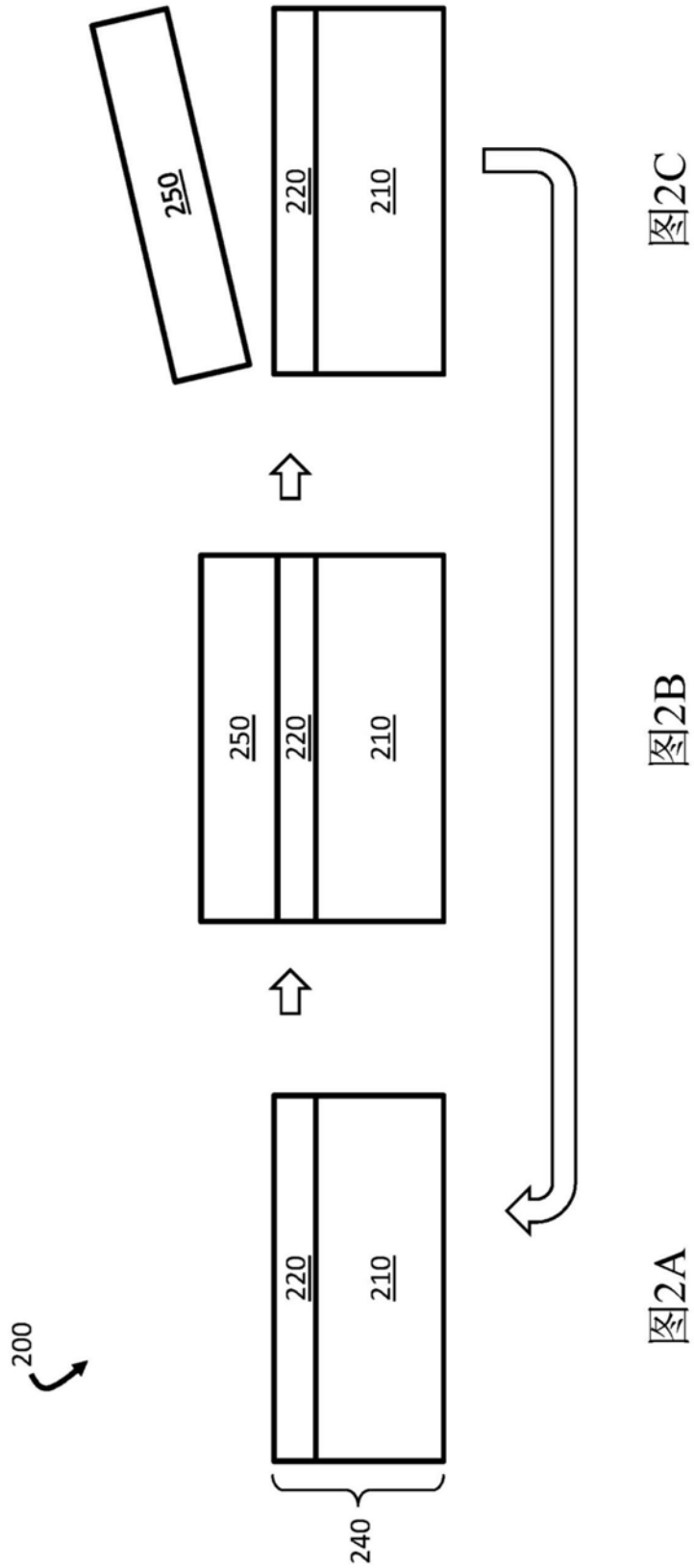


图1D



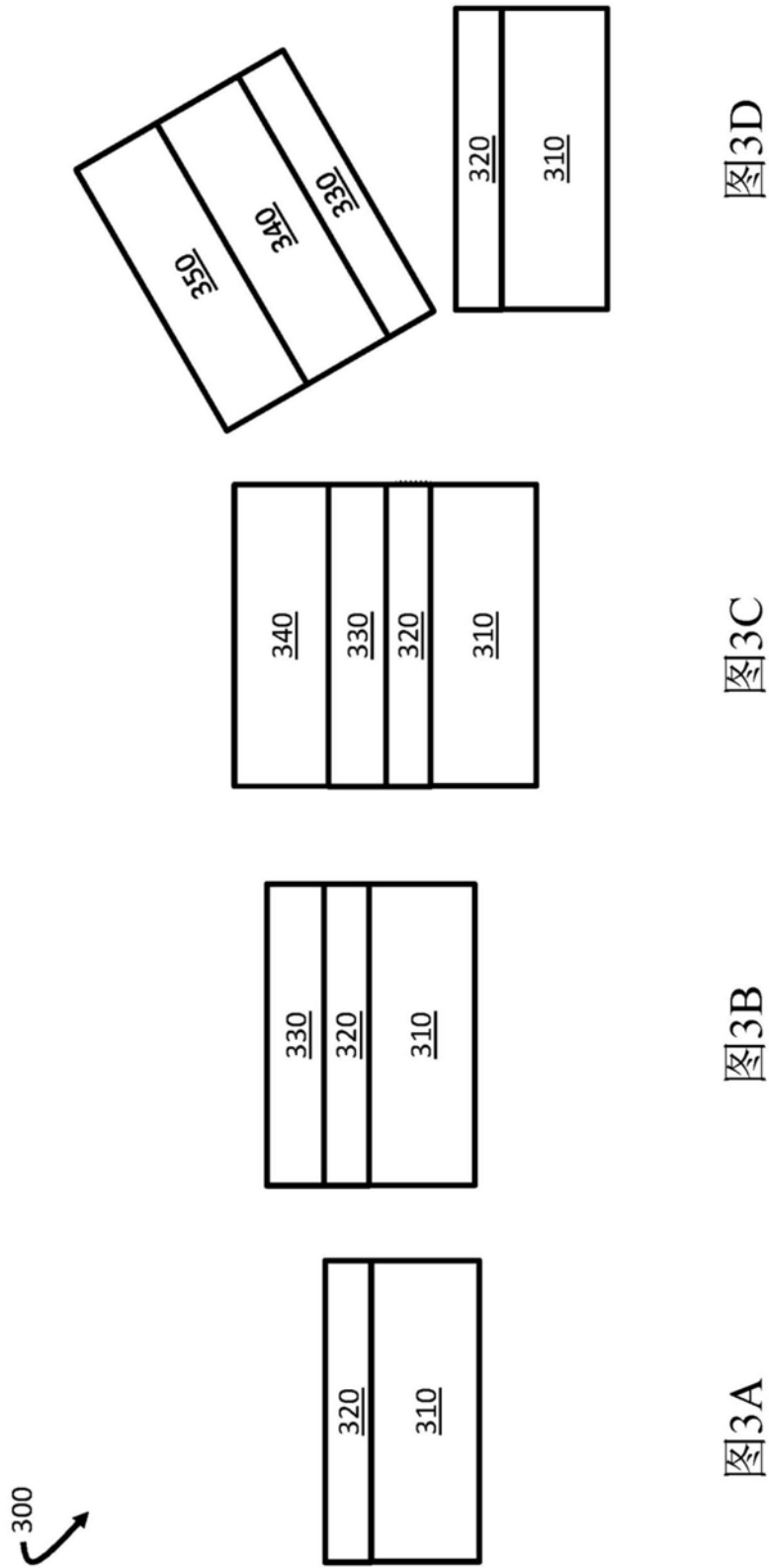


图3A

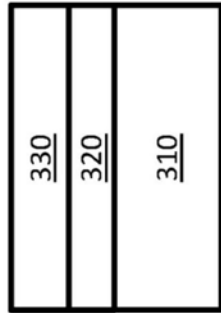


图3B

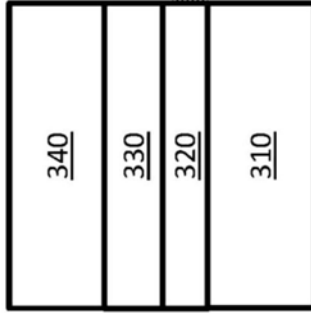


图3C

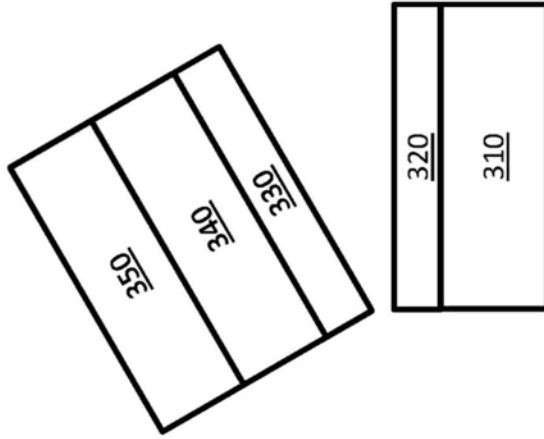


图3D

300

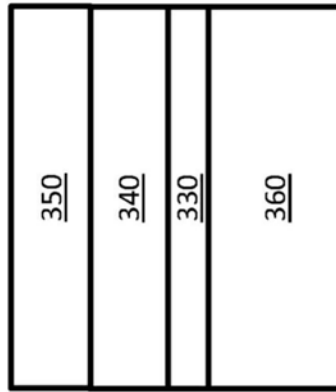


图3E



图3F

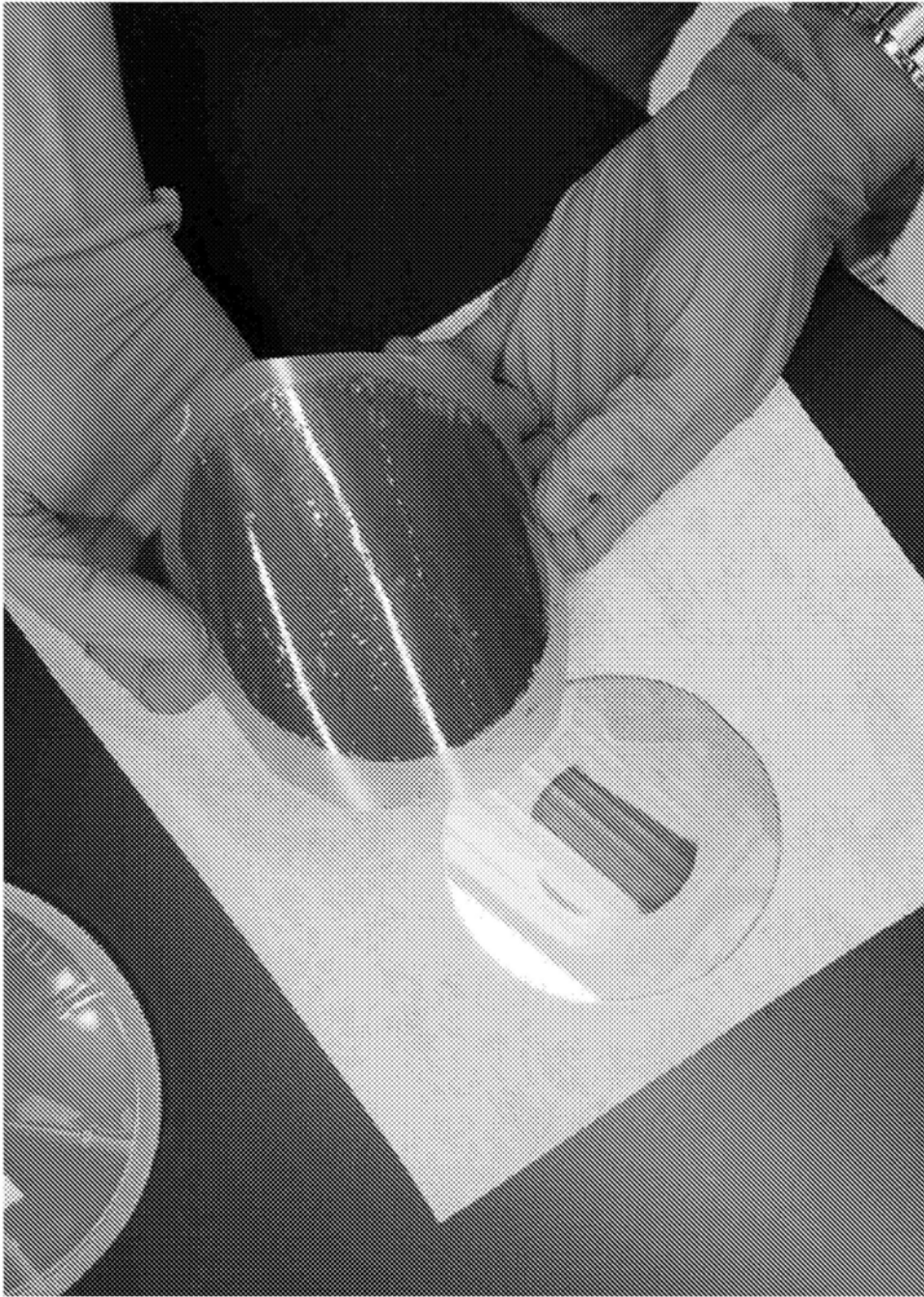


图4