

公告本

申請日期	88 年 4 月 12 日
案 號	88105786
類 別	403L 7/00

A4
C4

419899

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	可變頻振盪電路、以及使用其之相位同步電路及時脈同步電路
	英 文	
二、發明 創作人	姓 名	(1) 黃昶久 (2) 小久保優
	國 籍	(1) 韓國 (2) 日本
	住、居所	(1) 美國加州巴洛艾托坦蘭一一二號大道一〇九〇號 1090 Tanland DR. #112 Palo Alto, CA 94303, U. S. A. (2) 日本國埼玉縣飯能市本町二一一五
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 金井務

經濟部智慧財產局員工消費合作社印製

裝
訂
線

419899

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 ☐ 無主張優先權 ☐
日本 1998 年 4 月 13 日 10-101423 ☒ 有主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明之背景】

本發明係有關使用可變頻振盪電路的相位同步電路（以下稱「PLL」），尤其有關於在適用於低電源電壓動作之半導體積體電路裝置的可變頻振盪電路及使用其之PLL。

由於嵌入微電腦之大規模半導體積體電路裝置（以下稱「LSI」）之開發的盛行，因此該大規模化，高速化，低消耗電力化則不斷進展。微處理器係以執行經由程式等指示之演算的演算裝置，整體與時脈同步動作。做為產生時脈之電路，眾所皆知有使用PLL之頻率的頻率合成器〔參照（D.Mijuskovic 其他“Cell Bases Full Integrated COMS Frequency Synthesizer”）〕。以LSI顯示一般使用之頻率合成器之構成於圖11。

同頻率之中，經由相位比較器1，迴圈濾波器3及電流控制振盪器7（以下略稱「ICO」），係輸出同步於自外部之基準信號 f_r 的時脈信號 f_{vco} 。ICO7係對應輸入電流，改變振盪頻率之可變頻振盪電路。又分頻器9係將自外部之石英振盪器等輸入之低頻輸入信號 f_i 加以分頻的基準信號產生器、分頻器8係插入回歸迴圈之回歸用分頻器，將兩者之各分頻經由適切地設定，可得所定頻率的時脈信號 f_{vco} 。然而，向相位比較器1之比較信號 f_p 係自分頻器8取出。

在此，圖11所示構成之基本機能係經由回歸迴圈，於輸入信號產生相位同步信號PLL。分頻器8、9之設

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(2)

置係為任意進行，PLL係經由設置此等，尤其做為頻率合成器加以工作。又PLL係當輸出信號呈時脈信號之時，呈時脈產生電路。

將如此之頻率合成器，經由LSI形成之時，採用考量半導體積體電路之特質的構成。即，半導體積體電路中，雖可容易得靜電容量，但有難以獲得阻抗之情形，難以形成阻抗。在此，將迴圈濾波器3以靜電容量加以形成，同靜電容量之電流的充放電不以充電泵2加以進行，設置補助充電泵（以下稱「ACP」）5，進行將迴圈濾波器3呈旁路者。ACP5係呈與阻抗等效之工作，於回歸迴圈之傳達函數形成零點。經由設置零點可安定回歸迴圈。

相位比較器1係檢出基準信號 f_r 和分頻器8之輸出信號 f_p 的相位差，輸出為控制IC07之UP信號（上昇頻率的控制信號）和DN信號（下降頻率的信號）。又，UP信號、DN信號之各反轉信號的UPB信號、DNB信號亦同時輸出。此UP信號及DN信號係相當於基準信號 f_r 和比較信號 f_p 之相位差的脈衝寬度調制。

又，IC07係構成半導體積體電路之時，可由將振盪頻率和電流之關係較與電壓之關係呈更好之直線性的傾向，較電壓控制振盪器（VCO）更喜好被採用，電壓電流變換器（以下略稱「VIC」）4則將迴圈濾波器3之靜電容量之端子間電壓變換為電流。然而，ACP5係輸出電流地加以構成之故，為形成上述旁路，以加法電路6加算VIC4和ACP5之輸出電流。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (3)

接著，對於如此 PLL 之主要電路加以說明。將充電泵 2 和迴圈濾波器 3 之構成示於圖 1 2。充電泵 2 係由 2 組電晶體之開關 1 2、1 3 和電流源 1 0、1 1 所構成，輸入自相位比較器 1 之 UP 信號和 DN B 信號。在此，UP 信號及 dn 信號係於 0 時為 1 有效者。又，迴圈濾波器 3 係連接於充電泵 2 之輸出，以靜電容量 C_p 加以構成。

充電泵 2 係自貯存於迴圈濾波器 3 之靜電容量 C_p 的電荷，將對應輸入 UP 信號和 DN B 信號之電荷加以充放電。在此充電放電之電荷量係呈於構成充電泵 2 之電流源 1 0、1 1 之電流值 I_{up} 、 I_{dn} ，乘上 UP 信號和 DN B 信號之脈衝寬度的差分之值。

將靜電容量之端子間電壓變換呈電流的 VIC 4 之例示於圖 1 3〔例如參照 I E E E I S S C C ' 9 5 Digest Technical Pages (1 9 9 5 年 2 月發行) 第 1 1 2 頁 ~ 第 1 1 3 頁 (Ilya Novof 著 " Fully Integrated CMOS Phase-Locked Loop with 15 to 240MHz Locking Range and $\pm 50ps$ Jitter") 〕。

同 VIC 係將於飽和範圍動作之電晶體，以 3 段以上縱連接之電路加以構成，電源電壓需 3 V 以上。

接著，IC O 7 係由於上述半導體積體電路之特質和高速動作之要求，將具增益之複數電流控制型之延遲電路，呈環狀縱連接之環狀振盪器為一般者（例如參照 1 9 9 6 年 I E E E Press 公司發行 B. Razavi 著「Design

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

of Monolithic Phase-Locked Loops and Clock Recovery Circuits」第1頁～第39頁)。

將延遲電路之例示於圖14。輸入相互極性反轉之差動信號 V_{in} ，輸出差動信號 V_{out} 的電晶體 M21、M22 則形成差動增幅電路，電晶體 M23、M24 則呈此等之負荷。連接差動增幅電路之各輸出端子的電晶體 M25、M26 則呈正回歸電路，經由正回歸形成之負性阻抗則取消前述負荷阻抗。由此，表面上負荷阻抗會變高。然而，各電晶體 M25、M26 係將閘極電極呈輸入端子、將汲極端子呈輸入端子的增幅電路，正回歸電路係將該輸出入端子相互交叉加以連接形成。

輸入頻率控制信號 V_{count} 之電晶體 M27、M28 係將電晶體 M23、M24 之共通源極電流和電晶體 M25、M26 之共通源極電流加以變化，變化上述表面之負荷阻抗。於增幅電路之輸出端子中，雖未加以圖示，有浮動容量，以同浮動容量和表面之負荷阻抗形成時定數，但經由變化表面之負荷阻抗，變化時定數。即，經由電流，變化延遲電路之延遲量，以如此之延遲電路變化巡迴縱連接之環狀振盪器之 IC07 的振盪頻率。

圖14之延遲電路係又經由電晶體 M27、M28 不呈與電晶體 M21、M22 縱連接之構成，可使電源電壓被壓低。但是，令增幅電路及定電流源之電晶體，於飽和範圍使用及增幅電路之輸出端子連接於後段之延遲電路之增幅電路的輸入端子等，電源電壓係約需電晶體之閘極。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(5)

源極間電壓之3倍，具體而言，最少需2.5V。

【發明之要旨】

裝有微處理器之LSI中，伴隨其大規模化，半導體元件之尺寸則變小，因此其元件之耐壓下降，進而電源有進電壓化之情形。即原為5V電壓呈3V，最近有向1V以下發展之傾向。然而，電源之低電壓化，直接關乎LSI之消耗電力之下降。又，LSI之大規模化外，伴隨應用之擴大，極度要求動作速度之提升和頻率可變範圍之擴大。

前述之以往各電路中，係以3V內外者為對象，當下降至1V之時，會產生以下之問題。

對於IC07而言，當電晶體之動作電流下降，延遲電路之增益會減少，振盪頻率附近之延遲電路的增益有下降1之可能性。此時，頻率之可變範圍則變窄，依情況會產生振盪的停止。做為針對此之對策，雖有將延遲電路之縱連接段數變多之方法，但伴隨振盪頻率之上限的下降，會增加消耗電力之故，不能稱之為適切之良策。

對於VIC4，於飽和範圍動作之電晶體，會移至阻抗範圍（飽和範圍），於此過程中，不能進行線性佳之電壓電流變換。

接著，有關振盪頻率之可變範圍，經由圖11所示之ACP5呈旁路之電路構成中，會有可變範圍難以加寬之下述問題。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (6)

當產生 U P 信號或 D N 信號時，瞬間會加算該電流之故，振盪頻率係在短時間會呈跳脫之現象。在此，將正規之頻率 f_0 ，使該周期呈 T，將瞬間性之頻率跳脫量及周期之跳脫量各呈 Δf 、 ΔT 之時，會成立以下之式 (1)。

$$\Delta T/T \approx \Delta f/f_0 \dots\dots(1)$$

因此，如使用以往之 A C P 5 之時，將 U P 信號或 D N 信號直接加上關連加以加減算時， Δf 會呈一定之故，伴隨 Δf_0 之下降，周期之誤差 $\Delta T/T$ 則會變大。即，抖動 (時間之搖擺) 則會變大。而抖動之大小 1 有其容許之臨界存在之故， f_0 無法下降至某程度，振盪頻率之可變範圍則會變窄。

本發明之目的係解決以往技術之前述問題，在於低電源電壓之下加以動作，且提供可以高頻振盪之新穎頻率可變振盪電路，以及具有使用其之廣振盪頻率範圍的 P L L 及時脈同步電路。

本發明之最大特徵係採用將 P M O S (Metal Oxide Semiconductor) 電晶體和 n M O S 電晶體之閘極電極相互連接而呈輸入端子，且相互連接汲極電極而呈輸出端子之互補型增幅電路為增幅電路要素，將差動增幅電路和輸出入端子相互交叉連接之正回歸電路使用該互補型增幅電路加以構成，於差動增幅電路之輸出端子間連接正回歸電路，將為控制前述互補型增幅電路之源極電流之控制用 M O S 電晶體和前述互補型增幅電路，直接連接於電源端子和接地端子間構成之延遲電路，採用於頻率可變振幅電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

路之部分。

如此之延遲電路之構成中，使用差動增幅電路及正回歸電路之前述互補型增幅電路之PMOS電晶體之源極電極則相互連接，更且相互連接NMOS電晶體之源極電極。又，於控制用MOS電晶體之閘極電極供給頻率控制信號，該控制用電晶體之汲極電流則呈控制電流，控制互補型增幅電路之源極電流。

互補型增幅電路係當一方之電晶體呈開啓狀態（阻抗範圍）之時，可做爲另一方之電晶體呈關閉之反相器加以使用。本發明中，將互補型增幅電路經由做爲如此之反相器使用，將差動增幅電路呈相互狀態反轉之反相器之差動電路，令正回歸電路呈閉鎖電路。爲此令差動增幅電路及正回歸電路動作之電壓係可呈一方電晶體呈開啓狀態之電壓，即呈電晶體之臨限值電壓程度者（於關閉狀態之電晶體中，無需電壓之施加），具體而言爲0.7V之程度。

一方面，控制前述互補型增幅電路之源極電流的控制用MOS電晶體係需維持飽和範圍，爲此之汲極・源極間電壓係呈0.3V程度。因此，本發明之延遲電路係可以於上述臨限電壓0.7V，加上此0.3V之1V電源電壓加以動作。

接著，正回歸電路係檢出差動增幅電路之輸出之微小電壓差，將輸出端子自電源電壓向接地電位之方向，或向該相反方向變化加速之故，延遲電路係表面上具有大的增益的同時，可呈高速動作者。又，可使延遲電路之縱連續

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

段數變少。

如此地，使用本發明之延遲電路構成之頻率可變振盪電路係於低電源電壓之下，不產生增益之下降，安定地振盪。

本發明之另外特徵係將閘極電極偏壓至較汲極電極為高的第1之MOS電晶體，和將迴圈濾波器之輸出電路輸入至閘極電極，將輸出電流自汲極電極取出地，於第1之MOS電晶體之汲極，連接源極電極之第2之MOS電晶體所成電路，呈電壓電流變換電路之電流電壓變換部之處者。上述偏壓係例如將閘極電極連接於電源地加以實現者。

如上所述，偏壓之電晶體係以阻抗範圍加以動作，電源電壓呈1V程度之低電壓時，幾近與低電壓同時振動。經由將如此之阻抗呈源極阻抗地，第2之MOS電晶體係在於低電源電壓之下，可進行線性之電壓電流變換。由此，可得線性範圍寬廣之變換電流，伴隨著可確保PLL之寬廣動作範圍。

本發明之另一特徵係以第1之定電流源及第2之定電流源，和切換輸入UP信號和UPB信號之第1之定電流源之電流的第2差動電路，和DN信號呈有效之時，複製輸出第2之差動電路之電流的電流鏡電路構成補助充電泵，UP信號為有效之時，將結合第2之差動電路電流所輸出之端子和電流鏡電路輸出複製電流之端子的端子，做為補助充電之輸出端子時，更且較佳者係將第1之定電流源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

及第2之定電流源之電流，比例於前述迴圈濾波器之輸出信號加以變化者。

經由設定如此之比例關係，具有本提案之補助充電泵的PLL中，前式(1)之 Δf 則呈比例於 f_0 者，無關於頻率，周期誤差 $\Delta T / T$ 呈一定。下降振盪頻率時，振盪亦不會誤大，PLL可得寬廣之振盪頻率範圍。

這些以及其他物件以及許多伴隨優勢的此發明將容易地被欣賞，經由參考深思熟慮的有關於這伴隨的如下描述之描述可被容易地了解。

【圖面之簡單說明】

圖1係為說明使用有關本發明之頻率可變振盪電路的第1之實施例的構成圖。

圖2係為說明使用第1之實施例之頻率可變振盪電路的延遲電路之例的電路圖。

圖3係為說明使用第1之實施例之頻率可變振盪電路的數位信號變換器之例的電路圖。

圖4係為說明使用本發明之頻率可變振盪電路的PLL之第1之實施例的構成圖。

圖5係為說明使用第1之實施例之PLL的電壓電流變換電路及補助充電泵之例的電路圖。

圖6係說明對於有關本發明之頻率可變振盪電路之控制電壓的振盪頻率的關係之曲線圖。

圖7係為說明本發明之頻率可變振盪電路之第2發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

之實施形態的構成圖。

圖 8 係為說明使用第 2 之實施例之頻率可變振盪電路的延遲電路之例的電路圖。

圖 9 係為說明使用於圖 8 之延遲電路的控制信號生成電路的電路圖。

圖 10 係說明本發明之第 3 發明之實施形態的構成圖。

圖 11 係為說明以往之 PLL 的構成圖。

圖 12 係為說明以往之充電泵及迴圈濾波器的電路圖。

圖 13 係為說明以往之電壓電流變換電路之電路圖。

圖 14 係為說明以往延遲電路之電路圖。

主要元件對照表

- 1 : 相位比較器
- 2 : 充電泵
- 3 : 迴圈濾波器
- 4 : V I C
- 5 : A C P
- 6 : 加法電路
- 7 : I C O
- 8 : 分頻器
- 9 : 分頻器
- 10 : 電流源

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

- 1 1 : 電 流 源
- 1 2 : 開 關
- 1 3 : 開 關
- 1 5 ~ 2 7 : 電 晶 體
- 2 8 - 1 ~ 2 8 - 4 : 延 遲 電 路
- 2 9 : 數 位 信 號 變 換 電 路
- 3 0 ~ 3 3 : P M O S 電 晶 體
- 3 4 ~ 3 8 : N M O S 電 晶 體
- 4 1 ~ 4 4 : 電 晶 體
- 4 5 : 定 電 流 源
- 4 6 : P M O S 電 晶 體
- 4 7 : 電 晶 體
- 4 8 : 電 晶 體
- 4 9 : 資 料 產 生 電 路
- 5 0 - 1 ~ 5 0 - 2 : 輸 出 電 路
- 5 1 : P L L
- 5 2 : 處 理 電 路
- 5 3 : 輸 入 電 路
- 5 4 : 外 部 I C

以下，參照將有關本發明之頻率可變振盪電路，以及使用其之 P L L 及時脈同步電路示於圖示之幾個實施例，更詳細地加以說明。然而圖 1 ~ 圖 1 4 之同一符號，係顯示同一物或類似物者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

【實施例 1】

本實施例之頻率可變振盪電路係將示於圖 2 之延遲電路呈環狀縱連續者，令該電路構成，示於圖 1。於圖 1 中，28-1 ~ 28-4 係具有差動之輸出入端子之延遲電路，29 係將延遲電路 28-4 之差動之二輸出信號呈單一信號之數位信號變換電路者。

延遲電路 28 係輸入差動信號 V_{in1} 、 V_{in2} ，輸出差動信號 V_{out1} 、 V_{out2} 。圖 2 中，30 ~ 33 係 PMOS 電晶體，34 ~ 38 係 NMOS 電晶體者，電晶體 30 和 34、31 和 35、32 和 36 及 33 和 37 係將閘極電極相互連接呈輸入端子，且呈相互連接汲極電極的輸出端子的互補型增幅電路。互補型增幅電路係一方之電晶體呈另一方之電晶體負荷地加以動作之故，可得高增益。

經由將各互補型增幅電路之 PMOS 電晶體 30 ~ 33 之源極電極加以相互連接，相互連接 NMOS 電晶體 34 ~ 37 之源極電極地，以輸入信號 V_{in1} 、 V_{in2} 之互補型增幅電路構成差動增幅電路，將輸出入端子相互交叉連接，以此連接差動增幅電路之輸出端子的 2 個互補型增幅電路構成正回歸電路。如此地將互補型增幅電路做為增幅電路要素加以使用。然後，於電源端子（電源電壓 V_{DD} ）和接地端子間，直列連接此等之互補型增幅電路和 NMOS 電晶體 38。

（請先閱讀背面之注意事項再填寫本頁）

裝訂線

五、發明說明 (13)

在此，於差動增幅電路之輸出端子中附加互補型增幅電路之輸出容量、配線容量、下段之輸入容量等之浮動容量 C_{s1} 、 C_{s2} 。

於此延遲電路，當輸入差動信號 V_{in1} 、 V_{in2} 時，差動增幅電路對容量 C_{s1} 、 C_{s2} 不進行充放電，生成差動輸出。以放電電流和容量 C_{s1} 、 C_{s2} 訂定延遲電路之延遲量之故，放電電流經由電晶體 38 加以決定地，進行可變延遲電路之動作。為此，較具有電晶體 34、37 之電流供給能力，具有電晶體 38 之電流供給能力較優。

電晶體 38 係輸入頻率控制信號 V_{cont} ，輸出呈放電電流之控制電流。然後，電晶體 38 則於後述，係呈電流鏡電路之後段者，於同電流鏡電路中，複製輸入電流之前段之電晶體之閘極。源極間電壓則做為頻率控制信號 V_{cont} 加以生成。然而，電流控制用之電晶體 38 係不限於圖 2 所示之接地側，亦可配置於電源側者。此時之電晶體係呈 PMOS 電晶體，輸入之頻率控制信號係與前述信號極性反轉者。

本發明中，將電源呈低電壓地，互補型之增幅電路之任一者之電晶體呈開啓狀態之時，另一方之電晶體則呈關閉狀態。電晶體 38 係為進行電流控制，於飽和範圍加以動作。開啓狀態（阻抗範圍）之電晶體中，於該閘極・源極間供予電壓（約 0.7 V）即可，關閉狀態之電晶體係無需電壓。另一方面，於電晶體 38 之汲極・源極間，為

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (14)

移轉至飽和範圍需供予電壓 (約 0.3 V) 。在此，以令電源電壓 V_{DD} 呈臨限值電壓之 0.7 V ，加上此飽和電壓之 0.3 V 的 1 V ，做為下限加以限定之。

開關狀態所動作之互補型增幅電路全係呈反相器，上述差動增幅電路係做為相互呈反轉狀態之反相器的差動電路加以動作。正回歸電路係做為閘鎖電路加以動作。互補型之增幅電路具有高增益之故，將如此動作可於高速下進行，更可減少頻率可變振盪電路之延遲電路的縱連接段數。

於差動增幅電路輸入信號 V_{in1} 、 V_{in2} ，於輸出信號 V_{out1} 、 V_{out2} 產生微小電壓差時，閘鎖電路動作之正回歸電路係檢出該電壓差，差動輸出信號 V_{out1} 、 V_{out2} 則向電源電壓或接地電位 1 之方向變化加以加速，且差動輸出可確保充分之振幅地加以動作。為此，表面上延遲電路係具有大的增益。

然而，為安定動作，需將差動增幅電路之各電晶體之電壓電流變換增益，呈較正回歸電路之各電晶體之電壓電流變換增益為大。為此，將差動增幅電路之各電晶體之閘極寬度，呈較正回歸電路之各電晶體之閘極寬度之閘極寬度為大者。相反之設定時，則會招致振盪的停止。

如圖 1 所示，頻率可變振盪電路係將如此延遲電路 28 呈環狀地縱連接地加以構成。控制信號 V_{cont} 係同時供予各延遲電路。振盪頻率係經由延遲電路 28 之延遲量所決定之故，經由各延遲電路之電晶體 38 的控制電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

流，控制振盪頻率之頻率可變振盪電路，即可得 I C O 。

然而，延遲電路 2 8 為於輸出入反轉相位之電路之故，將最終段之延遲電路 2 8 - 4 之初段之延遲電路 2 8 - 1 的連接，與其他之連接呈相反。然而，頻率可變振盪電路係以延遲電路之 4 段之縱連接構造所構成，但段數非限於此，可呈其他之偶數段數。

接著，將示於圖 1 之數位信號變換電路（以下略稱「D S C」）2 9 9 之構成例，示於圖 3。D S C 2 9 係定電流源 4 5、構成差動增幅電路之 4 個電晶體 4 1、4 2、4 3、4 4 所成。差動輸入信號 V_{in1} 、 V_{in2} （延遲電路 2 8 - 4 之差動輸出信號 V_{out1} 、 V_{out2} ）係經由電晶體 4 3、4 4 所構成之源極結合型之差動增幅電路加以增幅，經由連接於該汲極電極之 2 個電晶體 4 1、4 2，變換呈具有數位信號所需振幅的單一數位信號 f_{vco} 。

接著，將採用以上之頻率可變振盪電路的 P L L 之構成，示於圖 4。整體之構成係將 V I C 4 之輸出信號有 A C P 5 所接受之配線外，與示於圖 1 1 之構成基本上為相同者，本實施例之頻率可變振盪電路則以 I C O 7 加以顯示。將採用此本實施例之 P L L 的 V I C 4、A C P 4 及加法電路 6 示於圖 5。除去 I C O 7 之其他電路則與前先說明之以往電路相同之故，省略說明。於圖 5 中，左側之虛線為 V I C 4，將右側擴為包圍之虛線為 A C P 5，電晶體 2 7 和該周圍為加法電路 6。加法電路 6 係輸出供

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (16)

予 I C O 7 的控制信號 V c o n t 。

V I C 4 係由經由 2 個電晶體 1 5 、 1 6 所構成之電流鏡電路，迴圈濾波器 3 之輸出控制電壓信號 V 1 p f ，變換呈電流信號的電晶體 1 9 、連接於電晶體 1 9 之源極端子，將閘極端子連接於電源端子之電晶體 2 0 所構成。

將如此之閘極端子經由採用連接於電源端子之構成，可令電源電壓降低，可將電晶體 2 0 偏壓於線形範圍加以使用。此時之電晶體 2 0 係與阻抗相同之動作。因此電晶體 1 9 係，將閘極端子之信號 V 1 p f ，於線性之電壓－電流變換特性之根本下，變化電流，該複製電流之電流信號 I v i c 則自電晶體 1 6 做為 V I C 4 之輸出信號加以輸出。

接著，A C P 5 係由電晶體 2 1 、 2 2 所成第 1 之差動電路、電晶體 2 3 、 2 4 所成第 2 之差動電路、連接於電晶體 2 2 、 2 3 的電晶體 2 5 、 2 6 所成負荷電路及於第 1 和第 2 之差動電路供予電流之 2 個電晶體 1 7 、 1 8 所構成。電晶體 2 5 、 2 6 係構成電流鏡電路呈上述負荷電路。

於第 1 之差動電路之輸入端子，供予相位比較器 1 之輸出的 U P 信號和該反轉信號之 U P B 信號，於第 2 之差動電路之輸入端子，供予相位比較器 1 之輸出的 D N 信號和該反轉信號之 D N B 信號。又，電晶體 1 7 係亦與電晶體 1 5 ，和電晶體 1 8 同樣地，形成電晶體 1 5 和電流鏡電路。各輸出電流信號 I t a i l 。因此電流 I t a i l

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (17)

係具與電流 I_{vic} 之比例關係，對應信號 V_{lpf} 者。即圖 5 所示自 V_{IC4} 至 $ACP5$ 之連接，係經由為形成電晶體 15 至電晶體 17、18 的電流鏡電路之連接所成。

$ACP5$ 係經由上述 UP 信號及 DN 信號之 1 或 0 之狀態，決定上述 2 個之差動電路之開關，結果，輸出不經迴圈濾波器 3 之回歸電流信號 I_{aux} 。然而，在此， UP 信號及 DN 信號係呈 0 之時為有效者。

以下，分為可得 UP 信號及 DN 信號之 4 個情形，說明輸出電流 I_{aux} 的 $ACP5$ 之動作。在此，將電流之方向使用正負 (+, -) 之記號加以表示。

(1) UP 信號為 0， DN 信號為 1 之時

自電晶體 17、18 供予之電流 I_{tail} 則流向電晶體 22 及電晶體 24。結果，電流 I_{tail} 介由電晶體 22 呈輸出電流 I_{aux} 。即， $I_{aux} = I_{tail}$ 。電流 I_{aux} 係加算電流 I_{vic} 。

(2) UP 信號為 1， DN 信號為 0 之時

電流 I_{tail} 係流向電晶體 21 及電晶體 23。結果，經由電晶體 25、26 之電流鏡電路之動作，電流 I_{tail} 向電晶體 25 流動。即，呈 $I_{aux} = -I_{tail}$ 。

(3) UP 信號為 1， DN 信號為 1 之時

電流 I_{tail} 係流向電晶體 21 及電晶體 24。結果，於電晶體 22 及電晶體 23 無電流，呈 $I_{aux} = 0$ 。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (18)

(4) U P 信號為 0 , D N 信號為 0 之時

電流 I_{tail} 係流向電晶體 2 2 及電晶體 2 3 , 流於電晶體 2 2 之電流值和流於電晶體 2 5 之電流值相等之故 , 同樣呈 $I_{aux} = 0$ 。

而 , 電晶體 2 7 係與前述之延遲電路 2 8 之控制用電晶體 3 8 一共地 , 構成電流鏡電路。加算電流 I_{vic} 和電流 I_{aux} , 輸入至呈電流鏡電路之前段的電晶體 2 7 。於電晶體 2 7 流有 $I_{ico} = I_{vic} + I_{aux}$, 同電晶體係控制用電晶體 3 8 生成為輸出對應電流 I_{ico} 之控制電流的頻率控制信號 V_{cont} 。

以上之 4 個條件和電流 I_{ico} 之對應以表加以顯示。

表 1

UP	DOWN	I_{aux}	I_{ico}
0	1	$+I_{tail}$	$I_{vic} + I_{tail}$
1	0	$-I_{tail}$	$I_{vic} - I_{tail}$
1	1	0	I_{vic}
0	0	0	I_{vic}

在此 , A C P 5 之直接回歸電流信號 I_{aux} 係對應迴圈濾波器 3 之輸出之控制信號 V_{lpf} , 即 , 對應振盪頻率所變化之故 , 如前所述 , 可抑制 P L L 所產生之振動 , 可擴展振盪頻率之範圍。然而 , 在於振盪頻率之範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

不被寬廣地取得之其他使用目的中，可固定信號 I_{aux} 者。此時，於電晶體 17、18 之閘極端予供予任意固定之偏壓電壓，令電流 I_{tail} 呈固定電流。由此電流 I_{tail} ，於回歸迴圈之傳達函數可生成零點。

有關電流 I_{tail} 之要點係將供予 VIC 4 之電流 I_{vic} 和 v 供予 ACP 5 之電流 I_{aux} 之關係，可令 PLL 之回歸迴圈呈安定地加以決定。於本實施形態中，經由電晶體 15 和電晶體 17、18 之電流鏡比，可決定該關係地加以構成。電流鏡比係大概令電晶體 17、18 之尺寸對電晶體 15 而言，呈較 $1/2$ 為小之範圍加以設定。然而，本發明係非限於此比率者，只要可確保回歸迴圈之安定性之值，亦可採用其他之比率。

在此，將本實施例之頻率可變振盪電路之振盪頻率之模擬結果亦於圖 6。圖之橫軸為輸入本發明之實施形態之電壓電流變換電路之控制信號 V_{lpf} ，縱軸係振盪頻率 F_{osc} 。模擬係以不同之電源電壓之 3 個條件加以進行。如圖 6 所示，電源電壓於 1.05 V 之條件下，得 400 MHz 以上之振盪頻率，於 1.2 V 時，則超越 800 MHz。又，振盪頻率之下限係低至 10 MHz 前後，可得寬廣之振盪頻率範圍。將如此之特性可實現 4 段之較少延遲電路段數，消耗電力係太約低至 2 mW 程度。

本發明之 PLL 係如此之小規模，將電源呈低電壓化的同時，呈低消耗電力之故，可容易內藏 LSI。本實施例中，於搭載微處理器之 LSI 內藏 PLL，將同 PLL

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (20)

做為微處理器之時脈產生電路使用。

(實施例 2)

令延遲電路之縱連接段數呈奇數之頻率可變振盪電路，顯示圖 7。在此，使用 3 段之例加以說明，奇數段時為 5 段、7 段、9 段地，其他之段數亦同樣地加以動作。然而，自最終段之延遲電路 28 - 3 向初段之延遲電路 28 - 1 之連接係段數不同於偶數之頻率可變振盪電路之時，與其他之段數間之連接相同。

延遲電路係可採用實施例 1 者，於本實施例中，尤其，使用於電源側設置控制用之電晶體圖 8 所示之延遲電路。

於圖 8 中，46 係連接於電源和示於圖 2 之差動增幅電路及正回歸電路之共通源極電極間的 PMOS 電晶體。電晶體 46 之閘極電極中，供予控制信號 V_{cont} 和相位相反之控制信號 V_{cont2} 。

將生成此控制信號 V_{cont2} 的電路示於圖 9。電晶體 47 係輸入控制信號 V_{cont} ，輸出與電晶體 38 同樣之控制電流。電晶體 48 係與電晶體 46 一同地形成電流鏡電路，將此控制電流之複製電流，生成輸出至電晶體 46 之控制信號 V_{cont2} 。

電晶體 46 係接受控制信號 V_{cont2} ，與電晶體 38 連動，進行電流控制。將電晶體 46 之電流供給能力，較電晶體 30、33 之電流供給能力為大，容量 C_{s1}

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (21)

、C s 2 之充電電流則僅經由電晶體 4 6 加以決定。

經由使用以上之構成，經由電晶體 3 8 、 4 6 之兩者，控制電流即可控制延遲量之故，較使用示於圖 2 之延遲電路，於廣範圍可控制振盪頻率。然而，電源電壓係將電晶體 4 6 移至飽和範圍之故，僅增加需要電壓（約 0 . 3 v ）。

（實施例 3）

於上述之實施例中，將本發明之 P L L 做為微處理器之時脈產生電路加以使用，不限於此使用方式，例如可做為圖 1 0 所示之 L S I 內部之半導體內部電路和外部之半導體積體電路（以下略稱「I C」）之相位同步的時脈同步電路的時脈供給電路加以適用。

於圖 1 0，自半導體內部電路（處線內）輸出資料 D x o，於外部之 I C 5 4，處理資料 D x o，將該結果之資料 D x i 再處理於半導體積體電路地加以構成。此時，半導體內部電路、係需以與外部 I C 5 4 以同一相位之時脈加以動作。為此之時脈同步電路則由本發明之 P L L 5 1、2 個之輸出電路 5 0 - 1、5 0 - 2、資料產生電路 4 9、輸入電路 5 3 及處理電路 5 2 所成構成。惟輸入電路 5 3 和輸出電路 5 0 - 1、5 0 - 2 之數係非限於合計 3 個，準備為處理外部 I C 5 4 之資料的數。在此，為簡便以 3 個加以說明。

自半導體內部之所定區塊向外部 I C 5 4 之資料 D o

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (22)

，係經由資料產生電路 4 9 和輸出電路 5 0 - 1 呈資料 D x o 。又為使外部 I C 5 4 動作之時脈 C K ，係自連接於同步於基準信號 f r 振盪之 P L L 5 的輸出電路 5 0 - 2 取出。更且，自輸出電路 5 0 - 2 取出之信號係與時脈 C K 分支，呈 P L L 5 1 之比較信號 f p 。

一般而言，驅動自半導體積體電路的外部 I C 時，負荷容量呈數 p F 以上為大者為多。此時，無法避免輸出電路 5 0 - 1 、5 0 - 2 之延遲量的變大，整體之動作速度有大為損失之問題。如圖 1 0 所示，於 P L L 5 1 之比較信號 f p ，使用輸出電路 5 0 - 2 之輸出信號，於資料產生電路 4 9 和處理電路 5 2 之控制時脈中，經由使用 P L L 5 1 之輸出信號，可補正輸出電路 5 0 - 1 及輸出電路 5 0 - 2 之延遲量。經由圖 1 0 所示之構成，可令半導體內部和與外部 I C 時脈相位一致，可令本體高速動作。

根據本發明，經由使用令於阻抗範圍動作之電晶體之採用為可能之電路構成之延遲電路，於低電源電壓，可實現可高頻振盪動作之頻率可變振盪電路。更且，經由使用同頻率可變振盪電路，和使用偏壓至閘極電極較汲極電極為高的電壓的電晶體之電壓電流變換器，和將直接回歸電流對應振盪頻率加以變化之補助充電泵，以低電源電壓加以動作，且振盪頻率範圍可實現寬廣之 P L L 。

P L L 係可容易於低電源電壓動作之 L S I 的內藏，呈大規模、高性能之 L S I 化微處理器之時脈生成電路。

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

五、發明說明 (23)

以上可經由熟練此技術者可進一步了解，前述所描述者是一創新揭露的裝置，而多樣的變化和修正製造在於本發明下，只要沒有離開從這精神和範圍皆屬於本發明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

可變頻振盪電路、以及使用其之相位同步電路及時脈同步電路)

本發明係有關可變頻振盪電路、以及使用其之相位同步電路及時脈同步電路，以低電源電壓加以動作，且提供於高頻可振盪之頻率可變振盪電路以及具有使用此之廣振盪頻率範圍的相位同步電路及時脈同步電路者。令

P M O S 電晶體及 N M O S 電晶體之閘極相互連接呈輸入端子，且構成使用將汲極相互連接呈輸出端子之互補型增幅電路，將差動增幅電路及輸出入端子相互交叉連接之正回歸電路，於差動增幅電路之輸出端子間連接正回歸電路，將控制前述互補型增幅電路之源極電流的頻率控制信號，輸入至閘極的 M O S 電晶體和前述互補型增幅電路，直接連接於電源端子和接地端子間地構成之延遲電路，呈環狀縱連接構成頻率可變振盪電路者。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： VARIABLE FREQUENCY OSCILLATOR, AND PHASE LOCKED LOOP AND CLOCK SYNCHRONIZER USING THEREOF)

It is an object of the present invention to provide a variable frequency oscillator capable of operating at low power supply voltage and oscillating at high frequency as well as a phase locked loop and a clock synchronizer using thereof and having a wide oscillation frequency range.

There is constituted a variable frequency oscillator by plural delay cells which are cascaded and in which the output of the final stage delay cell is fed back to the input of the first stage delay cell and each of the delay cells is constituted such that a differential amplifier and a positive feed back circuit connected with input and output terminals intersecting with each other are constituted of using complementary amplifiers each having an input terminal by connecting together gates of a pMOS and an nMOS transistor and an output terminal by connecting together drains thereof, the positive feed back circuit is constituted between output terminals of the differential amplifier and a controlling MOS transistor for inputting a frequency control signal for controlling the source current of the complementary amplifier to the gate thereof and the complementary amplifiers are connected in series between a power supply terminal and a ground terminal.

訂

線

六、申請專利範圍

1. 一種頻率可變振盪電路，針對將具備輸入相互極性反轉之差動信號加以增幅之差動增幅電路，和將輸出入端子相互交叉連接之 2 個之增幅電路所成，且該輸出入端子連接於差動增幅電路之輸出端子的正回歸電路的延遲量可變之延遲電路，呈環狀縱連接構成之頻率可變振盪電路中，其特徵係構成前述差動增幅電路之增幅電路要件和構成前述正回歸電路之增幅電路要件係皆將 P M O S 電晶體和 N M O S 電晶體之閘極電極相互連接呈輸入端子，且相互連接汲極電極呈輸出端子的互補型增幅電路，為控制該互補型增幅電路之源極電流的控制用 M O S 電晶體和該互補型增幅電路直接連接於電源端子和接地端子者。

2. 一種頻率可變振盪電路，針對將具備輸入相互極性反轉之差動信號加以增幅之差動增幅電路，和將輸出入端子相互交叉連接之 2 個之增幅電路所成，且該輸出入端子連接於差動增幅電路之輸出端子的正回歸電路的延遲量可變之延遲電路，呈環狀縱連接構成之頻率可變振盪電路中，其特徵係構成前述差動增幅電路之增幅電路要件和構成前述正回歸電路之增幅電路要件係皆將 P M O S 電晶體和 N M O S 電晶體之閘極電極相互連接呈輸入端子，且相互連接汲極電極呈輸出端子的互補型增幅電路，為控制前述 P M O S 電晶體之源極電流之控制用 N M O S 電晶體和前述互補型增幅電路直接連接於電源端子和接地端子者。

3. 如申請專利範圍第 1 或第 2 項之頻率可變振盪電路，其中，前述差動增幅電路之互補型增幅電路之電晶體

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

六、申請專利範圍

之電壓電流變換增益較前述正回歸電路之互補型增幅電路之電晶體之電壓電流變換增益為大者。

4．如申請專利範圍第3項之頻率可變振盪電路，其中，前述差動增幅電路之互補型增幅電路之電晶體之閘極寬度較前述正回歸電路之互補型增幅電路之電晶體之閘極寬度為大者。

5．一種相位同步電路，針對比較輸入基準信號和比較信號，輸出相位差的相位比較器，和將該相位差置換呈第1之電流的充電泵，和將該相位差置換呈其他之第2之電流呈輸出信號之補助充電泵，和將第1電流充電呈靜電容量，將充電電壓呈輸出信號之迴圈濾波器及對應加算前述迴圈濾波器之輸出信號和前述補助充電泵之輸出信號，改變頻率，至少使用輸出前述比較信號之頻率可變振盪電路，形成回歸迴圈的相位同步電路中，其特徵係前述頻率可變振盪電路係申請專利範圍第1或第2項之頻率可變振盪電路者。

6．如申請專利範圍第5項之相位同步電路，其中，前述補助充電泵係將第2電流，對應前述迴圈濾波器之輸出信號加以變化輸出者。

7．如申請專利範圍第5項之相位同步電路，其中，更具有將前述迴圈濾波器之輸出信號變換為電流之電壓電流變換電路，該電壓電流變換電路係具備令迴圈濾波器之輸出信號，輸入至閘極電極，自汲極電極輸出電流的第1之MOS電晶體，和將汲極電極連接於第1之MOS電晶

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

六、申請專利範圍

體之源極電極，且將閘極・源極間電極較汲極・源極間電壓為高的第2之MOS電晶體者。

8．如申請專利範圍第7項之相位同步電路，其中，第2之MOS電晶體之閘極電極及源極電極則連接於電源端子和接地端子間者。

9．如申請專利範圍第5項之相位同步電路，其中，前述相位比較器係將為上昇頻率可變振盪電路之振盪頻率的控制信號（以下稱UP信號）和為下降之控制信號（以下稱DN信號）和各別反轉之信號，做為前述位相差加以輸出者，

前述補助充電泵係由第1之定電流源和第2之定電流源，和輸入UP信號和UPB信號，切換第1之定電流源之電流的第1之差動電路，和輸入DN信號和DNB信號，切換第2之定電流源之電流的第2之差動電路，和DN信號為有效之時，複製第2差動電路輸出之電流的電流鏡電路所成，UP信號為有效之時，結合第2之差動電路輸出電流之端子和電流鏡電路輸出複製電流之端子所成之端子，為輸出補助充電泵之前述輸出信號的端子者。

10．如申請專利範圍第9項之相位同步電路，其中，前述補助充電泵係具有將第1之定電流源及第2之定電流源之電流，比例於前述迴圈濾波器之輸出信號加以變化之手段者。

11．一種時脈同步電路，針對為進行集積於半導體基板上之第1之積體電路和集積於其他之半導體基板上之

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

六、申請專利範圍

第 2 之積體電路間的資料送訊，設於第 1 之積體電路的時脈同步電路中，其特徵係至少具有進行對第 2 之積體電路之資料送訊的第 1 之輸出電路，和向第 2 之積體電路送訊時脈之第 2 之輸出電路，和進行自第 2 之積體電路之資料 1 之同訊的輸入電路，和向第 1 之輸出電路供給資料之資料 1 產生電路，和輸入自輸入電路之資料的處理電路，和供給向資料產生電路和處理電路控制時間的時脈，且將該時脈供予第 2 之輸出電路的時脈供給電路，該時脈供給電路係將第 1 之積體電路內之基準信號輸入至相位比較器之一方之輸入端子，於相位比較器之另一方之輸入端子，輸入第 2 之輸出電路之輸出時脈的相位同步電路。

1 2 . 如申請專利範圍第 1 1 項之時脈同步電路，其中，前述相位同步電路係如申請專利範圍第 5 項所載之相位同步電路，更且前述第 2 之輸出電路配置於如申請專利範圍第 5 項所載之相位同步電路之相位比較器之比較信號輸入端子和頻率可變振盪電路之輸出端子間者。

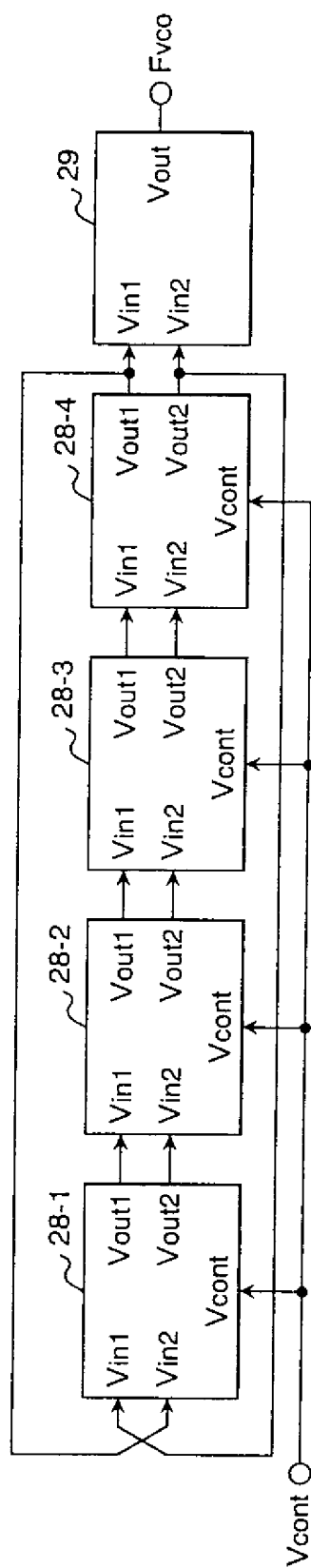
(請先閱讀背面之注意事項再填寫本頁)

裝

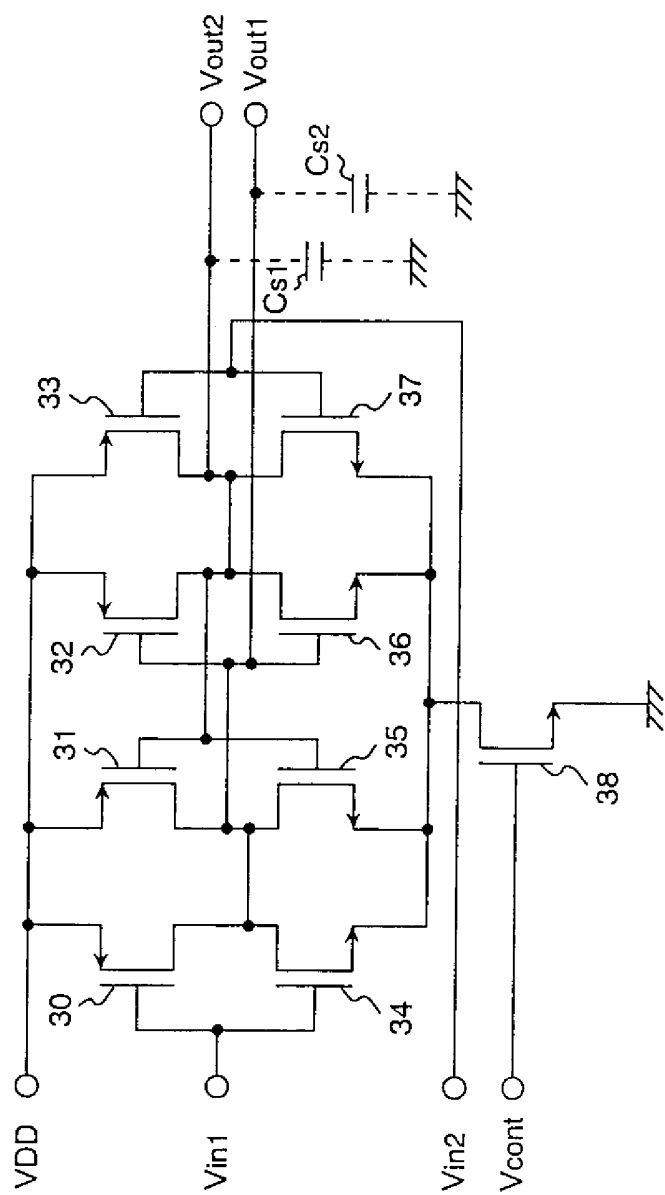
訂

線

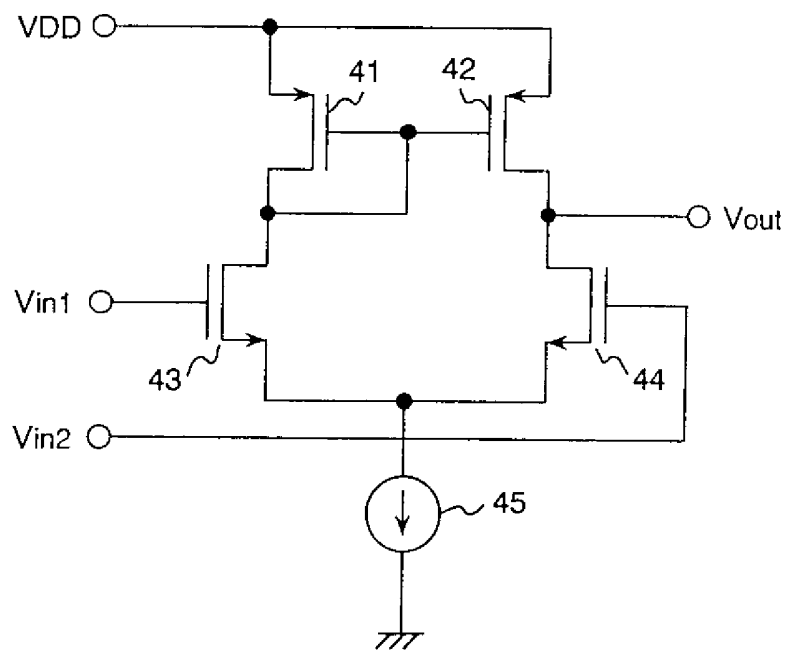
第1圖



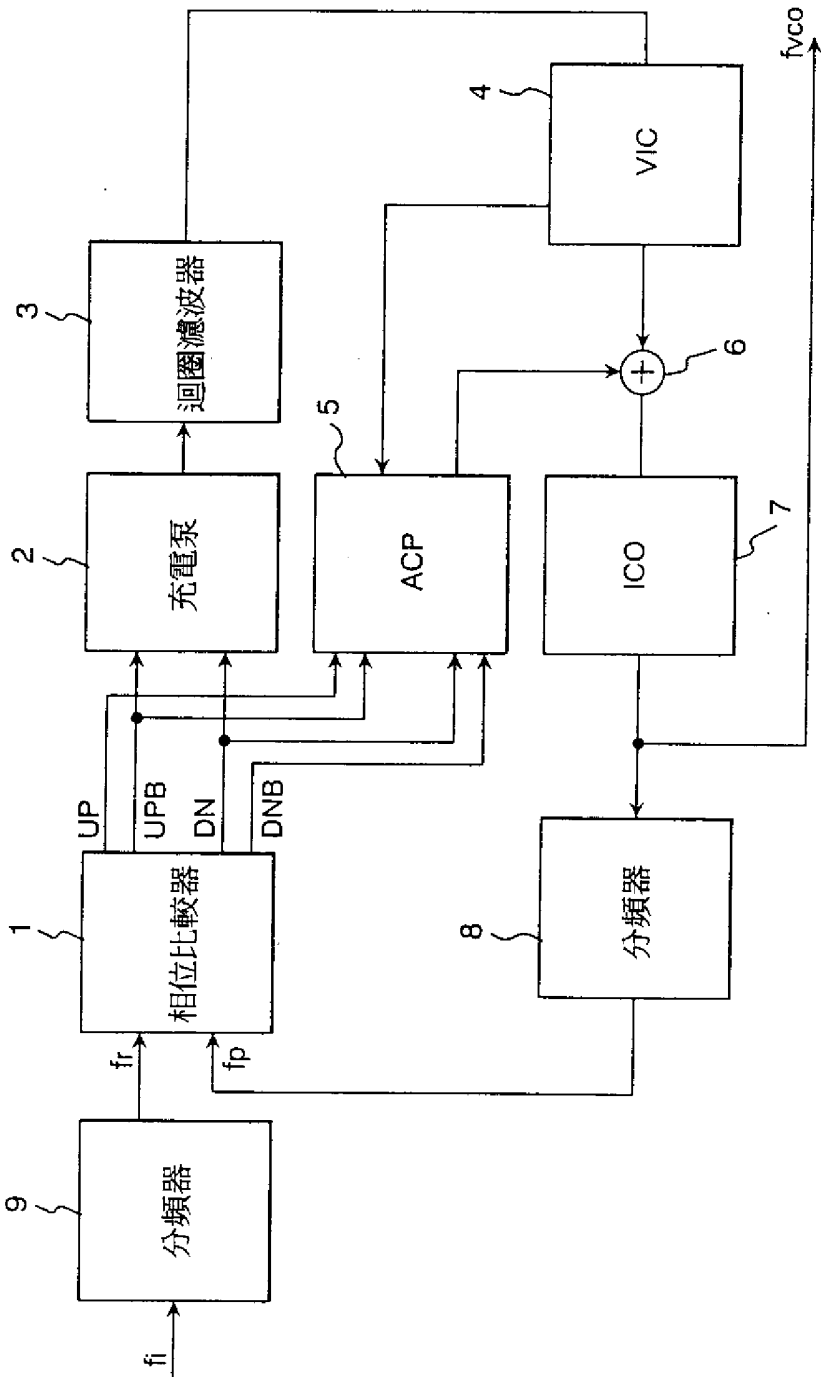
第2圖



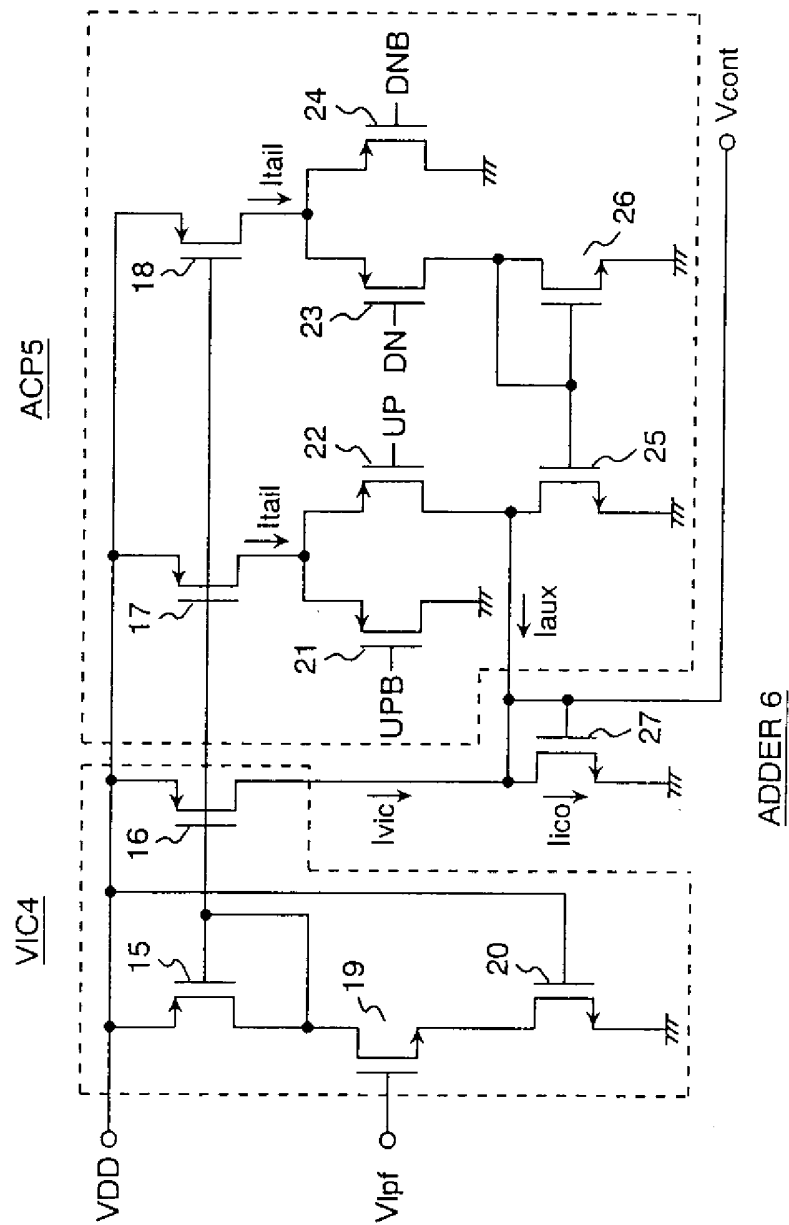
第3圖



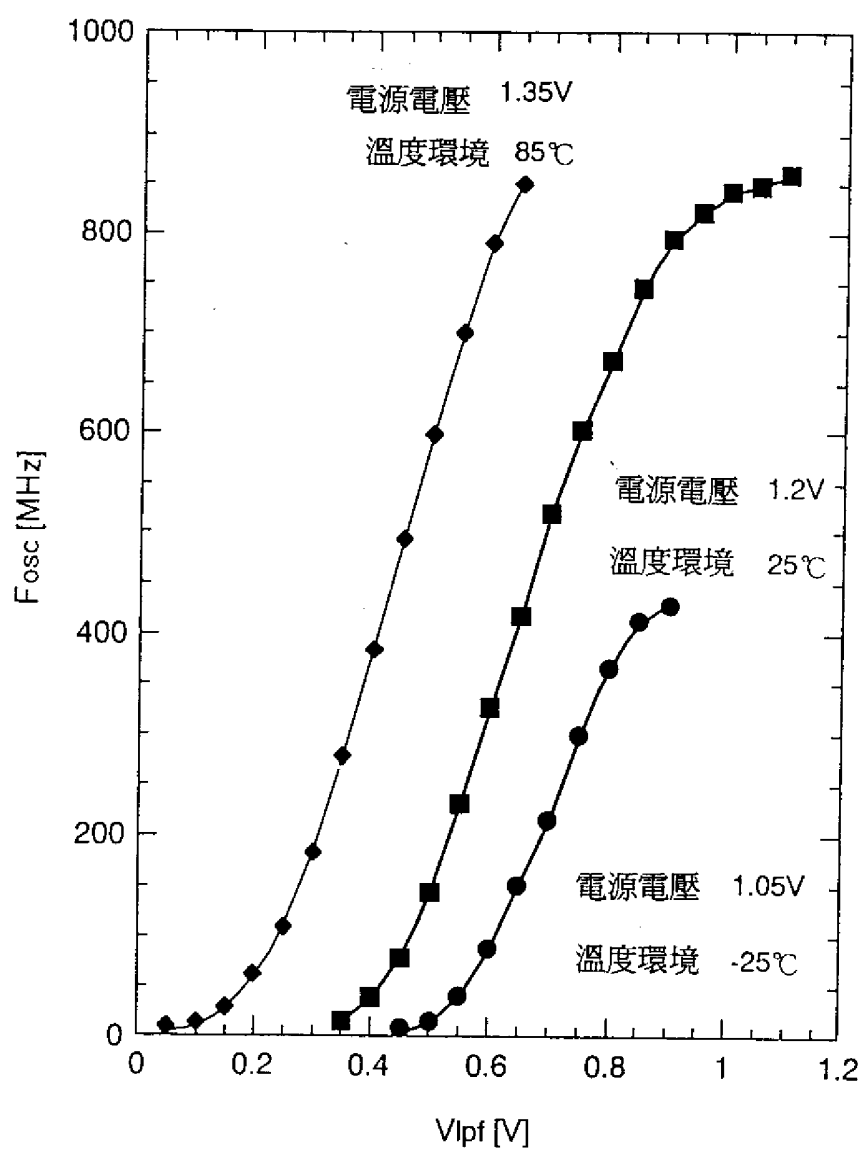
第 4 圖



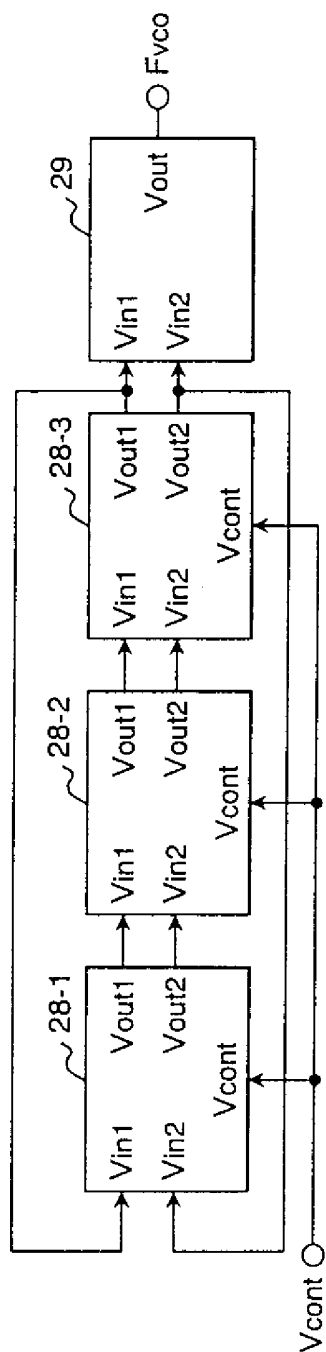
第5圖



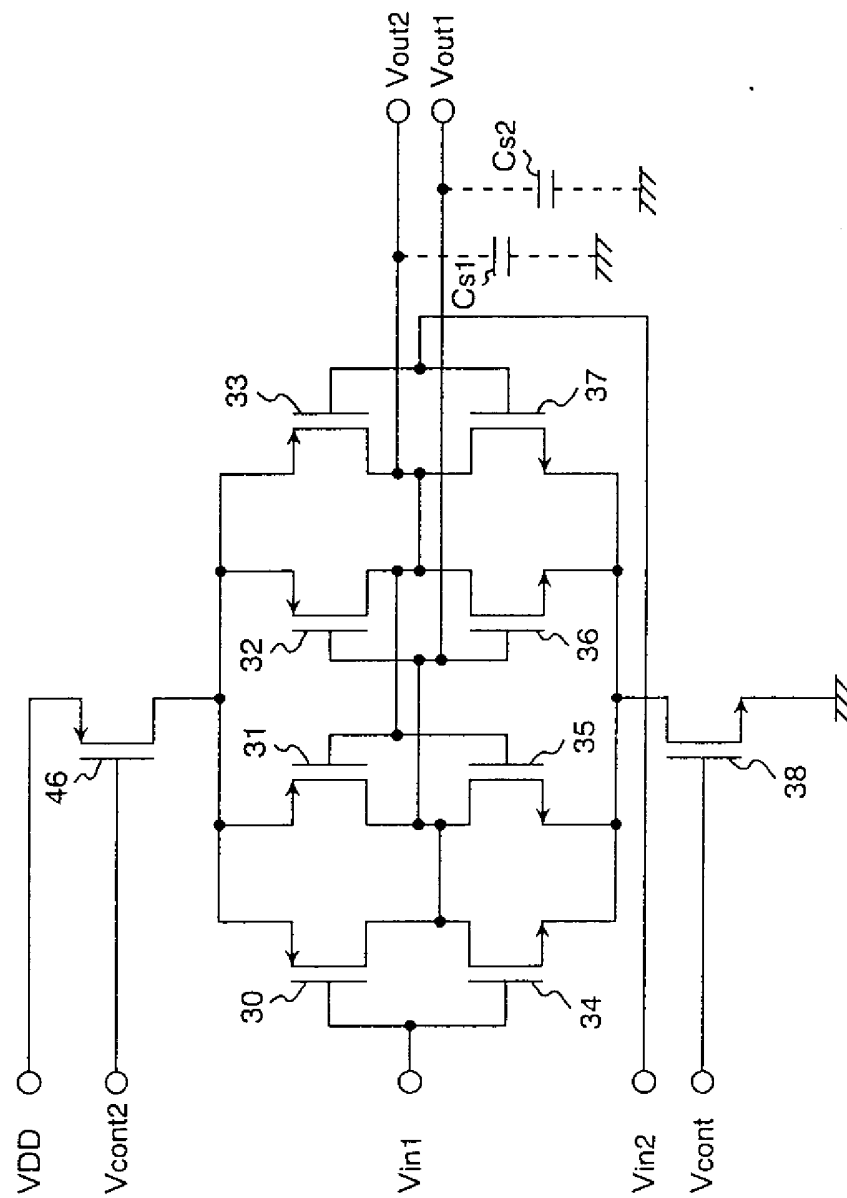
第6圖



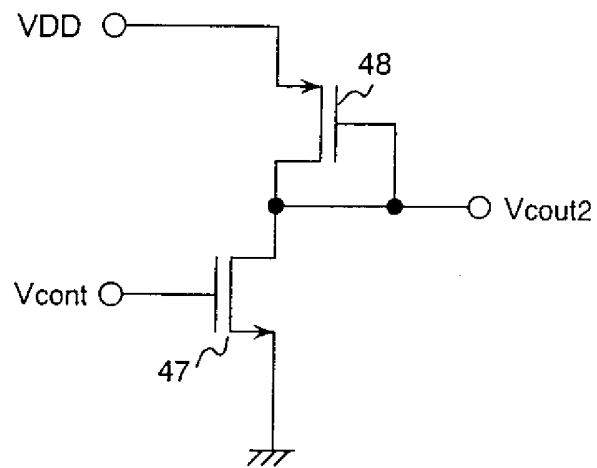
第7圖



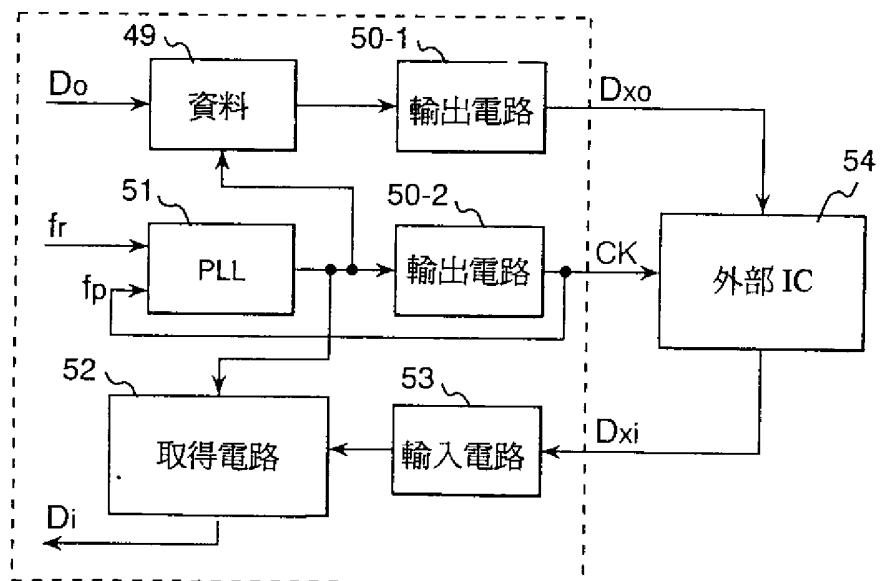
第8圖



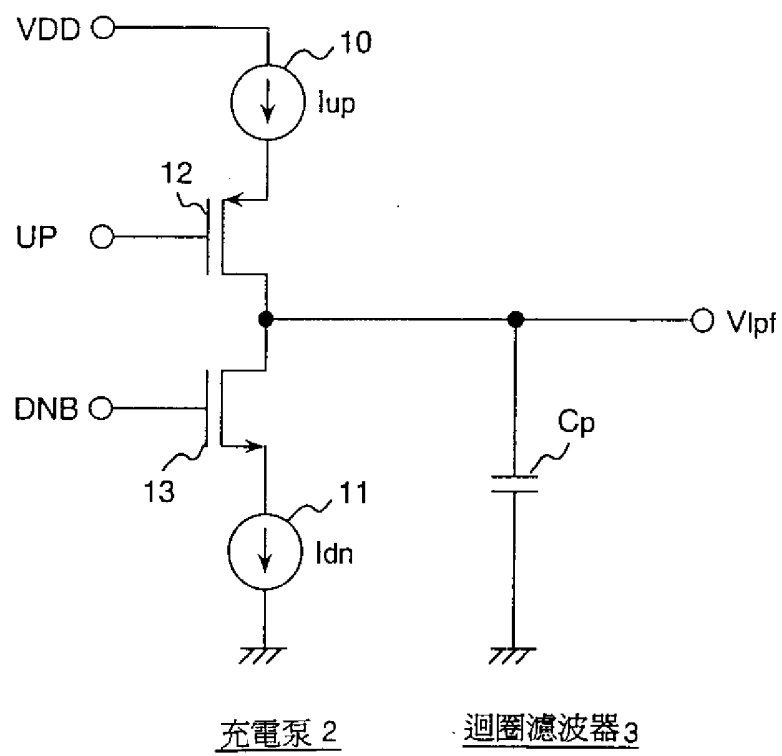
第 9 圖



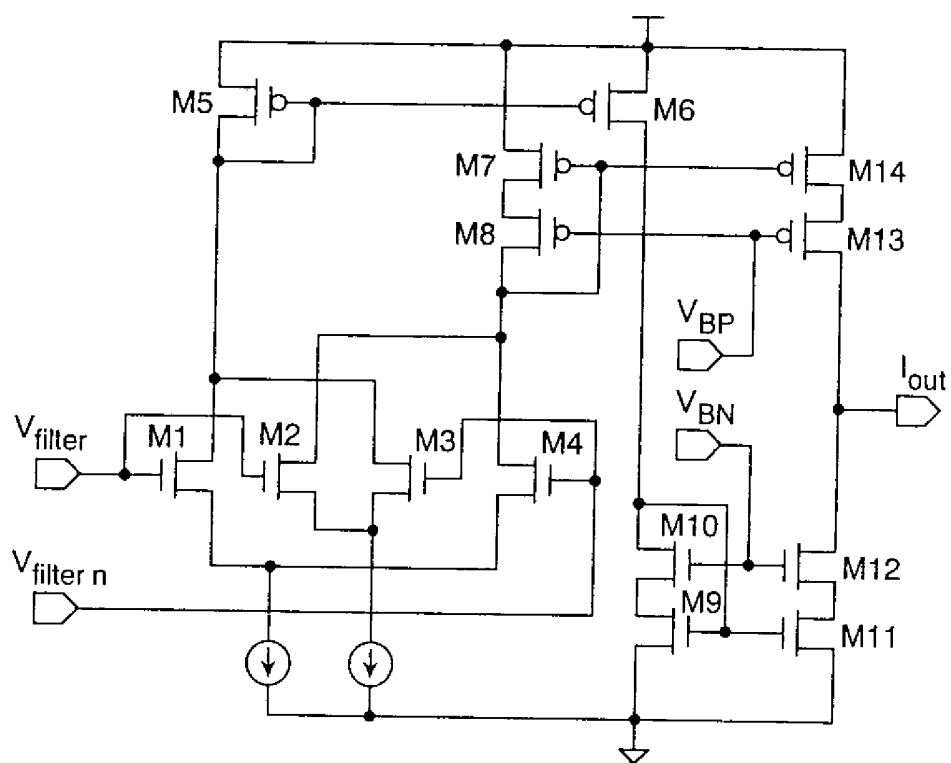
第 10 圖



第 12 圖



第 13 圖



第 14 圖

