

# 發明專利說明書 200612667

(本說明書格式、順序及粗體字、請勿任意更動，※記號部分請勿填寫)

※申請案號：94114223

※申請日期：94.5.3

※IPC 分類：H03L 7/081

## 一、發明名稱：(中文/英文)

利用前移相位均衡之延遲鎖相迴路相位偵測

DLL PHASE DETECTION USING ADVANCED PHASE EQUAL

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

麥克隆科技公司 / MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥可 L 林屈 / LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達華州 83707-0006 波思市,南聯邦路 8000 號

8000 South Federal Way, Boise, Idaho 83707-0006, U.S.A.

國籍：(中文/英文)

美國 / USA

## 三、發明人：(共 1 人)

姓名：(中文/英文)

金強龍 / KIM, KANG YOUNG

國籍：(中文/英文)

韓國 / KORA

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，  
其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2004.5.18、10/848,261

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【相關申請案參考】

本申請案中所揭示的內容係相關於在 2000 年 8 月 31 日所提申之共同受讓的美國專利申請案序號第 09/652,364 號中的揭示內容，該案的標題為「A Phase Detector for All-Digital Phase Locked and Delay Locked Loops」。

### 【發明所屬之技術領域】

本發明整體係關於同步電路，更明確地說，係關於在 一同步電路初始化期間來產生與終止各種時脈移動模式的系統與方法。

### 【先前技術】

實施在積體電路之上的大部份數位邏輯均係時脈控制的同步循序邏輯。於電子元件(例如同步動態隨機存取記憶體電路(SDRAM)、微處理器、數位信號處理器...等)之中，資訊的處理、儲存、以及擷取均會和一時脈信號進行協調或是與其進行同步。該時脈信號的速度與穩定性會相當程度地決定某個電路能夠運作的資料速率。有許多高速積體電路元件(例如 SDRAM、微處理器、...等)均會依賴時脈信號來控制命令、資料、位址、...等流入、流經、以及流出該等元件。

於 SDRAM 或是其它半導體記憶體元件中，其會希望讓資料從與系統時脈(其亦供該微處理器使用)同步的記憶體之中輸出。延遲鎖相迴路(DLL)係使用於 SDRAM 之中的同步電路，用以讓一外部時脈(舉例來說，供一微處理器使

用的系統時脈)與一內部時脈(舉例來說，使用於該 SDRAM 內部的時脈，用以對各種記憶體胞實施資料讀取/寫入作業)彼此互相同步。一般來說，一 DLL 係一回授電路，其可運作用以回授一相位差相關信號以控制一延遲線，直到其中一個時脈信號(舉例來說，該系統時脈)的時序被前移或是被延遲為止，直到其上升緣和一第二時脈信號(舉例來說，該記憶體內部時脈)的上升緣一致(或是「鎖定」)為止。

圖 1 所示的係一記憶體晶片或是記憶體元件 12 的簡化方塊圖。該記憶體晶片 12 可能係一 DIMM(dual in-line memory module，雙同線記憶體模組)或是一含有許多此等記憶體晶片的 PCB(印刷電路板)(圖 1 中未顯示)的一部份。該記憶體晶片 12 可能包含複數根接針 14，該等接針係位於晶片 12 的外面，用以將該晶片 12 電連接至其它的系統元件。該些接針 14 中的某些接針可能會構成記憶體位址接針或是位址匯流排 17、資料接針或是資料匯流排 18、以及控制接針或是控制匯流排 19。顯而易見的係，元件符號 17-19 中的每一者代表的係該對應匯流排之中的一根以上接針。進一步言之，應該瞭解的係，圖 1 中的概略圖僅係供解釋之用。也就是，典型記憶體晶片中的接針配置或組態的形式可能會不同於圖 1 中所示者。

一處理器或記憶體控制器(圖中未顯示)可能會與晶片 12 進行通信，並且實施記憶體讀取/寫入作業。該處理器與該記憶體晶片 12 可能會利用下面的信號來進行通信：位址線路或位址匯流排 17 上的位址信號、資料線路或資

料匯流排 18 上的資料信號、控制線路或控制匯流排 19 上的控制信號(舉例來說，列位址選通(RAS)信號、行位址選通(CAS)信號、...等(圖中未顯示))。位址匯流排、資料匯流排、以及控制匯流排的「寬度」(也就是，接針數)可能會因記憶體組態而不同。

熟習本技藝的人士將可輕易瞭解，圖 1 的記憶體晶片 12 已經過簡化以說明一記憶體晶片的其中一實施例，而且其並不意欲詳細圖解一典型記憶體晶片的所有特點。有許多週邊元件或是電路通常可能會與該記憶體晶片 12 一同提供，以便將資料寫入該等記憶體胞 20 之中並且從該等記憶體胞 20 之中讀取資料。不過，為簡化起見，該些週邊元件或電路並未顯示於圖 1 中。

該記憶體晶片 12 包含多個記憶體胞 20，該等記憶體胞 20 通常係被排列成列與行之方式用以將資料儲存於複數列與複數行之中。每個記憶體胞 20 均可儲存一位元的資料。一列解碼電路 22 與一行解碼電路 24 可能會響應解碼位於該位址匯流排 17 之上的某個位址而選擇該等記憶體胞 20 之中的該等列與行。接著便可透過感測放大器與一條資料輸出路徑(圖中未顯示)於該資料匯流排 18 之上傳輸資料給該等記憶體胞 20 及/或從該等記憶體胞 20 傳輸資料。一記憶體控制器(圖中未顯示)可能會於該控制匯流排 19 之上提供相關的控制信號(圖中未顯示)，用以控制透過一 I/O(輸入/輸出)單元 26 來與該記憶體晶片 12 進行資料交換。該 I/O 單元 26 可能包含數個資料輸出緩衝器，用以

從該等記憶體胞 20 之中接收該等資料位元，並且將該些資料位元或是資料信號提供給該資料匯流排 18 之中的該等對應資料線。該 I/O 單元 26 可能進一步包含一時脈同步單元或延遲鎖相迴路(DLL)28，用以讓該外部系統時脈信號(舉例來說，該記憶體控制器(圖中未顯示)所使用的時脈，用以提供時脈給該記憶體晶片 12 與該控制器之間的位址信號、資料信號、以及控制信號)與該內部時脈(供該記憶體 12 使用，用以對該等記憶體胞 20 實施資料讀取/寫入作業)互相同步。

該記憶體控制器(圖中未顯示)可能會決定記憶體晶片 12 的作業模式。控制匯流排 19 之上的該等輸入信號或是控制信號的部份範例(圖 1 中並未顯示)包含外部時脈信號、晶片選擇信號、列存取選通信號、行存取選通信號、寫入致動信號、...等。該記憶體晶片 12 會透過該晶片 12 上的該等接針 14 和與其相連接的其它元件進行通信。如前面所提及，該些接針可能會被連接至適當的位址線、資料線、以及控制線，用以實現資料傳輸(也就是，資料傳送與接收)作業。

圖 2 所示的係圖 1 中所示之延遲鎖相迴路(DLL)28 的簡化方塊圖。該延遲鎖相迴路 28 會接收一參考時脈(ClkREF)30 作為輸入，並且會於其輸出處產生一輸出時脈或 ClkOut 信號 32。接著，ClkOut 信號 32 便會被回授變成回授時脈(ClkFB)34，下文將作討論。本文中的參考時脈 30 可與「ClkREF」、「ClkREF 信號」、「Ref 時脈信號」、

或是「Ref 時脈」相互替換；反之，本文中的回授時脈 34 則可與「ClkFB」、「ClkFB 信號」、「FB 時脈信號」、或是「FB 時脈」相互替換。參考時脈 30 通常係提供時脈給微處理器的外部系統時脈，或是該外部系統時脈的延遲/緩衝版本。於圖 2 的實施例之中，圖中的系統時脈 36 會經過一時脈緩衝器 37 而被緩衝。因此，該時脈緩衝器 37 的輸出(也就是，Ref 時脈 30)便係該系統時脈 36 的緩衝版本。於一暫存器控制的延遲鎖相迴路之中，該 Ref 時脈 30 會被輸入至暫存器與延遲線組 38 之中，如圖 2 所示。該組 38 之中的該等暫存器會利用接收自一相位偵測器 40 的相位差資訊來控制延遲線，下文將作討論。為方便討論，圖 2 中的暫存器與延遲線組 38 於下文中會被稱為「延遲線方塊」。

該延遲線方塊 38 的時脈輸出(ClkOut 信號 32)可用來提供內部時脈(圖中未顯示)，供該 SDRAM 12 使用，用以對記憶體胞 20 實施資料讀取/寫入作業並且將該 SDRAM 輸出的資料傳輸至給資料要求元件(舉例來說，微處理器(圖中未顯示))。因此，如圖 2 所示，該 ClkOut 信號 32 會被傳送至一時脈分配網路或是時脈樹狀電路 42，該時脈分配網路或是時脈樹狀電路 42 的輸出 43 可能會被耦合至 SDRAM 時脈驅動器或是 I/O 單元 26 之中的資料輸出級(圖中未顯示)用以對資料擷取與傳輸作業進行時脈控制。從圖 2 可以看出，可以利用該延遲線方塊 38 之中的延遲線來產生該 ClkOut 信號 32(進而產生該 FB 時脈 34)，其可於該輸