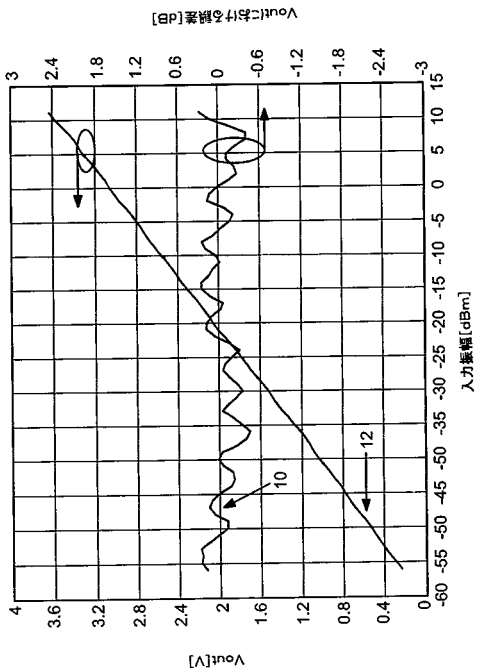
【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成18年6月22日(2006.6.22)

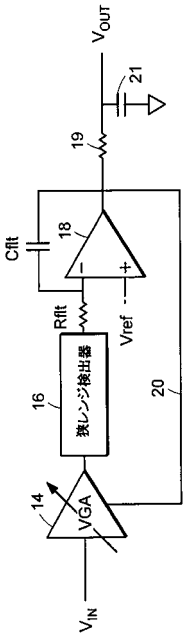
【公表番号】特表2006-514810(P2006-514810A)
【公表日】平成18年5月11日(2006.5.11)
【年通号数】公開・登録公報2006-018
【出願番号】特願2005-518289(P2005-518289)
【国際特許分類】
Ｈ０４Ｂ　17/00　(2006.01)
Ｈ０３Ｇ　3/30　(2006.01)
Ｈ０４Ｂ　1/04　(2006.01)
【ＦＩ】
Ｈ０４Ｂ　17/00　Ｍ
Ｈ０３Ｇ　3/30　Ｅ
Ｈ０３Ｇ　3/30　Ｂ
Ｈ０４Ｂ　1/04　Ｚ

【手続補正書】
【提出日】平成18年2月14日(2006.2.14)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】００１３
【補正方法】変更
【補正の内容】
【００１３】
図３に、本発明の実施形態に係る対数ＲＭＳ／ＤＣコンバータシステムの回路構成の詳細を示す。このシステムは、電圧制御型減衰器２２及び固定利得増幅器２４から構成されたｄＢ線形ＶＧＡと、ダイナミックレンジが狭いＲＭＳ／ＤＣコンバータ乃至検出器２６と、誤差増幅器乃至誤差増幅積分器２８とを備えている。ノード８６からの入力信号はＲＭＳ／ＤＣコンバータシステムの入力ポート３０、３２に印加されており、この差動入力信号はＶＧＡに印加されており、ＶＧＡからの増幅器出力信号は狭レンジＲＭＳ／ＤＣコンバータ２６に印加されており、この検出器２６からの検出器出力信号は設定点電圧と比較されており、この比較の結果に基づき誤差増幅器２８にて生成される誤差増幅器出力信号即ち誤差信号は増幅器３８を介しＶＧＡの利得制御信号入力部へと帰還されている。検出器２６の出力はＶＧＡ出力信号のＲＭＳ電圧値に比例しているがＶＧＡへの入力信号の対数値には比例していない。
【手続補正２】
【補正対象書類名】図面
【補正対象項目名】全図
【補正方法】変更
【補正の内容】

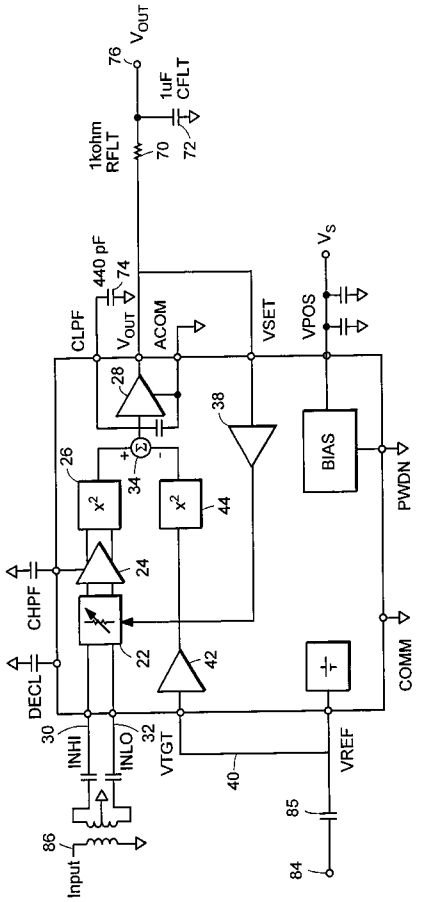
【図１】


Vout[V]
Voutにおける誤差[dB]
入力振幅[dBm]
10
12

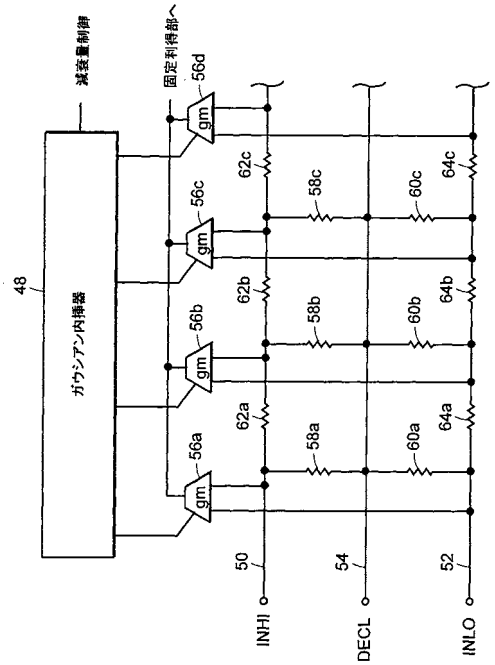
【図２】


VOUT
21
19
18
Cflt
Rflt
Vref
16
狭レンジ検出器
20
14
VGA
VIN

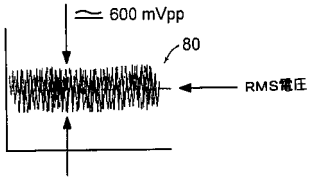
【図３】


VOUT
76
1kohm
RFLT
70
1uF
CFLT
72
440 pF
74
CLPF
VOUT
ACOM
VSET
VPOS
VS
28
38
26
34
44
BIAS
PWDN
24
CHPF
22
42
DECL
COMM
30
INHI
INLO
32
VTGT
VREF
40
85
84
86
Input

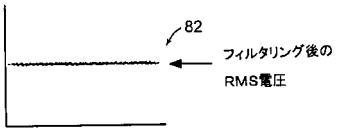
【図４】


減衰量制御
固定利得部へ
48
ガウシアン内挿器
56d
56c
56b
56a
gm
62c
58c
60c
64c
62b
58b
60b
64b
62a
58a
60a
64a
50
54
52
INHI
DECL
INLO

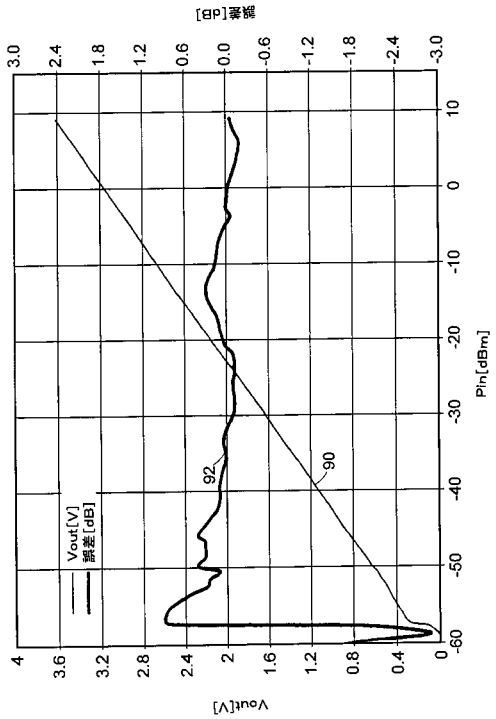
【図５Ａ】



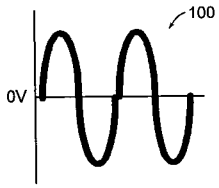
【図５Ｂ】



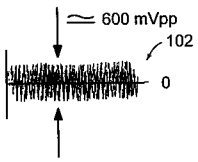
【図６】



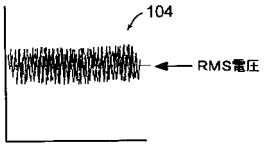
【図７Ａ】



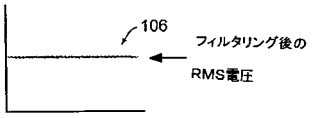
【図７Ｂ】



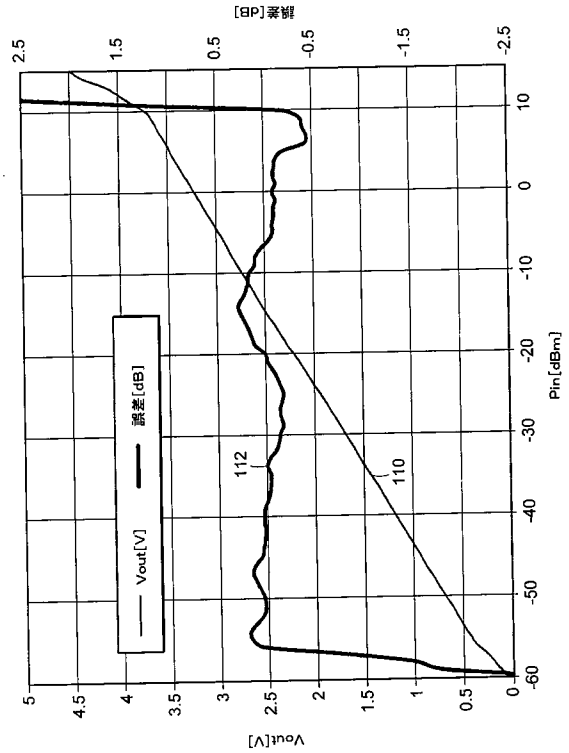
【図７Ｃ】



【図７Ｄ】



【図８】


誤差[dB]
2.5
1.5
0.5
-0.5
-1.5
-2.5
10
0
-10
-20
-30
-40
-50
-60
Pin[dBm]
112
110
誤差[dB]
Vout[V]
Vout[V]
5
4.5
4
3.5
3
2.5
2
1.5
1
0.5
0