

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6745732号
(P6745732)

(45) 発行日 令和2年8月26日(2020.8.26)

(24) 登録日 令和2年8月6日(2020.8.6)

(51) Int.Cl. F 1
G O 2 F 1/1368 (2006.01) G O 2 F 1/1368

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2017-14039 (P2017-14039)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成29年1月30日(2017.1.30)	(74) 代理人	100088672 弁理士 吉竹 英俊
(65) 公開番号	特開2018-124322 (P2018-124322A)	(74) 代理人	100088845 弁理士 有田 貴弘
(43) 公開日	平成30年8月9日(2018.8.9)	(72) 発明者	馬場 達也 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
審査請求日	令和1年7月12日(2019.7.12)	(72) 発明者	橋口 隆史 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示パネルおよび液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶を挟持して対向配置される2枚の基板のうち一方の前記基板上に、
 第1方向に配列される複数の第1配線と、
 第2方向に配列される複数の第2配線と、
 前記第1方向に配列され、前記複数の第2配線に接続される複数の第3配線と、
 前記複数の第2配線と前記複数の第3配線との交差位置に設けられ、前記複数の第2配線と前記複数の第3配線とを接続する複数のコンタクト部と、
 前記複数の第1配線と前記複数の第2配線との交差位置に対応してマトリクス状に配置され表示領域を形成する複数の画素と、
 前記表示領域の外側に設けられ、前記複数の第1配線の各々に接続し、各前記第1配線に接続される各前記画素が含むスイッチング素子を制御する第1ドライバICと、
 前記表示領域の外側に設けられ、前記複数の第3配線の各々に接続し、各前記第3配線を介して、各前記第2配線に接続される各前記画素が含む前記スイッチング素子を制御する第2ドライバICとを備え、
 各前記画素は、
 下部電極と、
 前記一方の基板の面内の複数の方向に延在して形成される複数のスリットを含み、前記下部電極上に絶縁膜を介して設けられる上部電極と、
 前記一方の基板の前記面内に位置し、前記複数のスリットの形成方向に応じて配向分割

される複数のドメインとを含み、

前記下部電極または前記上部電極のいずれか一方は、前記スイッチング素子に接続される画素電極で、他方は共通電位を印加するコモン電極であり、

各前記第3配線は、平面視において、各前記ドメイン間の境界に配線され、

各前記第3配線の一端は、各前記コンタクト部にて、各前記第2配線に接続され、

各前記第3配線の他端側は、前記第2ドライバICに接続される、液晶表示パネル。

【請求項2】

前記上部電極の前記複数のスリットは、前記複数の第1配線が延伸する方向と前記複数の第2配線が延伸する方向とは異なる方向に延在し、かつ、各前記ドメイン間の前記境界に対して線対称に形成され、

前記境界は前記複数の第1配線と平行である請求項1に記載の液晶表示パネル。

【請求項3】

前記複数の第2配線の本数が、前記複数の第1配線の本数よりも多く、

前記複数の第3配線の一部は、前記複数の第1配線の隣に並行して配線される請求項1または請求項2に記載の液晶表示パネル。

【請求項4】

前記コモン電極に接続する少なくとも1本のコモン配線をさらに備え、

前記コモン配線は、平面視において、少なくとも1つの前記境界に配線される請求項1から請求項3のいずれか一項に記載の液晶表示パネル。

【請求項5】

前記コモン配線は、前記複数の第1配線の隣に並行して配線される請求項4に記載の液晶表示パネル。

【請求項6】

前記表示領域の外側に設けられ、前記複数の第1配線と前記第1ドライバICとを接続する複数の第1引き出し配線と、

前記表示領域の外側に設けられ、前記複数の第3配線と前記第2ドライバICとを接続する複数の第2引き出し配線とをさらに備え、

前記複数の第1引き出し配線の各々の一端は、前記表示領域の外形をなす一辺側にて前記複数の第1配線の各々の一端に接続し、

前記複数の第2引き出し配線の各々の一端は、前記表示領域を挟んで前記一辺に対向する他辺側にて前記複数の第3配線の各々の一端に接続する請求項1から請求項5のいずれか一項に記載の液晶表示パネル。

【請求項7】

請求項1から請求項6のいずれか一項に記載の液晶表示パネルと、

前記液晶表示パネルに照明光を照射するバックライトとを備える液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネルおよび液晶表示装置に関し、特に画素の開口率の低下を抑えつつ額縁幅を狭小化する技術に関する。

【背景技術】

【0002】

現在、液晶、エレクトロルミネッセンス等の原理を利用した薄型平面形状の表示装置が広く使用されている。これら表示装置を代表する液晶表示装置は、薄型、軽量であるだけでなく、低電圧駆動できるという特徴を有する。液晶表示装置は、主要部を構成する2枚の基板の間に液晶を封入した液晶表示パネルから成り、一方の基板は複数の画素がマトリクス状に配置されて表示領域を構成するアレイ基板、もう一方は各画素に対応したカラーフィルタやブラックマトリクス（遮光膜）が設けられた対向基板（カラーフィルタ基板）である。

【0003】

10

20

30

40

50

薄膜トランジスタ(TFT; Thin Film Transistor)型液晶表示装置は、クロストークの少ない、表示品位の高い映像を提供する。これは、アレイ基板上の各画素にスイッチング素子であるTFTが設けられ、各画素が独立に液晶を駆動する電圧を保持できるからである。TFTは、そのON/OFFを制御する走査配線であるゲート配線と、画像信号入力用の信号配線であるソース配線とに接続されている。各画素は、通常、それらゲート配線とソース配線とによって囲まれている。また、アレイ基板上の表示領域の周辺に位置する額縁領域には、ゲート配線またはソース配線とドライバICとを接続するための引き出し配線が設けられる。

【0004】

近年、薄型の液晶表示装置が広く利用される一方、要求される製品の機能、形態も多様化している。そのため、携帯端末用表示装置、車載用表示装置を中心に、デザイン性向上を目的として、非表示領域である額縁領域が狭小化された液晶表示装置の要望が高まっている。

【0005】

しかし、従来通り、額縁領域に等ピッチのゲート配線に接続する引き出し配線が配置される場合、その額縁領域には、ゲート配線幅とゲート配線間隔との和にゲート配線本数を乗じて算出される領域以上のサイズを有することが必要となる。

【0006】

特許文献1には、ベゼル幅すなわち額縁領域を小さくした液晶ディスプレイ装置が開示されている。その液晶ディスプレイ装置が含む液晶表示パネルの面内において、第1ゲートライン(ゲート配線)とデータライン(ソース配線)とは垂直方向に隣接して並行配置されている。また、水平方向には、その第1ゲートラインと交差しかつ接続する第2ゲートライン(ゲート配線)が形成されている。垂直方向に形成された第1ゲートラインとデータラインとは、ベゼル領域に設けられたゲートリンクライン(引き出し配線)を通じて、表示領域周辺の一辺に形成されたドライバICに接続される。このような構成により、液晶表示パネルの左右の非表示領域に形成されていたリンクラインとゲートドライバICが削除されることにより、ベゼル幅が狭小化されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2014-119746号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、それら隣接して並行配置されたゲート配線(第1ゲートライン)およびソース配線(データライン)は、光を透過しない。また、それら配線によるバックライト光または表示装置周辺の環境光の反射を防ぐため、カラーフィルタ基板に形成したブラックマトリクスでそれら配線を覆う必要がある。その結果、ゲート配線とソース配線とを隣接して並行配置した画素の開口率は、1本のソース配線を画素に対して縦方向に配置した画素の開口率よりも、大きく低下する。さらには、画素周辺に並行して設置されているゲート配線とソース配線との間に寄生容量が発生し、表示品位が低下する。

【0009】

以上のように、従来の液晶表示装置は、ゲート配線に接続される引き出し配線およびドライバICが額縁領域の左右に設置されるため、額縁領域の狭小化を妨げる。また、特許文献1に記載の液晶ディスプレイ装置においては、画素の開口率が低下する、または、寄生容量による表示品位の低下が発生する。

【0010】

本発明は上記のような課題を解決するためになされたものであり、額縁領域の狭小化が可能であり表示品位が向上する液晶表示パネルの提供を目的とする。

【課題を解決するための手段】

【0011】

本発明に係る液晶表示パネルは、液晶を挟持して対向配置される2枚の基板のうち一方の基板上に、第1方向に配列される複数の第1配線と、第2方向に配列される複数の第2配線と、第1方向に配列され、複数の第2配線に接続される複数の第3配線と、複数の第2配線と複数の第3配線との交差位置に設けられ、複数の第2配線と複数の第3配線とを接続する複数のコンタクト部と、複数の第1配線と複数の第2配線との交差位置に対応してマトリクス状に配置され表示領域を形成する複数の画素と、表示領域の外に設けられ、複数の第1配線の各々に接続して、各第1配線に接続される各画素が含むスイッチング素子を制御する第1ドライバICと、表示領域の外に設けられ、複数の第3配線の各々に接続し、各第3配線を介して、各第2配線に接続される各画素が含むスイッチング素子を制御する第2ドライバICとを備える。各画素は、下部電極と、一方の基板の面内の複数の方向に延在して形成される複数のスリットを含み、下部電極上に絶縁膜を介して設けられる上部電極と、一方の基板の面内に位置し、複数のスリットの形成方向に応じて液晶が配向分割される複数のドメインとを含む。下部電極または上部電極のいずれか一方は、スイッチング素子に接続される画素電極で、他方は共通電位を印加するコモン電極である。各第3配線は、平面視において、各ドメイン間の境界に配線される。各第3配線の一端は、各コンタクト部にて、各第2配線に接続される。各第3配線の他端側は、第2ドライバICに接続される。

10

【発明の効果】

【0012】

本発明によれば、額縁領域の狭小化が可能であり表示品位が向上する液晶表示パネルの提供が可能となる。

20

【図面の簡単な説明】

【0013】

【図1】実施の形態1における液晶表示パネルの構成を模式的に示す図である。

【図2】実施の形態1における液晶表示パネルが含む画素の等価回路図である。

【図3】実施の形態1における画素の構成を模式的に示す平面図である。

【図4】実施の形態1における画素の構成を模式的に示す断面図である。

【図5】実施の形態2における画素の構成を模式的に示す平面図である。

【図6】実施の形態3における画素の構成を模式的に示す平面図である。

30

【図7】実施の形態1から3のいずれかにおける液晶表示パネルの構成を模式的に示す図である。

【図8】実施の形態4における液晶表示パネルの構成を模式的に示す図である。

【発明を実施するための形態】

【0014】

本発明に係る液晶表示パネルおよび液晶表示装置の実施の形態を説明する。以下に記載する各実施の形態では、フリッジ・フィールド・スイッチング(FFS; Fringe Field Switching)により液晶駆動を行う液晶表示装置を例に説明する。

【0015】

<実施の形態1>

40

図1は、実施の形態1における液晶表示パネル90およびその液晶表示パネル90を含む液晶表示装置100の構成を模式的に示す図である。液晶表示装置100は、主要部である液晶表示パネル90等から構成される。液晶表示パネル90を構成する2枚の基板の間には液晶が封入されている。それら2枚の基板は、一方がアレイ基板10であり、他方が対向基板20である。

【0016】

アレイ基板10上には、水平方向に所定の間隔を有して配列される複数のソース配線2と、その水平方向に直交する垂直方向に所定の間隔を有して配列される複数の水平ゲート配線1とが配線される。それら複数のソース配線2と複数の水平ゲート配線1との交差位置に対応して、複数の画素30がマトリクス状に配置される。

50

【 0 0 1 7 】

さらに、水平方向に所定の間隔を有して配列され、水平ゲート配線 1 に接続する複数の垂直ゲート配線 3 が配線される。各垂直ゲート配線 3 と各水平ゲート配線 1 とは、コンタクト部 4 にて接続される。1 本の垂直ゲート配線 3 は、1 本の水平ゲート配線 1 に接続する。1 本の垂直ゲート配線 3 が複数の水平ゲート配線 1 に接続することはない。つまり、各水平ゲート配線 1 と各垂直ゲート配線 3 とは一對一に接続される。なお、図 1 では、各水平ゲート配線 1 と各垂直ゲート配線 3 とは一對一に接続される場合を説明したが、必ずしもこの形態に限定されない。複数の垂直ゲート配線 3 と 1 本の水平ゲート配線 1 とが接続される形態でもよい。この場合、複数の垂直ゲート配線 3 の抵抗が軽減される。

【 0 0 1 8 】

アレ基板 10 の面内は、複数の画素 30 によって形成される表示領域 50 と、表示領域 50 の外側に位置する額縁領域 55 とに大別される。本実施の形態 1 においては、ソースドライバ IC 5 とゲートドライバ IC 6 とが、表示領域 50 の外形をなす一辺 50 a の外側に位置する額縁領域 55 に実装されている。ソースドライバ IC 5 は複数のソース引き出し配線 13 に接続する。複数のソース配線 2 の各々の一端は、各ソース引き出し配線 13 を介してソースドライバ IC 5 の出力部に接続される。ゲートドライバ IC 6 は複数のゲート引き出し配線 14 に接続する。複数の垂直ゲート配線 3 の各々の一端は、各ゲート引き出し配線 14 を介して、ゲートドライバ IC 6 の出力部に接続される。すなわち、ゲートドライバ IC 6 は、各垂直ゲート配線 3 を介して各水平ゲート配線 1 に接続する。

【 0 0 1 9 】

なお、図 1 は、説明の簡略化のため、複数のソース配線 2、複数の水平ゲート配線 1、複数の垂直ゲート配線 3、複数のソース引き出し配線 13、複数のゲート引き出し配線 14 および複数の画素 30 のそれぞれ一部のみを図示している。また、ゲートドライバ IC 6 およびソースドライバ IC 5 の入力部、および、その入力部が有する複数の接続端子に接続される入力配線の図示は省略している。

【 0 0 2 0 】

対向基板 20 は、アレ基板 10 の表示領域 50 上に液晶（図示せず）を介して対向配置される。以下、図示は省略するが、対向基板 20 には、カラーフィルタやブラックマトリクス等が設けられている。

【 0 0 2 1 】

液晶表示パネル 90 の両面には、偏光板や位相差板が必要に応じて設けられる。液晶表示装置 100 は、上記の液晶表示パネル 90、その液晶表示パネル 90 に照明光を照射する背面光源（バックライト）、外部回路および筐体等を備える。

【 0 0 2 2 】

図 2 は、複数の画素 30 のうちコンタクト部 4 の周辺に位置する画素 30 a および画素 30 b の等価回路図である。上述したように、複数の水平ゲート配線 1（水平ゲート配線 1 a、1 b、1 c）と、複数のソース配線 2（ソース配線 2 a、2 b）とは交差して配線される。画素 30 a および画素 30 b は、それら複数の水平ゲート配線 1 と、複数のソース配線 2 とに囲まれて位置する。垂直ゲート配線 3 は、ソース配線 2 a とソース配線 2 b との間に、配線され、コンタクト部 4 を介して水平ゲート配線 1 b に接続する。すなわち垂直ゲート配線 3 は、画素 30 b 内を縦断して配線される。

【 0 0 2 3 】

各画素 30 は、スイッチング素子である TFT 7 a と容量 7 b とを含む。ここでは、画素 30 b 内における各部の接続構成を説明する。水平ゲート配線 1 c は TFT 7 a のゲート電極に接続される。ソース配線 2 a は、TFT 7 a のソース電極に接続される。TFT 7 a のドレイン電極は容量 7 b に接続する。このような接続により、TFT 7 a のスイッチング動作は上記のソースドライバ IC 5 とゲートドライバ IC 6 とにより制御される。

【 0 0 2 4 】

各画素 30 は、図 2 において図示は省略するが、画素電極をさらに含む。画素電極は、TFT 7 a のドレインと容量 7 b との間に形成される。また、各画素 30 には、画素電極

10

20

30

40

50

に対向してコモン電極が設けられる。画素電極とコモン電極とによって形成されるフリンジ電界が液晶を駆動する。

【0025】

図3は、複数の画素30のうちコンタクト部4の周辺に位置する画素30aおよび画素30bの構成を拡大して示した平面図である。図3において、積層構造を有する画素30aおよび画素30bの各層における電極等の平面配置は重ね書きされている。図2に示したTF7aは、図3において各画素30の面内の角に形成されている。

【0026】

図4は、図3において示すラインA-A'における断面図である。アレイ基板10は、ガラスやプラスチック等の絶縁性を有する透明基板21上に、TF7a、画素電極8およびコモン電極が形成されてなる。図2に示したTF7aは、ゲート電極22、絶縁膜23、半導体層24、ソース電極25およびドレイン電極26が積層されて構成される。

【0027】

また、図3に示すように、各水平ゲート配線1と各ソース配線2とは、交差部2jにおいて交差する。交差部2jにおいて、各水平ゲート配線1と各ソース配線2とは、絶縁膜を介して設けられているため、両者は短絡しない。また、各水平ゲート配線1と各垂直ゲート配線3とは交差部3jにおいて交差する。各水平ゲート配線1と各垂直ゲート配線3とは絶縁膜を介して異なるレイヤーに形成されるため、交差部3jにおいて各垂直ゲート配線3と各水平ゲート配線1とは短絡しない。

【0028】

その一方で、各垂直ゲート配線3と各水平ゲート配線1とはコンタクト部4にて短絡する。そのコンタクト部4は、例えば、各水平ゲート配線1と各垂直ゲート配線3との間の絶縁膜に設けられたコンタクトホールに導電性を有する材料が充填されてなる。しかし、コンタクト部4の構造は、これに限定されるものではない。例えば、各水平ゲート配線1と各垂直ゲート配線3とにコンタクトホールを形成後、別の導電パターンにより両者を接続してもよい。上記のコンタクト部4はバックライト光の透過を妨げるため、各画素30の開口領域外に配置される。

【0029】

図4に示すように、TF7aの隣には画素電極8とコモン電極9とが設けられる。本実施の形態1においては、透明基板21に近い方、つまり下側に設けられる下部電極が画素電極8である。その画素電極8はTF7aのドレイン電極26に直接接続されている。

【0030】

下部電極の上側に設けられる上部電極がコモン電極9である。コモン電極9は、画素電極8上に絶縁膜23を介して設けられる。図3に示すように、コモン電極9は、TF7aが位置する領域には形成されていない。図示は省略するが、積層方向において、コモン電極9と各水平ゲート配線1との間およびコモン電極9と各ソース配線2との間には絶縁膜が設けられており、それらが短絡することはない。

【0031】

図3に示すように、コモン電極9には開口部である複数のスリット11が形成され、その複数のスリット11はアレイ基板10の面内の複数の方向に延在する。本実施の形態1においては、複数のスリット11は、各ソース配線2および各水平ゲート配線1が延伸する方向とは異なる2方向に延在して形成される。各画素30は、一方の方向に延在する複数のスリット11が配置される第1ドメイン40と、他方の方向に延在する複数のスリット11が配置される第2ドメイン41とを含む。

【0032】

第1ドメイン40と第2ドメイン41との境界45は、ソース配線2に対して平行に位置する。複数のスリット11は、その境界45に対して線対称に形成される。つまり、第1ドメイン40内の各スリット11と、第2ドメイン41内の各スリット11とは、境界45に対し、所定の角度で対称に傾斜して形成される。以上のように、コモン電極9には

10

20

30

40

50

、複数のスリット 1 1 が形成され、境界 4 5 が規定される。なお、第 1 ドメイン 4 0 の複数のスリット 1 1 と第 2 ドメイン 4 1 の複数のスリット 1 1 とは、つながって形成されてもよい。

【 0 0 3 3 】

上記の各垂直ゲート配線 3 は、平面視において、第 1 ドメイン 4 0 と第 2 ドメイン 4 1 との境界 4 5 に配線される。各垂直ゲート配線 3 と共通電極 9 とは、積層方向において絶縁膜で絶縁されており、両者は短絡しない。

【 0 0 3 4 】

また、共通電極 9 は、複数のスリット 1 1 および T F T 7 a が位置する領域を除いて表示領域 5 0 内に形成されており、その表示領域 5 0 内において同一層からなる。

10

【 0 0 3 5 】

画素電極 8 には、表示に寄与する映像データ信号の電位が、ソース配線 2 とソース電極 2 5 とを介して印加される。共通電極 9 には、各画素 3 0 に対し共通な電位である共通電位（基準電位ともいう）が印加される。画素電極 8 と共通電極 9 との間には電位差が生じ、各スリット 1 1 の形状に応じたフリンジ電界が形成される。対向基板 2 0 とアレイ基板 1 0 との間に挟持された液晶は、そのフリンジ電界によって配向が制御される。液晶の配向が適切に制御されることにより液晶表示装置 1 0 0 に映像または画像が表示される。

【 0 0 3 6 】

フリンジ電界が形成される方向、つまり、液晶の配向が制御される方向は、各スリット 1 1 の形成方向に依存する。本実施の形態 1 の液晶表示パネル 9 0 は、その面内に、2 つの異なる方向に複数のスリット 1 1 が形成されている。液晶表示パネル 9 0 は、その複数のスリット 1 1 の形成方向に応じて配向分割される第 1 ドメイン 4 0 および第 2 ドメイン 4 1 を含む。すなわち、液晶表示パネル 9 0 は、マルチドメイン（配向分割）化がなされている。この配向分割により、任意の方向において、色変化が少なくなり、液晶表示パネル 9 0 の視野角特性が向上する。しかしながら、各ドメイン間の境界 4 5 付近は、液晶の配向を制御することが難しく、バックライト光が透過しない無効領域である。したがって、境界 4 5 に各垂直ゲート配線 3 を配線したとしても、各画素 3 0 の開口率は実質的に低下しない。このように、液晶表示パネル 9 0 は、各画素 3 0 に含まれる各ドメイン間の境界 4 5 に、開口率を低下させる要因となる配線が配置されることを特徴とする。

20

30

【 0 0 3 7 】

各ソース配線 2 の隣に並行して各垂直ゲート配線 3 を配置した液晶表示パネルに比べて、本実施の形態 1 の液晶表示パネル 9 0 は、各画素 3 0 の開口率の低下を抑制しながら、各垂直ゲート配線 3 を配線できる。本実施の形態 1 の液晶表示パネル 9 0 およびその液晶表示パネル 9 0 を搭載した液晶表示装置 1 0 0 は、左右の額縁領域の狭小化を可能にしながら、表示品位の高い映像を提供することができる。

【 0 0 3 8 】

以上をまとめると、本実施の形態 1 における液晶表示パネル 9 0 は、液晶を挟持して対向配置される 2 枚の基板のうち一方の基板（アレイ基板 1 0 ）上に、第 1 方向（水平方向）に配列される複数の第 1 配線（複数のソース配線 2 ）と、第 2 方向（垂直方向）に配列される複数の第 2 配線（複数の水平ゲート配線 1 ）と、第 1 方向（水平方向）に配列される複数の第 2 配線（複数の水平ゲート配線 1 ）に接続される複数の第 3 配線（複数の垂直ゲート配線 3 ）とを含む。

40

【 0 0 3 9 】

また、液晶表示パネル 9 0 は、複数の第 1 配線（複数のソース配線 2 ）と複数の第 2 配線（複数の水平ゲート配線 1 ）との交差位置に対応してマトリクス状に配置され表示領域 5 0 を形成する複数の画素 3 0 と、表示領域 5 0 の外に設けられ複数の第 1 配線（複数のソース配線 2 ）の各々に接続し、各第 1 配線（各ソース配線 2 ）に接続される各画素 3 0 が含むスイッチング素子（T F T 7 a ）を制御する第 1 ドライバ I C （ソースドライバ I C 5 ）と、表示領域 5 0 の外に設けられ、複数の第 3 配線（複数の垂直ゲート配線 3 ）の

50

各々に接続し、各第3配線（各垂直ゲート配線3）を介して、各第2配線（各水平ゲート配線1）に接続される各画素30が含むスイッチング素子（TFT7a）を制御する第2ドライバIC（ゲートドライバIC6）とを備える。

【0040】

各画素30は、下部電極と、一方の基板（アレイ基板10）の面内の複数の方向に延在して形成される複数のスリット11を含み下部電極上に絶縁膜23を介して設けられる上部電極と、一方の基板（アレイ基板10）の面内に位置し複数のスリット11の形成方向に応じて液晶が配向分割される複数のドメインとを含む。本実施の形態1において、複数のドメインは、第1ドメイン40および第2ドメイン41である。

【0041】

下部電極または上部電極のいずれか一方は、スイッチング素子（TFT7a）に接続される画素電極8で、他方は共通電位を印加するコモン電極9である。本実施の形態1において、それぞれ上記の上部電極はコモン電極9であり、下部電極が画素電極8である。各第3配線（各垂直ゲート配線3）は、平面視において、各ドメイン間の境界45に配線される。

【0042】

以上のような構成により、本実施の形態1における液晶表示パネル90は、左右の額縁領域の狭小化を可能にしながら、表示品位の高い映像を提供することができる。

【0043】

また、液晶表示パネル90が含む上部電極（コモン電極9）の複数のスリット11は、複数の第1配線（複数のソース配線2）が延伸する方向と複数の第2配線（複数の水平ゲート配線1）が延伸する方向とは異なる方向に延在し、かつ、各ドメイン間の境界45に対して線対称に形成される。その境界45は、複数の第1配線（複数のソース配線2）に平行である。このような構成を備える液晶表示パネル90は、各画素30の開口率の低下を誘発することなく、複数の水平ゲート配線1に対し最短距離で複数の垂直ゲート配線3を配線することができる。

【0044】

また、本実施の形態1における液晶表示装置100は、上記の液晶表示パネル90と、液晶表示パネル90に照明光を照射するバックライトとを備える。このような構成を備える液晶表示装置100は、左右の額縁領域の狭小化を可能にしながら、表示品位の高い映像を提供することができる。

【0045】

<実施の形態2>

本実施の形態2における液晶表示パネルおよび液晶表示装置について説明する。なお、実施の形態1と同様の構成および動作については説明を省略する。

【0046】

コモン電極9には、一般に透明導電膜が用いられる。その透明導電膜の抵抗率は配線に用いられる金属等の抵抗率に比べて大きい。コモン電極9の抵抗率が大きい場合、表示領域50内におけるコモン電極9の抵抗の最大値と最小値との差が大きくなる。つまり、共通電位を印加する駆動回路から各画素30の配置に対応したコモン電極9までの各抵抗にばらつきが生じる。その抵抗差は、映像や画像を表示する際、輝度ムラとして視認される。

【0047】

低抵抗率な材料からなるコモン配線をコモン電極9に接続した液晶表示パネルは、コモン電極9内の抵抗の最大値と最小値との差を小さくできる。しかし、配線に用いられるような低抵抗率な物質は光を透過しない。そのため、コモン配線を配置するにあたっては、各画素30の開口率の低下が問題となる。

【0048】

そこで、本実施の形態2の液晶表示パネルにおいては、複数の垂直ゲート配線3が配置されないマルチドメインの境界45に、低抵抗率なコモン配線が配置される。図5は、実

10

20

30

40

50

施の形態 2 における液晶表示パネルが含む 1 つの画素 30 c を拡大した平面図である。画素 30 c のように、コモン電極 9 に接続する少なくとも 1 本のコモン配線 12 が境界 45 に配線される。そのコモン配線 12 の本数および配置の順序は任意である。コモン配線 12 は、複数の画素 30 のうち少なくとも一部の画素 30 に含まれる境界 45 に配線されていけば良い。つまり、コモン配線 12 は、少なくとも 1 つの境界 45 に配線される。

【0049】

コモン配線 12 と各水平ゲート配線 1 とは、交差部 12 j において交差する。その交差部 12 j において、コモン配線 12 と各水平ゲート配線 1 とは、絶縁膜で隔てられており両者は短絡しない。コモン配線 12 は、例えば、画素電極 8 とコモン電極 9 とを絶縁する絶縁膜よりも下層に位置する。

10

【0050】

境界 45 に、コモン配線 12 が形成されず、垂直ゲート配線 3 しか形成されない画素の構成は、実施の形態 1 にて示した画素 30 b と同様であるので説明は省略する。その他の構成は、実施の形態 1 と同様である。

【0051】

以上のように、本実施の形態 2 における液晶表示パネルは、コモン電極 9 に接続する少なくとも 1 本のコモン配線 12 をさらに備える。コモン配線 12 は、平面視において、少なくとも 1 つの境界 45 に配線される。このような構成を備える液晶表示パネルは、各画素 30 の開口率の低下を抑えつつ、従来よりもコモン電極 9 の抵抗を低くすることができ、表示品位の高い映像を提供することができる。

20

【0052】

< 実施の形態 3 >

本実施の形態 3 における液晶表示パネルおよび液晶表示装置について説明する。なお、実施の形態 1 または実施の形態 2 と同様の構成および動作については説明を省略する。

【0053】

実施の形態 1 または実施の形態 2 に示した液晶表示パネルは、横方向に配列される画素 30 の個数が縦方向に配列される画素 30 の個数よりも多い表示装置に対し効果的である。一方で、横方向の画素 30 の個数よりも縦方向の画素 30 の個数の方が大きい表示装置においては、垂直方向に延在するソース配線 2 の本数よりも水平方向に延在する水平ゲート配線 1 の本数の方が大きい。すなわち、縦方向の画素 30 の個数が横方向の画素 30 の個数に比べて多い表示装置においては、各ドメイン間の境界 45 の列数が、水平ゲート配線 1 の本数よりも少なくなる場合がある。境界 45 の列数が、必要な垂直ゲート配線 3 の本数に対して少ない場合、実施の形態 1 の図 1 に示した液晶表示パネル 90 のように、表示領域 50 の一方側のみにはソースドライバ IC 5 およびゲートドライバ IC 6 を実装することができない。

30

【0054】

そこで、本実施の形態 3 の液晶表示パネルにおいては、複数の垂直ゲート配線 3 のうち一部が複数のソース配線 2 の隣に並行して配線される。図 6 は、実施の形態 3 における液晶表示パネルが含む 1 つの画素 30 d を拡大した平面図である。複数の垂直ゲート配線 3 のうち一部の垂直ゲート配線 3 b は、ソース配線 2 の隣に並行して配線されている。そのソース配線 2 の近傍に配線される垂直ゲート配線 3 の本数および順序は任意である。

40

【0055】

垂直ゲート配線 3 b は、交差部 3 b j において各水平ゲート配線 1 と交差する。その交差部 3 b j において、垂直ゲート配線 3 b は、各水平ゲート配線 1 と絶縁膜を介して設けられており、両者は短絡しない。また、垂直ゲート配線 3 b はコモン電極 9 と絶縁膜を介して配線されており短絡することはない。

【0056】

さらに、図 3 に示す画素 30 b と同様に、各ドメイン間の境界 45 には垂直ゲート配線 3 a が配線される。垂直ゲート配線 3 a は、交差部 3 a j において、各水平ゲート配線 1 と絶縁膜を介して設けられており、両者が短絡することはない。その他の構成は、実施の

50

形態 1 または実施の形態 2 と同様である。

【 0 0 5 7 】

以上のように、本実施の形態 3 の液晶表示パネルは、複数の第 2 配線（複数の水平ゲート配線 1）の本数が複数の第 1 配線（複数のソース配線 2）の本数よりも多く、複数の第 3 配線（複数の垂直ゲート配線 3）の一部は、複数の第 1 配線（複数のソース配線 2）の隣に並行して配線される。このような構成を備える液晶表示パネルは、縦長機種である場合でも、各画素 30 の開口率の低下を抑えながら、額縁領域の狭小化を実現できる。

【 0 0 5 8 】

また、実施の形態 2 に記載したコモン配線 1 2 も、各ドメイン間の境界 4 5 だけでなく、複数のソース配線 2 の隣に並行して配線されてもよい。そのソース配線 2 の近傍に配線されるコモン配線 1 2 の本数および順序は任意である。

【 0 0 5 9 】

< 実施の形態 4 >

本実施の形態 4 における液晶表示パネルおよび液晶表示装置について説明する。なお、実施の形態 1 から実施の形態 3 のいずれかと同様の構成および動作については説明を省略する。

【 0 0 6 0 】

図 7 は、実施の形態 1 から実施の形態 3 のいずれかに記載した液晶表示パネル 90 を含む液晶表示装置 100 の構成を模式的に示す図である。なお、図 7 においては、複数のソース配線 2、複数の垂直ゲート配線 3、複数の水平ゲート配線 1、複数のソース引き出し配線 1 3 および複数のゲート引き出し配線 1 4 はそれぞれ一部のみが図示されている。

【 0 0 6 1 】

液晶表示パネル 90 においては、複数のソース引き出し配線 1 3 の各々の一端は、表示領域 50 の外形をなす一辺 50 a 側にて複数のソース配線 2 の各々の一端に接続する。各ソース引き出し配線 1 3 の他端が接続されるソースドライバ IC 5 は、表示領域 50 の外形をなす一辺 50 a の外側に位置する額縁領域 55 a に設けられる。同様に、複数のゲート引き出し配線 1 4 の各々の一端は、一辺 50 a 側にて複数の垂直ゲート配線 3 の各々の一端に接続する。各ゲート引き出し配線 1 4 の他端が接続されるゲートドライバ IC 6 も、一辺 50 a 側の額縁領域 55 a に設けられる。

【 0 0 6 2 】

各ソース引き出し配線 1 3 と各ゲート引き出し配線 1 4 とが表示領域 50 の同一の一辺 50 a 側から配線された場合、各ソース引き出し配線 1 3 と各ゲート引き出し配線 1 4 とが交差する交差領域 1 5 が形成される。各ソース引き出し配線 1 3 と各ゲート引き出し配線 1 4 とは、絶縁膜を介して設けられるため、両者は絶縁されている。しかし、交差領域 1 5 においては、その絶縁膜等に起因した寄生容量が生じる。その寄生容量の大きさに依存して、画像や映像にムラが発生し、液晶表示パネルの表示品位が悪化する場合がある。

【 0 0 6 3 】

図 8 は、本実施の形態 4 における液晶表示パネル 91 およびそれを含む液晶表示装置 101 の構成を模式的に示す図である。図 8 は、図 7 と同様に、複数のソース配線 2、複数の垂直ゲート配線 3、複数の水平ゲート配線 1、複数のソース引き出し配線 1 3 および複数のゲート引き出し配線 1 4 のそれぞれ一部のみを図示している。液晶表示パネル 91 においては、複数のソース引き出し配線 1 3（複数の第 1 引き出し配線）の各々の一端は、表示領域 50 の外形をなす一辺 50 a 側にて複数のソース配線 2 の各々の一端に接続する。各ソース引き出し配線 1 3 の他端が接続されるソースドライバ IC 5 は、表示領域 50 の外形をなす一辺 50 a の外側に位置する額縁領域 55 a に設けられる。その一方で、複数のゲート引き出し配線 1 4（複数の第 2 引き出し配線）の各々の一端は、表示領域 50 を挟んで一辺 50 a に対向する他辺 50 b 側にて複数の垂直ゲート配線 3 の各々の一端に接続する。各ゲート引き出し配線 1 4 の他端が接続されるゲートドライバ IC 6 は、他辺 50 b の外側に位置する額縁領域 55 b に設けられる。

【 0 0 6 4 】

10

20

30

40

50

このような構成を含む液晶表示パネル 9 1 は、各ソース引き出し配線 1 3 と各ゲート引き出し配線 1 4 とが交差する交差領域が形成されない。つまり、本実施の形態 4 の液晶表示パネル 9 1 は、寄生容量の発生を低減でき、表示品位の高い映像を提供することができる。また、液晶表示パネル 9 1 またはその液晶表示パネル 9 1 を搭載する液晶表示装置 1 0 1 は、左右の額縁領域の狭小化が可能である。

【 0 0 6 5 】

以上の各実施の形態においては、下部電極が画素電極 8、上部電極がコモン電極 9 である液晶表示パネル 9 0 および 9 1 を例に示したが、下部電極がコモン電極 9、上部電極が画素電極 8 である液晶表示パネルであっても上記の各実施の形態と同様の効果を奏する。

【 0 0 6 6 】

また、以上の各実施の形態では、複数の第 1 配線は複数のソース配線 2、複数の第 2 配線は複数の水平ゲート配線 1、複数の第 3 配線は複数の垂直ゲート配線 3 である液晶表示パネルを例に示したが、各ソース配線と各ゲート配線とが入れ替わった液晶表示パネルでも同様の効果を奏する。すなわち、複数の第 1 配線は複数のゲート配線、複数の第 2 配線は複数の水平ソース配線、複数の第 3 配線は複数の垂直ソース配線である液晶表示パネルであっても同様の効果を奏する。その場合、上下の額縁領域が狭小化された液晶表示パネルの提供が可能である。

【 0 0 6 7 】

また、以上の各実施の形態では、T F T はチャンネルエッチ逆スタガ型の T F T を例として示したが、エッチストップ逆スタガ型の T F T またはトップゲート型の T F T などであっても上記の各実施の形態と同様の効果を奏する。

【 0 0 6 8 】

また、以上の各実施の形態では、ソースドライバ I C 5 またはゲートドライバ I C 6 が額縁領域 5 5 に実装された液晶表示パネルおよび液晶表示装置の例を示した。しかし、T A B (T a p e A u t o m a t e d B o n d i n g) 実装されたドライバ I C を含む液晶表示パネルおよび液晶表示装置や、各画素の T F T 形成と同時にアレイ基板 1 0 上にドライバ I C をポリシリコンなどの T F T で形成した液晶表示パネルおよび液晶表示装置であっても上記の各実施の形態と同様の効果を奏する。

【 0 0 6 9 】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

【 0 0 7 0 】

本発明は詳細に説明されたが、上記した説明は、すべての態様において、例示であって、本発明がそれに限定されるものではない。例示されていない無数の変形例が、本発明の範囲から外れることなく想定され得るものと解される。

【 符号の説明 】

【 0 0 7 1 】

1 水平ゲート配線、2 ソース配線、3 垂直ゲート配線、4 コンタクト部、5 ソースドライバ I C、6 ゲートドライバ I C、7 a T F T、8 画素電極、9 コモン電極、1 0 アレイ基板、1 1 スリット、1 2 コモン配線、1 3 ソース引き出し配線、1 4 ゲート引き出し配線、1 5 交差領域、2 1 透明基板、3 0 画素、4 0 第 1 ドメイン、4 1 第 2 ドメイン、4 5 境界、5 0 表示領域、5 0 a 一辺、5 0 b 他辺、5 5 額縁領域、9 0 液晶表示パネル、1 0 0 液晶表示装置。

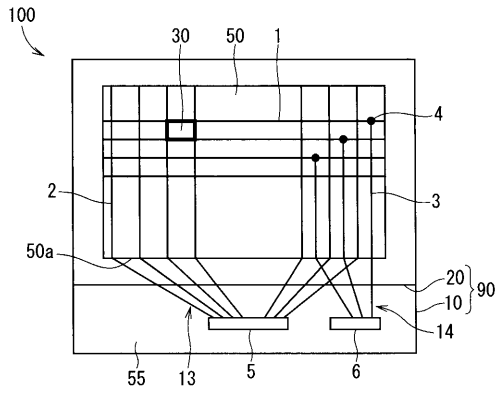
10

20

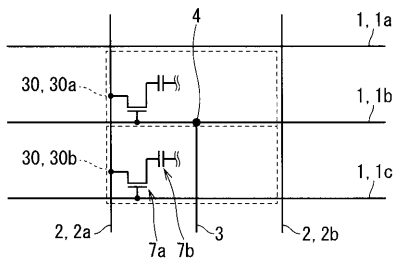
30

40

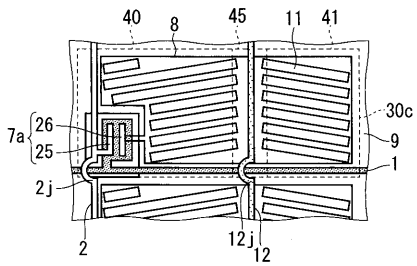
【図1】



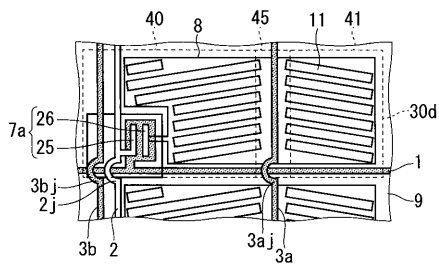
【図2】



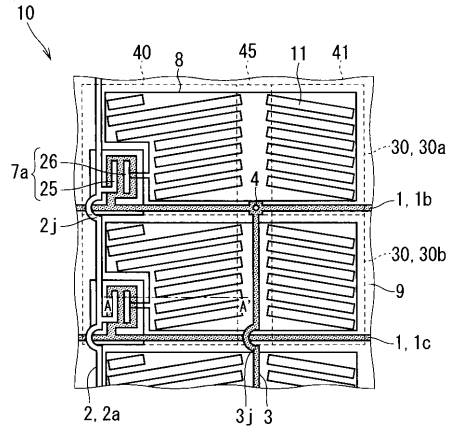
【図5】



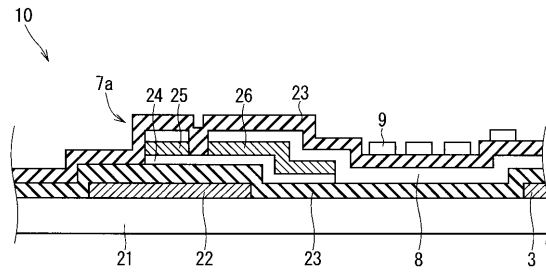
【図6】



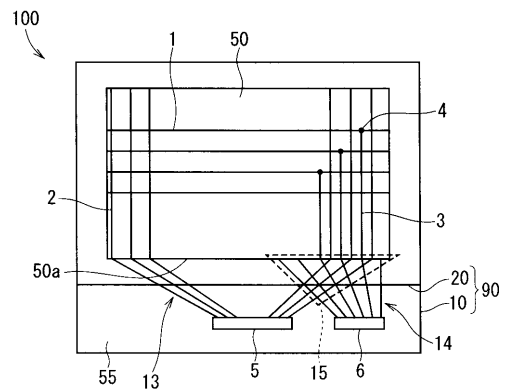
【図3】



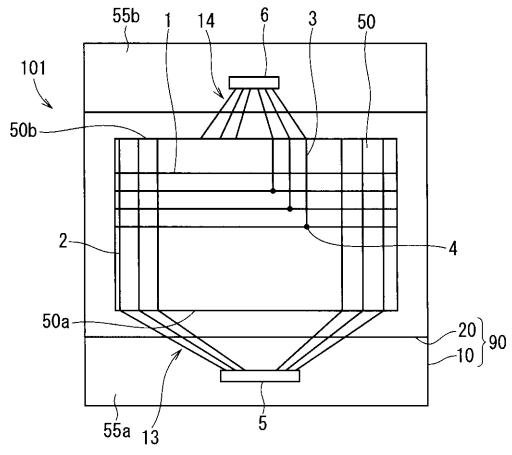
【図4】



【図7】



【 図 8 】



フロントページの続き

(72)発明者 平田 直也
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 横井 亜矢子

(56)参考文献 韓国公開特許第10-2014-0141166(KR,A)
特開2008-268961(JP,A)
米国特許出願公開第2017/0115542(US,A1)
韓国公開特許第10-2017-0046841(KR,A)
特開2010-085811(JP,A)
特開2016-071082(JP,A)
米国特許出願公開第2016/0093640(US,A1)
米国特許出願公開第2016/0358534(US,A1)
特開2010-072363(JP,A)
米国特許出願公開第2010/0066967(US,A1)
特開2014-119746(JP,A)
米国特許出願公開第2014/0168552(US,A1)
中国特許出願公開第103869564(CN,A)
特開2011-043774(JP,A)
特開2009-258729(JP,A)
特開2012-103343(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/136 - 1/1368
G02F 1/1343 - 1/1345, 1/135
G09F 9/30 - 9/46
Japio - GPG/FX