



(12)发明专利申请

(10)申请公布号 CN 106910778 A

(43)申请公布日 2017.06.30

(21)申请号 201710198484.9

(22)申请日 2017.03.29

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 卢鑫泓

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

H01L 29/786(2006.01)

H01L 21/336(2006.01)

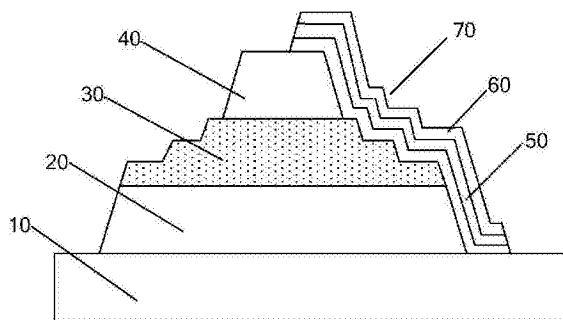
权利要求书2页 说明书8页 附图13页

(54)发明名称

一种薄膜晶体管及其制备方法、阵列基板

(57)摘要

本发明实施例提供一种薄膜晶体管及其制备方法、阵列基板,涉及显示技术领域,可在不改变垂直结构的薄膜晶体管尺寸及厚度的基础上增大其沟道长度。该薄膜晶体管包括衬底,依次设置在衬底上的第一导电层、绝缘层、第二导电层,有源层、栅绝缘层、栅极;有源层、栅绝缘层、栅极设置于第一导电层、绝缘层和第二导电层的一侧;第一导电层上表面的尺寸大于等于绝缘层下表面的尺寸,绝缘层上表面的尺寸大于等于第二导电层下表面的尺寸;薄膜晶体管的沟道长度大于绝缘层与有源层接触的第一侧面上,绝缘层的上表面与第一侧面相交的边到绝缘层的下表面与第一侧面相交的边的距离。



1. 一种薄膜晶体管,包括衬底,依次设置在所述衬底上的第一导电层、绝缘层、第二导电层,以及有源层、栅绝缘层、栅极;所述有源层设置于所述第一导电层、所述绝缘层和所述第二导电层的一侧,所述栅绝缘层设置于所述有源层远离所述第一导电层、所述绝缘层、所述第二导电层的一侧,所述栅极设置于所述栅绝缘层远离所述有源层的一侧,其特征在于,

所述第一导电层上表面的尺寸大于等于所述绝缘层下表面的尺寸,所述绝缘层上表面的尺寸大于等于所述第二导电层下表面的尺寸;

所述薄膜晶体管的沟道长度大于所述绝缘层与所述有源层接触的第一侧面上,所述绝缘层的上表面与所述第一侧面相交的边到所述绝缘层的下表面与所述第一侧面相交的边的距离。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述第一侧面呈台阶状。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述绝缘层的上表面尺寸大于与其接触的所述第二导电层下表面的尺寸;

所述第一侧面呈平面状。

4. 根据权利要求1-3任一项所述的薄膜晶体管,其特征在于,所述绝缘层的材料为 SiO_x 。

5. 一种阵列基板,其特征在于,包括权利要求1-4任一项所述的薄膜晶体管。

6. 一种薄膜晶体管的制备方法,包括在衬底上依次形成第一导电层、绝缘层、第二导电层,以及有源层、栅绝缘层、栅极;所述有源层位于所述第一导电层、所述绝缘层和所述第二导电层的一侧,所述栅绝缘层位于所述有源层远离所述第一导电层、所述绝缘层、所述第二导电层的一侧,所述栅极位于所述栅绝缘层远离所述有源层的一侧,其特征在于,

所述第一导电层上表面的尺寸大于等于所述绝缘层下表面的尺寸,所述绝缘层上表面的尺寸大于等于所述第二导电层下表面的尺寸;

所述薄膜晶体管的沟道长度大于所述绝缘层与所述有源层接触的第一侧面上,所述绝缘层的上表面与所述第一侧面相交的边到所述绝缘层的下表面与所述第一侧面相交的边的距离。

7. 根据权利要求6所述的制备方法,其特征在于,所述绝缘层的上表面尺寸大于与其接触的所述第二导电层下表面的尺寸;所述第一侧面呈平面状;

形成所述第二导电层、所述绝缘层,包括:

在所述第一导电层上依次形成绝缘层薄膜、第二导电层薄膜,并通过掩模曝光工艺形成第一光刻胶图案;

采用湿法刻蚀对所述第二导电层薄膜进行过刻刻蚀,形成尺寸小于所述第一光刻胶图案的尺寸的所述第二导电层;

采用干法刻蚀对所述绝缘层薄膜进行刻蚀,形成所述第一侧面呈平面状的所述绝缘层。

8. 根据权利要求6所述的制备方法,其特征在于,所述第一侧面呈台阶状;

形成所述第二导电层、所述绝缘层,包括:

在所述第一导电层上依次形成绝缘层薄膜、第二导电层薄膜,并通过掩模曝光工艺形成第一光刻胶图案;

采用湿法刻蚀对所述第二导电层薄膜进行过刻刻蚀,形成尺寸小于所述第一光刻胶图

案的尺寸的所述第二导电层；

采用干法刻蚀对所述绝缘层薄膜进行第一次刻蚀，形成所述第一侧面呈平面状的所述绝缘层；

采用灰化工艺减小所述第一光刻胶图案的尺寸，形成第二光刻胶图案，所述第二光刻胶图案的尺寸大于等于所述第二导电层的尺寸；

采用干法刻蚀对所述第一侧面呈平面状的所述绝缘层进行第二次刻蚀，形成所述第一侧面呈一级台阶状的所述绝缘层。

9. 根据权利要求8所述的制备方法，其特征在于，在所述第二导电层的尺寸小于所述第二光刻胶图案的尺寸的情况下，形成所述第一侧面呈一级台阶状的所述绝缘层后，所述方法还包括：至少重复一次对所述第二光刻胶图案进行灰化并对所述第一侧面呈一级台阶状的所述绝缘层进行第三次刻蚀，以使所述第一侧面呈多级台阶状；

其中，对所述第二光刻胶图案进行灰化并对所述第一侧面呈一级台阶状的所述绝缘层进行第三次刻蚀，包括：

采用灰化工艺减小所述第二光刻胶图案的尺寸，形成第三光刻胶图案，所述第三光刻胶图案的尺寸大于等于所述第二导电层的尺寸；

采用干法刻蚀对所述第一侧面呈一级台阶状的所述绝缘层进行第三次刻蚀，以使所述第一侧面的台阶数增加一级。

10. 根据权利要求6所述的制备方法，其特征在于，所述有源层、所述栅绝缘层、所述栅极通过一次构图工艺形成。

一种薄膜晶体管及其制备方法、阵列基板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管及其制备方法、阵列基板。

背景技术

[0002] 随着显示技术的发展,超高分辨率 (pixels per inch,简称PPI) 技术的开发,正逐渐成为主流发展方向之一,然而,超高分辨率产品的开口率往往较低。

[0003] 如图1 (a) 和图1 (b) 所示,由于传统的BCE (背沟道刻蚀型) 结构和Self-Aligned (自对准型) 结构的TFT (Thin Film Transistor,简称薄膜晶体管) 尺寸较大,使得阵列基板的开口率降低,因此,不适用于超高分辨率产品的开发。如图1 (c) 所示,为了保证超高分辨率产品的开口率,有文献报道了一种Vertical (垂直) 结构的TFT,相较于BCE结构和Self-Aligned结构的TFT,Vertical结构的TFT的尺寸大大减小,并且具有良好的TFT特性,因此,Vertical结构的TFT在超高分辨率产品中具有很大的应用前景。

[0004] 如图1 (c) 所示,Vertical结构的TFT的源极02和漏极01之间间隔一层绝缘层30,沟道长度近似等于绝缘层的厚度 (约0.5 μm),极易引发短沟道效应,不利于TFT特性的稳定。

发明内容

[0005] 本发明的实施例提供一种薄膜晶体管及其制备方法、阵列基板,可在不改变Vertical结构的TFT尺寸及厚度的基础上增大其沟道长度,从而改善由于短沟道效应引起的TFT特性不稳定的现象。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 第一方面,提供一种薄膜晶体管,包括衬底,依次设置在所述衬底上的第一导电层、绝缘层、第二导电层,以及有源层、栅绝缘层、栅极;所述有源层设置于所述第一导电层、所述绝缘层和所述第二导电层的一侧,所述栅绝缘层设置于所述有源层远离所述第一导电层、所述绝缘层、所述第二导电层的一侧,所述栅极设置于所述栅绝缘层远离所述有源层的一侧。

[0008] 所述第一导电层上表面的尺寸大于等于所述绝缘层下表面的尺寸,所述绝缘层上表面的尺寸大于等于所述第二导电层下表面的尺寸;所述薄膜晶体管的沟道长度大于所述绝缘层与所述有源层接触的第一侧面上,所述绝缘层的上表面与所述第一侧面相交的边到所述绝缘层的下表面与所述第一侧面相交的边的距离。

[0009] 可选的,所述第一侧面呈台阶状。

[0010] 可选的,所述绝缘层的上表面尺寸大于与其接触的所述第二导电层下表面的尺寸;所述第一侧面呈平面状。

[0011] 优选的,所述绝缘层的材料为SiO_x。

[0012] 第二方面,提供一种阵列基板,包括第一方面所述的薄膜晶体管。

[0013] 第三方面,提供一种薄膜晶体管的制备方法,包括在衬底上依次形成第一导电层、绝缘层、第二导电层,以及有源层、栅绝缘层、栅极;所述有源层位于所述第一导电层、所述

绝缘层和所述第二导电层的一侧,所述栅绝缘层位于所述有源层远离所述第一导电层、所述绝缘层、所述第二导电层的一侧,所述栅极位于所述栅绝缘层远离所述有源层的一侧。

[0014] 所述第一导电层上表面的尺寸大于等于所述绝缘层下表面的尺寸,所述绝缘层上表面的尺寸大于等于所述第二导电层下表面的尺寸;所述薄膜晶体管的沟道长度大于所述绝缘层与所述有源层接触的第一侧面上,所述绝缘层的上表面与所述第一侧面相交的边到所述绝缘层的下表面与所述第一侧面相交的边的距离。

[0015] 可选的,所述绝缘层的上表面尺寸大于与其接触的所述第二导电层下表面的尺寸;所述第一侧面呈平面状。形成所述第二导电层、所述绝缘层,包括:

[0016] 在所述第一导电层上依次形成绝缘层薄膜、第二导电层薄膜,并通过掩模曝光工艺形成第一光刻胶图案。

[0017] 采用湿法刻蚀对所述第二导电层薄膜进行过刻刻蚀,形成尺寸小于所述第一光刻胶图案的尺寸的所述第二导电层。

[0018] 采用干法刻蚀对所述绝缘层薄膜进行刻蚀,形成所述第一侧面呈平面状的所述绝缘层。

[0019] 可选的,所述第一侧面呈台阶状。形成所述第二导电层、所述绝缘层,包括:

[0020] 在所述第一导电层上依次形成绝缘层薄膜、第二导电层薄膜,并通过掩模曝光工艺形成第一光刻胶图案;采用湿法刻蚀对所述第二导电层薄膜进行过刻刻蚀,形成尺寸小于所述第一光刻胶图案的尺寸的所述第二导电层;采用干法刻蚀对所述绝缘层薄膜进行第一次刻蚀,形成所述第一侧面呈平面状的所述绝缘层。

[0021] 采用灰化工艺减小所述第一光刻胶图案的尺寸,形成第二光刻胶图案,所述第二光刻胶图案的尺寸大于等于所述第二导电层的尺寸。

[0022] 采用干法刻蚀对所述第一侧面呈平面状的所述绝缘层进行第二次刻蚀,形成所述第一侧面呈一级台阶状的所述绝缘层。

[0023] 进一步优选的,在所述第二导电层的尺寸小于所述第二光刻胶图案的寸的情况下,形成所述第一侧面呈一级台阶状的所述绝缘层后,所述方法还包括:至少重复一次对所述第二光刻胶图案进行灰化并对所述第一侧面呈一级台阶状的所述绝缘层进行第三次刻蚀,以使所述第一侧面呈多级台阶状。其中,对所述第二光刻胶图案进行灰化并对所述第一侧面呈一级台阶状的所述绝缘层进行第三次刻蚀,包括:

[0024] 采用灰化工艺减小所述第二光刻胶图案的尺寸,形成第三光刻胶图案,所述第三光刻胶图案的尺寸大于等于所述第二导电层的尺寸。

[0025] 采用干法刻蚀对所述第一侧面呈一级台阶状的所述绝缘层进行第三次刻蚀,以使所述第一侧面的台阶数增加一级。

[0026] 优选的,所述有源层、所述栅绝缘层、所述栅极通过一次构图工艺形成。

[0027] 本发明实施例提供一种薄膜晶体管及其制备方法、阵列基板,通过在衬底上依次设置第一导电层、绝缘层、第二导电层,以及有源层、栅绝缘层、栅极,形成Vertical结构的TFT,并使Vertical结构的TFT的沟道长度大于绝缘层与有源层接触的第一侧面上,绝缘层的上表面与第一侧面相交的边到绝缘层的下表面与第一侧面相交的边的距离,从而在不改变Vertical结构的TFT的尺寸及厚度的基础上,增大TFT的沟道长度,进而改善由于短沟道效应引起的TFT特性不稳定的现象。

附图说明

[0028] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0029] 图1(a)为现有技术提供一种BCE结构的TFT的结构示意图;

[0030] 图1(b)为现有技术提供一种Self-Aligned结构的TFT的结构示意图;

[0031] 图1(c)为现有技术提供一种Vertical结构的TFT的结构示意图;

[0032] 图2为本发明实施例提供一种TFT的结构示意图;

[0033] 图3(a)为本发明实施例提供一种TFT的侧视示意图一;

[0034] 图3(b)为本发明实施例提供一种TFT的侧视示意图二;

[0035] 图3(c)为本发明实施例提供一种TFT的侧视示意图三;

[0036] 图3(d)为本发明实施例提供一种TFT的侧视示意图四;

[0037] 图4为本发明实施例提供一种TFT的侧视示意图五;

[0038] 图5为本发明实施例提供一种TFT的侧视示意图六;

[0039] 图6为本发明实施例提供一种TFT的侧视示意图七;

[0040] 图7为本发明实施例提供一种TFT的侧视示意图八;

[0041] 图8为本发明实施例提供一种TFT的侧视示意图九;

[0042] 图9为本发明实施例提供一种TFT的侧视示意图十;

[0043] 图10为本发明实施例提供一种TFT的侧视示意图十一;

[0044] 图11为本发明实施例提供一种TFT的侧视示意图十二;

[0045] 图12为本发明实施例提供一种TFT的侧视示意图十三;

[0046] 图13为本发明实施例提供一种制备第一侧面为平面状的TFT的流程示意图;

[0047] 图14(a)为本发明实施例提供一种制备第一侧面为平面状的TFT的过程示意图一;

[0048] 图14(b)为本发明实施例提供一种制备第一侧面为平面状的TFT的过程示意图二;

[0049] 图14(c)为本发明实施例提供一种制备第一侧面为平面状的TFT的过程示意图三;

[0050] 图15为本发明实施例提供一种制备第一侧面为一级台阶状的TFT的流程示意图;

[0051] 图16(a)为本发明实施例提供一种制备第一侧面为一级台阶状的TFT的过程示意图一;

[0052] 图16(b)为本发明实施例提供一种制备第一侧面为一级台阶状的TFT的过程示意图二;

[0053] 图16(c)为本发明实施例提供一种制备第一侧面为一级台阶状的TFT的过程示意图三;

[0054] 图16(d)为本发明实施例提供一种制备第一侧面为一级台阶状的TFT的过程示

意图四；

[0055] 图16(e)为本发明实施例提供一种制备第一侧面为一级台阶状的TFT的过程示意图五；

[0056] 图17为本发明实施例提供一种制备第一侧面为二级台阶状的TFT的流程示意图；

[0057] 图18(a)为本发明实施例提供一种制备第一侧面为二级台阶状的TFT的过程示意图一；

[0058] 图18(b)为本发明实施例提供一种制备第一侧面为二级台阶状的TFT的过程示意图二。

[0059] 附图标记：

[0060] 01-漏极；02-源极；10-衬底；20-第一导电层；30-绝缘层；31-绝缘层薄膜；32-第一侧面；33-第三侧面；40-第二导电层；41-第二导电层薄膜；42-第二侧面；50-有源层；60-栅绝缘层；70-栅极；81-第一光刻胶图案；82-第二光刻胶图案；83-第三光刻胶图案。

具体实施方式

[0061] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0062] 本发明实施例提供一种TFT，如图2-12所示，包括衬底10，依次设置在衬底10上的第一导电层20、绝缘层30、第二导电层40，以及有源层50、栅绝缘层60、栅极70；有源层50设置于第一导电层20、绝缘层30和第二导电层40的一侧，栅绝缘层60设置于有源层50远离第一导电层20、绝缘层30、第二导电层40的一侧，栅极70设置于栅绝缘层60远离有源层50的一侧。

[0063] 第一导电层20上表面的尺寸大于等于绝缘层30下表面的尺寸，绝缘层30上表面的尺寸大于等于第二导电层40下表面的尺寸；所述TFT的沟道长度大于绝缘层30与有源层50接触的第一侧面32上，绝缘层30的上表面与第一侧面32相交的边到绝缘层30的下表面与第一侧面32相交的边的距离。

[0064] 此处，如图2所示，绝缘层30与有源层50接触的侧面为第一侧面32，第二导电层40与有源层50接触的侧面为第二侧面42，绝缘层30的多个侧面中与第一侧面32相邻的侧面为第三侧面33。TFT的沟道长度为：第二侧面42与第二导电层40下表面相交的边到第一侧面32与绝缘层30上表面相交的边的距离A，与第一侧面32和第三侧面33相交的边的长度B之和（图2仅示出第一侧面为平面状的立体图）。

[0065] 示例的，如图3(b)所示，第二侧面42与第二导电层40下表面相交的边到第一侧面32与绝缘层30上表面相交的边的距离为 $A=L1$ ，第一侧面32和第三侧面33相交的边的长度为 $B=L2$ ，TFT的沟道长度为 $L1+L2$ ，相对于现有技术，本发明的TFT沟道长度增加了 $L1$ ；如图8所示，第二侧面42与第二导电层40下表面相交的边到第一侧面32与绝缘层30上表面相交的边的距离为 $A=L3$ ，第一侧面32和第三侧面33相交的边的长度为 $B=L4+L5+L6$ ，TFT的沟道长度为 $L3+L4+L5+L6$ ，相对于现有技术，本发明的TFT沟道长度增加了 $L3+L4$ ；如图9所示，第二

侧面42与第二导电层40下表面相交的边到第一侧面32与绝缘层30上表面相交的边的距离为 $A=0$ ，第一侧面32和第三侧面33相交的边的长度为 $B=L7+L8+L9+L10+L11$ ，TFT的沟道长度为 $L7+L8+L9+L10+L11$ ，相对于现有技术，本发明的TFT沟道长度增加了 $L7+L8$ 。

[0066] 需要说明的是，第一，在TFT中，若第一导电层20为源极，则第二导电层40为漏极；或者，第一导电层20为漏极，第二导电层40为源极。

[0067] 此处，第一导电层20和第二导电层40的材料可以是例如Mo(钼)、Cu(铜)、Al(铝)、AlNd(铝钨合金)等金属材料，也可以是例如ITO(氧化铟锡)、IZO(铟锌氧化物)等透明导电材料。

[0068] 第二，不对TFT的类型进行限定，可以是非晶硅、金属氧化物、多晶硅、有机等类型的TFT。

[0069] 第三，不对绝缘层30的材料进行限定，例如可以是 SiO_x (氧化硅)、 SiN_x (氮化硅)、 $SiON$ (氮氧化硅)、以及有机树脂等。

[0070] 第四，如图3(a)所示，在不增加TFT尺寸的情况下，有源层50、栅绝缘层60、栅极70可以仅设置于第一导电层20、绝缘层30和第二导电层40的一侧，并在衬底10上延伸，也可以设置于第一导电层20、绝缘层30和第二导电层40的一侧，并由第二导电层40的侧面延伸至上表面，与第二导电层40的上表面部分接触(如图3(b)所示)或完全接触(如图3(c)所示)，如图3(d)所示，也可以仅设置于第一导电层20、绝缘层30和第二导电层40的一侧。

[0071] 第五，第一导电层20中远离衬底10的表面为上表面，与上表面相对的表面为第一导电层20的下表面，邻接于上表面和下表面之间的多个表面为第一导电层20的多个侧面；绝缘层30中远离衬底10的表面为上表面，与上表面相对的表面为绝缘层30的下表面，邻接于上表面和下表面之间的多个表面为绝缘层30的多个侧面，其中，多个侧面中与有源层50接触的侧面为第一侧面32；第二导电层40中远离衬底10的表面为上表面，与上表面相对的表面为第二导电层40的下表面，邻接于上表面和下表面之间的多个表面为第二导电层40的多个侧面，其中，多个侧面中与有源层50接触的侧面为第二侧面42。

[0072] 第六，不对第一侧面32的形状进行限定，其形状可以是平面状、曲面状、台阶状等等。

[0073] 第七，由于在形成第一侧面32的过程中，需对整个TFT进行工艺操作，因此，除了第一侧面32以外，绝缘层30的其他多个侧面也会形成和第一侧面32形状相同的形状。

[0074] 本发明实施例提供一种TFT，通过在衬底10上依次设置第一导电层20、绝缘层30、第二导电层40，以及有源层50、栅绝缘层60、栅极70，形成Vertical结构的TFT，并使Vertical结构的TFT的沟道长度大于绝缘层30与有源层50接触的第一侧面32上，绝缘层30的上表面与第一侧面32相交的边到绝缘层30的下表面与第一侧面32相交的边的距离，从而在不改变Vertical结构的TFT的尺寸及厚度的基础上，增大TFT的沟道长度，进而改善由于短沟道效应引起的TFT特性不稳定的现象。

[0075] 可选的，如图5-12所示，第一侧面32呈台阶状。

[0076] 需要说明的是，第一侧面32的台阶数由绝缘层30的厚度决定，受工艺的限制，当绝缘层30的厚度一定时，第一侧面32的台阶数增加到一定程度，工艺将无法实现。

[0077] 本发明实施例通过将第一侧面32设置为台阶状，一方面，可以增加TFT的沟道长度；另一方面，由于绝缘层30的厚度较大(不小于 4000 \AA)，且经过刻蚀形成的绝缘层30的

坡度较角度很大,在后续设置有源层50、栅绝缘层60、以及栅极70的过程中,容易使有源层50、栅绝缘层60、以及栅极70断裂,为了避免这种情况,将第一侧面32设置为台阶状,台阶状的第一侧面32中与衬底10平行的平面可起到缓冲作用,大大降低了有源层50、栅绝缘层60、以及栅极70断裂的风险。

[0078] 可选的,如图2-图4所示,绝缘层30的上表面尺寸大于与其接触的第二导电层40下表面的尺寸;第一侧面32呈平面状。

[0079] 本发明实施例中,在绝缘层30的上表面尺寸大于与其接触的第二导电层40下表面的尺寸的情况下,将第一侧面32设置为平面状,一方面,可以增加TFT的沟道长度;另一方面,具有制备工艺简单的优点。

[0080] 优选的,绝缘层30的材料为 SiO_x 。

[0081] 本发明实施例采用 SiO_x 作为绝缘层材料,相较于 SiN_x 、 SiON 、以及有机树脂等材料, SiO_x 不会导体化,从而避免使第一导电层20和第二导电层40通过绝缘层30导通。

[0082] 本发明实施例还提供一种阵列基板,包括本发明前述任一实施例所述的TFT。

[0083] 本发明实施例提供一种阵列基板,所述阵列基板包括Vertical结构的TFT,通过在TFT的衬底10上依次设置第一导电层20、绝缘层30、第二导电层40,以及有源层50、栅绝缘层60、栅极70,并使TFT的沟道长度大于绝缘层30与有源层50接触的第一侧面32上,绝缘层30的上表面与第一侧面32相交的边到绝缘层30的下表面与第一侧面32相交的边的距离,从而在不改变Vertical结构的TFT的尺寸及厚度的基础上,增大TFT的沟道长度,进而改善由于短沟道效应引起的TFT特性不稳定的现象。

[0084] 本发明实施例提供一种TFT的制备方法,如图13-18所示,包括在衬底10上依次形成第一导电层20、绝缘层30、第二导电层40,以及有源层50、栅绝缘层60、栅极70;有源层50位于第一导电层20、绝缘层30和第二导电层40的一侧,栅绝缘层60位于有源层50远离第一导电层20、绝缘层30、第二导电层40的一侧,栅极70位于栅绝缘层60远离有源层50的一侧。

[0085] 第一导电层20上表面的尺寸大于等于绝缘层30下表面的尺寸,绝缘层30上表面的尺寸大于等于第二导电层40下表面的尺寸;所述TFT的沟道长度大于绝缘层30与有源层50接触的第一侧面32上,绝缘层30的上表面与第一侧面32相交的边到绝缘层30的下表面与第一侧面32相交的边的距离。

[0086] 本发明实施例提供一种TFT的制备方法,具有与前述阵列基板相同的技术效果,在此不再赘述。

[0087] 可选的,如图13-14(c)所示,绝缘层30的上表面尺寸大于与其接触的第二导电层40下表面的尺寸;第一侧面32呈平面状。

[0088] 基于此,如图13所示,形成第二导电层40、绝缘层30,具体可通过如下步骤实现:

[0089] S101、如图14(a)所示,在第一导电层20上依次形成绝缘层薄膜31、第二导电层薄膜41,并通过掩模曝光工艺形成第一光刻胶图案81。

[0090] S102、如图14(b)所示,采用湿法刻蚀对第二导电层薄膜41进行过刻刻蚀,形成尺寸小于第一光刻胶图案81的尺寸的第二导电层40。

[0091] S103、如图14(c)所示,采用干法刻蚀对绝缘层薄膜31进行刻蚀,形成第一侧面32呈平面状的所述绝缘层30。

[0092] 此处,采用湿法刻蚀对第二导电层薄膜41进行过刻刻蚀、采用干法刻蚀对绝缘层

薄膜31进行刻蚀,均与具体的CD Bias (Critical Dimension Bias,简称刻蚀量)有关,不同的CD Bias所需的时间不同。

[0093] 在此基础上,还可通过剥离工艺,去除第一光刻胶图案81,以方便后续形成有源层50、栅绝缘层60、栅极70。

[0094] 需要说明的是,本领域的技术人员应该知道,采用干法刻蚀对绝缘层薄膜31进行刻蚀后,所形成的第一侧面32呈平面状的绝缘层30的上表面尺寸,基本等于第一光刻胶图案81的尺寸。

[0095] 本发明实施例中,在绝缘层30的上表面尺寸大于与其接触的第二导电层40下表面的尺寸的情况下,通过对绝缘层薄膜31进行干法刻蚀,形成第一侧面32为平面状的绝缘层30,一方面,可以增加TFT的沟道长度;另一方面,具有制备工艺简单的优点。

[0096] 当然,还可以通过其他方式形成第一侧面32呈平面状的所述绝缘层30,在此不做限定。

[0097] 可选的,如图15-16(e)所示,第一侧面32呈台阶状。

[0098] 基于此,如图15所示,形成第二导电层40、绝缘层30,具体可通过如下步骤实现:

[0099] S201、如图16(a)所示,在第一导电层20上依次形成绝缘层薄膜31、第二导电层薄膜41,并通过掩模曝光工艺形成第一光刻胶图案81。

[0100] S202、如图16(b)所示,采用湿法刻蚀对第二导电层薄膜41进行过刻刻蚀,形成尺寸小于第一光刻胶图案81的的第二导电层40。

[0101] S203、如图16(c)所示,采用干法刻蚀对绝缘层薄膜31进行第一次刻蚀,形成第一侧面32呈平面状的所述绝缘层30。

[0102] 需要说明的是,本领域的技术人员应该知道,采用干法刻蚀对绝缘层薄膜31进行刻蚀后,所形成的第一侧面32呈平面状的所述绝缘层30的上表面尺寸,基本等于第一光刻胶图案81的尺寸。

[0103] S204、如图16(d)所示,采用灰化工艺减小第一光刻胶图案81的尺寸,形成第二光刻胶图案82,第二光刻胶图案82的尺寸大于等于第二导电层40的尺寸。

[0104] S205、如图16(e)所示,采用干法刻蚀对第一侧面32呈平面状的所述绝缘层30进行第二次刻蚀,形成第一侧面32呈一级台阶状的所述绝缘层30(图16(e)仅示出第一侧面32为一级台阶状的其中一种情况,其他情况可参考图5-8)。

[0105] 此处,采用湿法刻蚀对第二导电层薄膜41进行过刻刻蚀、采用干法刻蚀对绝缘层薄膜31进行第一次刻蚀、采用干法刻蚀对第一侧面32呈平面状的所述绝缘层30进行第二次刻蚀,均与具体的CD Bias有关,不同的CD Bias所需的时间不同。

[0106] 在此基础上,还可通过剥离工艺,去除第二光刻胶图案82,以方便后续形成有源层50、栅绝缘层60、栅极70。

[0107] 需要说明的是,本领域的技术人员应该知道,采用干法刻蚀对第一侧面32呈平面状的所述绝缘层30进行刻蚀后,所形成的第一侧面32呈一级台阶状的所述绝缘层30的上表面尺寸,基本等于第二光刻胶图案82的尺寸。

[0108] 本发明实施例通过对绝缘层薄膜31进行第一次干法刻蚀,形成第一侧面32呈平面状的绝缘层30,再采用灰化工艺减小第一光刻胶图案81的尺寸,最后对第一侧面32呈平面状的所述绝缘层30进行第二次干法刻蚀,形成第一侧面32呈一级台阶状的绝缘层30,一方

面,可以增加TFT的沟道长度;另一方面,台阶状的第一侧面32中与衬底10平行的平面可起到缓冲作用,大大降低了有源层50、栅绝缘层60、以及栅极70断裂的风险。

[0109] 当然,还可以通过其他方式形成第一侧面32呈一级台阶状的所述绝缘层30,在此不做限定。

[0110] 进一步优选的,如图17-18(b)所示,在第二导电层40的尺寸小于第二光刻胶图案82的尺寸的情况下,形成第一侧面32呈一级台阶状的所述绝缘层30后,所述方法还包括:至少重复一次对第二光刻胶图案82进行灰化并对第一侧面32呈一级台阶状的所述绝缘层30进行第三次刻蚀,以使第一侧面32呈多级台阶状。

[0111] 其中,如图17所示,对第二光刻胶图案82进行灰化并对第一侧面32呈一级台阶状的所述绝缘层30进行第三次刻蚀,具体可通过如下步骤实现:

[0112] S301、如图18(a)所示,采用灰化工艺减小第二光刻胶图案82的尺寸,形成第三光刻胶图案83,第三光刻胶图案83的尺寸大于等于第二导电层40的尺寸。

[0113] S302、如图18(b)所示,采用干法刻蚀对第一侧面32呈一级台阶状的所述绝缘层30进行第三次刻蚀,以使第一侧面32的台阶数增加一级(图18(b)仅示出绝缘层侧面的台阶数增加一级的其中一种情况,其他情况可参考图9-12)。

[0114] 此处,采用干法刻蚀对第一侧面32呈一级台阶状的所述绝缘层30进行第三次刻蚀,与具体的CD Bias有关,不同的CD Bias所需的时间不同。

[0115] 在此基础上,还可通过剥离工艺,去除第三光刻胶图案83,以方便后续形成有源层50、栅绝缘层60、栅极70。

[0116] 需要说明的是,第一,本领域的技术人员应该知道,采用干法刻蚀对第一侧面32呈一级台阶状的所述绝缘层30进行刻蚀后,所形成的第一侧面32呈两级台阶状的绝缘层30的上表面尺寸,基本等于第三光刻胶图案83的尺寸。

[0117] 第二,第一侧面32的台阶数、以及对第二光刻胶图案82进行灰化并对第一侧面32呈一级台阶状的所述绝缘层30进行干法刻蚀的次数,由绝缘层30的厚度决定。

[0118] 本发明实施例中,通过增加第一侧面32的台阶数,增加台阶状的第一侧面32中与衬底10平行的平面的数量、缩短每一级台阶的距离,相较于一级台阶的第一侧面32,多级台阶的第一侧面32可以起到更好的缓冲作用,从而更好地避免有源层50、栅绝缘层60、以及栅极70断裂的现象。

[0119] 当然,还可以通过其他方式形成第一侧面32呈多级台阶状的所述绝缘层30,在此不做限定。

[0120] 优选的,如图3(b)和3(c)所示,有源层50、栅绝缘层60、栅极70通过一次构图工艺形成。

[0121] 本发明实施例中,通过一次构图工艺形成有源层50、栅绝缘层60、栅极70,具有简化制备工艺的优点。

[0122] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

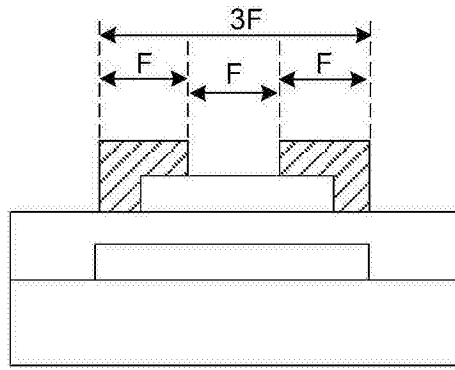


图1 (a)

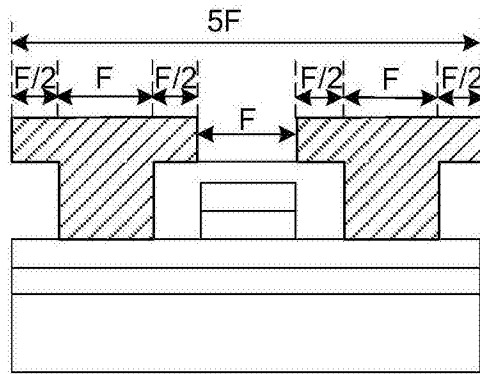


图1 (b)

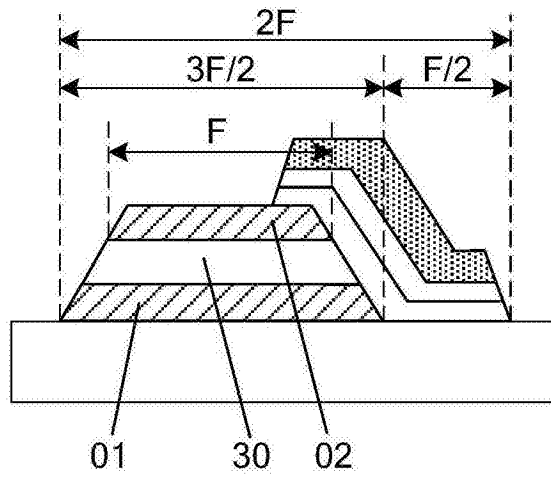


图1 (c)

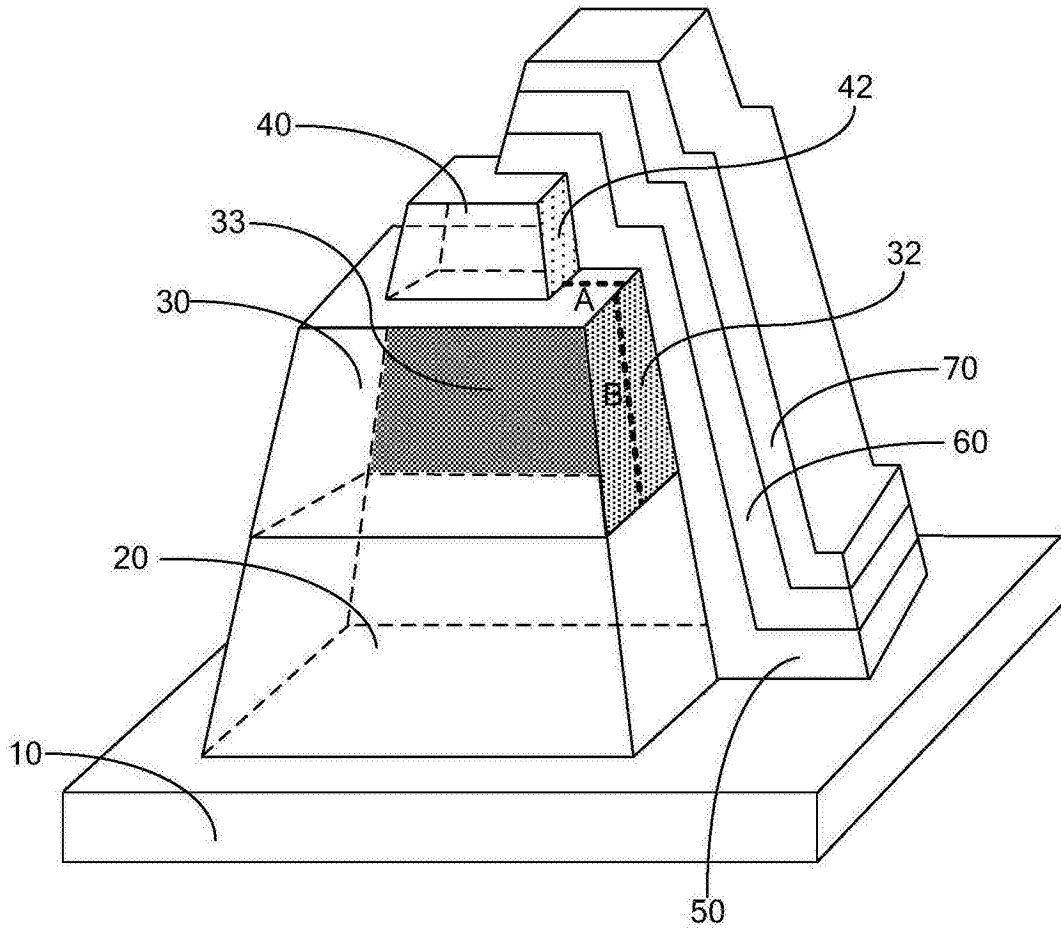


图2

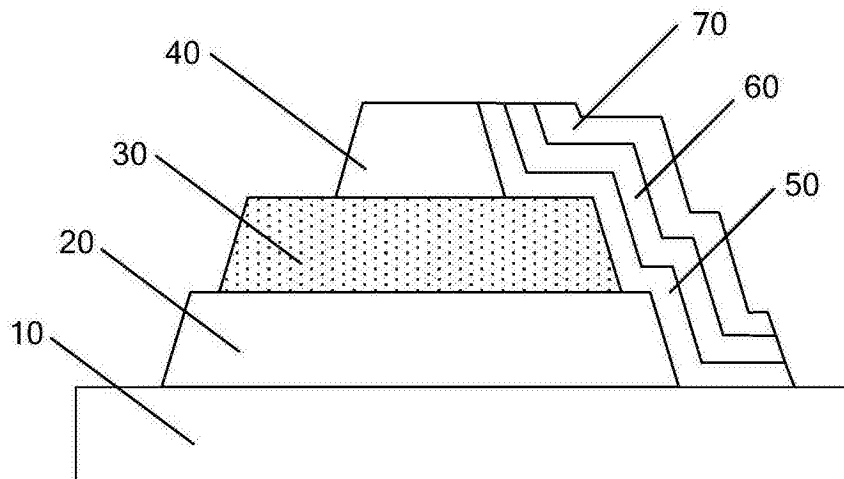


图3(a)

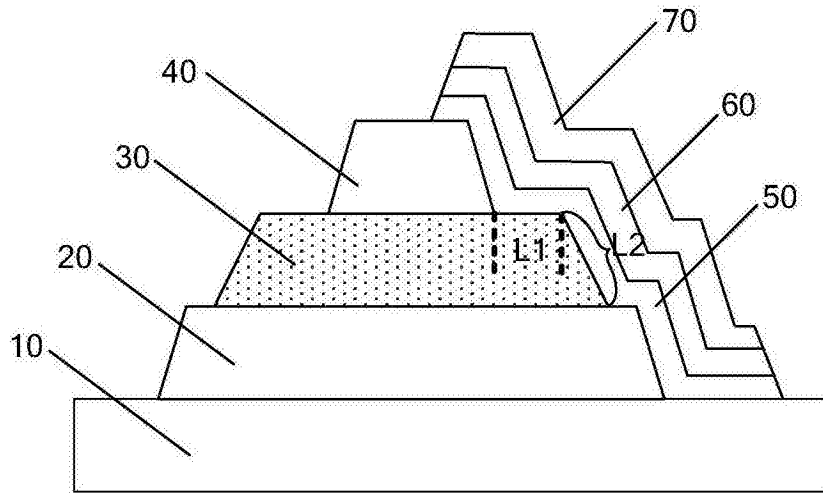


图3 (b)

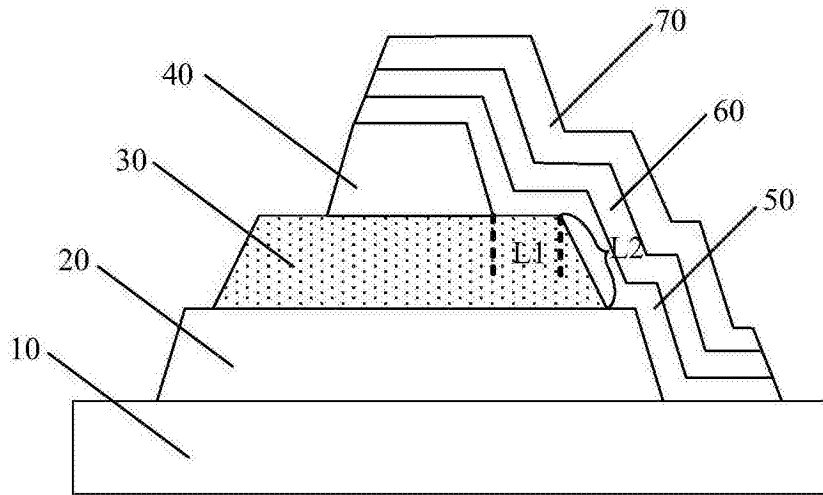


图3 (c)

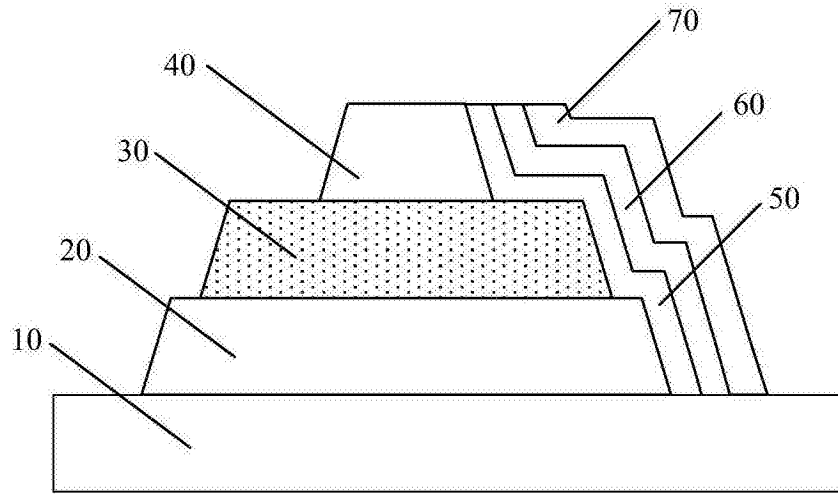


图3(d)

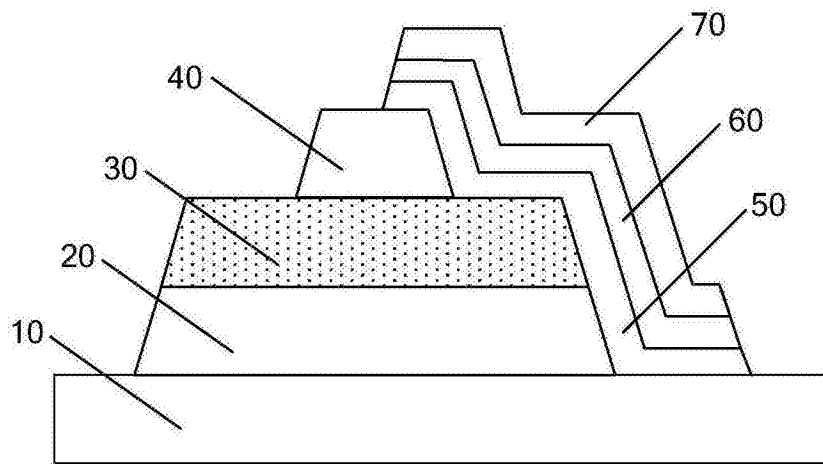


图4

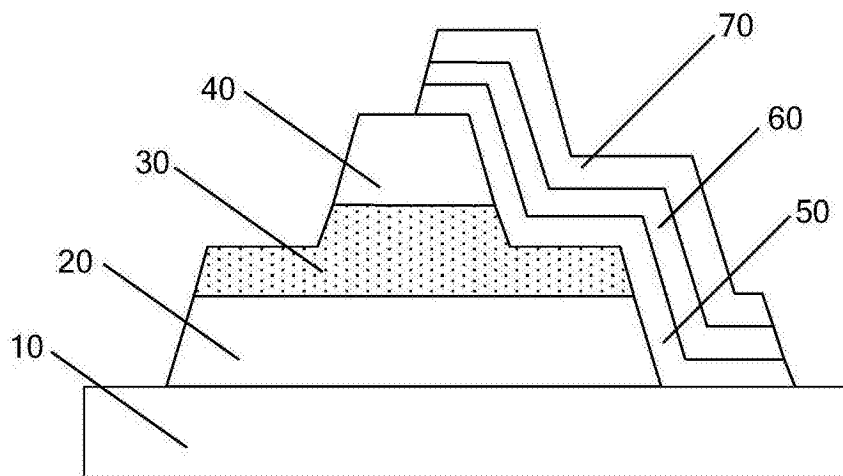


图5

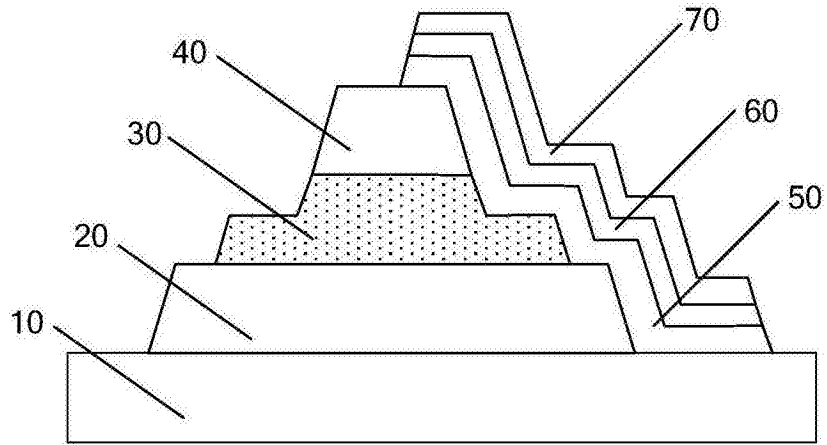


图6

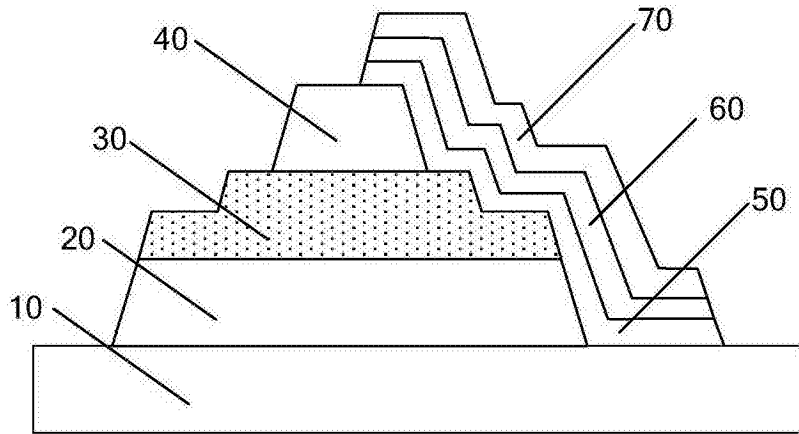


图7

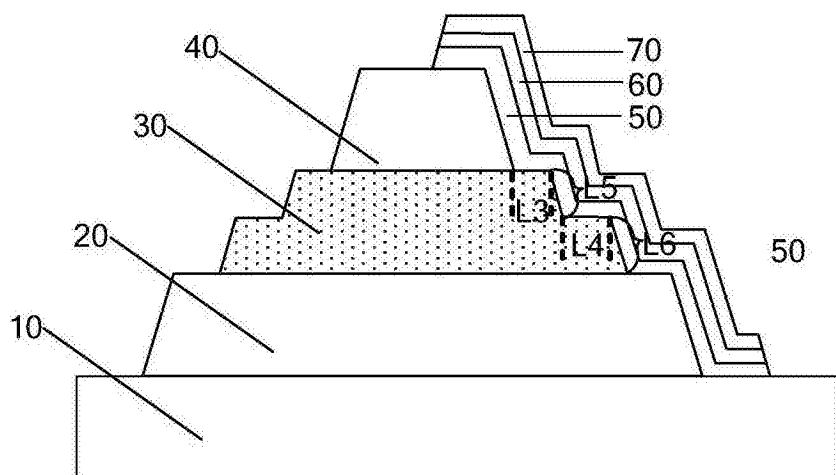


图8

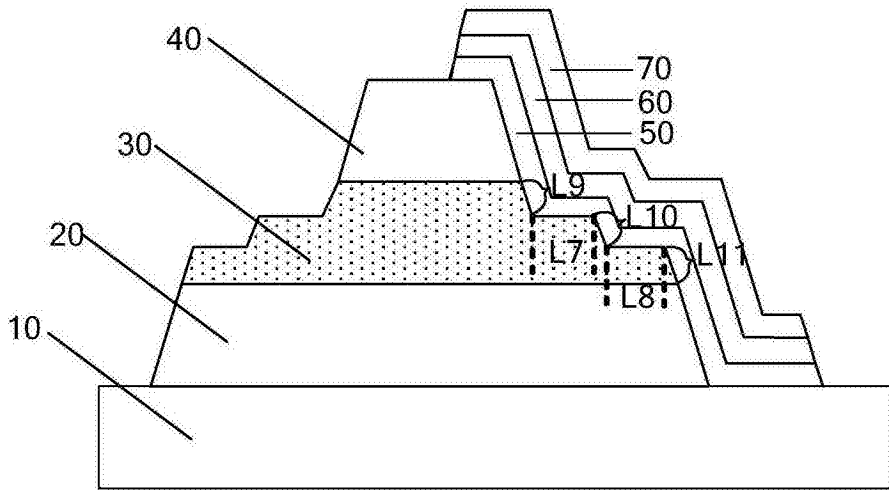


图9

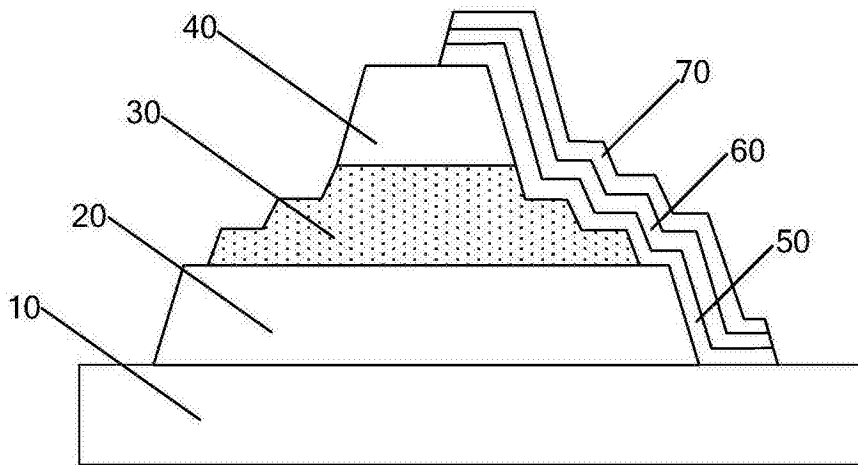


图10

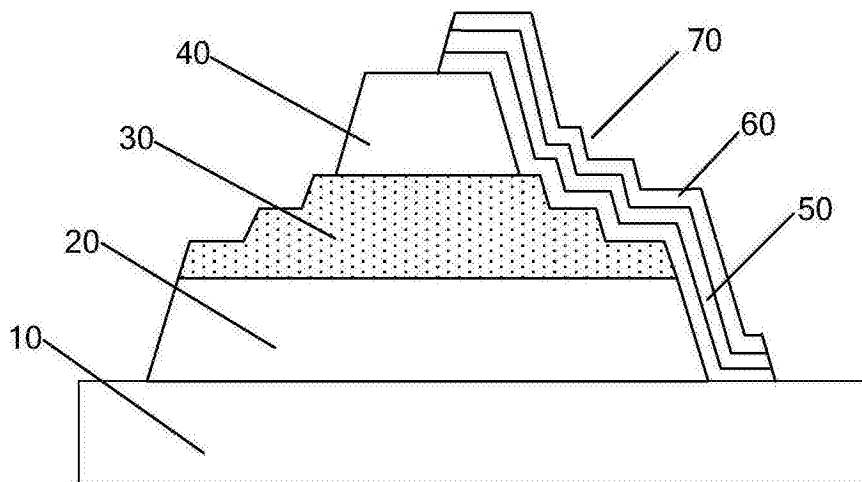


图11

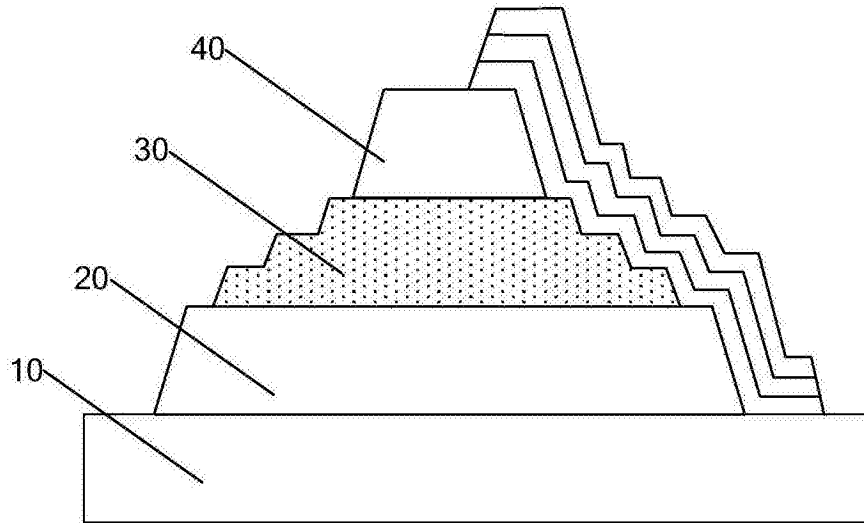


图12

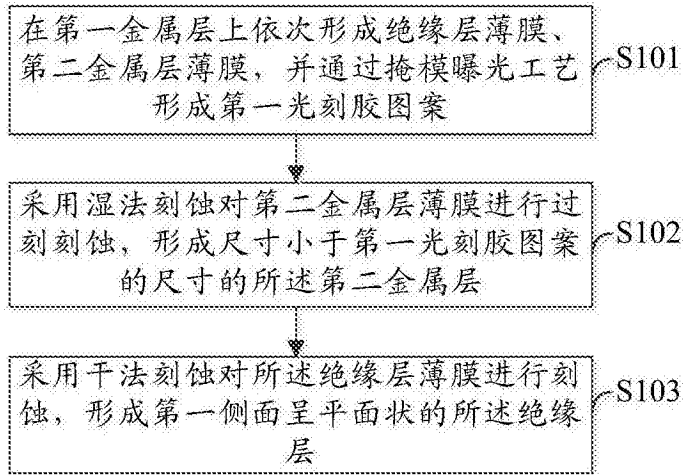


图13

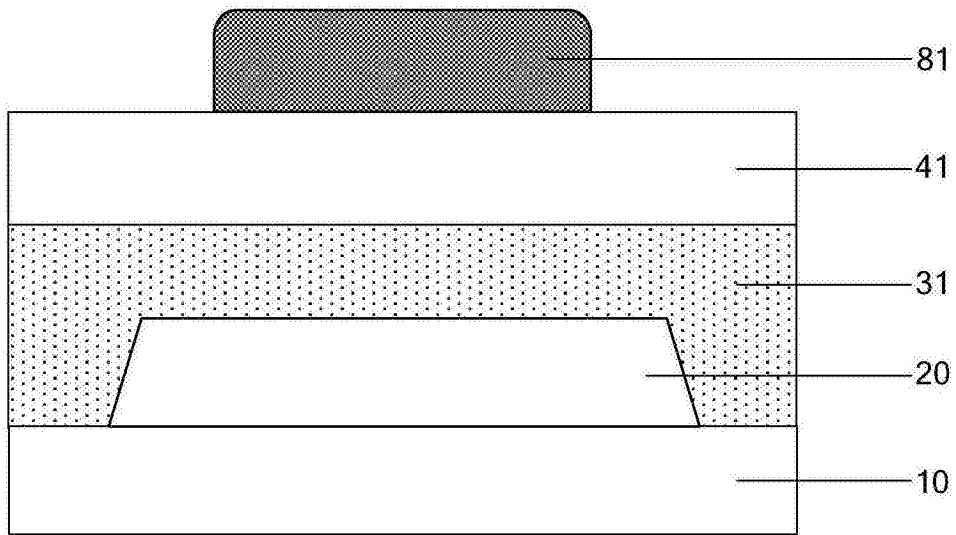


图14(a)

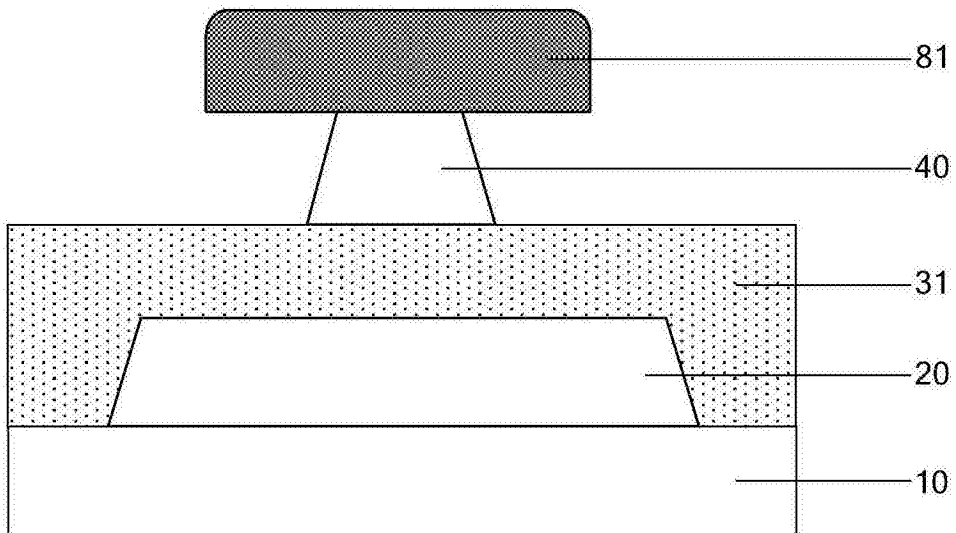


图14(b)

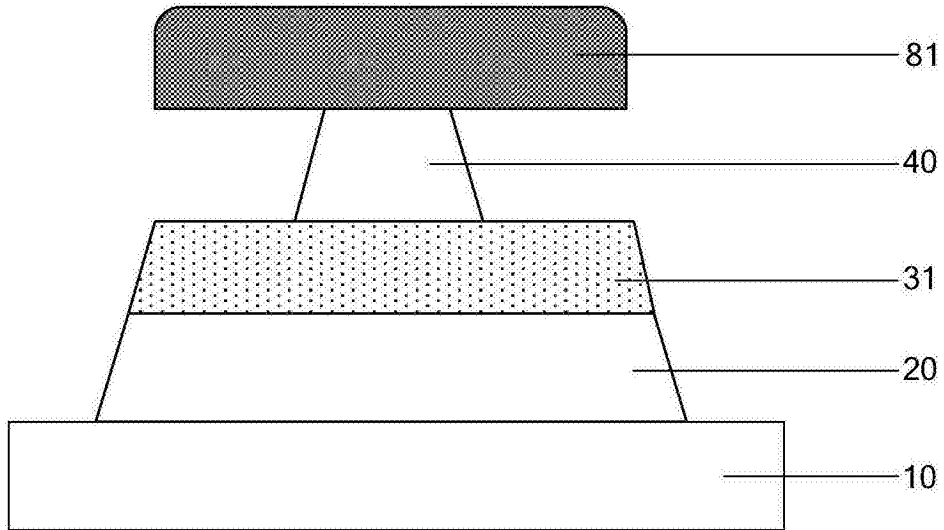


图14(c)

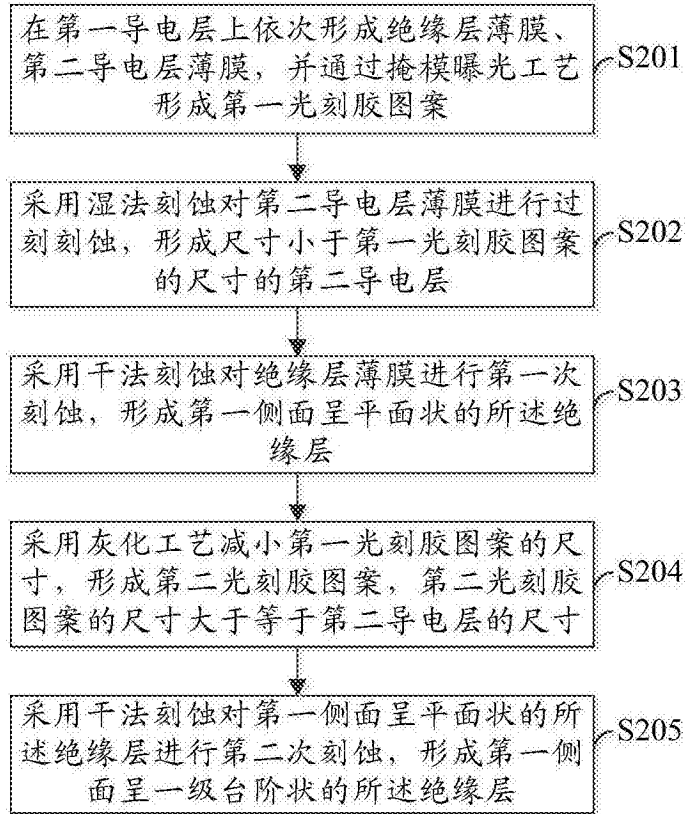


图15

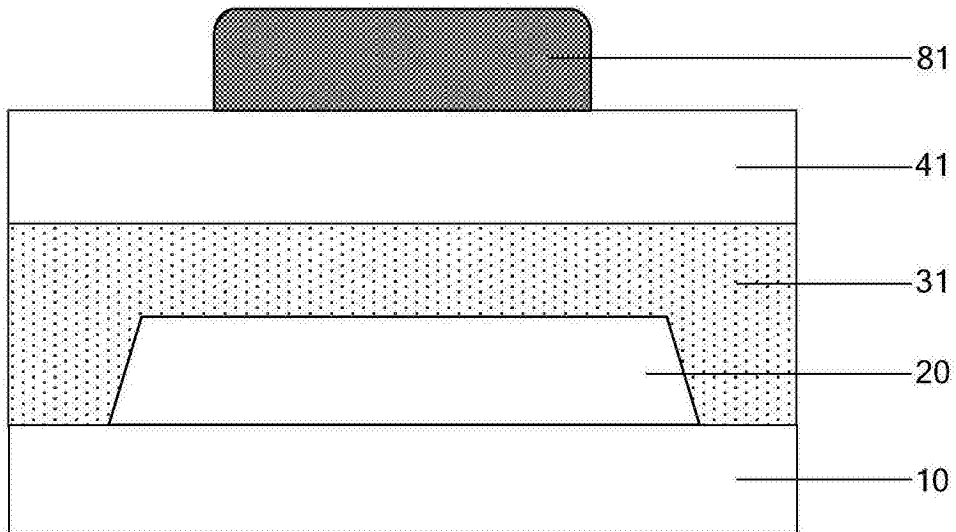


图16 (a)

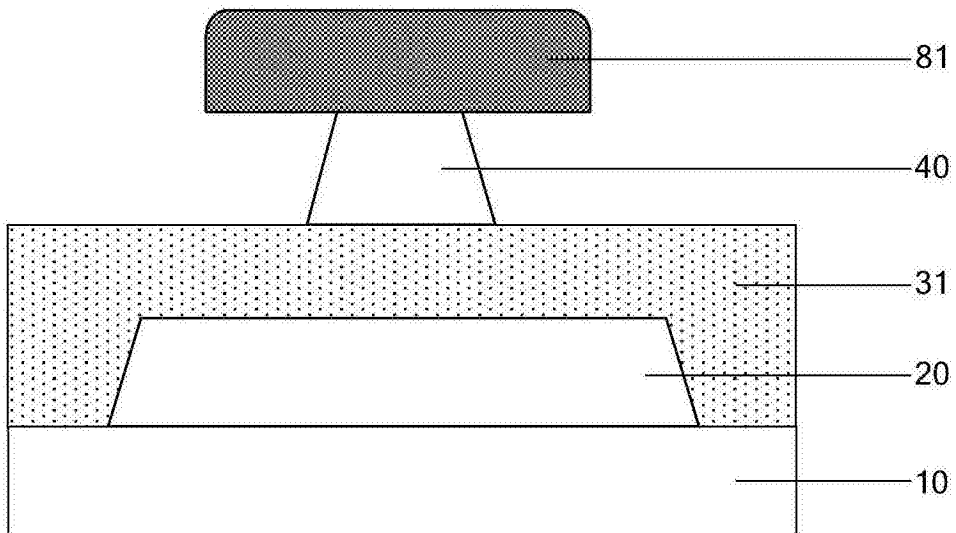


图16 (b)

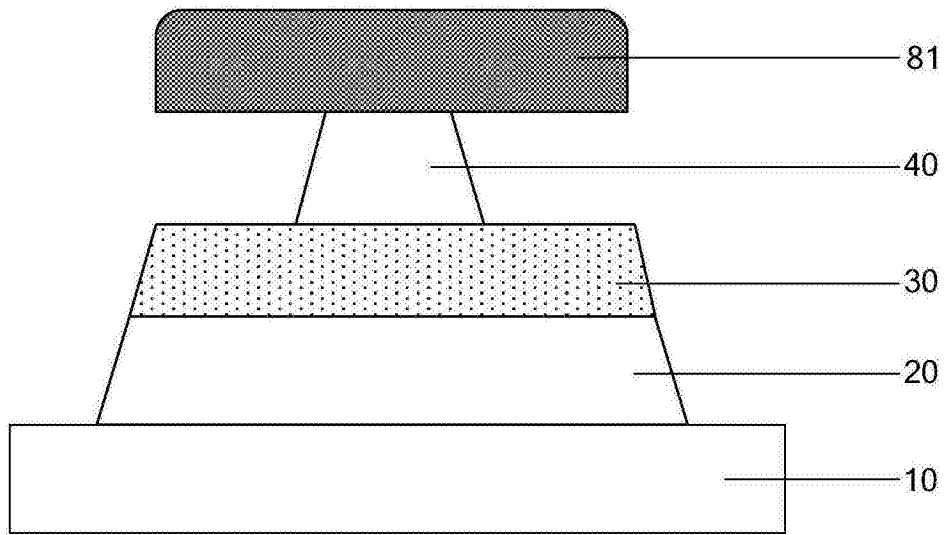


图16(c)

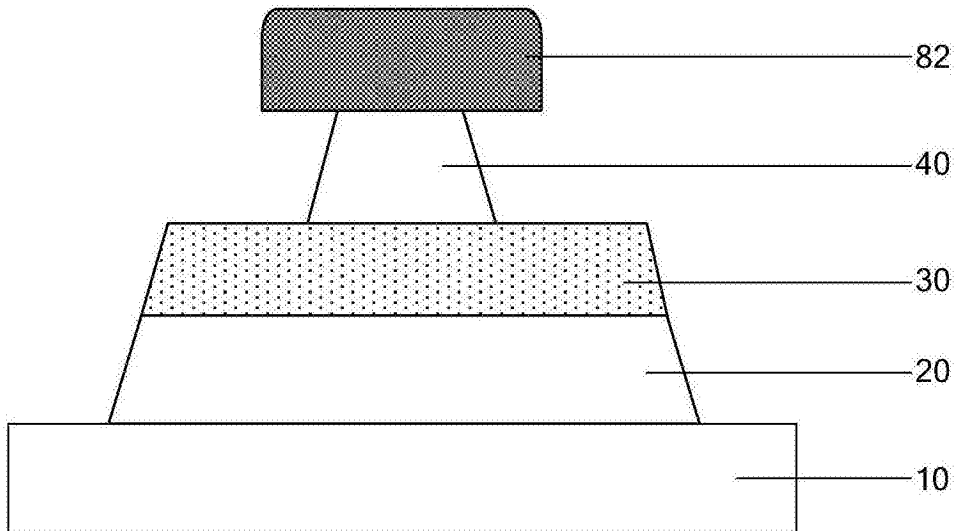


图16(d)

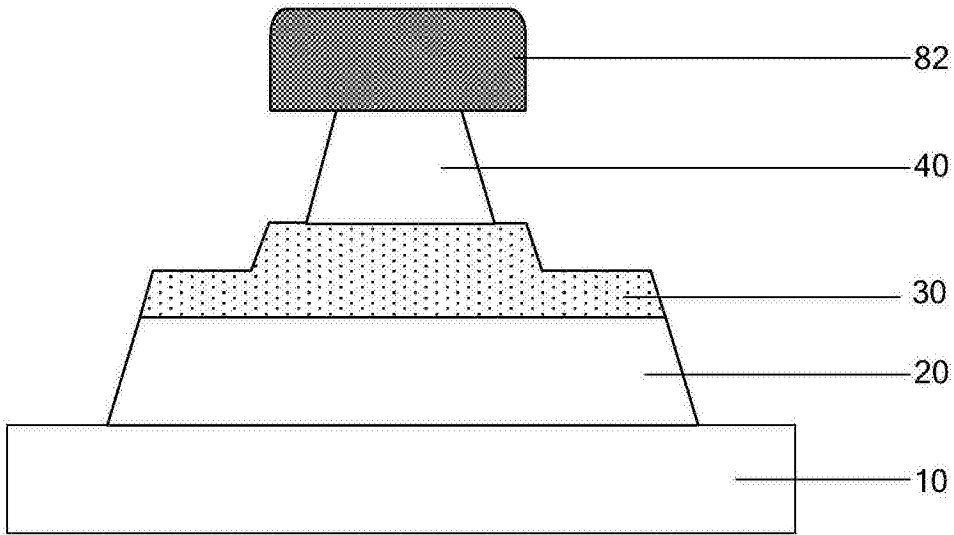


图16(e)

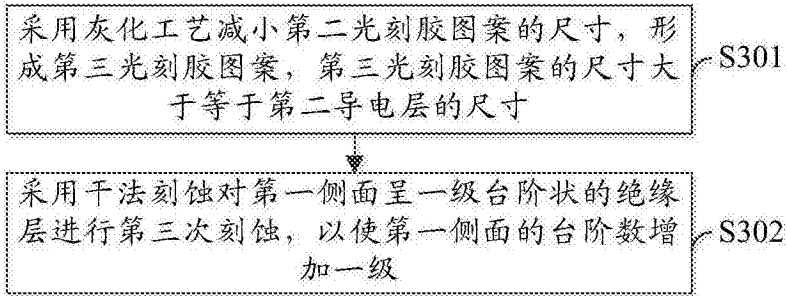


图17

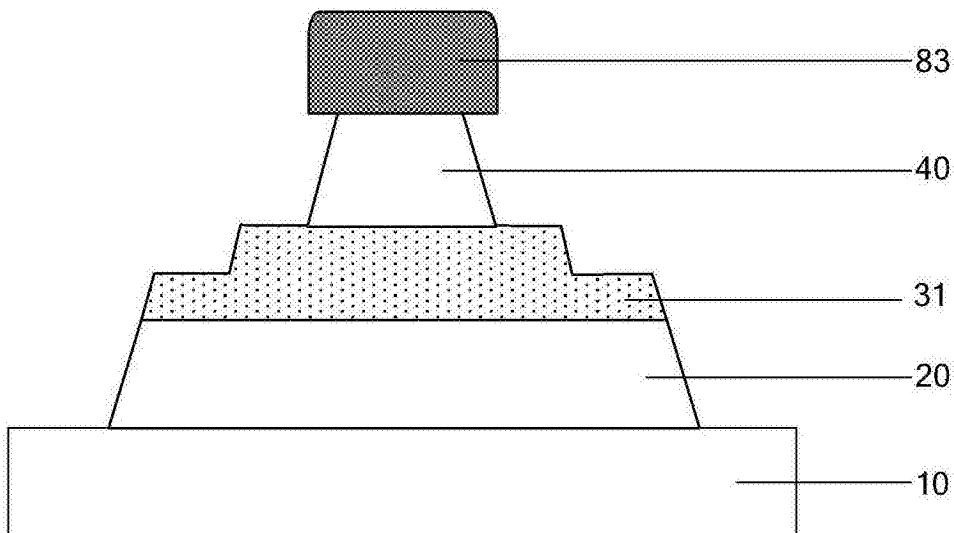


图18(a)

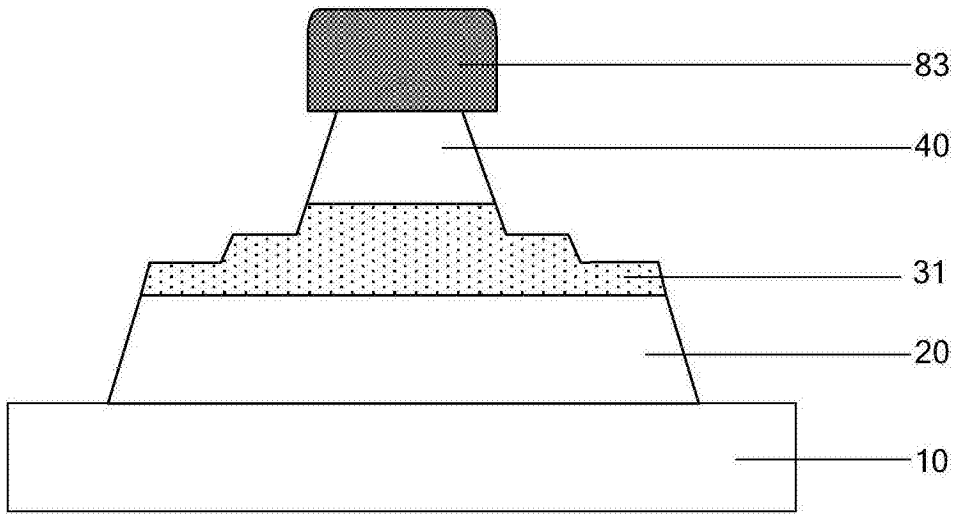


图18 (b)