

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5467660号  
(P5467660)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年2月7日(2014.2.7)

(51) Int.Cl.

F 1

<b>G09G</b>	<b>3/30</b>	<b>(2006.01)</b>	G09G	3/30	J
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	612T
<b>H01L</b>	<b>51/50</b>	<b>(2006.01)</b>	G09G	3/20	621A
			G09G	3/20	624B
			G09G	3/20	670J

請求項の数 17 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2011-504296 (P2011-504296)  
 (86) (22) 出願日 平成21年4月15日 (2009.4.15)  
 (65) 公表番号 特表2011-520138 (P2011-520138A)  
 (43) 公表日 平成23年7月14日 (2011.7.14)  
 (86) 國際出願番号 PCT/CA2009/000501  
 (87) 國際公開番号 WO2009/127064  
 (87) 國際公開日 平成21年10月22日 (2009.10.22)  
 審査請求日 平成24年4月11日 (2012.4.11)  
 (31) 優先権主張番号 2,631,683  
 (32) 優先日 平成20年4月16日 (2008.4.16)  
 (33) 優先権主張国 カナダ(CA)

(73) 特許権者 507257080  
 イグニス・イノベイション・インコーポレーテッド  
 IGNIS INNOVATION INCORPORATED  
 カナダ オンタリオ ウォータールー バーサースト ドライブ 50 ユニット 1  
 2  
 (74) 代理人 110001210  
 特許業務法人 YKI 国際特許事務所  
 (74) 代理人 100140109  
 弁理士 小野 新次郎  
 (74) 代理人 100089705  
 弁理士 社本 一夫

最終頁に続く

(54) 【発明の名称】画素回路、表示システム、およびそれらの駆動方法

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の画素を有するディスプレイを回復させる方法であって、各画素は、発光デバイスと、前記発光デバイスを駆動するための駆動トランジスタとを有し、前記駆動トランジスタおよび前記発光デバイスは、第1電源と第2電源との間に直列に結合されるものである、方法において、

第1フレーム中に、有効な画像の画像プログラミング電圧とは異なる第1プログラミング電圧を前記駆動トランジスタのゲート端子へ印加することにより、前記第1プログラミング電圧で、前記複数の画素の第1画素をプログラムするステップと、前記駆動トランジスタおよび前記発光デバイスの少なくとも一方が逆バイアスの状態下にあるようにするよう、前記第1電源の電圧および前記第2電源の電圧の少なくとも一方を充電するステップと、

前記第1フレームに続く1以上のスタンバイ・フレーム中に、前記駆動トランジスタおよび前記発光デバイスの前記少なくとも一方が、前記ディスプレイの老化を回復させるよう、前記ディスプレイがオフのときに前記逆バイアスを維持することを可能とするステップと

を備える方法。

## 【請求項 2】

請求項1に記載の方法であって、

前記複数の画素の前記第1画素を回復電圧でプログラムするステップであって、前記回

復電圧に従って前記第1画素の前記駆動トランジスタを逆バイアスにするものであり、前記回復電圧は、前記第1画素の老化の履歴に基づくものである、ステップを備える方法。

#### 【請求項3】

請求項1に記載の方法であって、

前記第1フレームの後の第2フレーム中に、前記第1電源および前記第2電源の電圧レベルを変化させることなく、第2プログラミング電圧で前記第1画素をプログラムし、前記駆動トランジスタおよび前記発光デバイスの他方のものが逆バイアスの状態下にあるようとするステップ

を更に備える方法。

10

#### 【請求項4】

請求項1に記載の方法であって、

前記複数の画素の各画素を、各画素に対する回復電圧でプログラムするステップであって、前記回復電圧に従って各画素の前記駆動トランジスタを逆バイアスにするものであり、各画素に対する前記回復電圧は、各画素回路の老化プロファイルに従って計算されるものであり、それにより前記複数の画素の様々な画素の老化を低減する、ステップを備える方法。

#### 【請求項5】

請求項1に記載の方法であって、

前記複数の画素の各画素を、各画素に対する回復電圧でプログラムするステップであって、前記回復電圧に従って各画素の前記駆動トランジスタを逆バイアスにするものであり、各画素に対する前記回復電圧は、各画素回路の老化プロファイルに従ってルックアップ・テーブルから読み出されるものであり、それにより前記複数の画素の様々な画素の老化を低減する、ステップを備える方法。

20

#### 【請求項6】

請求項1に記載の方法であって、

前記第1プログラミング電圧でプログラムする前記ステップが、通常のアクティブ時間の間に実行されるものであり、前記アクティブ時間は通常動作時間であり、前記通常動作時間中において、前記ディスプレイは、通常のプログラミングおよび駆動のサイクル中に有効な画像を表示するものであり、1フレームの時間には、有効な画像を表示するためおよび前記駆動トランジスタおよび前記発光デバイスの少なくとも一方を逆バイアスするために前記ディスプレイをプログラムすることおよび駆動することが含まれる、方法。

30

#### 【請求項7】

請求項6に記載の方法であって、

プログラミング・サイクル中に、有効な画像に対するプログラミング電圧で各画素をプログラムするステップと、

駆動サイクル中に、前記プログラミング電圧に従って前記発光デバイスから光を発するように各画素を駆動するステップと、

40

前記プログラミング電圧の大きさに基づいて、各画素の前記駆動トランジスタへ電圧を印加するステップであって、各画素回路の前記駆動トランジスタは、前記駆動サイクル中に前記画素のストレス状態に従って逆バイアスとされる、ステップとを備える方法。

#### 【請求項8】

請求項1に記載の方法であって、前記第1プログラミング電圧で前記第1画素をプログラムする前記ステップが、前記第1画素に対する通常のプログラミングおよび駆動のサイクルの後に実行される、方法。

#### 【請求項9】

画素回路であって、

50

発光デバイスと、

ゲート端子、前記発光デバイスに結合される第1端子、および第2端子を有し、前記発光デバイスを駆動するための駆動トランジスタであって、該駆動トランジスタおよび前記発光デバイスが直列に第1電力供給ラインと第2電力供給ラインとの間に接続されるものである、駆動トランジスタと、

ストレージ・キャパシタと、

前記駆動トランジスタの前記ゲート端子へプログラミング・データを供給するためにデータ・ラインに結合される第1スイッチ・トランジスタと、

前記駆動トランジスタの閾値電圧シフトを低減するための第2スイッチ・トランジスタであって、該第2スイッチ・トランジスタおよび前記ストレージ・キャパシタが並列に前記駆動トランジスタの前記ゲート端子と前記駆動トランジスタの前記第1端子とに結合される、第2スイッチ・トランジスタと、

前記第1スイッチ・トランジスタ、前記第2スイッチ・トランジスタ、前記データ・ライン、前記第1電力供給ライン、および前記第2電力供給ラインを動作させるためのコントローラであって、

第1フレーム中に、有効な画像の画像プログラミング電圧とは異なる第1プログラミング電圧を、前記第1スイッチ・トランジスタを介して前記駆動トランジスタの前記ゲート端子へ印加することにより、前記画素回路が前記第1プログラミング電圧でプログラムされるように動作させ、かつ、前記駆動トランジスタおよび前記発光デバイスの少なくとも一方が逆バイアスの状態下にあるようにするように前記第1電力供給ラインおよび前記第2電力供給ラインの少なくとも一方が設定されるように動作させ、かつ

前記第1フレームに続く1以上のスタンバイ・フレーム中に、前記駆動トランジスタおよび前記発光デバイスの前記少なくとも一方が、前記ディスプレイの老化を回復させるように、前記ディスプレイがオフのときに前記逆バイアスを維持するように動作させるように構成されるコントローラと

を備える画素回路。

#### 【請求項10】

請求項9に記載の画素回路であって、前記コントローラは、前記画素回路を回復電圧でプログラムするように構成され、それにより前記駆動トランジスタを前記回復電圧に従つて逆バイアスにするものであり、前記回復電圧は、前記画素回路の老化の履歴に基づくものである、画素回路。

#### 【請求項11】

請求項9に記載の画素回路であって、前記コントローラは、回復電圧を前記画素回路の老化プロファイルに従つて計算するように、または前記回復電圧を前記老化プロファイルに従つてルックアップ・テーブルから読み出すように構成される、画素回路。

#### 【請求項12】

請求項9に記載の画素回路であって、前記発光デバイスが有機発光ダイオードを備え、前記トランジスタの少なくとも1つは薄膜トランジスタである、画素回路。

#### 【請求項13】

表示システムであって、

行および列に配置された複数の画素回路を有する画素のアレイを備え、

各画素回路は、

発光デバイスと、

前記発光デバイスを駆動するための駆動トランジスタであって、該駆動トランジスタおよび前記発光デバイスが直列に第1電力供給ラインと第2電力供給ラインとの間に接続されるものである、駆動トランジスタと、

データ・ラインを介して前記駆動トランジスタのゲート端子へプログラミング・データを供給するための第1スイッチ・トランジスタと、

前記プログラミング電圧に従つて充電されるストレージ・キャパシタと、

緩和サイクル中に、前記ストレージ・キャパシタの放電を行うために、前記ストレージ

10

20

30

40

50

・キャパシタと並列に接続される第2スイッチ・トランジスタと、  
を備え、

前記表示システムは更に、

プログラミング・データに従って前記プログラミング電圧を供給するために前記データ  
・ラインを駆動するためのソース・ドライバと、

前記画素回路の前記第1スイッチ・トランジスタおよび前記第2スイッチ・トランジスタ  
を駆動するためのゲート・ドライバと、

前記ソース・ドライバ、前記ゲート・ドライバ、前記第1電力供給ライン、および前記  
第2電力供給ラインを動作させるためのコントローラであって、

第1フレーム中に、有効な画像の画像プログラミング電圧とは異なる第1プログラ  
ミング電圧を、前記第1スイッチ・トランジスタを介して前記駆動トランジスタの前記ゲ  
ート端子へ印加することにより、前記画素回路が前記第1プログラミング電圧でプログラ  
ムされるように動作させ、かつ、前記駆動トランジスタおよび前記発光デバイスの少なくとも一方が逆バイアスの状態下にあるようにするよう前記第1電力供給ラインおよび前記第2電力供給ラインの少なくとも一方が設定されるように動作させ、かつ

前記第1フレームに続く1以上のスタンバイ・フレーム中に、前記駆動トランジスタ  
および前記発光デバイスの前記少なくとも一方が、ディスプレイの老化を回復させる  
ように、前記ディスプレイがオフのときに前記逆バイアスを維持するように動作させる  
ように構成されるコントローラと

を備える表示システム。

10

#### 【請求項14】

請求項13に記載の表示システムであって、前記ゲート・ドライバの出力を前記第1スイッチ・トランジスタまたは前記第2スイッチ・トランジスタへ選択的に結合するスイッチ回路を備え、前記スイッチ回路が、

前記ゲート・ドライバの出力および第1選択ラインに結合され、第1イネーブル信号を受  
受け取るためのゲート端子を有する第3スイッチ・トランジスタと、

前記ゲート・ドライバの出力および第2選択ラインに結合され、第2イネーブル信号を受  
受け取るためのゲート端子を有する第4スイッチ・トランジスタと、

前記第1選択ラインおよび電力供給ラインに結合され、前記第2イネーブル信号を受け取  
るためのゲート端子を有する第5スイッチ・トランジスタと、

30

前記第2選択ラインおよび前記電力供給ラインに結合され、前記第1イネーブル信号を受  
け取るためのゲート端子を有する第6スイッチ・トランジスタと、

を備える、表示システム。

#### 【請求項15】

請求項13に記載の表示システムであって、前記コントローラは、前記複数の画素回路  
の各画素回路を、各画素回路に対する回復電圧でプログラムするように構成され、それ  
により各画素回路の前記駆動トランジスタを前記回復電圧に従って逆バイアスにするもの  
であり、各画素回路に対する前記回復電圧は、各画素回路の老化プロファイルに従って計算  
されるものであり、それにより前記複数の画素回路の様々な画素回路の老化を低減する、  
表示システム。

40

#### 【請求項16】

請求項13に記載の表示システムであって、前記コントローラは、

プログラミング・サイクル中に、有効な画像に対するプログラミング電圧で各画素回路  
をプログラムし、

駆動サイクル中に、前記プログラミング電圧に従って前記発光デバイスから光を発する  
ように各画素回路を駆動し、

前記プログラミング電圧の大きさに基づいて、各画素回路の前記駆動トランジスタへ電  
圧を印加するようにし、各画素回路の前記駆動トランジスタが、前記駆動サイクル中に前  
記画素回路のストレス状態に従って逆バイアスとされるようにする  
ように構成される、表示システム。

50

**【請求項 17】**

請求項 13 に記載の表示システムであって、各画素回路の前記発光デバイスは有機発光ダイオードを含み、前記ディスプレイのアレイが A M O L E D ディスプレイである、表示システム。

**【発明の詳細な説明】****【技術分野】****【0001】**

[0001] 本発明は表示デバイスに関し、より詳細には、画素回路、発光デバイス・ディスプレイ、および発光デバイス・ディスプレイの動作技術に関する。 10

**【背景技術】****【0002】**

[0002] エレクトロルミナنس・ディスプレイが、パーソナル・デジタル・アシスタント（PDA）および携帯電話などのような多種多様なデバイス用に開発されている。特に、アモルファスシリコン（a-Si）、ポリシリコン、有機、または他の駆動用バックプレーンを用いるアクティブマトリクス有機発光ダイオード（AMOLED）ディスプレイは、実現可能な可撓性のディスプレイ、低コストでの製作、高解像度、および広い視野角などの利点のため、一層魅力的になってきている。

**【0003】**

[0003] AMOLEDディスプレイはピクセル（画素）の行および列のアレイを含み、各画素は、行および列のアレイに配置された有機発光ダイオード（OLED）およびバックプレーン・エレクトロニクスを有する。OLEDは電流駆動デバイスであるので、正確で一定の駆動電流を供給する必要がある。 20

**【0004】**

[0004] しかし、AMOLEDディスプレイは、画素の劣化の結果として、画素ごとで輝度の不均一性を示す。そのような劣化は、例えば、長期にわたり使用することにより引き起こされる老化（例えば、閾値シフト、OLED老化）を含む。ディスプレイの使用状態に応じて、個々の画素が異なる量の劣化を有することがある。輝度データにより規定される幾つかの画素の所要の明るさと画素の実際の明るさとの間で、誤差が増え続けることがある。その結果、所望された画像がディスプレイに適切に表示されないことになる。 30

**【0005】**

[0005] 従って、ディスプレイを回復させることができるとする方法およびシステムを提供する必要がある。

**【発明の概要】****【0006】**

[0006] 本発明の目的は、既存のシステムの欠点のうちの少なくとも 1 つを除去または軽減する方法およびシステムを提供することである。

**【0007】**

[0007] 本発明の一態様によれば、複数の画素を有するディスプレイを回復させる方法が提供され、各画素は、発光デバイスと、発光デバイスを駆動するための駆動トランジスタとを有し、駆動トランジスタおよび発光デバイスは第 1 の電源と第 2 の電源との間に直列に結合される。この方法は、第 1 のフレームにおいて、有効な画像の画像プログラミング電圧とは異なる第 1 のプログラミング電圧で画素をプログラムするステップと、駆動トランジスタおよび発光デバイスの少なくとも一方が負バイアス下にあるように、第 1 の電源および第 2 の電源の少なくとも一方を充電するステップとを含む。 40

**【0008】**

[0008] 本発明の別の態様によれば画素回路が提供され、この画素回路は、発光デバイスと、ゲート端子、発光デバイスに結合された第 1 の端子、および第 2 の端子を有し、発光デバイスを駆動するための駆動トランジスタと、ストレージ・キャパシタ（storage capacitor）と、プログラミング・データを供給するためのデータ・ラインおよび駆動トランジスタのゲート端子に結合された第 1 のスイッチ・トランジスタと、駆動トランジスタ

の閾値電圧シフトを低減するための第2のスイッチ・トランジスタとを含み、ストレージ・キャパシタおよび第2のスイッチ・トランジスタが、駆動トランジスタのゲート端子および駆動トランジスタの第1の端子と並列に結合される。

**【0009】**

[0009] 本発明の更なる態様によれば、画素回路を有するディスプレイのための方法が提供される。画素回路は、発光デバイス、発光デバイスを駆動するための駆動トランジスタ、およびストレージ・キャパシタを有する。この方法は、第1のサイクルにおいて、有効な画像の画素回路をプログラムするステップおよび発光デバイスを駆動するステップを有する画像表示動作を実行するステップと、第2のサイクルにおいて、画素回路へのストレスを低減するための緩和動作を実行するステップとを含み、緩和動作を実行するステップは、ストレージ・キャパシタに並列に結合された緩和スイッチ・トランジスタを選択するステップを含み、ストレージ・キャパシタは、駆動トランジスタのゲート端子および駆動トランジスタの第1の端子に結合される。10

**【0010】**

[0010] 本発明のこれらおよび他の特徴は添付の図面を参照する以下の説明からより明らかになるであろう。

**【図面の簡単な説明】**

**【0011】**

【図1】図1は、本発明の一実施形態による画素回路の一例を示す図である。

【図2】図2は、図1の画素回路に印加される例示的な波形を示すタイミング図である。20

【図3】図3は、本発明の一実施形態による緩和駆動方式の機構を有する表示システムの一例を示す図である。

【図4】図4は、図3の表示システムに印加される例示的な波形を示すタイミング図である。

【図5】図5は、本発明の一実施形態による回復駆動方式の例示的フレーム動作を示すタイミング図である。

【図6】図6は、図5の回復駆動方式が適用される画素コンポーネントの一例を示す図である。

【図7】図7は、図5の回復駆動方式の回復フレームの一例を示すタイミング図である。

【図8】図8は、図5の回復駆動方式の回復フレームの別の例を示すタイミング図である30。

【図9】図9は、本発明の一実施形態による駆動方式の一例を示すタイミング図である。

**【発明を実施するための形態】**

**【0012】**

[0011] 本発明の実施形態は、アクティブマトリクス発光ディスプレイ、ならびに有機発光ダイオード(OLED)および1または複数の薄膜トランジスタ(TFT)を有する画素を使用して説明される。しかし、画素はOLED以外の発光デバイスを含むことができ、画素はTFT以外のトランジスタを含むことができる。画素および表示エレメントのトランジスタは、ポリシリコン、ナノ/マイクロ結晶シリコン、アモルファスシリコン、有機半導体技術(例えば有機TFT)、NMOS技術、CMOS技術(例えばMOSFET)、金属酸化物技術、またはそれらの組合せを使用して製作することができる。40

**【0013】**

[0012] 説明において、「画素回路」および「画素」は交換可能に使用される。説明において、「信号」および「ライン」は交換可能に使用されることがある。説明において、「接続する(または接続された)」および「結合する(または結合された)」は交換可能に使用され得、2以上の要素が互いに直接または間接に、物理的または電気的に接触することを示すために使用され得る。

**【0014】**

[0013] 実施形態では、各トランジスタは、ゲート端子、第1の端子、および第2の端子を有し、第1の端子(第2の端子)は、限定はしないが、ドレイン端子またはソース端50

子（ソース端子またはドレイン端子）とすることができます。

#### 【0015】

[0014] 画素コンポーネントを回復（リカバリ）させるための緩和駆動方式を次に詳細に説明する。図1は、本発明の一実施形態による画素回路の一例を示す。図1の画素回路100は、画素エレメントの老化を回復させるための緩和駆動方式を使用する。画素回路100は、OLED10、ストレージ・キャパシタ12、駆動トランジスタ14、スイッチ・トランジスタ16、および緩和回路18を含む。ストレージ・キャパシタ12ならびにトランジスタ14および16は、OLED10を駆動するための画素ドライバを形成する。図1において、緩和回路18は、以下ではトランジスタ18または緩和（スイッチ）トランジスタ18と呼ばれるトランジスタ18により実現される。図1において、トランジスタ14、16、および18はn型TFTである。10

#### 【0016】

[0015] アドレス（選択）ラインSEL、プログラミング・データ（電圧）Vdataを画素回路へ供給するためのデータ・ラインVdata、電力供給ラインVddおよびVss、ならびに緩和のための緩和選択ラインRLXが、画素回路100と結合される。VddおよびVssは制御可能（変更可能）とすることができます。

#### 【0017】

[0016] 駆動トランジスタ14の第1の端子は、電圧供給ラインVddに結合される。駆動トランジスタ14の第2の端子は、ノードB1でOLED10のアノード電極に結合される。スイッチ・トランジスタ16の第1の端子は、データ・ラインVdataに結合される。スイッチ・トランジスタ16の第2の端子は、ノードA1で駆動トランジスタのゲート端子に結合される。スイッチ・トランジスタ16のゲート端子は選択ラインSELに結合される。ストレージ・キャパシタは、ノードA1およびノードB1に結合される。緩和スイッチ・トランジスタ18は、ノードA1およびノードB1に結合される。緩和スイッチ・トランジスタ18のゲート端子はRLXに結合される。20

#### 【0018】

[0017] 通常動作モード（アクティブ・モード）では、画素回路100はプログラミング・データ（プログラミング状態）でプログラムされ、電流がOLED10へ供給される（光放射／駆動状態）。通常動作モードでは、緩和スイッチ・トランジスタ18はオフである。緩和モードでは、緩和スイッチ・トランジスタ18はオンであり、駆動トランジスタ16のゲート-ソース電圧が低減される。30

#### 【0019】

[0018] 図2は、図1の画素回路100の駆動方式を示す。図1の画素回路100の動作は4つの動作サイクルX11、X12、X13、およびX14を含む。X11、X12、X13、およびX14はフレームを形成することができる。図1、2を参照すると、第1の動作サイクルX11（プログラミング・サイクル）の間、SEL信号はハイであり、画素回路100はVdataにより必要な明るさにプログラムされる。第2の動作サイクルX12（駆動サイクル）の間、駆動トランジスタ12は電流をOLED10へ供給する。第3の動作サイクルX13の間、RLX信号はハイであり、駆動トランジスタ14のゲート-ソース電圧は0になる。その結果、駆動トランジスタ14は第4の動作サイクルX14の間、ストレスを受けない。このようにして、駆動トランジスタ14の老化は抑制される。40

#### 【0020】

[0019] 図3は、本発明の一実施形態による緩和駆動方式の機構を有する表示システムの一例を示す。表示システム120はディスプレイ・アレイ30を含む。ディスプレイ・アレイ30は、複数の画素回路32が行と列に配置されるAMOLEDディスプレイである。画素回路32は図1の画素回路100とすることができます。図3では、4つの画素回路32が2行および2列に配置される。しかし、画素回路32の数は4個に限定されず、変えることができる。

#### 【0021】

50

[0020] 図3において、SEL[i]はi番目の行( $i = 1, 2, \dots$ )のアドレス(選択)ラインを表し、それはi番目の行の画素間で共有される。図3において、RLX[i]はi番目の行の緩和(選択)ラインを表し、それはi番目の行の画素間で共有される。図3において、Data[j]はj番目の列( $j = 1, 2, \dots$ )のデータ・ラインを表し、それはj番目の列の画素間で共有される。SEL[i]は図1のSELに対応する。RLX[i]は図1のRLXに対応する。Data[j]は図1のVdataに対応する。

#### 【0022】

[0021] Data[j]はソース・ドライバ34により駆動される。SEL[i]およびRLX[i]はゲート・ドライバ36により駆動される。ゲート・ドライバ36はゲート(選択)信号Gate[i]をi番目の行に供給する。SEL[i]およびRLX[i]は、i番目の行のスイッチ回路SW[i]を介してゲート・ドライバ36から出力された選択信号Gate[i]を共有する。

#### 【0023】

[0022] スイッチ回路SW[i]は、SEL[i]およびRLX[i]のそれぞれの電圧レベルを制御するために設けられる。スイッチ回路SW[i]はスイッチ・トランジスタT1、T2、T3、およびT4を含む。イネーブル・ラインSEL\_ENおよびRLX\_EN、ならびにバイアス電圧ラインVGLは、スイッチ回路SW[i]に結合される。説明において、「イネーブル信号SEL\_EN」および「イネーブル・ラインSEL\_EN」は交換可能に使用され得る。説明において、「イネーブル信号RLX\_EN」および「イネーブル・ラインRLX\_EN」は交換可能に使用され得る。コントローラ38は、ソース・ドライバ34、ゲート・ドライバ36、SEL\_EN、RLX\_EN、およびVGLの動作を制御する。

#### 【0024】

[0023] スイッチ・トランジスタT1は、ゲート・ドライバの出力部(例えば、Gate[1]、Gate[2])および選択ライン(例えば、SEL[1]、SEL[2])に結合される。スイッチ・トランジスタT2は、ゲート・ドライバの出力部(例えば、Gate[1]、Gate[2])および緩和選択ライン(例えば、RLX[1]、RLX[2])に結合される。スイッチ・トランジスタT3は、選択ライン(例えば、SEL[1]、SEL[2])およびVGLに結合される。スイッチ・トランジスタT4は、緩和選択ライン(例えば、RLX[1]、RLX[2])およびVGLに結合される。VGLラインはゲート・ドライバ36のオフ電圧を供給する。VGLは、スイッチがオフとなるように選択される。

#### 【0025】

[0024] スイッチ・トランジスタT1のゲート端子はイネーブル・ラインSEL\_ENに結合される。スイッチ・トランジスタT2のゲート端子はイネーブル・ラインRLX\_ENに結合される。スイッチ・トランジスタT3のゲート端子はイネーブル・ラインRLX\_ENに結合される。スイッチ・トランジスタT4のゲート端子はイネーブル・ラインSEL\_ENに結合される。

#### 【0026】

[0025] 表示システムは、ストレスを受けた後にディスプレイを回復するための緩和動作を含む回復動作を行い、それにより画素回路の時間的不均一性を低減する。

#### 【0027】

[0026] 図4は、図3の表示システム120の駆動方式を示す。図3および図4を参照すると、各フレーム時間動作は、通常動作サイクル50および緩和サイクル52を含む。通常動作サイクル50は、当業者にはよく理解されているように、プログラミング・サイクルおよび駆動サイクルを含む。通常動作サイクル50において、SEL\_ENは、スイッチ・トランジスタT1およびT4がオンとなるようにハイであり、RLX\_ENは、スイッチ・トランジスタT2およびT3がオフとなるようにローである。通常動作サイクル50において、SEL[i]( $i$ :行番号、 $i = 1, 2, \dots$ )は、スイッチ・トランジスタT1を介してゲート・ドライバ36(Gate[i])に結合され、RLX[i]は、

10

20

30

40

50

トランジスタ T 4 を介して V G L ( ゲート・ドライバのオフ電圧 ) に結合される。ゲート・ドライバ 3 6 は各行に対する選択信号 ( G a t e [ 1 ] 、 G a t e [ 2 ] ) を連続して出力する。選択信号およびプログラミング・データ ( 例えば、 D a t a [ 1 ] 、 D a t a [ 2 ] ) に基づいて、表示システム 1 2 0 は選択された画素回路をプログラムし、選択された画素回路の O L E D を駆動する。

#### 【 0 0 2 8 】

[0027] 緩和サイクル 5 2において、 S E L \_ E N はローであり、 R L X \_ E N はハイである。スイッチ・トランジスタ T 2 および T 3 はオンであり、スイッチ・トランジスタ T 1 および T 4 はオフである。 S E L [ i ] はスイッチ・トランジスタ T 3 を介して V G L に結合され、 R L X [ i ] はスイッチ・トランジスタ T 2 を介してゲート・ドライバ 3 6 ( G a t e [ i ] ) に結合される。その結果、緩和スイッチ・トランジスタ ( 例えば、図 1 の 1 8 ) はオンである。データ・ラインに結合されたスイッチ・トランジスタ ( 例えば、図 1 の 1 6 ) はオフである。画素回路 3 2 の駆動トランジスタ ( 例えば、図 1 の 1 4 ) のゲート - ソース電圧は、例えば、 0 になる。

10

#### 【 0 0 2 9 】

[0028] 上述の例では、通常動作および緩和動作は 1 つのフレームで実行される。別の例では、緩和動作は異なるフレームで実行することができる。更なる例では、緩和動作は、表示システムが有効な画像を表示するアクティブ時間の後に実行することができる。

#### 【 0 0 3 0 】

[0029] 画素コンポーネントの安定性を改善するための回復 ( リカバリ ) 駆動方式を次に詳細に説明する。回復駆動方式は、画素コンポーネントの劣化を回復させることおよび画素の時間的不均一性を低減することを含めての、ディスプレイの寿命を改善するための回復動作を使用する。回復駆動方式は緩和動作 ( 図 1 ~ 4 ) を含むことができる。回復動作は、アクティブ時間後またはアクティブ時間中に実行することができる。

20

#### 【 0 0 3 1 】

[0030] 図 5 は、本発明の一実施形態による表示システムの回復駆動方式を示す。図 5 の回復駆動方式 1 5 0 は、アクティブ時間 1 5 2 、およびアクティブ時間 1 5 2 後の回復時間 1 5 4 を含む。図 5 において、「 f ( k ) 」 ( k = 1 、 2 、 ... 、 n ) はアクティブ・フレームを表す。図 5 において、「 f r ( l ) 」 ( l = 1 、 2 、 ... 、 m ) は回復フレームを表す。アクティブ時間 1 5 2 の間、アクティブ・フレーム f ( 1 ) 、 f ( 2 ) 、 ... 、 f ( n ) がディスプレイに適用される。回復時間 1 5 4 の間、回復フレーム f r ( 1 ) 、 f r ( 2 ) 、 ... 、 f r ( m ) がディスプレイに適用される。回復駆動方式 1 5 0 は、任意のディスプレイおよび画素回路に適用可能である。

30

#### 【 0 0 3 2 】

[0031] アクティブ時間 1 5 2 は、表示システムが有効な画像を表示する通常動作時間である。各アクティブ・フレームは、有効な画像に関連する画素をプログラムするためのプログラミング・サイクルと、発光デバイスを駆動するための駆動サイクルとを含む。回復時間 1 5 4 は、有効な画像を示すためではなく、ディスプレイを回復させるための時間である。

40

#### 【 0 0 3 3 】

[0032] 例えば、ユーザがディスプレイをオフにした ( 即ち、通常画像表示の機能またはモードをターン・オフ ) 後、回復フレーム f r ( 1 ) 、 ... 、 f r ( m ) がディスプレイに適用され、画素のコンポーネントの老化を方向転換させる。画素エレメントの老化は、例えば、トランジスタの閾値電圧シフト、ならびに O L E D の輝度および / または電気的な劣化を含む。回復フレーム f r ( 1 ) の間、緩和モード ( 上述 ) および / または O L E D の輝度および電気的な劣化を低減するモードで、ディスプレイを動作させることができる。

#### 【 0 0 3 4 】

[0033] 図 6 は、図 5 の回復駆動方式が適用される画素コンポーネントの一例を示す。図 6 に示されるように、画素回路は、電源 V D D と電源 V S S との間に直列に結合される

50

駆動トランジスタ2およびOLED4を含む。図6において、駆動トランジスタ2は電源VDDに結合される。OLED4は、駆動トランジスタにノードB0で結合され、かつ電力供給ラインVSSに結合される。駆動トランジスタ2のゲート端子、即ち、ノードA0は、プログラミング電圧により充電される。駆動トランジスタ2は電流をOLED4へ供給する。

#### 【0035】

[0034] VSSおよびVDDの少なくとも一方は制御可能(変更可能)である。この例では、VSSラインは制御可能な電圧ラインであり、その結果、VSSの電圧は変更可能である。VDDラインを制御可能な電圧ラインとすることもでき、その結果、VDDの電圧は変更可能となる。VSSラインおよびVDDラインは他の画素回路により共有され得る。

10

#### 【0036】

[0035] 画素回路は、駆動トランジスタ2およびOLED4以外の構成要素、例えば、画素回路を選択し、データ・ラインのプログラミング・データを画素回路へ供給するためのスイッチ・トランジスタなどや、プログラミング・データが記憶されるストレージ・キヤパシタを含むことができることを、当業者ならよく理解しているであろう。

#### 【0037】

[0036] 図7は、図5の回復誘導方式に関する回復フレームの一例を示す。図7の回復時間154Aは図5の回復時間154に対応し、初期設定フレームY1および待機(スタンバイ)フレームY2を含む。初期設定フレームY1はフレームC1およびC2を含む。待機フレームY2はフレームC3、...、CKを含む。待機フレームY2は通常待機フレーム(normal stand by frame)である。

20

#### 【0038】

[0037] 図6、7を参照すると、初期設定フレームY1中の第1のフレームC1の間、ディスプレイは高電圧(VP\_R)でプログラムされ、一方、VSSは高電圧(VSS\_R)であり、VDDはVDD\_Rである。その結果、ノードA0はVP\_Rへと充電され、ノードB0はVDD\_Rへと充電される。従って、OLED4の電圧は-(VSS\_R - VDD\_R)となる。VSS\_RがVDD\_Rよりも大きいと考慮すると、OLED4は、負バイアス下にあることになり、これはOLED4が回復することに役立つ。

30

#### 【0039】

[0038] VSS\_Rは、通常の画像プログラミングおよび駆動動作におけるVSSよりも高い。VP\_Rは、一般的なプログラミング電圧VPよりも高くすることができる。

#### 【0040】

[0039] 初期設定フレームY1の第2のフレームC2の間、ディスプレイはグレイ・ゼロ(gray zero)でプログラムされ、一方、VDDおよびVSSは前の値を維持する。この時点で、駆動トランジスタ2のゲート-ソース電圧(VGS)は-VDD\_Rとなる。従って、駆動トランジスタ2は老化から回復することになる。更に、この状態は、老化の影響を均衡させることにより、画素間の老化の差異を低減するのに役立つことになる。各画素の状態が分かっている場合、この段階で、画素ごとに、0の代わりに異なる電圧を使用することができる。その結果、各画素に印加される負電圧は異なることになり、回復がより速く且つより効率的になる。

40

#### 【0041】

[0040] 各画素は、例えば、老化プロファイル(画素老化の履歴)やルックアップ・テーブルなどに基づいて、異なる負の回復電圧でプログラムすることができる。

#### 【0042】

[0041] 図7では、フレームC2はフレームC1の後に配置されている。しかし、別の例では、フレームC2はフレームC1の前に実行することができる。

#### 【0043】

[0042] 同じ技法を、OLED4が駆動トランジスタ2のドレインに結合される画素などに適用することができる。

50

## 【0044】

[0043] 図8は、図5の回復誘導方式に関する回復フレームの別の例を示す。図8の回復時間154Bは図5の回復時間154に対応し、均衡化(バランシング、balancing)フレームY3および待機フレームY4を含む。待機フレームY4はフレームDJ、...、DKを含む。待機フレームY4は図7の待機フレームY3に対応する。均衡化フレームY3はフレームD1、...、DJ-1を含む。

## 【0045】

[0044] 回復時間154Bの間、ディスプレイは、表示のON時間に基づいて選択することができる幾つかのフレームD1～DJ-1について非補償モードで動作を行う。このモードでは、老化の多い部分は回復し始め、老化の少ない部分は老化することになる。これにより、ある期間にわたり表示の均一性の均衡が保たれることになる。10

## 【0046】

[0045] 上述の例では、ディスプレイは、アクティブ時間(図5の152)の後に回復時間(図5の154)を有する。しかし、別の例では、アクティブ・フレームは、プログラミング・サイクル、駆動サイクル、および緩和/回復サイクルに分割される。図8は、本発明の一実施形態によるディスプレイ用の駆動方式の更なる例を示す。図8のアクティブ・フレーム160は、プログラミング・サイクル162、駆動サイクル164、および緩和/回復サイクル166を含む。図8において、アクティブ・フレーム160は、プログラミング・サイクル162、駆動サイクル164、および緩和/回復サイクル166に分割される。図8の駆動方式は、図6の駆動トランジスタ2およびOLED4を有する画素に適用される。20

## 【0047】

[0046] 図6および8を参照すると、プログラミング・サイクル162の間、画素は所要のプログラミング電圧VPでプログラムされる。駆動サイクル164の間、駆動トランジスタ2は、プログラミング電圧VPに基づいて電流をOLED4へ供給する。駆動サイクル164の後、緩和/回復サイクル166が始まる。緩和/回復サイクル166の間、画素コンポーネントの劣化は回復される。この例では、表示システムは、第1の動作サイクル170、第2の動作サイクル172、および第3の動作サイクル174により形成される回復動作を実施する。

## 【0048】

[0047] 第1の動作サイクル170の間、VSSはVSS\_Rになり、そのため、ノードB0はVP-VT(VT:駆動トランジスタ4の閾値電圧)へと充電される。第1の動作サイクル172の間、ノードA0はVP\_Rへと充電され、そのため、駆動トランジスタ2のゲート電圧は-(VP-VT-VP\_R)となる。その結果、駆動サイクル164の間に大きいプログラミング電圧をもつ画素は、ゲート-ソース電圧にわたり大きい負電圧を有することになる。これは、高いストレス状態の画素には速い回復をもたらすことになる。30

## 【0049】

[0048] 別の例では、表示システムは、緩和/回復サイクル166の間、緩和モードにあり得る。40

## 【0050】

[0049] 更なる例では、画素の老化の履歴を使用することができる。画素の老化の履歴が分かっている場合、各画素は、老化プロファイルに応じて異なる負の回復電圧でプログラムすることができる。これは、より速く且つより効果的な回復をもたらすことになる。負の回復電圧は、各画素の老化に基づいてルックアップ・テーブルから計算または読み込むことができる。

## 【0051】

[0050] 上述の実施形態では、画素回路および表示システムは、n型トランジスタを使用して説明されている。しかし、回路中のn型トランジスタは、相補回路の概念を用いてp型トランジスタと取り替えることができることを、当業者は理解するであろう。実施形50

態のプログラミング、駆動、および緩和技法は、p型トランジスタを有する相補画素回路にも適用可能であることを、当業者は理解するであろう。

【 0 0 5 2 】

[0051] 1または複数の一般に好ましい実施形態が例として説明された。特許請求の範囲で規定される本発明の範囲から逸脱することなく、幾つかの変形および変更を行うことができるところが、当業者には明らかであろう。

【 図 1 】

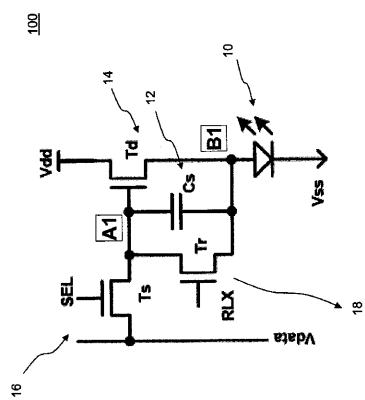


FIG. 1

【図2】

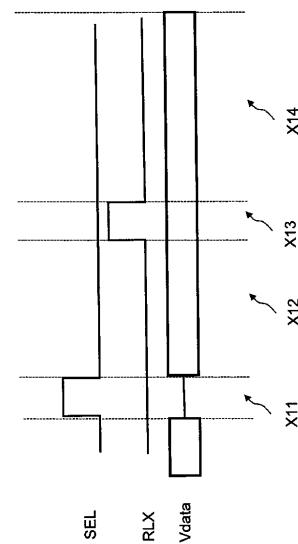
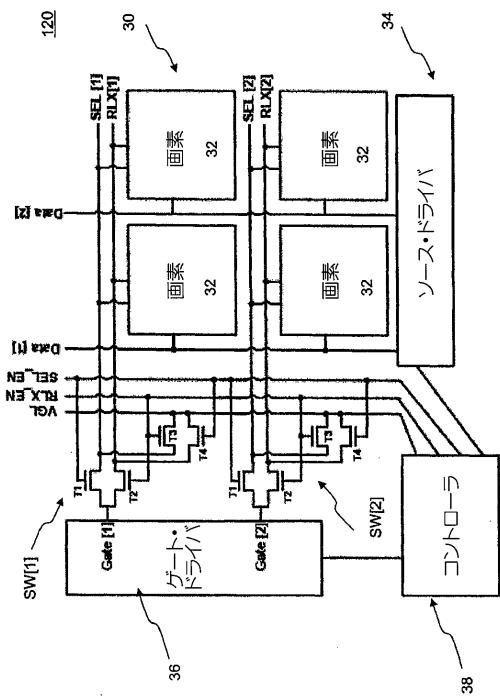
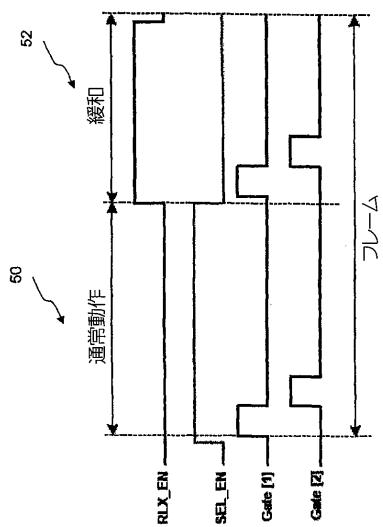


FIG. 2

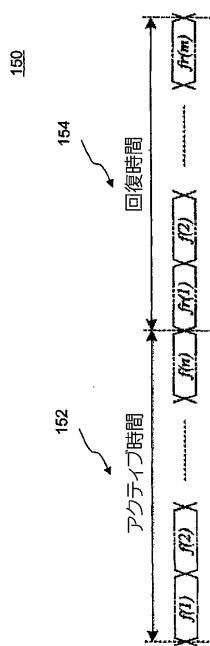
【図3】



【図4】



【図5】



【図6】

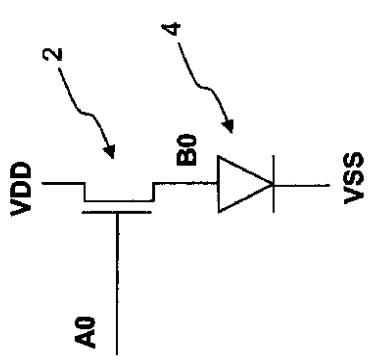
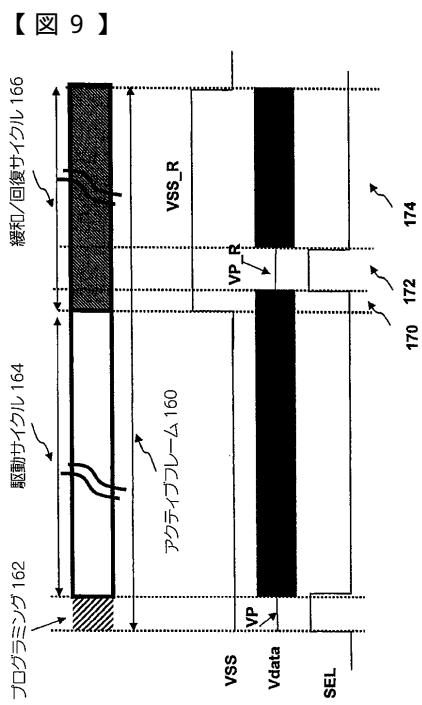
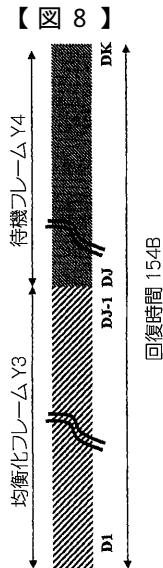
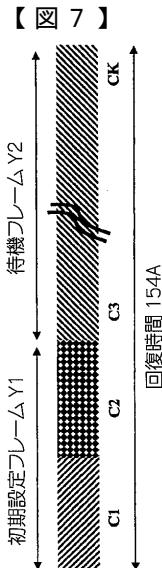


FIG. 6



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 7 0 K  
G 0 9 G 3/20 6 1 2 A  
H 0 5 B 33/14 A

(74)代理人 100075270

弁理士 小林 泰

(74)代理人 100080137

弁理士 千葉 昭男

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 ネイサン , アロキア

イギリス国ケンブリッジ シーピー 3・0 ディーエル , ハンティンドン・ロード 189

(72)発明者 チャジ , ジー・レザ

カナダ国オンタリオ エヌ2ヴィ・2エス3 , ウォータールー , ケルソー・ドライブ 463

(72)発明者 ディオン , マーセル

カナダ国オンタリオ エヌ2ティー・2ティー5 , ウォータールー , ウィロー・ウッド・ドライブ  
541

審査官 井口 猶二

(56)参考文献 特開2006-208966 (JP, A)

特開2004-118132 (JP, A)

特開2004-157467 (JP, A)

特開2005-301170 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G 0 9 G 3 / 3 0

G 0 9 G 3 / 2 0

H 0 1 L 5 1 / 5 0