

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34533

(P2010-34533A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.
H01L 31/00 (2006.01)F I
H01L 31/00テーマコード (参考)
5F088

審査請求 未請求 請求項の数 8 O L (全 37 頁)

(21) 出願番号 特願2009-148161 (P2009-148161)
 (22) 出願日 平成21年6月23日 (2009.6.23)
 (31) 優先権主張番号 特願2008-165958 (P2008-165958)
 (32) 優先日 平成20年6月25日 (2008.6.25)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F088 AA03 AB05 BA05 BB06 CA02
 EA08 GA02 KA02 KA08 LA03

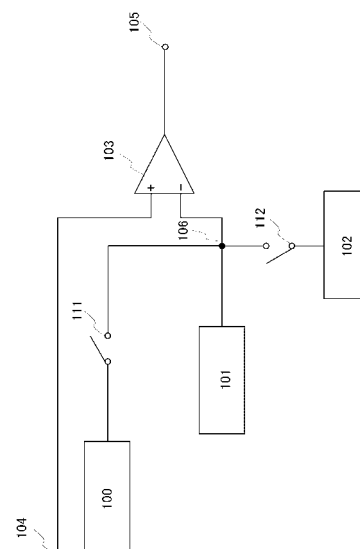
(54) 【発明の名称】 光電変換装置及び電子機器

(57) 【要約】

【課題】光電変換における光の照度に対する分解能を高めることを課題の一つとする。

【解決手段】入射した光の照度に応じて第1の電流を生成する光電変換回路100と、第1の電流に応じて電気容量が変化する充放電手段を有する充放電回路101と、オン状態またはオフ状態になることにより光電変換回路100と充放電回路101との導通を制御する第1のスイッチング素子111と、一定の値である第2の電流を生成する電流回路102と、オン状態またはオフ状態になることにより充放電回路101と電流回路102との導通を制御する第2のスイッチング素子112と、第1の入力端子及び第2の入力端子を有し、前記第1の入力端子に基準電位である信号が入力され、前記第2の入力端子が充放電回路101に電氣的に接続されたコンパレータ103と、を有する構成とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入射した光の照度に応じて第 1 の電流を生成する光電変換回路と、
前記第 1 の電流に応じて電気容量が変化する充放電手段を有する充放電回路と、
オン状態またはオフ状態になることにより前記光電変換回路と前記充放電回路との導通を制御する第 1 のスイッチング素子と、
一定の値である第 2 の電流を生成する電流回路と、
オン状態またはオフ状態になることにより前記充放電回路と前記電流回路との導通を制御する第 2 のスイッチング素子と、
第 1 の入力端子及び第 2 の入力端子を有し、前記第 1 の入力端子に基準電位である信号が入力され、前記第 2 の入力端子が前記充放電回路に電氣的に接続されたコンパレータと、
を有する光電変換装置。

10

【請求項 2】

請求項 1 において、
前記第 1 のスイッチング素子は、前記第 2 のスイッチング素子がオン状態のときにオフ状態になり、
前記第 2 のスイッチング素子は、前記第 1 のスイッチング素子がオン状態のときにオフ状態になる光電変換装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記充放電回路は、
第 1 端子及び第 2 端子を有し、前記第 1 端子が前記コンパレータの前記第 2 の入力端子に電氣的に接続された第 1 の容量素子と、
第 1 端子及び第 2 端子を有する第 2 の容量素子と、
前記第 1 の電流に応じてオン状態またはオフ状態が制御され、オン状態またはオフ状態になることにより、前記第 1 の容量素子の前記第 1 端子と前記第 2 の容量素子の前記第 1 端子との導通を制御する第 3 のスイッチング素子と、を有する光電変換装置。

20

【請求項 4】

請求項 3 において、
オン状態またはオフ状態になることにより前記コンパレータの第 2 の入力端子と前記コンパレータの前記出力端子との導通を制御する第 4 のスイッチング素子を有する光電変換装置。

30

【請求項 5】

請求項 2 乃至請求項 4 のいずれか一項において、
第 2 の基準電位と、前記コンパレータの第 2 の入力端子と充放電回路との接続部の電位とを比較し、比較結果により前記第 3 のスイッチング素子のオン状態またはオフ状態を制御する制御信号を出力する比較回路を有する光電変換装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、
前記光電変換回路は、光電変換素子と、
前記光電変換素子に流れる電流を増幅する増幅回路と、を有する光電変換装置。

40

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、
クロック信号を生成するクロック信号生成回路と、
前記クロック信号のエッジをカウントするカウンター回路と、
前記コンパレータの出力信号に応じて前記カウンター回路のカウント値を保持するラッチ回路と、を有する光電変換装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項に記載の光電変換装置を搭載した電子機器。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、光電変換装置に関する。また、電子機器に関する。

【背景技術】

【0002】

電磁波を検知するための用途に用いられる光電変換装置は数多く知られており、例えば紫外線から赤外線にかけて感度を有するものは総括して光センサと呼ばれている。その中でも波長400nm～700nmの可視光線領域に感度を持つものは特に可視光センサと呼ばれ、人間の生活環境に応じて照度調整や、オン状態（ONともいう）またはオフ状態（OFFともいう）の制御などが必要な機器類に数多く用いられている。

10

【0003】

表示装置では、表示装置の周囲の明るさを検出し、その表示輝度を調整することが行なわれているものもある。光センサにより、周囲の明るさを検出して適度な表示輝度を得ることによって、視認性を向上させる、また、表示装置の余分な電力を低減することができるからである。例えば、輝度調整用の光センサを具備する表示装置としては、携帯電話、表示部付きコンピュータが挙げられる。また表示部周囲の明るさだけでなく、表示装置、特に液晶表示装置のバックライトの輝度を光センサにより検出し、表示画面の輝度を調整することも行われている。

【0004】

光電変換装置である光センサは、光のセンシング部分にフォトダイオードなどの光電変換素子を用い、光電変換素子に流れる電流量に基づいて光の強度を検出することができる。特許文献1には電荷蓄積型の光センサについて記載されており、具体的には、入射光量に応じてフォトダイオードから流れる電流によりコンデンサ（容量素子ともいう）に蓄積された電荷を定電流回路（定電流源ともいう）により放電させることで変化する電位をコンパレータで検出し、コンパレータで検出した電位の変化に要する時間からカウンター回路及びラッチ回路を用いてデジタル信号を生成する構成について記載されている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平6-313840号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の光電変換装置は、光電変換処理において入射した光の照度に対する分解能が低いといった問題がある。例えば従来の光電変換装置において、一定の値以上の高い照度の光が入射し、生成された光電流に応じた電荷の値がコンデンサに蓄積可能な電荷の値を超えた場合、コンデンサには電気容量に応じた値の電荷しか蓄積することができない。これにより例えば表示装置などに搭載した場合において所望の表示輝度に調整することができない。

【0007】

40

上記問題を鑑み、本発明の一態様では、光電変換処理において光の照度に対する分解能を向上させることを課題の一つとする。

【課題を解決するための手段】

【0008】

本発明の一態様は、入射した光の照度に応じて第1の電流を生成する光電変換回路と、第1の電流に応じて電気容量が変化する充放電手段を有する充放電回路と、オン状態またはオフ状態になることにより光電変換回路と充放電回路との導通を制御する第1のスイッチング素子と、一定の値である第2の電流を生成する電流回路と、オン状態またはオフ状態になることにより充放電回路と電流回路との導通を制御する第2のスイッチング素子と、第1の入力端子及び第2の入力端子を有し、第1の入力端子に基準電位である信号が入

50

力され、第 2 の入力端子が充放電回路に電氣的に接続されたコンパレータと、を有する光電変換装置。

【 0 0 0 9 】

なお、本発明の一態様において、第 1 のスイッチング素子は、第 2 のスイッチング素子がオン状態のときにオフ状態になり、第 2 のスイッチング素子は、第 1 のスイッチング素子がオン状態のときにオフ状態になる構成とすることもできる。

【 0 0 1 0 】

また、本発明の一態様において、充放電回路は、第 1 端子及び第 2 端子を有し、第 1 端子がコンパレータの第 2 の入力端子に電氣的に接続された第 1 の容量素子と、第 1 端子及び第 2 端子を有する第 2 の容量素子と、第 1 の電流に応じてオン状態またはオフ状態が制御され、オン状態またはオフ状態になることにより、第 1 の容量素子の第 1 端子と第 2 の容量素子の第 1 端子との導通を制御する第 3 のスイッチング素子と、を有する構成とすることもできる。

10

【 0 0 1 1 】

また、本発明の一態様において、オン状態またはオフ状態になることによりコンパレータの第 2 の入力端子とコンパレータの出力端子との導通を制御する第 4 のスイッチング素子を有する構成とすることもできる。

【 0 0 1 2 】

また、本発明の一態様において第 2 の基準電位と、コンパレータの第 2 の入力端子と充放電回路との接続部の電位とを比較し、比較結果により第 3 のスイッチング素子のオン状態またはオフ状態を制御する制御信号を出力する比較回路を有する構成とすることもできる。

20

【 0 0 1 3 】

また、本発明の一態様において、光電変換回路は、光電変換素子と、光電変換素子に流れる電流を増幅する増幅回路と、を有する構成とすることもできる。

【 0 0 1 4 】

また、本発明の一態様においてクロック信号を生成するクロック信号生成回路と、クロック信号のエッジをカウントするカウンター回路と、コンパレータの出力信号に応じてカウンター回路のカウント値を保持するラッチ回路と、を有する構成とすることもできる。

【 0 0 1 5 】

30

また、本発明の一態様は、上記光電変換装置を搭載した電子機器である。

【 0 0 1 6 】

なお、本書類（明細書、特許請求の範囲または図面など）において、トランジスタは、ゲート端子、ソース端子、及びドレイン端子の少なくとも 3 つの端子を有し、ゲート端子とは、ゲート電極の部分（ゲートとなる領域、導電層、及び配線などを含む）または、ゲート電極と電氣的に接続されている部分の一部のことを表す。また、ソース端子とは、ソース電極の部分（ソースとなる領域、導電層、及び配線などを含む）や、ソース電極と電氣的に接続されている部分の一部のことを表す。また、ドレイン端子とは、ドレイン電極の部分（ドレインとなる領域、導電層、及び配線などを含む）や、ドレイン電極と電氣的に接続されている部分の一部のことを表す。またトランジスタは、ドレイン領域とソース領域の間にチャネル領域を有し、ゲート端子の電位に応じてドレイン領域とソース領域の間に電流を流すことができる。

40

【 0 0 1 7 】

また、本書類（明細書、特許請求の範囲または図面など）において、トランジスタのソース端子とドレイン端子は、トランジスタの構造や動作条件などによって変わるため、いずれの端子がソース端子またはドレイン端子であるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲または図面など）においては、ソース端子及びドレイン端子から任意に選択した一方の端子をソース端子及びドレイン端子の一方と表記し、他方の端子をソース端子及びドレイン端子の他方と表記する。

【 0 0 1 8 】

50

また、本書類（明細書及び特許請求の範囲など）において、容量素子は、２つの電極と、誘電体層と、を有し、２つの電極のうち一方の電極側の端子を第１端子といい、他方の電極側の端子を第２端子という。

【００１９】

なお、本書類（明細書及び特許請求の範囲など）において、Ａの上にＢが形成されている、あるいは、Ａ上にＢが形成されている、と明示的に記載する場合は、Ａの上にＢが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、ＡとＢと間に別の対象物が介在する場合も含むものとする。ここで、Ａ、Ｂは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【００２０】

従って例えば、層Ａの上に（もしくは層Ａ上に）、層Ｂが形成されている、と明示的に記載されている場合は、層Ａの上に直接接して層Ｂが形成されている場合と、層Ａの上に直接接して別の層（例えば層Ｃや層Ｄなど）が形成されていて、その上に直接接して層Ｂが形成されている場合とを含むものとする。なお、別の層（例えば層Ｃや層Ｄなど）は、単層でもよいし、複層でもよい。

【００２１】

なお、Ａの上にＢが形成されているまたはＡ上にＢが形成されていると明示的に記載する場合、Ａの斜め上にＢが形成される場合も含むこととする。

【発明の効果】

【００２２】

本発明の一態様により、光電変換処理において光の照度に対する分解能を向上させることができる。

【図面の簡単な説明】

【００２３】

【図１】実施の形態１における光電変換装置の回路構成の一例を示す回路図である。

【図２】図１に示す光電変換装置の動作を示すタイミングチャート図である。

【図３】実施の形態１における光電変換装置の回路構成の一例を示す回路図である。

【図４】実施の形態１の光電変換装置における光電変換回路の回路構成の一例を示す回路図である。

【図５】実施の形態１の光電変換装置における比較回路の回路構成の一例を示す回路図である。

【図６】実施の形態１の光電変換装置の回路構成の一例を示す回路図である。

【図７】図６に示す光電変換装置の動作を示すタイミングチャート図である。

【図８】図６に示す光電変換装置の動作を示すタイミングチャート図である。

【図９】入射した光の照度とカウンタ回路のカウント値との関係を示す図である。

【図１０】実施の形態２における光電変換装置の回路構成の一例を示す回路図である。

【図１１】図１０に示す光電変換装置の動作を示すタイミングチャート図である。

【図１２】図１０に示す光電変換装置の動作を示すタイミングチャート図である。

【図１３】実施の形態３における光電変換装置の作製方法の一例を示す断面模式図である。

【図１４】実施の形態３における光電変換装置の作製方法の一例を示す断面模式図である。

【図１５】実施の形態４における電子機器の構成の一例を示す模式図である。

【図１６】実施の形態４における電子機器の構成の一例を示す模式図である。

【図１７】実施の形態４における電子機器の構成の一例を示す模式図である。

【図１８】実施の形態４における電子機器の構成の一例を示す模式図である。

【図１９】実施の形態４における電子機器の構成の一例を示す模式図である。

【発明を実施するための形態】

【００２４】

本発明の実施の形態例について、図面を用いて以下に説明する。但し、本発明は以下の

10

20

30

40

50

説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではないとする。

【００２５】

(実施の形態１)

本実施の形態では、本発明の一態様である光電変換装置について説明する。

【００２６】

まず本実施の形態の光電変換装置の構成について図１を用いて説明する。図１は、本実施の形態の光電変換装置の回路構成の一例を示す回路図である。

【００２７】

図１に示す光電変換装置は、少なくとも光電変換回路１００と、充放電回路１０１と、電流回路１０２と、コンパレータ１０３と、第１のスイッチング素子１１１と、第２のスイッチング素子１１２と、を有する。

【００２８】

なお本書類（明細書及び特許請求の範囲など）において、光電変換とは、光が入射されることにより、入射した光の照度に応じた電流が生成されることをいう。

【００２９】

また本書類（明細書及び特許請求の範囲など）において、第１、第２などの序数を用いた用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【００３０】

光電変換回路１００は、外部から入射した光の照度に応じて第１の電流（ I_L ともいう）を生成する機能を有する。第１の電流の値は、光の照度によって変化する。

【００３１】

充放電回路１０１は、充放電手段を有する。充放電手段は、光電変換回路１００における第１の電流の値に応じて電気容量を段階的に変化させることができる。

【００３２】

電流回路１０２は、一定の値である第２の電流（定電流ともいう）を生成する機能を有する。

【００３３】

コンパレータ１０３は、充放電回路１０１に電氣的に接続される。また、コンパレータ１０３は、充放電回路１０１との接続部の電位と基準電位（第１の基準電位ともいう）とを比較し、比較結果に従って出力信号を出力する機能を有する。

【００３４】

さらに図１に示す光電変換装置の回路構成について詳細に説明する。

【００３５】

充放電回路１０１は、第１のスイッチング素子１１１を介して光電変換回路１００に電氣的に接続される。すなわち第１のスイッチング素子１１１は、オン状態またはオフ状態になることにより、光電変換回路１００と充放電回路１０１との導通を制御する機能を有する。

【００３６】

第１のスイッチング素子１１１及び第２のスイッチング素子１１２は、一方の端子と他方の端子との導通または非導通を制御できるものであればよく、特定のものに限定されない。第１のスイッチング素子１１１または第２のスイッチング素子１１２としては、電氣的に動作するスイッチング素子（電氣的スイッチング素子ともいう）や機械的に動作するスイッチング素子（機械的スイッチング素子ともいう）などがあり、一例として薄膜トランジスタを用いて構成すればよい。また薄膜トランジスタを複数用いたアナログスイッチを用いることもできる。また、第１のスイッチング素子１１１は、第２のスイッチング素子１１２がオン状態のときにオフ状態になる機能を有し、第２のスイッチング素子１１２は、第１のスイッチング素子１１１がオン状態のときにオフ状態になる機能を有する。

10

20

30

40

50

【 0 0 3 7 】

また、電流回路 1 0 2 は、第 2 のスイッチング素子 1 1 2 を介して充放電回路 1 0 1 に電氣的に接続される。すなわち第 2 のスイッチング素子 1 1 2 は、オン状態またはオフ状態になることにより、電流回路 1 0 2 と充放電回路 1 0 1 との導通を制御する機能を有する。

【 0 0 3 8 】

また、コンパレータ 1 0 3 は、第 1 端子（反転入力端子、または第 1 の入力端子ともいう）と第 2 端子（入力端子、または第 2 の入力端子ともいう）と、を有し、第 1 端子が電位供給端子 1 0 4 に電氣的に接続され、第 2 端子が充放電回路 1 0 1 に電氣的に接続され、且つ第 1 のスイッチング素子 1 1 1 を介して光電変換回路 1 0 0 に電氣的に接続され、且つ第 2 のスイッチング素子 1 1 2 を介して電流回路 1 0 2 に電氣的に接続され、第 3 端子（出力端子ともいう）が出力端子 1 0 5 に電氣的に接続される。すなわち、第 1 のスイッチング素子 1 1 1 は、オン状態またはオフ状態になることにより光電変換回路 1 0 0 とコンパレータ 1 0 3 の第 2 端子との導通を制御する機能を有し、第 2 のスイッチング素子 1 1 2 は、オン状態またはオフ状態になることにより電流回路 1 0 2 とコンパレータ 1 0 3 の第 2 端子との導通を制御する機能を有する。なお、図 1 において、コンパレータ 1 0 3 の第 2 の入力端子と、充放電回路 1 0 1 との接続部をノード 1 0 6 ともいう。

【 0 0 3 9 】

光電変換回路 1 0 0 は、例えば光電変換素子を用いて構成することができる。光電変換素子としては例えばフォトダイオードやフォトトランジスタなどを適用することができる。また、光電変換回路 1 0 0 は、光電変換素子と、増幅回路を設けた構成とすることもできる。増幅回路を設けることにより、出力電流を増幅させることができるため、入射した光の照度が光電変換処理を行えないほど低い場合であっても、光電変換処理を行うために十分な出力電流を生成することができる。増幅回路は、例えばカレントミラー回路などを用いて構成することができる。

【 0 0 4 0 】

充放電回路 1 0 1 は、例えばスイッチング素子と、スイッチング素子を介して並列接続で電氣的に接続され、充放電手段となる複数の容量素子と、を用いて構成することができる。スイッチング素子としては上記第 1 のスイッチング素子 1 1 1 乃至第 2 のスイッチング素子 1 1 2 に適用可能なものと同様のものを適用することができる。また充放電回路 1 0 1 は、可変容量を用いて構成することもできる。

【 0 0 4 1 】

電流回路 1 0 2 は、一定の電流である第 2 の電流が生成される電流源を用いて構成することができる。なお本明細書において一定とは、実質的に一定である場合も含まれる。

【 0 0 4 2 】

また、本実施の形態の光電変換装置は、電位供給端子 1 0 4 を介して基準電位（ V_{ref} ともいう）が与えられる。 V_{ref} の値は、光電変換装置の構成を考慮して設定することができる。

【 0 0 4 3 】

次に図 1 に示す光電変換装置の動作について図 2 を用いて説明する。図 2 は図 1 に示す光電変換装置の動作を示すタイミングチャート図である。なお本実施の形態では、光電変換回路 1 0 0 によって生成される第 1 の電流の値が基準電流（ I_{ref} ともいう）の値より低い場合と高い場合についてそれぞれ説明する。なお I_{ref} の値は、充放電回路 1 0 1 における充放電手段の電気容量を考慮して設定された任意の値である。

【 0 0 4 4 】

図 2 に示すように、図 1 に示す光電変換装置の動作は、第 1 の期間 2 3 1、第 2 の期間 2 3 2、及び第 3 の期間 2 3 3 に分けられる。なお第 2 の期間 2 3 2 を蓄積期間とし、第 3 の期間 2 3 3 を放電期間とする。

【 0 0 4 5 】

まず $I_L < I_{ref}$ の場合について説明する。なおこのとき充放電回路 1 0 1 の電気容

10

20

30

40

50

量を C_a とする。

【0046】

まず第1の期間231では、第1のスイッチング素子111がオフ状態になり、第2のスイッチング素子112がオフ状態になる。

【0047】

このときノード106の電位 (V_{106} ともいう) がリセットされ、 V_{ref} になる。このときの V_{ref} は、図示しないが電位供給端子104を介して与えることもでき、また別途端子を設けて与えることもできる。またスイッチング素子を介してコンパレータ103の第2の入力端子と出力端子とを電氣的に接続させることにより、 V_{ref} からコンパレータ103のオフセット電位分を引いた値に設定することもできる。これにより、コンパレータ103のオフセット電位が経時変化した場合においてもコンパレータ103の入出力信号を補正することができる。

10

【0048】

さらに、このとき出力端子105を介して出力される出力信号の電位 (V_{105} ともいう) は V_{ref} となる。以上が第1の期間231における動作である。

【0049】

次に第2の期間232では、第1のスイッチング素子111がオン状態になり、第2のスイッチング素子112がオフ状態になる。

【0050】

このとき光電変換回路100において生成される第1の電流の値に応じた値の電荷が充放電回路101に蓄積される。このとき V_{106} は、時間 t_0 で V_x まで上昇する。なお V_x は、接地電位 (V_{ss} ともいう) より高く、充放電回路101に可能な限り電荷が蓄積されたときの電位 V_{max} より低い任意の値である。

20

【0051】

さらにこのとき V_{105} は、 V_{106} の値が V_{ref} の値より高く、コンパレータ103の出力信号が V_{ss} であるため、 V_{ss} (ロウ状態ともいう) となる。以上が第2の期間232における動作である。

【0052】

次に第3の期間233では、第1のスイッチング素子111がオフ状態になり、第2のスイッチング素子112がオン状態になる。

30

【0053】

このとき電流回路102において第2の電流が流れ、第2の電流に応じて第1の期間231において充放電回路101に蓄積された電荷が一定量ずつ放出される。このとき V_{106} は下降し、時間 t_1 で V_{ref} になり、その後 V_{ss} になる。 V_{106} が V_x から V_{ref} まで下降する時間 (放電時間ともいう)、すなわち時間 t_0 から時間 t_1 までの時間は、充放電回路101に蓄積される電荷の値によって異なり、さらに充放電回路101に蓄積される電荷の値は、充放電回路101の電気容量、または光電変換回路100により生成される第1の電流によって異なる。

【0054】

さらにこのとき V_{105} は、 V_{106} が V_{ref} より低く、コンパレータ103の出力信号の電位が V_{dd} (ハイ状態ともいう) であるため、 V_{dd} となる。なお、 V_{dd} は V_{ss} より高い任意の値の電位である。以上が第3の期間233における動作である。

40

【0055】

本実施の形態の光電変換装置では、第2の期間232における充放電回路101の放電時間を利用することにより、光電変換回路100に入射した光の照度に応じた値の電位である信号を生成することができる。

【0056】

次に $I_L > I_{ref}$ の場合について説明する。

【0057】

まず第1の期間については、 $I_L < I_{ref}$ の場合と同様であるため、 $I_L < I_{ref}$

50

の場合における光電変換装置の動作の説明を援用する。

【0058】

次に第2の期間232では、第1のスイッチング素子111がオン状態になり、第2のスイッチング素子112がオフ状態になる。

【0059】

このとき光電変換回路100にて生成される第1の電流の値に応じた値の電荷が充放電回路101に蓄積される。このとき V_{106} は上昇し、 V_z になったところで充放電回路101の電気容量が C_a より大きい C_b に変化する。さらに充放電回路101に電荷が蓄積され、 V_{106} は時間 t_0 で V_y まで上昇する。 V_y は、 V_{ss} より高く、充放電回路101に可能な限り電荷が蓄積されたときの電位 V_{max} より低い任意の値である。このとき単位時間当たりの V_{106} の上昇量は、 $I_L < I_{ref}$ の場合より低くなるため、 $I_L > I_{ref}$ の場合、すなわち光電変換回路100において生成された第1の電流に応じた値の電荷が充放電回路101に蓄積可能な電荷の値を超えることなく、第1の電流に応じた電荷を充放電回路101に蓄積することができる。

10

【0060】

さらにこのとき V_{105} の値は、 V_{106} が V_{ref} より低く、コンパレータ103の出力端子を介して出力される出力信号の電位が V_{ss} であるため、 V_{ss} である。以上が第2の期間232における動作である。

【0061】

次に第3の期間233では、第1のスイッチング素子111がオフ状態になり、第2のスイッチング素子112がオン状態になる。

20

【0062】

このとき電流回路102において第2の電流が流れ、第2の電流に応じて第1の期間231において充放電回路101に蓄積された電荷が一定量ずつ放出される。このとき V_{106} は下降し、時間 t_2 で V_{ref} になり、その後 V_{ss} になる。 V_{106} が V_y から V_{ref} まで下降する時間（放電時間ともいう）、すなわち時間 t_0 から時間 t_2 までの時間は、充放電回路101に蓄積される電荷の値によって異なり、さらに充放電回路101に蓄積される電荷の値は、光電変換回路100により生成される第1の電流の値によって異なる。さらにこのとき V_{105} は、 V_{106} が V_{ref} より高く、コンパレータ103の出力端子を介して電位が V_{dd} である出力信号が出力されるため、 V_{dd} となる。以上が第3の期間233における動作である。

30

【0063】

なお、図1に示す光電変換装置の動作において第2の期間232を充電期間とし、第3の期間233を放電期間としたが、これに限定されず、本実施の形態の光電変換装置では、第2の期間232を放電期間とし、第3の期間233を充電期間とし、第1の期間231で予め所定の値の電荷が蓄積された充放電回路101において、第2の期間232で電荷を放出し、第3の期間233において電荷を蓄積する構成とすることもできる。このとき第2の期間232における所定の値の電荷が蓄積するまでの時間を利用することにより光電変換回路100に入射した光の照度に応じた値の信号を生成することができる。

【0064】

40

以上のように、本実施の形態の光電変換装置は、光電変換回路において生成される第1の電流の値に応じ、すなわち入射した光の照度に応じて充放電回路の充放電手段の電気容量の値を変化させることにより、第1の電流に応じた電荷が充放電回路に蓄積可能な電荷の値を超えることなく、充放電回路に第1の電流に応じた電荷の蓄積または放出を行うことができるため、光電変換処理における照度に対する分解能を向上させることができる。

【0065】

さらに本実施の形態の光電変換装置の構成について図3を用いて説明する。図3は、本実施の形態における光電変換装置の構成の一例を示す回路図である。

【0066】

図3に示す光電変換装置は、光電変換回路100と、充放電回路101と、電流回路1

50

02と、コンパレータ103と、電位供給端子104と、出力端子105と、ノード106と、第1のスイッチング素子111と、第2のスイッチング素子112と、を有する。なお、図1に示す光電変換装置の回路及び素子と同じ符号である回路及び素子については、図1に示した光電変換装置の各素子及び回路の構成の説明を適宜援用し、図3に示す光電変換装置においては説明を省略する。

【0067】

さらに図3に示す光電変換装置の構成について詳細に説明する。

【0068】

まず光電変換回路100の構成について説明する。

【0069】

10

光電変換回路100の構成について図4を用いて説明する。図4は本実施の形態における光電変換回路100の構成の一例を示す図である。

【0070】

図4に示す光電変換回路100は、少なくとも光電変換素子200と、増幅回路201と、を有する。

【0071】

光電変換素子200は、光が入射することにより、入射した光の照度に応じた光電流を生成する機能を有する。

【0072】

増幅回路201は、光電変換素子200により生成された光電流に応じて出力電流を増幅する機能を有する。

20

【0073】

さらに増幅回路201は、参照用トランジスタである第1のトランジスタ211と出力用トランジスタである第2のトランジスタ212とからなるカレントミラー回路により構成することができる。なお図4に示す光電変換回路100において、カレントミラー回路を第1のトランジスタ211及び第2のトランジスタ212により構成する例について示しているが、これに限定されず、本実施の形態の光電変換装置における光電変換回路では、第1のトランジスタ211及び第2のトランジスタ212をそれぞれ複数設けてカレントミラー回路を構成することもできる。

【0074】

30

さらに、光電変換回路100は、光電変換素子200及び増幅回路201に加え、第1の電位供給端子221と、第2の電位供給端子222と、第3の電位供給端子223と、を有する。

【0075】

光電変換素子200は、第1端子（陽極側の端子）が第2の電位供給端子222に電氣的に接続され、第2端子（陰極側の端子）が第1のトランジスタ211のソース端子及びドレイン端子の一方に電氣的に接続される。

【0076】

増幅回路201において、第1のトランジスタ211は、ゲート端子がソース端子及びドレイン端子の他方に電氣的に接続され、ソース端子及びドレイン端子の一方が第1の電位供給端子221に電氣的に接続される。第2のトランジスタ212は、ゲート端子が第1のトランジスタ211のゲート端子に電氣的に接続され、ソース端子及びドレイン端子の一方が第3の電位供給端子223に電氣的に接続され、ソース端子及びドレイン端子の他方が第1のスイッチング素子111を介して充放電回路101に電氣的に接続される。このとき第1のトランジスタ211及び第2のトランジスタ212はpチャネル型トランジスタである。

40

【0077】

図4に示す光電変換回路100は、第1の電位供給端子221及び第3の電位供給端子223を介して電源電位が与えられ、第2の電位供給端子222を介して接地電位が与えられる。

50

【 0 0 7 8 】

次に図 4 に示す光電変換回路 1 0 0 の動作について説明する。

【 0 0 7 9 】

光電変換素子 2 0 0 に光が入射すると、入射した光の照度に応じた光電流が光電変換素子 2 0 0 にて生成され、光電流に応じて第 1 のトランジスタ 2 1 1 がオン状態になり、第 1 のトランジスタ 2 1 1 のソース端子及びドレイン端子の間に電流が流れる。また、光電流に応じて第 2 のトランジスタ 2 1 2 がオン状態になり、第 2 のトランジスタ 2 1 2 のソース端子及びドレイン端子の間に第 1 の電流として光電流を増幅させた電流（増幅電流ともいう）が流れる。以上が光電変換回路 1 0 0 における動作である。

【 0 0 8 0 】

次に充放電回路 1 0 1 の構成について説明する。

【 0 0 8 1 】

充放電回路 1 0 1 は、N 個（N は 2 以上の自然数）の容量素子と、N - 1 個の第 3 のスイッチング素子と、を有する。

【 0 0 8 2 】

N 個の容量素子のうち、第 1 番目の容量素子は、第 1 端子が第 1 のスイッチング素子 1 1 1 を介して光電変換回路 1 0 0 に電氣的に接続される。すなわち、第 1 のスイッチング素子 1 1 1 は、オン状態またはオフ状態になることにより第 1 番目の容量素子の第 1 端子と光電変換回路 1 0 0 との導通を制御する機能を有する。

【 0 0 8 3 】

N 個の容量素子のうち、第 K 番目（ $2 \leq K \leq N$ 、K は自然数）の容量素子は、第 1 端子が第 K - 1 番目の第 3 のスイッチング素子を介して第 K - 1 番目の容量素子の第 1 端子に電氣的に接続される。すなわち、第 K - 1 番目の第 3 のスイッチング素子は、オン状態またはオフ状態になることにより第 K 番目の容量素子の第 1 端子と第 K - 1 番目の容量素子の第 1 端子との導通を制御する機能を有する。

【 0 0 8 4 】

また N - 1 個の第 3 のスイッチング素子は、光電変換回路 1 0 0 において生成される第 1 の電流の値に応じて第 1 番目からそれぞれ所望のタイミングで順次オン状態になる機能を有する。

【 0 0 8 5 】

図 3 に示す光電変換装置では、充放電回路 1 0 1 の構成の一例として、第 1 の容量素子 1 4 1 と、第 2 の容量素子 1 4 2 と、第 3 のスイッチング素子 1 1 3 と、を有する例を示している。

【 0 0 8 6 】

第 1 の容量素子 1 4 1 は、第 1 端子がコンパレータ 1 0 3 の第 2 の入力端子に電氣的に接続され、第 2 端子が接地される。

【 0 0 8 7 】

また、第 2 の容量素子 1 4 2 は、第 1 端子が第 3 のスイッチング素子 1 1 3 を介して第 1 の容量素子 1 4 1 の第 1 端子に電氣的に接続され、第 2 端子が接地される。

【 0 0 8 8 】

第 3 のスイッチング素子 1 1 3 は、第 1 の電流に応じてオン状態またはオフ状態が制御され、第 1 の容量素子 1 4 1 の第 1 端子と第 2 の容量素子 1 4 2 の第 1 端子との導通を制御する機能を有する。また、第 3 のスイッチング素子 1 1 3 は、所望のタイミングにおいてオン状態になることが好ましい。第 3 のスイッチング素子 1 1 3 のオン状態になるタイミングは、例えば比較回路を設けることにより設定することができる。比較回路の構成の一例について図 5 に示す。

【 0 0 8 9 】

図 5 に示す比較回路は、第 1 の電位供給端子 3 0 1 と、第 2 の電位供給端子 3 0 2 と、第 3 の電位供給端子 3 0 3 と、第 4 の電位供給端子 3 0 4 と、分圧回路 3 0 5 と、コンパレータ 3 0 6 と、ラッチ回路 3 0 7 と、OR 回路 3 0 8 と、第 5 の電位供給端子 3 0 9 と

10

20

30

40

50

、出力端子 310 と、を有する。

【0090】

分圧回路 305 は、第 1 の電位供給端子 301 を介して与えられる電位と第 2 の電位供給端子 302 を介して与えられる電位との電位差である電圧を分圧する機能を有する。

【0091】

コンパレータ 306 は、第 1 の入力端子、第 2 の入力端子、及び出力端子を有し、第 1 の入力端子に入力され、分圧回路 305 において分圧された電圧に応じた電位（分圧電位、または第 2 の基準電位ともいう）と、第 3 の電位供給端子 303 を介して第 2 の入力端子に入力される電位とを比較し、比較結果に応じた電位の出力信号を出力する機能を有する。なお第 3 の電位供給端子 303 を介して入力される電位は、図 3 に示す光電変換装置におけるノード 106 の電位である。なお、分圧電位の値は、第 1 の容量素子 141 の電気容量の値によって任意の値に設定される。

【0092】

ラッチ回路 307 は、第 1 の入力端子、第 2 の入力端子、及び出力端子を有し、第 1 の入力端子に入力されたコンパレータ 306 の出力信号の値（電位）を保持する機能を有する。コンパレータ 306 の出力信号の値が保持されている間はラッチ回路 307 の出力信号の電位がラッチ回路 307 の第 1 の入力端子に入力される入力信号の電位と等しくなる。また、ラッチ回路 307 は、第 4 の電位供給端子 304 を介して第 2 の入力端子に第 1 のリセット電位が与えられることによりラッチ回路 307 に保持された信号の値はリセットされる。

【0093】

OR 回路 308 は、ラッチ回路 307 から入力された信号がハイ状態のとき、または第 5 の電位供給端子 309 を介して第 2 のリセット電位が与えられることにより、ハイ状態である信号を出力端子 310 に出力する。

【0094】

また、図 5 に示す比較回路は、出力端子 310 を介して OR 回路 308 の出力信号を出力する。このとき出力信号は、図 3 における第 3 のスイッチング素子 113 の制御信号となり、例えば出力信号がハイ状態の場合には、第 3 のスイッチング素子 113 がオン状態になり、出力信号がロウ状態の場合には、第 3 のスイッチング素子 113 がオフ状態になる。

【0095】

例えば上記のような構成の比較回路を設けることにより、複数の容量素子の接続の切換を行うことができる。

【0096】

電流回路 102 は、電流源 150 を有し、電流源 150 は、第 1 端子が第 2 のスイッチング素子 112 を介して充放電回路 101 における第 1 の容量素子 141 の第 1 端子に電氣的に接続され、第 2 端子が接地される。すなわち、第 2 のスイッチング素子 112 は、電流源 150 の第 1 端子と第 1 の容量素子 141 の第 1 端子との導通を制御する機能を有する。このとき第 2 の電流は第 1 端子から第 2 端子に流れる。

【0097】

また、図 3 に示す光電変換装置は、第 4 のスイッチング素子 114 を有する。第 4 のスイッチング素子 114 を介してコンパレータ 103 の第 2 の入力端子と出力端子とが電氣的に接続される。すなわち、第 4 のスイッチング素子 114 は、コンパレータ 103 の第 2 の入力端子と出力端子との導通を制御する機能を有する。なお、第 4 のスイッチング素子 114 としては、上記第 1 のスイッチング素子 111 乃至第 3 のスイッチング素子 113 に適用可能なスイッチング素子と同様のものを適用することができる。

【0098】

さらに図 3 に示す光電変換装置の回路構成に加え、入射した光の照度に応じて生成された信号をデジタル信号に変換するための回路を設けた光電変換装置の構成について図 6 を用いて説明する。図 6 は、本実施の形態における光電変換装置の構成の一例を示す回路図

10

20

30

40

50

である。

【0099】

図6に示す光電変換装置は、図3に示す光電変換装置の回路構成に加え、定電圧回路121（レギュレータともいう）、制御回路122、ラッチ回路123、カウンタ回路124、クロック信号生成回路125、及びインターフェース回路126を有する。

【0100】

定電圧回路121は、一定の値の電圧（定電圧ともいう）を生成する機能を有する。生成された定電圧は、例えば基準電位として出力される。また定電圧回路121は、必要に応じ、制御回路122、ラッチ回路123、カウンタ回路124、クロック信号生成回路125、またはインターフェース回路126に各回路を駆動するための電位（電源電位ともいう）を出力することもできる。

10

【0101】

また、制御回路122は、本実施の形態の光電変換装置内のスイッチング素子のオン状態またはオフ状態のタイミングを制御する機能を有し、また本実施の形態の光電変換装置のいずれかをリセットするための信号（リセット信号ともいう）を生成する機能を有する。また制御回路122は、ラッチ回路123、カウンタ回路124、クロック信号生成回路125、またはインターフェース回路126における各信号の同期をとることもできる。

【0102】

また、ラッチ回路123は、コンパレータ103の出力端子（図3に示す出力端子105）に電氣的に接続され、コンパレータ103の出力信号に応じてカウンタ回路124から出力されるカウント値を保持する機能を有する。ラッチ回路123で保持されたカウント値は、インターフェース回路126にデジタル信号として出力される。

20

【0103】

また、カウンタ回路124は、クロック信号生成回路125から出力されるクロック信号（CLKともいう）のエッジ（例えばハイ状態からロウ状態になるときの変化点、またはロウ状態からハイ状態になるときの変化点）をカウントする機能を有する。さらにカウンタ回路124は、カウントされた数（カウント値、またはCNTともいう）に応じた電位の信号をラッチ回路123に出力する。なお、出力するカウント値は、カウント可能な数（ビット数という）に応じたバス数にて、デジタル信号としてラッチ回路に123

30

【0104】

また、クロック信号生成回路125は、カウンタ回路124でカウントするクロック信号をカウンタ回路124に出力する機能を有する。クロック信号生成回路125としては、例えば固体振動子発振回路、またはCR発振回路などを用いて構成することができる。

【0105】

また、インターフェース回路126は、例えばデジタルシリアルインターフェースの一つであるI²C（Inter Integrated circuit）インターフェースをインターフェースとして用いることができる。I²Cインターフェースは、他の装置とのデータ通信のためのシリアルデータライン（SDA）と、他の装置との間のデータ通信を制御及び同期化するためのシリアルクロックライン（SCL）と、からなるI²Cバスによって外部装置に接続されている。I²Cインターフェースに接続された回路は、固有のアドレスによって応答または非応答が選択され、回路間でデータ通信を行うことができる。なおI²Cバス以外に、ユニバーサルシリアルバス（Universal Serial Bus）、シリアル周辺インターフェース（Serial Peripheral Interface）などのバス規格を用いることができる。以上が図6に示す光電変換装置の構成の説明である。

40

【0106】

次に図6における光電変換装置の動作について図7及び図8を用いて説明する。図7及

50

び図 8 は、図 6 に示す本実施の形態の光電変換装置の動作を示すタイミングチャート図である。なお本実施の形態では、光電変換回路 100 によって生成される I_L の値が I_{ref} の値より低い場合と高い場合についてそれぞれ説明する。なお、 I_{ref} の値は、充放電回路 101 の電気容量を考慮して設定された任意の値である。

【0107】

図 7 及び図 8 に示すように、図 6 に示す光電変換装置の動作は、第 1 の期間 251、第 2 の期間 252、及び第 3 の期間 253 に分けられる。

【0108】

まず $I_L < I_{ref}$ の場合について図 7 を用いて説明する。

【0109】

図 7 に示すように、まず第 1 の期間 251 では、第 1 のスイッチング素子 111 及び第 2 のスイッチング素子 112 がオフ状態になり、第 3 のスイッチング素子 113 及び第 4 のスイッチング素子 114 がオン状態になる。

【0110】

このときコンパレータ 103 の第 2 の入力端子と出力端子とが導通状態になり、ノード 106 の電位 (V_{106} ともいう) が V_{ref} になり、また第 1 の容量素子 141 及び第 2 の容量素子 142 の第 1 端子の電位も V_{ref} になる。

【0111】

さらに、このときラッチ回路 123 に入力される信号の電位 (V_{123} ともいう) は V_{ref} となる。以上が第 1 の期間 251 における動作である。なお、実際に V_{123} は、 V_{ref} からコンパレータ 103 のオフセット電位分を引いた値となる。このため、第 3 のスイッチング素子 113 を設けることにより、コンパレータ 103 のオフセット電位が経時変化した場合においてもコンパレータ 103 の入出力信号を補正することができる。本実施の形態では、便宜のため V_{123} は V_{ref} になるものとして説明する。

【0112】

次に第 2 の期間 252 では、第 1 のスイッチング素子 111 がオン状態になり、第 3 のスイッチング素子 113 及び第 4 のスイッチング素子 114 がオフ状態になる。また、第 2 のスイッチング素子 112 はオフ状態のままである。

【0113】

このとき光電変換回路 100 にて生成される第 1 の電流の値に応じて充放電回路 101 に電荷が蓄積される。このとき V_{106} は V_x まで上昇する。 V_x は、 V_{ss} より高く、充放電回路 101 に可能な限り電荷が蓄積されたときの電位 V_{max} より低い任意の値である。

【0114】

さらにこのとき V_{123} は、 V_{106} の値が V_{ref} の値より高く、コンパレータ 103 の出力信号の電位が V_{ss} であるため、 V_{ss} である。以上が第 2 の期間 252 における動作である。

【0115】

次に第 3 の期間 253 では、第 1 のスイッチング素子 111 がオフ状態になり、第 2 のスイッチング素子 112 がオン状態になる。また、第 3 のスイッチング素子 113 及び第 4 のスイッチング素子 114 はオフ状態のままである。

【0116】

このとき電流回路 102 において第 1 端子から第 2 端子に第 2 の電流が流れるため、充放電回路 101 に蓄積された電荷が一定量ずつ放出される。このとき V_{106} は下降し、時間 t_1 で V_{ref} になり、その後 V_{ss} になる。 V_{106} が V_x から V_{ref} まで下降する時間 (放電時間ともいう) は充放電回路 101 に蓄積される電荷の値によって異なり、さらに充放電回路 101 に蓄積される電荷の値は、充放電回路 101 の電気容量、または光電変換回路 100 により生成される第 1 の電流の値によって異なる。

【0117】

また、カウンタ回路 124 では、第 2 のスイッチング素子 112 がオン状態になると

10

20

30

40

50

同時にカウント値がリセットされ、その後クロック信号のエッジのカウント（カウントアップともいう）が行われる。このときの時間を時間 t_0 とする。その後 V_{106} の電位が下降し、時間 t_1 において V_{ref} になると、コンパレータ 103 の出力信号の電位が V_{dd} になり、ラッチ回路 123 に電位が V_{dd} である信号が入力されることにより、ラッチ回路 123 には、時間 t_0 から時間 t_1 までの第 1 のカウント値 500 に基づく電位の信号が保持され、保持された値に従ってインターフェース回路 126 によりデジタル信号が生成される。以上が第 3 の期間 253 における動作である。

【0118】

なお、第 3 の期間 253 における電流回路 102 の第 2 の電流の値は、第 2 の電流の値を i_0 とすると、 $i_0 = (t_0 \times 1 \text{ つのカウント値に対応する第 1 の電流の値}) / (\text{クロック信号生成回路 125 におけるクロック信号の } 0.5 \text{ 周期の時間})$ により設定されることが好ましい。これにより、コンパレータ 103 における電位の比較をより正確に行うことができる。

10

【0119】

次に $I_L > I_{ref}$ の場合について図 8 を用いて説明する。

【0120】

図 8 に示すように、まず第 1 の期間 251 については、 $I_L < I_{ref}$ の場合における動作と同じであるため、 $I_L < I_{ref}$ の場合における動作の説明を援用する。

【0121】

次に第 2 の期間 252 では、第 1 のスイッチング素子 111 がオン状態になり、第 4 のスイッチング素子 114 がオフ状態になる。また第 2 のスイッチング素子 112 がオフ状態のままである。また、第 3 のスイッチング素子 113 は第 2 の期間 252 内の一定期間においてオフ状態のままである。

20

【0122】

このとき光電変換回路 100 において生成される第 1 の電流の値に応じて充放電回路 101 に電荷が蓄積される。このとき V_{106} が V_z まで上昇すると、第 3 のスイッチング素子 113 がオン状態になる。なお V_z は、 V_{ss} より高く、充放電回路 101 に可能な限り電荷が蓄積されたときの電位 V_{max} より低い任意の値であり、例えば図 5 に示す比較回路により設定することができる。

【0123】

30

さらに、第 3 のスイッチング素子 113 がオン状態になると、第 1 の容量素子 141 及び第 2 の容量素子 142 が容量結合される。容量結合されると、 V_{106} は、 V_z から下降し、 V_w になる。このとき第 1 の容量素子 141 の電気容量を C_1 、第 2 の容量素子の電気容量を C_2 とすると、 $V_w = (C_1 V_z + C_2 V_{ref}) / (C_1 + C_2)$ となる。すなわち V_w は、第 1 の容量素子 141 及び第 2 の容量素子 142 の電気容量の値を設定することにより設定された任意の値である。

【0124】

さらに V_{106} の値は、 V_w から再び上昇し、 V_y になる。 V_y は、 V_{ss} より高く、 V_{max} より低い任意の値である。

【0125】

40

さらにこのとき V_{123} は、 V_{106} の値が V_{ref} の値より高く、コンパレータ 103 の出力信号の電位が V_{ss} であるため、 V_{ss} である。以上が第 2 の期間 252 における動作である。

【0126】

次に第 3 の期間 253 では、第 1 のスイッチング素子 111 がオフ状態になり、第 2 のスイッチング素子 112 がオン状態になる。また、第 3 のスイッチング素子 113 はオン状態のままであり、第 4 のスイッチング素子 114 はオフ状態のままである。

【0127】

このとき電流回路 102 において第 1 端子から第 2 端子に第 2 の電流が流れるため一定量ずつ電荷が放出される。このとき V_{106} は下降し、時間 t_1 で V_{ref} になり、その

50

後 V_{ss} になる。 V_{106} が V_x から V_{ref} まで下降する時間（放電時間ともいう）は充放電回路 101 に蓄積される電荷の値によって異なり、さらに充放電回路 101 に蓄積される電荷の値は、充放電回路 101 の電気容量、または光電変換回路 100 により生成される第 1 の電流の値によって異なる。

【0128】

また、カウンタ回路 124 では、第 2 のスイッチング素子 112 がオン状態になると同時にカウント値がリセットされ、その後クロック信号のエッジのカウントアップを行う。このときの時間を時間 t_0 とする。その後 V_{106} の電位が下降し、時間 t_2 において V_{ref} になると、コンパレータ 103 の出力信号が V_{dd} になり、ラッチ回路 123 に電位が V_{dd} である信号が入力されることにより、ラッチ回路 123 には、時間 t_0 から時間 t_2 までの第 2 のカウント値 501 に基づく電位である信号が保持され、保持された値に従ってインターフェース回路 126 によりデジタル信号が生成される。以上が第 3 の期間 253 における動作である。

10

【0129】

また光電変換回路 100 へ入射した光の照度とカウンタ回路 124 のカウント値との関係を図 9 に示す。図 9 に示すように、本実施の形態で説明した光電変換装置は、照度が高くなるほどカウント値も大きくなるため、カウント値により入射した光の照度の検出を行うことができ、確度の高い光の照度の検出を行うことができる。また、本実施の形態の光電変換装置は、例えば 10 ビット以上のカウント値を用いることもできるため、光電変換において光の照度に対する分解能をより向上させることができる。

20

【0130】

さらに本実施の形態の光電変換装置における充放電回路の放電時間について計算による検証を行った。詳細について以下に説明する。

【0131】

まず従来例として、図 3 に示す光電変換装置の容量素子 142 を設けずにその他は図 3 に示す光電変換装置の構成と同じである光電変換装置について考える。このときコンパレータ 103 の第 2 の入力端子には電位供給端子 104 を介して基準電圧 V_0 が与えられる。なお、従来例の光電変換装置の動作については、図 7 に示すタイミングチャートを適宜用いて説明する。

30

【0132】

まず第 2 の期間 252 において、充放電回路 101 の容量を C_0 とし、 $C_0 = C_{141}$ （容量素子 141 の容量）とし、光電変換素子 200 の光電流に基づく電流により一定時間 T_0 の間容量素子 141 を充電したとするとノード 106 の電圧（ $V(L_x)$ ）ともいう）は下記数式 1 により表すことができる。このとき $Q(L_x)$ は、光電流に基づく電流により充放電回路に充電される電荷を示す。

【0133】

【数 1】

$$V(L_x) = \frac{Q(L_x)}{C_0} + V_0 \quad (\text{数式 1})$$

40

【0134】

ここで、ノード 106 の電位が V_0 に設定され、充放電回路 101 では光電流に基づく電流によって $Q(L_x)$ の電荷が充電されたとする。この後、第 3 の期間 253 で電流回路 102 により充電された充放電回路 101 を一定電流 I_0 で放電する。このとき、コンパレータ 103 の出力が反転するまでの放電時間 $T_{mea}^{(c)}$ は下記数式 2 により表すことができる。

【0135】

【数 2】

$$T_{mea}^{(c)} = \frac{Q(L_x)}{I_0} \quad (\text{数式 2})$$

【0136】

しかし、実際の光電変換装置ではノイズの影響を受ける。ノイズには、容量 C_0 などに依存するものもあるが、ここでは簡単のため、容量に依存しないもののみを考える。このノイズ電圧を V_n とすると、従来例における実際の光電変換装置での放電時間 $T_{mea}^{(c)}$ は下記数式 3 により表すことができる。

【0137】

【数 3】

$$T_{mea}^{(c)} = \frac{Q(L_x) - C_0 V_n}{I_0} = T_{mea}^{(c)} - \frac{C_0 V_n}{I_0} \quad (\text{数式 3})$$

【0138】

次に、本発明の一態様である光電変換装置の一例として図 3 に示す光電変換装置について考える。 $C_1 = C_{141} + C_{142}$ （容量素子 142 の容量）とすると、一定値より高照度で第 3 のスイッチング素子 113 がオン状態になる場合には、従来例とは同じ結果となる。ここでは、一定値より低照度で第 3 のスイッチング素子 113 がオフ状態のままの場合を考える。この場合の放電時間は、下記数式 4 により表すことができる。

【0139】

【数 4】

$$T_{mea}^{(c)} = \frac{Q(L_x) - C_{141} V_n}{I_0} = T_{mea}^{(c)} - \frac{C_{141} V_n}{I_0}$$

【0140】

このとき $C_{141} < C_0$ であるため、ノイズによるずれは、従来例より本発明の一態様の光電変換装置の方が小さいことがわかる。

【0141】

よって本発明の一態様である光電変換装置では、単位時間あたりの放電量が従来の光電変換装置の単位時間あたりの放電量より大きいと、本発明の一態様である光電変換装置は、従来の光電変換装置より理想的なカウント値とのずれを少なくすることができる。よって検証結果においても分解能が向上することがわかる。

【0142】

以上のように、本実施の形態の光電変換装置は、光電変換回路において生成される第 1 の電流の値に応じ、すなわち入射した光の照度に応じて充放電回路の電気容量を変化させることにより、光電変換回路において生成された第 1 の電流の値に応じた電荷が充放電回路に蓄積可能な電荷の値を超えることなく、充放電回路に第 1 の電流の値に応じた電荷を蓄積することができるため、光電変換において光の照度に対する分解能を向上させることができる。

【0143】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0144】

（実施の形態 2）

本実施の形態では、本発明の一態様である光電変換装置として、上記実施の形態 1 に示す光電変換装置と異なる構成の光電変換装置について説明する。

【0145】

まず本実施の形態の光電変換装置の構成について図 10 を用いて説明する。図 10 は、本実施の形態における光電変換装置の構成の一例を示す回路図である。

【 0 1 4 6 】

図 1 0 に示す光電変換装置は、光電変換回路 1 0 0 と、充放電回路 1 0 1、電流回路 1 0 2 と、コンパレータ 1 0 3 と、第 1 のスイッチング素子 1 1 1 と、第 2 のスイッチング素子 1 1 2 と、第 4 のスイッチング素子 1 1 4 と、定電圧回路 1 2 1 と、制御回路 1 2 2 と、ラッチ回路 1 2 3 と、カウンタ回路 1 2 4 と、クロック信号生成回路 1 2 5 と、インターフェース回路 1 2 6 と、を有する。

【 0 1 4 7 】

さらに充放電回路 1 0 1 は、第 1 の容量素子 1 4 1 と、第 2 の容量素子 1 4 2 と、第 3 のスイッチング素子 1 1 3 と、を有する。

【 0 1 4 8 】

なお、図 1 0 に示す光電変換装置において、図 3 に示す光電変換装置を構成する素子及び回路と同等の符号が付されたものについては、便宜のため図 3 に示す光電変換装置を構成する素子及び回路における説明を適宜援用し、図 1 0 に示す光電変換装置においては説明を省略する。

【 0 1 4 9 】

光電変換回路 1 0 0 は、光電変換素子 6 0 0 と、増幅回路 6 0 1 と、を有する。

【 0 1 5 0 】

光電変換素子 6 0 0 は、光が入射することにより、入射した光の照度に応じた光電流を生成する機能を有する。

【 0 1 5 1 】

増幅回路 6 0 1 は、光電変換素子 6 0 0 により生成された光電流の値を増幅する機能を有する。

【 0 1 5 2 】

さらに増幅回路 6 0 1 は、参照用トランジスタとなる第 1 のトランジスタ 6 1 1 及び出力用トランジスタとなる第 2 のトランジスタ 6 1 2 からなるカレントミラー回路により構成される。なお図 1 0 に示すカレントミラー回路において第 1 のトランジスタ 6 1 1 及び第 2 のトランジスタ 6 1 2 により構成する例について示しているが、これに限定されず、第 1 のトランジスタ 6 1 1 及び第 2 のトランジスタ 6 1 2 をそれぞれ複数設けて構成することもできる。

【 0 1 5 3 】

さらに光電変換素子 6 0 0 は、第 1 端子（陽極側の端子）が第 1 のトランジスタ 6 1 1 のソース端子及びドレイン端子の一方に電氣的に接続され、第 2 端子（陰極側の端子）が第 1 の電位供給端子 6 2 1 に電氣的に接続される。

【 0 1 5 4 】

また、増幅回路 6 0 1 において、第 1 のトランジスタ 6 1 1 は、ゲート端子が第 1 のトランジスタ 6 1 1 のソース端子及びドレイン端子の一方に電氣的に接続され、ソース端子及びドレイン端子の他方が第 2 の電位供給端子 6 2 2 に電氣的に接続される。第 2 のトランジスタ 6 1 2 は、ゲート端子が第 1 のトランジスタ 6 1 1 のゲート端子に電氣的に接続され、ソース端子及びドレイン端子の一方が第 1 のスイッチング素子 1 1 1 を介して充放電回路 1 0 1 に電氣的に接続され、ソース端子及びドレイン端子の他方が第 3 の電位供給端子 6 2 3 に電氣的に接続される。このとき第 1 のトランジスタ 6 1 1 及び第 2 のトランジスタ 6 1 2 は n チャネル型トランジスタである。

【 0 1 5 5 】

光電変換回路 1 0 0 は、第 1 の電位供給端子 6 2 1 を介して電源電位が与えられ、第 2 の電位供給端子 6 2 2 及び第 3 の電位供給端子 6 2 3 を介して接地電位が与えられる。

【 0 1 5 6 】

次に図 1 0 に示す光電変換装置における光電変換回路 1 0 0 の動作について説明する。

【 0 1 5 7 】

光電変換素子 6 0 0 に光が入射すると、光電変換素子 6 0 0 において入射した光の照度に応じた光電流が生成され、光電流に応じて第 1 のトランジスタ 6 1 1 がオン状態になり

10

20

30

40

50

、第 1 のトランジスタ 6 1 1 のソース端子及びドレイン端子の間に電流が流れる。また、光電流に応じて第 2 のトランジスタがオン状態になり、第 2 のトランジスタ 6 1 2 のソース端子及びドレイン端子の間に第 1 の電流が流れる。以上が図 1 0 に示す光電変換装置における光電変換回路 1 0 0 の動作である。

【 0 1 5 8 】

電流回路 1 0 2 は、一定の値である第 2 の電流を生成する機能を有し、第 2 のスイッチング素子 1 1 2 がオン状態になることにより、電流回路 1 0 2 において第 2 の電流が流れ、第 2 の電流に応じて充放電回路 1 0 1 に電荷が蓄積される。より具体的には、電流回路 1 0 2 は、電流源 7 5 0 と、電位供給端子 7 5 1 と、を有し、電流源 7 5 0 は、第 1 端子が第 2 のスイッチング素子 1 1 2 を介して充放電回路 1 0 1 における第 1 の容量素子 1 4 1 の第 1 端子に電氣的に接続され、第 2 端子が電位供給端子 7 5 1 に電氣的に接続される。電位供給端子 7 5 1 には、電源電位が与えられる。このとき第 2 の電流は、第 2 端子から第 1 端子に流れる。

10

【 0 1 5 9 】

次に図 1 0 に示す光電変換装置の動作について図 1 1 及び図 1 2 を用いて説明する。図 1 1 及び図 1 2 は、図 1 0 に示す光電変換装置の動作を示すタイミングチャート図である。ここでは、光電変換回路 1 0 0 によって生成される I_L の値が I_{ref} の値より低い場合と高い場合についてそれぞれ説明する。なお、 I_{ref} の値は、充放電回路 1 0 1 の電気容量を考慮して設定された任意の値である。

【 0 1 6 0 】

20

図 1 1 及び図 1 2 に示すように、図 1 0 に示す光電変換装置の動作は、第 1 の期間 2 5 1、第 2 の期間 2 5 2、及び第 3 の期間 2 5 3 に分けられる。

【 0 1 6 1 】

まず $I_L < I_{ref}$ の場合について説明する。

【 0 1 6 2 】

図 1 1 に示すように、まず第 1 の期間 2 5 1 では、第 1 のスイッチング素子 1 1 1、第 2 のスイッチング素子 1 1 2 がオフ状態になり、及び第 3 のスイッチング素子 1 1 3 及び第 4 のスイッチング素子 1 1 4 がオン状態になる。

【 0 1 6 3 】

このときコンパレータ 1 0 3 の第 2 の入力端子と出力端子とが導通状態になり、ノード 1 0 6 の電位 (V_{106} ともいう) が V_{ref} となり、また第 1 の容量素子 1 4 1 の第 1 端子及び第 2 の容量素子 1 4 2 の第 1 端子の電位も V_{ref} になる。このとき第 1 の容量素子 1 4 1 の第 1 端子には、 V_{ref} 分の電荷が蓄積される。

30

【 0 1 6 4 】

さらに、このときラッチ回路 1 2 3 に入力される信号の電位 (V_{123} ともいう) は V_{ref} である。以上が第 1 の期間 2 5 1 における動作である。なお、実際に V_{123} は、 V_{ref} からコンパレータ 1 0 3 のオフセット電位分を引いた値となる。このため、第 3 のスイッチング素子 1 1 3 を設けることにより、コンパレータ 1 0 3 のオフセット電位が経時変化した場合においてもコンパレータ 1 0 3 の入出力信号を補正することができる。本実施の形態では、便宜のため V_{123} は V_{ref} になるものとして説明する。

40

【 0 1 6 5 】

次に第 2 の期間 2 5 2 では、第 1 のスイッチング素子 1 1 1 がオン状態になり、第 4 のスイッチング素子 1 1 4 がオフ状態になる。また、第 2 のスイッチング素子 1 1 2 及び第 3 のスイッチング素子 1 1 3 はオフ状態のままである。

【 0 1 6 6 】

このとき光電変換回路 1 0 0 において生成される第 1 の電流の値に応じて充放電回路 1 0 1 から電荷が放出される。このとき V_{106} は V_x まで下降する。 V_x は、 V_{ss} より高く、充放電回路 1 0 1 に可能な限り電荷が蓄積されたときの電位 V_{max} より低い任意の値である。

【 0 1 6 7 】

50

さらにこのとき V_{123} は、 V_{106} の値が V_{ref} の値より低く、コンパレータ 103 の出力信号の電位が V_{dd} であるため、 V_{dd} である。以上が第 2 の期間 252 における動作である。

【0168】

次に第 3 の期間 253 では、第 1 のスイッチング素子 111 がオフ状態になり、第 2 のスイッチング素子 112 がオン状態になる。また、第 3 のスイッチング素子 113 及び第 4 のスイッチング素子 114 はオフ状態のままである。

【0169】

このとき電流回路 102 において、第 2 端子から第 1 端子に第 2 の電流が流れるため、第 2 の電流に応じて充放電回路 101 には一定量ずつ電荷が蓄積される。このとき V_{106} は上昇し、時間 t_1 で V_{ref} になり、その後 V_{max} になる。 V_{106} が V_x から V_{ref} まで上昇する時間（充電時間ともいう）は充放電回路 101 に蓄積している電荷の値によって異なり、さらに充放電回路 101 に蓄積している電荷の値は、充放電回路 101 の電気容量、または光電変換回路 100 により生成される第 1 の電流の値によって異なる。

【0170】

また、カウンタ回路 124 では、第 2 のスイッチング素子 112 がオン状態になると同時にクロック信号のエッジのカウント（カウントアップともいう）が開始される。このときの時間を時間 t_0 とする。その後 V_{106} の電位が上昇し、時間 t_1 において V_{ref} になると、コンパレータ 103 の出力信号の電位が V_{ss} になり、ラッチ回路 123 に電位が V_{ss} である信号が入力されることにより、ラッチ回路 123 には、時間 t_0 から時間 t_1 までの第 1 のカウント値 800 に基づく電位の信号が保持され、保持された値に従ってインターフェース回路 126 によりデジタル信号が生成される。以上が第 3 の期間 253 における動作である。

【0171】

なお、第 3 の期間 253 における電流回路 102 の第 2 の電流の値は、第 2 の電流の値を i_0 とすると、 $i_0 = (t_0 \times 1 \text{ つのカウント値に対応する第 1 の電流の値}) / \text{クロック信号生成回路 125 におけるクロック信号の } 0.5 \text{ 周期の時間により設定されることが好ましい}$ 。これにより、コンパレータ 103 における電位の比較をより正確に行うことができる。

【0172】

次に $I_L > I_{ref}$ の場合について説明する。

【0173】

図 12 に示すように、まず第 1 の期間 251 については、 $I_L < I_{ref}$ の場合における動作と同じであるため、 $I_L < I_{ref}$ の場合における動作の説明を援用する。

【0174】

次に第 2 の期間 252 では、第 1 のスイッチング素子 111 がオン状態になり、第 4 のスイッチング素子 114 がオフ状態になる。また第 2 のスイッチング素子 112 がオフ状態のままである。また、第 3 のスイッチング素子 113 は第 2 の期間 252 内の一定期間においてオフ状態のままである。

【0175】

このとき光電変換回路 100 にて生成される第 1 の電流の値に応じて充放電回路 101 に電荷が蓄積される。このとき V_{106} が V_z まで下降すると、第 3 のスイッチング素子 113 がオン状態になる。なお V_z は、 V_{ss} より高く、充放電回路 101 に可能な限り電荷が蓄積されたときの電位 V_{max} より低い任意の値であり、例えば図 5 に示す比較回路により設定することができる。

【0176】

さらに、第 3 のスイッチング素子 113 がオン状態になると、容量結合が起こり、容量結合されると、 V_{106} は、 V_z から上昇し、 V_w になる。このとき V_w の値は、第 1 の容量素子 141 の電気容量を C_1 、第 2 の容量素子の電気容量を C_2 とすると、 $V_w = C$

10

20

30

40

50

$V_z / (C_1 + C_2)$ となる。すなわち V_w は、第 1 の容量素子 141 及び第 2 の容量素子 142 の電気容量の値を設定することにより設定される任意の値である。

【0177】

さらに V_{106} の値は、 V_w から再び下降し、 V_y になる。 V_y は、 V_{ss} より高く、 V_{max} より低い任意の値である。

【0178】

さらにこのとき V_{123} は、 V_{106} の値が V_{ref} の値より低く、コンパレータ 103 の出力信号の電位が V_{dd} であるため、 V_{dd} である。以上が第 2 の期間 252 における動作である。

【0179】

次に第 3 の期間 253 では、第 1 のスイッチング素子 111 がオフ状態になり、第 2 のスイッチング素子 112 がオン状態になる。また、第 3 のスイッチング素子 113 はオン状態のままであり、第 4 のスイッチング素子 114 はオフ状態のままである。

【0180】

このとき電流回路 102 において第 2 端子から第 1 端子に第 2 の電流が流れるため、第 2 の電流に応じて充放電回路 101 には一定量ずつ電荷が蓄積される。このとき V_{106} は上昇し、時間 t_2 で V_{ref} になり、その後 V_{max} になる。 V_{106} が V_y から V_{ref} まで上昇する時間（充電時間ともいう）は充放電回路 101 に予め蓄積されている電荷の値によって異なり、さらに充放電回路 101 に蓄積されている電荷の値は、充放電回路 101 の電気容量、または光電変換回路 100 により生成される第 1 の電流の値によって異なる。

【0181】

また、カウンタ回路 124 では、第 2 のスイッチング素子 112 がオン状態になると同時にクロック信号のエッジのカウントアップを開始する。このときの時間を時間 t_0 とする。その後 V_{106} の電位が上昇し、時間 t_2 において V_{ref} になると、コンパレータ 103 の出力信号が V_{ss} になり、ラッチ回路 123 に電位が V_{ss} である信号が入力されることにより、ラッチ回路 123 には、時間 t_0 から時間 t_2 までの第 2 のカウント値 801 に基づく電位である信号が保持され、保持された値に従ってインターフェース回路 126 によりデジタル信号が生成される。以上が第 3 の期間 253 における動作である。

【0182】

以上のように、本実施の形態の光電変換装置は、増幅回路 601 に n チャネル型トランジスタを用いた場合においても、光電変換回路 100 において生成される第 1 の電流の値に応じ、すなわち入射した光の照度に応じて充放電回路 101 の電気容量を変化させることにより、第 1 の電流に応じた電荷の値が充放電回路 101 に蓄積可能な電荷の値を超えることなく、第 1 の電流に応じて充放電回路 101 に予め蓄積された電荷を放電させることができるため、光電変換において光の照度に対する分解能を向上させることができる。

【0183】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0184】

（実施の形態 3）

本実施の形態では、本発明の一態様である光電変換装置の作製方法について説明する。ここでは、一例として薄膜トランジスタを用いた上記実施の形態 1 に示す光電変換装置の作製方法について説明する。

【0185】

本実施の形態における光電変換装置の作製方法について図 13 及び図 14 を用いて説明する。図 13 及び図 14 は、本実施の形態における光電変換装置の作製方法の一例を示す断面模式図である。なお、図 13 及び図 14 は便宜のため光電変換装置の断面を模式的に示したものであり、一部または全部において実際とは異なる寸法を用いて図示している。

【0186】

10

20

30

40

50

図 1 3 及び図 1 4 では、基板上に光電変換素子、トランジスタ、及び容量素子を形成する例について説明する。基板上に形成するトランジスタを薄膜トランジスタとすることにより、基板上に光電変換素子及びトランジスタを同一工程で作製することができるため、光電変換回路を有する光電変換装置の量産化がし易いといった利点がある。また、トランジスタのゲート電極とドレイン電極を電氣的に接続させることでダイオードとして用いることもできる。

【 0 1 8 7 】

まず、図 1 3 (A) に示すように、基板 (第 1 の基板 9 0 0) 上に下地絶縁膜 9 0 1 を形成し、さらに下地絶縁膜 9 0 1 の一部の上に島状である第 1 の半導体層 9 0 2 及び第 2 の半導体層 9 0 3 を形成する。

【 0 1 8 8 】

基板 9 0 0 としては例えばガラス基板などを用いることができる。また下地絶縁膜 9 0 1 は、例えば酸化珪素膜、窒化珪素膜、または窒素を含む酸化珪素膜を用いて形成することができ、また、酸化珪素膜、窒化珪素膜、及び窒素を含む酸化珪素膜積層のいずれかの単層または積層構造にすることができる。また上記に示した膜は、例えばプラズマ C V D 法などにより形成することができる。窒素を含む酸化珪素膜や窒化珪素膜は、ガラス基板からのアルカリ金属などの不純物拡散を防止するブロッキング層として機能する。ここでは、例として膜厚が 1 0 0 n m の窒素を含む酸化珪素膜を下地絶縁膜 9 0 1 として形成する。さらに第 1 の半導体層 9 0 2 及び第 2 の半導体層 9 0 3 としては、例えば非晶質シリコン、多結晶シリコン、または微結晶 (マイクロクリスタル、またはナノクリスタルともいう) シリコンなどに代表される非単結晶半導体膜を用いることができる。

【 0 1 8 9 】

また、例えば第 1 の半導体層 9 0 2 及び第 2 の半導体層 9 0 3 として、非晶質半導体膜を公知の技術 (固相成長法、レーザ結晶化方法、触媒金属を用いた結晶化方法など) により結晶化させて形成された結晶構造を有する半導体膜 (結晶性半導体膜) 、例えば多結晶珪素膜を用いることもできる。ここでは、触媒元素を用いた結晶化方法を用いて多結晶珪素膜を得る。重量換算で 1 0 p p m のニッケルを含む酢酸ニッケル溶液をスピナーで添加する。なお、溶液を添加する方法に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜 (ここでは多結晶珪素膜) を形成する。第 1 の半導体層 9 0 2 及び第 2 の半導体層 9 0 3 の作製例について以下に説明する。

【 0 1 9 0 】

ここでは、まず例として膜厚が 5 4 n m である水素を含む非晶質珪素膜を大気に触れることなく形成し、さらに熱処理 (5 0 0 、 1 時間) の後、結晶化のための熱処理 (5 5 0 、 4 時間) を行って多結晶珪素膜を形成する。

【 0 1 9 1 】

次に形成した多結晶珪素膜表面の酸化膜を希フッ酸等で除去する。その後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザ光 (X e C l : 波長 3 0 8 n m) の照射を大気中、または酸素雰囲気中で行う。

【 0 1 9 2 】

レーザ光には波長 4 0 0 n m 以下のエキシマレーザ光や、Y A G レーザの第 2 高調波又は第 3 高調波を用いる。ここでは、繰り返し周波数 1 0 ~ 1 0 0 0 H z 程度のパルスレーザ光を用い、当該レーザ光を光学系にて 1 0 0 ~ 5 0 0 m J / c m ² に集光し、9 0 ~ 9 5 % のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。本実施例では、繰り返し周波数 3 0 H z 、エネルギー密度 4 7 0 m J / c m ² でレーザ光の照射を大気中で行う。

【 0 1 9 3 】

なお、大気中、または酸素雰囲気中で行うため、レーザ光の照射により表面に酸化膜が形成される。なお、ここではパルスレーザを用いた例を示したが、連続発振のレーザを用いてもよく、半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な

10

20

30

40

50

固体レーザを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。

【0194】

連続発振のレーザを用いる場合には、出力10Wの連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度(好ましくは0.1～100MW/cm²)が必要である。そして、10～2000cm/s程度の速度でレーザ光に対して相対的に半導体膜を移動させて照射すればよい。

10

【0195】

次に上記レーザ光の照射により形成された酸化膜に加え、オゾン水で表面を120秒処理して合計1～5nmの酸化膜からなるバリア層を形成する。このバリア層は、結晶化させるために添加した触媒元素、例えばニッケル(Ni)を膜中から除去するために形成する。ここではオゾン水を用いてバリア層を形成したが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマCVD法やスパッタ法や蒸着法などで1～10nm程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザ光の照射により形成された酸化膜を除去してもよい。

20

【0196】

次にバリア層上にスパッタ法にてゲッタリングサイトとなるアルゴン元素を含む非晶質珪素膜を10nm～400nm、ここでは膜厚100nmで成膜する。ここでは、アルゴン元素を含む非晶質珪素膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成する。プラズマCVD法を用いてアルゴン元素を含む非晶質珪素膜を形成する場合、成膜条件は、モノシランとアルゴンの流量比(SiH₄:Ar)を1:99とし、成膜圧力を6.665Paとし、RFパワー密度を0.087W/cm²とし、成膜温度を350とする。

【0197】

その後、650℃に加熱された炉に入れて3分の熱処理を行い、触媒元素を除去(ゲッタリング)する。これにより結晶構造を有する半導体膜中の触媒元素濃度が低減される。炉に代えてランプアニール装置を用いてもよい。

30

【0198】

次にバリア層をエッチングストップパとして、ゲッタリングサイトであるアルゴン元素を含む非晶質珪素膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッタリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッタリング後に除去することが望ましい。

【0199】

なお、触媒元素を用いて半導体膜の結晶化を行わない場合には、上述したバリア層の形成、ゲッタリングサイトの形成、ゲッタリングのための熱処理、ゲッタリングサイトの除去、バリア層の除去などの工程は不要である。

40

【0200】

また、第1の半導体層902及び第2の半導体層903の作製方法としては、上記作製方法に限らず、本実施の形態の光電変換装置の作製方法では、他の作製方法を用いて形成することもできる。一例としては、SOI(シリコン・オン・インシュレータ)基板を用いて第1の半導体層902及び第2の半導体層903を形成してもよい。SOI基板としては、公知のSOI基板を用いればよく、その作製方法や構造は特に限定されない。SOI基板としては、代表的にはSIMOX基板や貼り合わせ基板が挙げられる。また、貼り合わせ基板の例として、ELTRAN(登録商標)、UNIBOND(登録商標)、スマートカット(登録商標)等が挙げられる。

50

【0201】

S I M O X 基板は、単結晶シリコン基板に酸素イオンを注入し、1300 以上で熱処理して埋め込み酸化膜層 (B O X ; B u r i e d O x i d e) を形成することにより、表面に薄膜シリコン層を形成し、S O I 構造を得ることができる。薄膜シリコン層は、埋め込み酸化膜層により、単結晶シリコン基板と絶縁分離されている。また、埋め込み酸化膜層形成後に、さらに熱酸化する I T O X (I n t e r n a l T h e r m a l O x i d a t i o n - S I M O X) と呼ばれる技術を用いることもできる。

【0202】

貼り合わせ基板は、酸化膜層を介して2枚の単結晶シリコン基板 (第1単結晶シリコン基板、第2単結晶シリコン基板) を貼り合わせ、一方の単結晶シリコン基板を貼り合わせた面ではない方の面から薄膜化することにより、表面に薄膜シリコン層を形成した S O I 基板のことをいう。酸化膜層は、一方の基板 (ここでは第1単結晶シリコン基板) を熱酸化して形成することができる。また、2枚の単結晶シリコン基板は、接着剤なしで直接貼り合わせることができる。

10

【0203】

なお、貼り合わせ基板としては、2枚の単結晶基板を貼り合わせることに限らず、ガラス基板等の絶縁表面を有する基板と、単結晶基板とを貼り合わせて S O I 基板を作製してもよい。

【0204】

さらにここでは、得られた結晶構造を有する半導体膜 (例えば結晶性珪素膜) の表面にオゾン水で薄い酸化膜を形成した後、第1のフォトリソマスクを用いてレジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された第1の半導体層 902 及び第2の半導体層 903 が形成される。第1の半導体層 902 及び第2の半導体層 903 を形成した後、レジストからなるマスクを除去する。

20

【0205】

さらに本実施の形態の光電変換装置の作製方法では、必要があれば第1の半導体層 902 及び第2の半導体層 903 に不純物元素 (ホウ素またはリン) の添加することもできる。不純物元素の添加としては、例えばジボラン (B_2H_6) を質量分離しないでプラズマ励起したイオンドープ法を用いて行うことができる。

【0206】

さらに本実施の形態の光電変換装置の作製方法では、フッ酸を含むエッチャントで酸化膜を除去すると同時に第1の半導体層 902 及び第2の半導体層 903 の表面を洗浄した後、ゲート絶縁膜 904 となる珪素を主成分とする絶縁膜を形成する。ここでは、プラズマ C V D 法により 115 nm の厚さで窒素を含む酸化珪素膜 (組成比 $Si = 32\%$ 、 $O = 59\%$ 、 $N = 7\%$ 、 $H = 2\%$) で形成する。

30

【0207】

次に、図13 (B) に示すように第1の半導体層 902 及び第2の半導体層 903 を介して下地絶縁膜 901 上にゲート絶縁膜 904 を形成し、ゲート絶縁膜 904 を介して電極 905、電極 906、電極 908、及び電極 909 を形成し、ゲート絶縁膜 904 を介して第1の半導体層 902 の一部の上にゲート電極 907 を形成する。ゲート絶縁膜 904 としては、例えば窒化絶縁膜、酸化絶縁膜、窒素を含む酸化絶縁膜などを適用することができる。また、電極 905、電極 906、ゲート電極 907、電極 908、及び電極 909 としては、例えばチタン、タングステン、タンタル、モリブデン、ネオジム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、アルミニウム、金、銀、銅から選ばれた元素、または元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。

40

【0208】

次に図13 (C) に示すように、第1の半導体層 902 への一導電型を付与する不純物

50

の導入を行って、第1の半導体層902のソース領域及びドレイン領域となる不純物領域910を形成する。ここでは一例として、n型の不純物、例えばリン、砒素に導入するが、これに限定されず、本実施の形態の光電変換装置の作製方法では、p型の不純物を第1の半導体層902に導入することもできる。

【0209】

次に図13(D)に示すように、第1の層間絶縁膜911を形成する。第1の層間絶縁膜911としては、例えばCVD法などを用いて酸化絶縁膜、窒化絶縁膜、酸素を含む窒化絶縁膜、及び水素及び酸素を含む窒化絶縁膜など単層または積層することにより形成することができる。ここでは、例としてCVD法により酸化珪素膜を含む第1の層間絶縁膜(図示しない)を50nm形成した後、それぞれの島状半導体領域に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラビッドサーマルアニール法(RTA法)、或いはYAGレーザまたはエキシマレーザを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。

【0210】

さらに第1の層間絶縁膜911上に第2の層間絶縁膜912を形成する。第2の層間絶縁膜912としては、例えば絶縁材料を形成することができる。また第2の層間絶縁膜912はCVD法で得られる絶縁膜を用いることができる。本実施の形態においては密着性を向上させるため、第2の層間絶縁膜912として、900nmの膜厚で形成した窒素を含む酸化珪素膜を形成する。

【0211】

さらにここでは、熱処理(300~550℃で1~12時間の熱処理、例えば窒素雰囲気中410℃で1時間)を行い、第1の半導体層902及び第2の半導体層903を水素化する。この工程は第1の層間絶縁膜911に含まれる水素により半導体層のダングリングボンドを終端させるために行うものである。ゲート絶縁膜904の存在に関係なく半導体層を水素化することができる。

【0212】

また第2の層間絶縁膜912として、シロキサンを用いた絶縁膜、及びそれらの積層構造を用いることもできる。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む化合物(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フッ素を用いてもよい。または置換基として、少なくとも水素を含む化合物と、フッ素とを用いてもよい。第2の層間絶縁膜912としてシロキサンを用いた絶縁膜、及びそれらの積層構造を用いた場合は、第1の層間絶縁膜911を形成後、島状半導体膜を水素化するための熱処理を行い、次に第2の層間絶縁膜912を形成することもできる。

【0213】

次に、第3のフォトリソマスクを用いてレジストからなるマスクを形成し、第1の層間絶縁膜911、第2の層間絶縁膜912、またはゲート絶縁膜904を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0214】

なお、第2の層間絶縁膜912は必要に応じて形成すればよく、第2の層間絶縁膜912を形成しない場合は、第1の層間絶縁膜911を形成後に第1の層間絶縁膜911及びゲート絶縁膜904を選択的にエッチングしてコンタクトホールを形成する。

【0215】

次に図14(A)に示すように、スパッタ法で金属積層膜を成膜した後、第4のフォトリソマスクを用いてレジストからなるマスクを形成し、選択的に金属膜をエッチングして、電極913乃至電極919を形成する。そして、レジストからなるマスクを除去する。なお、本実施の形態では例として膜厚100nmのTi膜と、膜厚350nmのSiを含むAl膜と、膜厚100nmのTi膜との3層を積層することにより電極913乃至電極919を形成する。

【0216】

また電極913乃至電極919としては、耐熱性及び導電率等の点からチタンを用いることが好ましい。またチタンに変えて、タングステン、タンタル、モリブデン、ネオジム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金から選ばれた元素、または元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。電極913乃至電極919を単層膜にすることにより、作製工程において成膜回数を減少させることが可能となる。

【0217】

以上により、多結晶珪素膜を用いたトランジスタ927、容量素子928、及び端子部929を作製することができる。

【0218】

次に、後に形成される光電変換素子と反応して合金になりにくい導電性の金属膜（チタンまたはモリブデンなど）を成膜した後、第5のフォトリソマスクを用いてレジストからなるマスクを形成し、選択的に導電性の金属膜をエッチングして保護電極920乃至保護電極926を形成する。本実施の形態では、保護電極920乃至保護電極926としてスパッタ法で得られる膜厚200nmのTi膜を用いる。従って、導電性の金属膜は、これらの電極における2層目のAl膜が露呈されている側面も覆い、導電性の金属膜は光電変換素子へのアルミニウム原子の拡散も防止することができる。

【0219】

ただし、電極913乃至電極919を、単層の導電膜で形成する場合、保護電極920乃至926は形成しなくてもよい。

【0220】

次に図14(B)に示すように第2の層間絶縁膜912上に、p型半導体層930a、i型半導体層930b、及びn型半導体層930cを含む光電変換素子930を形成する。

【0221】

p型半導体層930aは、周期表第13属の不純物元素、例えばホウ素(B)を含んだセミアモルファスシリコン膜をプラズマCVD法にて成膜して形成すればよい。

【0222】

また保護電極921は、光電変換素子930の最下層、本実施の形態においてはp型半導体層930aと接している。

【0223】

p型半導体層930aを形成したら、さらにi型半導体層930b及びn型半導体層930cを順に形成する。これによりp型半導体層930a、i型半導体層930b、及びn型半導体層930cを有する光電変換素子930が形成される。

【0224】

i型半導体層930bとしては、例えばプラズマCVD法で微結晶シリコン膜を形成すればよい。またn型半導体層930cとしては、周期表第15属の不純物元素、例えばリン(P)を含む微結晶シリコン膜を形成してもよいし、微結晶シリコン膜を形成後、周期表第15属の不純物元素を導入してもよい。

【0225】

またp型半導体層930a、i型半導体層930b、n型半導体層930cとして、セミアモルファス半導体膜だけではなく、アモルファス半導体膜を用いてもよい。

【0226】

次に全面に絶縁物材料（例えば珪素を含む無機絶縁膜）からなる封止層931を厚さ1 μ m～30 μ mで形成する。ここでは絶縁物材料膜としてCVD法により、膜厚1 μ mの窒素を含む酸化珪素膜を形成する。CVD法による絶縁膜を用いることによって密着性の向上を図っている。

10

20

30

40

50

【 0 2 2 7 】

次いで、封止層 9 3 1 をエッチングして開口部を設けた後、スパッタ法により電極 9 3 2 及び電極 9 3 3 を形成する。電極 9 3 2 及び電極 9 3 3 としては、チタン、タングステン、タンタル、モリブデン、ネオジウム、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、及び金から選ばれた元素、または元素を主成分とする合金材料若しくは化合物材料からなる単層膜、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層膜を用いることができる。こうして得られる電極 9 3 2 及び電極 9 3 3 の固着強度は 5 N を超え、電極として十分な固着強度を有している。

【 0 2 2 8 】

以上により、光電変換部 9 3 4 が形成される。

【 0 2 2 9 】

以上により本発明の一態様である光電変換装置を作製することができる。また本実施の形態の光電変換装置の作製方法では、同一基板上にダイオード、抵抗素子、トランジスタ、及び光電変換部を形成することができるため、量産が容易である。

【 0 2 3 0 】

なお本実施の形態の光電変換装置の作製方法では、同一基板上に複数の光電変換装置を作製することができ、基板より個々に切断して複数の光電変換装置を切り出すことで大量生産が可能である。1 枚の大面積基板（例えば 6 0 0 c m × 7 2 0 c m ）からは大量の光電変換装置（例えば 2 m m × 1 . 5 m m ）を製造することができる。

【 0 2 3 1 】

なお本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【 0 2 3 2 】

（実施の形態 4 ）

本実施の形態では、本発明の一態様である光電変換装置を搭載した様々な電子機器について説明する。

【 0 2 3 3 】

本発明の一態様である光電変換装置の搭載が可能な電子機器として、コンピュータ、ディスプレイ、携帯電話、テレビなどが挙げられる。それらの電子機器の具体例を図 1 5 、図 1 6 、図 1 7 、図 1 8 、及び図 1 9 を用いて説明する。図 1 5 乃至図 1 9 は本実施の形態の電子機器の構成の一例を示す図である。

【 0 2 3 4 】

図 1 5 は携帯電話であり、本体（ A ） 1 0 0 0 、本体（ B ） 1 0 0 1 、筐体 1 0 0 2 、操作キー 1 0 0 3 、音声出力部 1 0 0 4 、音声入力部 1 0 0 5 、回路基板 1 0 0 6 、表示パネル（ A ） 1 0 0 7 、表示パネル（ B ） 1 0 0 8 、蝶番 1 0 0 9 、透光性材料部 1 0 1 0 、光電変換装置 1 0 1 1 を有している。本発明の一態様である光電変換装置は、光電変換装置 1 0 1 1 に適用することができる。

【 0 2 3 5 】

光電変換装置 1 0 1 1 では、透光性材料部 1 0 1 0 を透過した光を検知し、検知した外部光の照度に合わせて表示パネル（ A ） 1 0 0 7 及び表示パネル（ B ） 1 0 0 8 の輝度がコントロールされる、また光電変換装置 1 0 1 1 で得られる光の照度に合わせて操作キー 1 0 0 3 の照明制御を行う。これにより携帯電話の消費電流を抑えることができる。

【 0 2 3 6 】

図 1 6 （ A ）及び図 1 6 （ B ）に携帯電話の別の例を示す。図 1 6 （ A ）及び図 1 6 （ B ）において、本体 1 1 0 0 、筐体 1 1 0 1 、表示パネル 1 1 0 2 、操作キー 1 1 0 3 、音声出力部 1 1 0 4 、音声入力部 1 1 0 5 、光電変換装置 1 1 0 6 、光電変換装置 1 1 0 7 を示している。

【 0 2 3 7 】

図 1 6 （ A ）に示す携帯電話では、本体 1 1 0 0 に設けられた光電変換装置 1 1 0 6 により外部の光を検知することにより表示パネル 1 1 0 2 及び操作キー 1 1 0 3 の輝度を制

10

20

30

40

50

御することが可能である。

【0238】

また図16(B)に示す携帯電話では、図16(A)の構成に加えて、本体1100の内部に光電変換装置1107を設けている。光電変換装置1107により、表示パネル1102に設けられているバックライトの輝度を検出することも可能となる。

【0239】

図17(A)はコンピュータであり、本体1200、筐体1201、表示部1202、キーボード1203、外部接続ポート1204、ポインティングデバイス1205などを含む。

【0240】

また図17(B)は表示装置でありテレビ受像器などがこれに当たる。図17(B)における表示装置は、筐体1206、支持台1207、表示部1208などによって構成されている。

【0241】

図17(A)のコンピュータに設けられる表示部1202、及び図17(B)に示す表示装置の表示部1208として、液晶パネルを用いた場合の詳しい構成を図18に示す。

【0242】

図18に示す液晶パネル1300は、筐体1301に内蔵されており、基板1302a及び基板1302b、基板1302a及び基板1302bに挟まれた液晶層1303、偏光フィルタ1304a及び偏光フィルタ1304b、及びバックライト1305等を有している。また筐体1301には光電変換装置1306が形成されている。

【0243】

本発明の一態様である光電変換装置は、光電変換装置1306に適用することができ、光電変換装置1306はバックライト1305からの光量を検知し、その情報がフィードバックされて液晶パネル1300の輝度が調整される。

【0244】

図19(A)及び図19(B)は、本発明の一態様である光電変換装置をカメラ、例えばデジタルカメラに組み込んだ例を示す図である。図19(A)は、デジタルカメラの前面方向から見た斜視図、図19(B)は、後面方向から見た斜視図である。図19(A)において、デジタルカメラには、リリースボタン1400、メインスイッチ1401、ファインダ窓1402、フラッシュ部1403、レンズ1404、鏡胴1405、筐体1406が備えられている。

【0245】

また、図19(B)において、ファインダ接眼窓1407、モニタ1408、操作ボタン1409が備えられている。

【0246】

リリースボタン1400は、半分の位置まで押下されると、焦点調整機構および露出調整機構が作動し、最下部まで押下されるとシャッターが開く。

【0247】

メインスイッチ1401は、押下又は回転によりデジタルカメラの電源のON/OFFを切り替える。

【0248】

ファインダ窓1402は、デジタルカメラの前面のレンズ1404の上部に配置されており、図19(B)に示すファインダ接眼窓1407から撮影する範囲やピントの位置を確認するための装置である。

【0249】

フラッシュ部1403は、デジタルカメラの前面上部に配置され、被写体輝度が低いときに、リリースボタンが押下されてシャッターが開くと同時に補助光を照射する。

【0250】

レンズ1404は、デジタルカメラの正面に配置されている。レンズは、フォーカシン

10

20

30

40

50

グレンズ、ズームレンズ等により構成され、図示しないシャッター及び絞りと共に撮影光学系を構成する。また、レンズの後方には、ＣＣＤ（Ｃｈａｒｇｅ Ｃｏｕｐｌｅｄ Ｄｅｖｉｃｅ）等の撮像素子が設けられている。

【０２５１】

鏡胴１４０５は、フォーカシングレンズ、ズームレンズ等のピントを合わせるためにレンズの位置を移動するものであり、撮影時には、鏡胴を繰り出すことにより、レンズ１４０４を手前に移動させる。また、携帯時は、レンズ１４０４を沈銅させてコンパクトにする。なお、本実施の形態においては、鏡胴を繰り出すことにより被写体をズーム撮影することができる構造としているが、この構造に限定されるものではなく、本実施の形態の電子機器では、筐体１４０６内での撮影光学系の構成により鏡胴を繰り出さずともズーム撮影が可能なデジタルカメラでもよい。

10

【０２５２】

ファインダ接眼窓１４０７は、デジタルカメラの後面上部に設けられており、撮影する範囲やピントの位置を確認する際に接眼するために設けられた窓である。

【０２５３】

操作ボタン１４０９は、デジタルカメラの後面に設けられた各種機能ボタンであり、セットアップボタン、メニューボタン、ディスプレイボタン、機能ボタン、選択ボタン等により構成されている。

【０２５４】

本発明の一態様である光電変換装置を図１９（Ａ）及び図１９（Ｂ）に示すカメラに組み込むと、光電変換装置が光の有無及び強さを感知することができ、これによりカメラの露出調整等を行うことができる。

20

【０２５５】

以上のように本発明の一態様である光電変換装置は、光電変換において、光の照度に対する分解能を向上させることができるため、本発明の一態様である光電変換装置を上記電子機器に搭載することにより精度の高い輝度調整を行うことができる。

【０２５６】

また本発明の一態様である光電変換装置は、その他の電子機器、例えばプロジェクションテレビ、ナビゲーションシステム等に応用することが可能である。すなわち光を検出する必要のあるものであればいかなるものにも用いることが可能である。

30

【符号の説明】

【０２５７】

- １００ 光電変換回路
- １０１ 充放電回路
- １０２ 電流回路
- １０３ コンパレータ
- １０４ 電位供給端子
- １０５ 出力端子
- １０６ ノード
- １１１ 第１のスイッチング素子
- １１２ 第２のスイッチング素子
- １１３ 第３のスイッチング素子
- １１４ 第４のスイッチング素子
- １２１ 定電圧回路
- １２２ 制御回路
- １２３ ラッチ回路
- １２４ カウンター回路
- １２５ クロック信号生成回路
- １２６ インターフェース回路
- １４１ 容量素子

40

50

1 4 2	容量素子	
1 4 3	容量素子	
1 5 0	電流源	
2 0 0	光電変換素子	
2 0 1	増幅回路	
2 1 1	トランジスタ	
2 1 2	トランジスタ	
2 2 0	光電変換素子	
2 2 1	電位供給端子	
2 2 2	電位供給端子	10
2 2 3	電位供給端子	
2 3 1	第 1 の期間	
2 3 2	第 2 の期間	
2 3 3	第 3 の期間	
2 5 1	第 1 の期間	
2 5 2	第 2 の期間	
2 5 3	第 3 の期間	
3 0 1	電位供給端子	
3 0 2	電位供給端子	
3 0 3	電位供給端子	20
3 0 4	電位供給端子	
3 0 5	分圧回路	
3 0 6	コンパレータ	
3 0 7	ラッチ回路	
3 0 8	OR 回路	
3 0 9	電位供給端子	
3 1 0	出力端子	
5 0 0	カウント値	
5 0 1	カウント値	
6 0 0	光電変換素子	30
6 0 1	増幅回路	
6 1 1	第 1 のトランジスタ	
6 1 2	第 2 のトランジスタ	
6 2 1	電位供給端子	
6 2 2	電位供給端子	
6 2 3	電位供給端子	
7 0 2	表示パネル	
7 5 0	電流源	
7 5 1	電位供給端子	
8 0 0	カウント値	40
8 0 1	カウント値	
9 0 0	基板	
9 0 1	下地絶縁膜	
9 0 2	半導体層	
9 0 3	半導体層	
9 0 4	ゲート絶縁膜	
9 0 5	電極	
9 0 6	電極	
9 0 7	ゲート電極	
9 0 8	電極	50

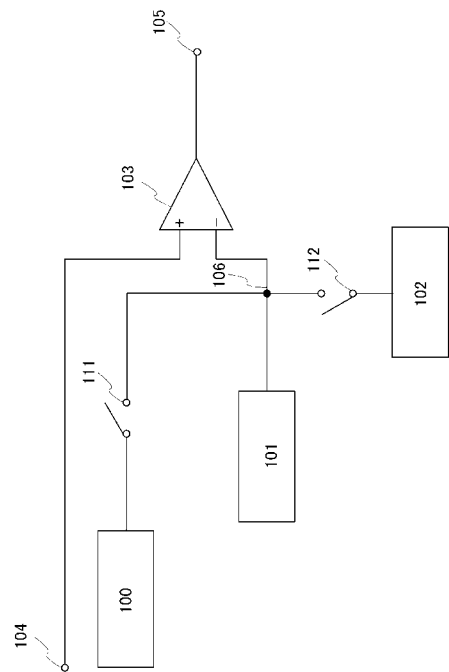
9 0 9	電極	
9 1 0	不純物領域	
9 1 1	第 1 の層間絶縁膜	
9 1 2	第 2 の層間絶縁膜	
9 1 3	電極	
9 1 4	電極	
9 1 5	電極	
9 1 7	電極	
9 1 8	電極	
9 1 9	電極	10
9 2 0	保護電極	
9 2 1	保護電極	
9 2 2	保護電極	
9 2 3	保護電極	
9 2 4	保護電極	
9 2 5	保護電極	
9 2 6	保護電極	
9 2 7	トランジスタ	
9 2 8	容量素子	
9 2 9	端子部	20
9 3 0	光電変換素子	
9 3 0 a	p 型半導体層	
9 3 0 b	i 型半導体層	
9 3 0 c	n 型半導体層	
9 3 1	封止層	
9 3 2	電極	
9 3 3	電極	
9 3 4	光電変換部	
1 0 0 0	本体 (A)	
1 0 0 1	本体 (B)	30
1 0 0 2	筐体	
1 0 0 3	操作キー	
1 0 0 4	音声出力部	
1 0 0 5	音声入力部	
1 0 0 6	回路基板	
1 0 0 7	表示パネル (A)	
1 0 0 8	表示パネル (B)	
1 0 0 9	蝶番	
1 0 1 0	透光性材料部	
1 0 1 1	光電変換装置	40
1 1 0 0	本体	
1 1 0 1	筐体	
1 1 0 2	表示パネル	
1 1 0 3	操作キー	
1 1 0 4	音声出力部	
1 1 0 5	音声入力部	
1 1 0 6	光電変換装置	
1 1 0 7	光電変換装置	
1 1 1 3	ゲート絶縁膜	
1 2 0 0	本体	50

1 2 0 1	筐体
1 2 0 2	表示部
1 2 0 3	キーボード
1 2 0 4	外部接続ポート
1 2 0 5	ポインティングデバイス
1 2 0 6	筐体
1 2 0 7	支持台
1 2 0 8	表示部
1 3 0 0	液晶パネル
1 3 0 1	筐体
1 3 0 2 a	基板
1 3 0 2 b	基板
1 3 0 3	液晶層
1 3 0 4 a	偏光フィルタ
1 3 0 4 b	偏光フィルタ
1 3 0 5	バックライト
1 3 0 6	光電変換装置
1 4 0 0	リリースボタン
1 4 0 1	メインスイッチ
1 4 0 2	ファインダ窓
1 4 0 3	フラッシュ部
1 4 0 4	レンズ
1 4 0 5	鏡胴
1 4 0 6	筐体
1 4 0 7	ファインダ接眼窓
1 4 0 8	モニタ
1 4 0 9	操作ボタン

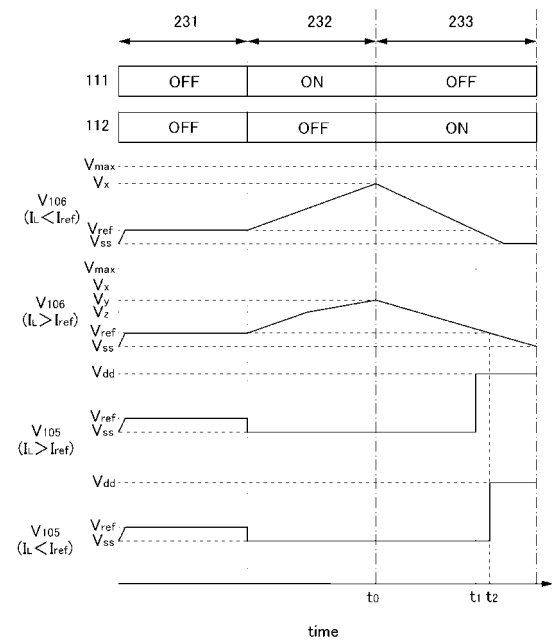
10

20

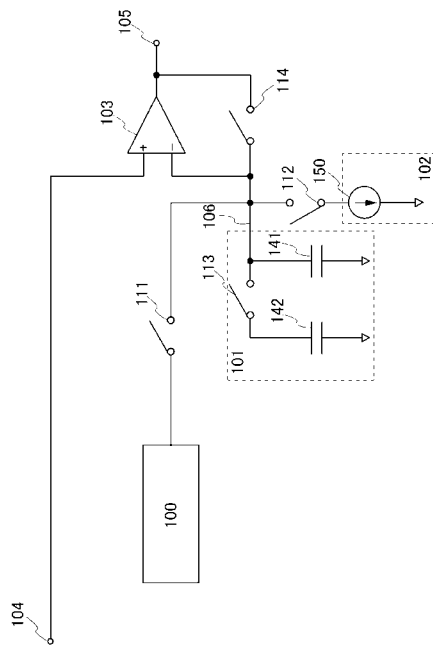
【図 1】



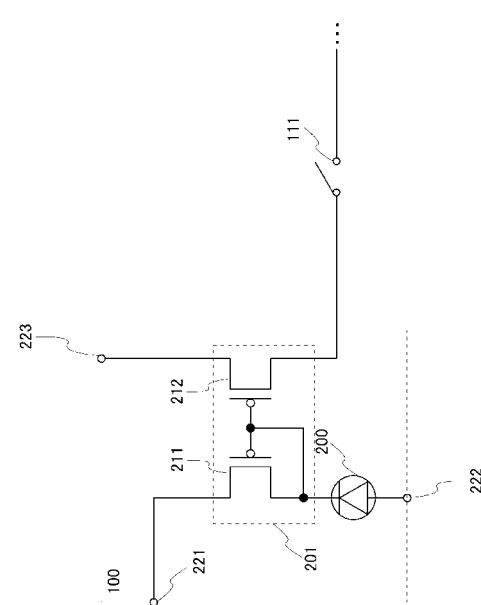
【図 2】



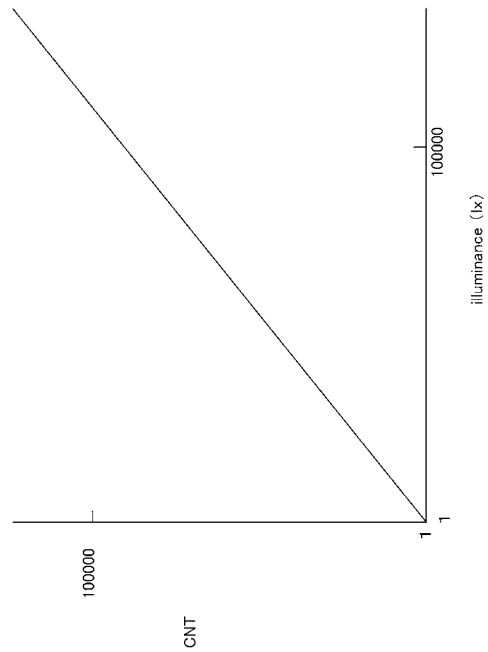
【図 3】



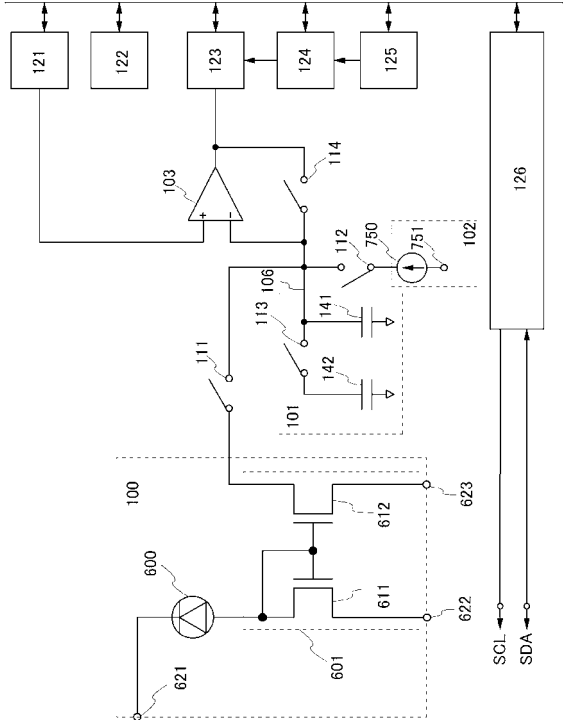
【図 4】



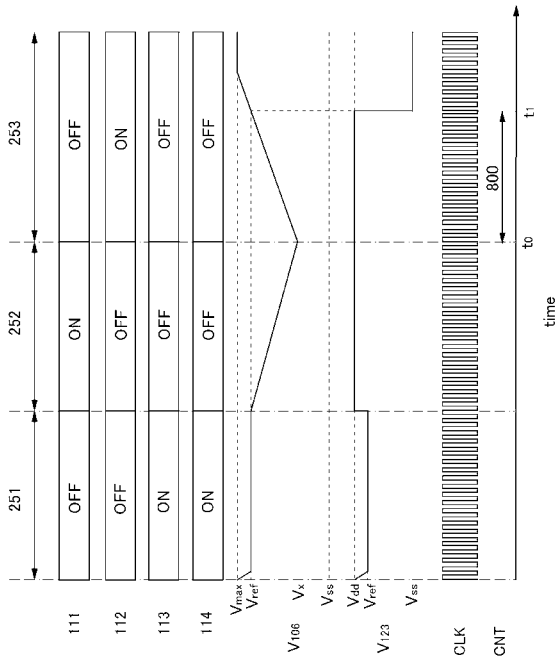
【図 9】



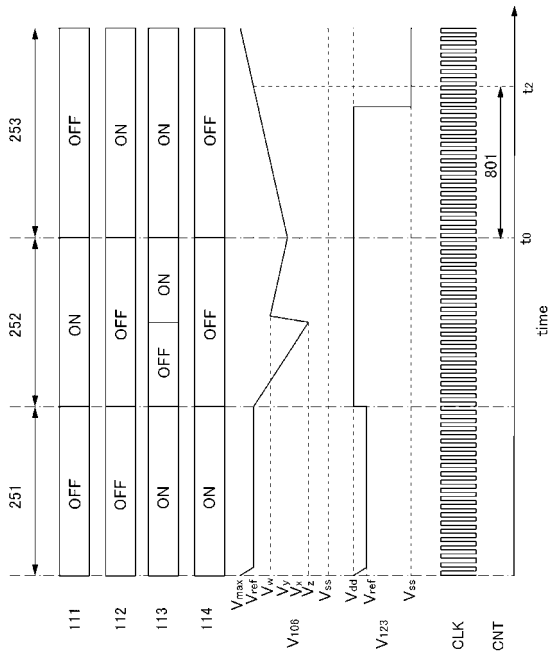
【図 10】



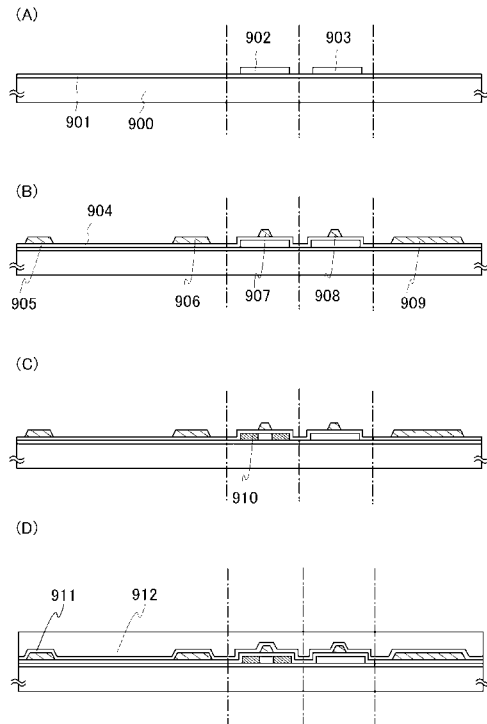
【図 11】



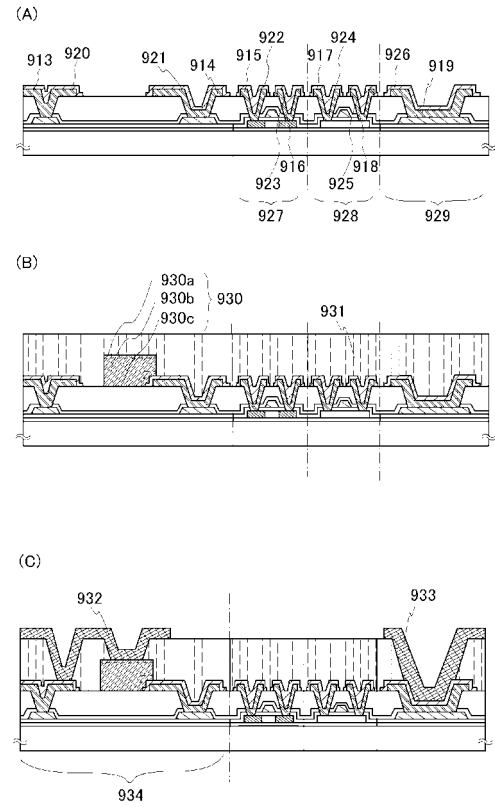
【図 12】



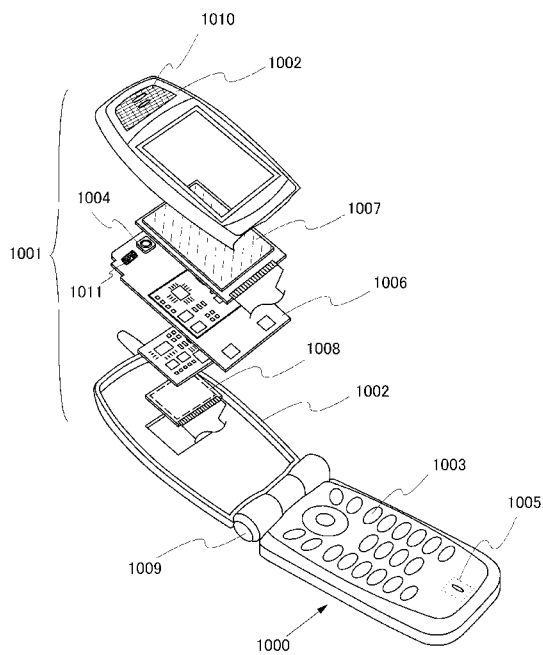
【図 13】



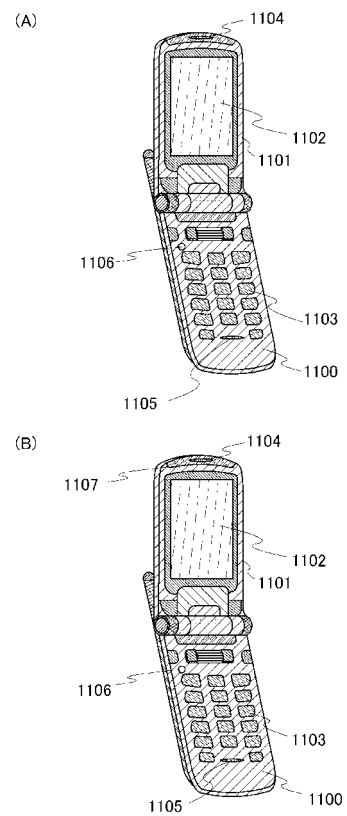
【図 14】



【図 15】

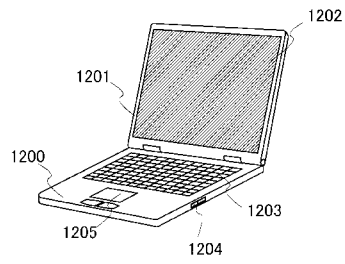


【図 16】

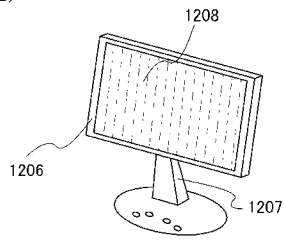


【図 17】

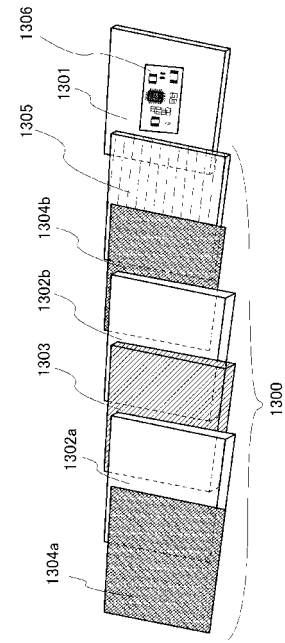
(A)



(B)

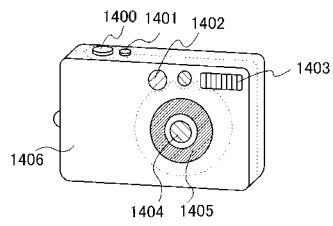


【図 18】



【図 19】

(A)



(B)

