

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-171740
(P2015-171740A)

(43) 公開日 平成27年10月1日(2015.10.1)

(51) Int.Cl.	F 1		テーマコード (参考)
B81B 3/00	(2006.01)	B 81 B	3C081
B81C 1/00	(2006.01)	B 81 C	4M112
H03H 9/24	(2006.01)	H 03 H	9/24
H03H 3/007	(2006.01)	H 03 H	3/007
H01L 29/84	(2006.01)	H 01 L	29/84

審査請求 未請求 請求項の数 8 O.L. (全 12 頁)

(21) 出願番号 特願2014-48448 (P2014-48448)
(22) 出願日 平成26年3月12日 (2014. 3. 12)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(74) 代理人 100110777
弁理士 宇都宮 正明

(74) 代理人 100110858
弁理士 柳瀬 瞳肇

(74) 代理人 100100413
弁理士 渡部 温

(72) 発明者 吉澤 隆彦
山形県酒田市十里塚166番地3 東北工
プソン株式会社内

最終頁に続く

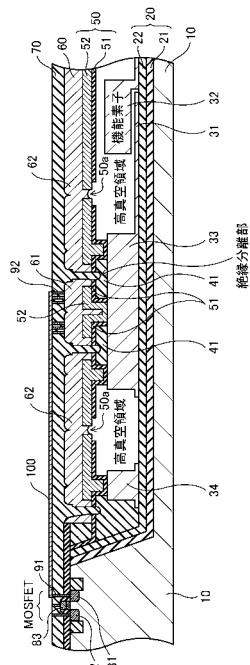
(54) 【発明の名称】 MEMSデバイス及びその製造方法

(57) 【要約】

【課題】キャビティーを有するMEMSデバイスにおいて、高真空のキャビティー封止を実現する。

【解決手段】このMEMSデバイスは、基板に直接又は第1の絶縁膜を介して設けられ、外部接続電極を有する機能素子と、機能素子の周囲にキャビティーを形成する構造体と、外部接続電極の第1の面における所定の領域の周囲に設けられた第2の絶縁膜と、外部接続電極の第1の面において第2の絶縁膜を覆う第3の絶縁膜を含み、開口が形成されてキャビティーの一部を覆う第1の蓋部と、第1の蓋部の表面に設けられ、外部接続電極の該所定の領域に電気的に接続された中間導電体と第1の蓋部の開口を封止する封止部とを含む第2の蓋部と、第2の蓋部の表面に設けられ、第2又は第3の絶縁膜に接して中間導電体を封止部から絶縁する第4の絶縁膜と、第4の絶縁膜を貫通して中間導電体に電気的に接続された導電体とを備える。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

基板と、

前記基板の表面に直接又は第1の絶縁膜を介して設けられ、外部接続電極を有する機能素子と、

前記基板又は前記第1の絶縁膜の表面に設けられ、前記機能素子の周囲にキャビティーを形成する構造体と、

前記外部接続電極の第1の面における所定の領域の周囲に設けられた第2の絶縁膜と、

前記外部接続電極の第1の面において前記第2の絶縁膜を覆う第3の絶縁膜を含み、開口が形成されて前記キャビティーの一部を覆う第1の蓋部と、

前記第1の蓋部の表面に設けられ、前記外部接続電極の該所定の領域に電気的に接続された中間導電体と前記第1の蓋部の開口を封止する封止部とを含む第2の蓋部と、

前記第2の蓋部の表面に設けられ、前記第2又は第3の絶縁膜に接して前記中間導電体を前記封止部から絶縁する第4の絶縁膜と、

前記第4の絶縁膜を貫通して前記中間導電体に電気的に接続された導電体と、
を備えるMEMSデバイス。

【請求項 2】

前記第4の絶縁膜が、前記第2の蓋部及び前記第3の絶縁膜を貫通して前記第2の絶縁膜に接する、請求項1記載のMEMSデバイス。

【請求項 3】

前記基板が、半導体回路素子が設けられた半導体基板であって、少なくとも前記第4の絶縁膜を貫通して前記半導体回路素子に電気的に接続されたコンタクトプラグが設けられており、

前記中間導電体に電気的に接続された導電体が、前記コンタクトプラグと同じ材料で形成されている、

請求項1又は2記載のMEMSデバイス。

【請求項 4】

前記キャビティーが、前記半導体基板のトレンチ内に形成されている、請求項3記載のMEMSデバイス。

【請求項 5】

前記第2及び第4の絶縁膜が、二酸化ケイ素(SiO₂)で形成され、

前記第3の絶縁膜が、窒化ケイ素(SiN)で形成され、

前記第2の蓋部が、アルミニウム(Al)で形成されている、

請求項1～4のいずれか1項記載のMEMSデバイス。

【請求項 6】

前記コンタクトプラグが、タンゲステン(W)で形成されている、請求項3又は4記載のMEMSデバイス。

【請求項 7】

基板の表面に、外部接続電極を有する機能素子、及び、前記機能素子の周囲にキャビティーを形成する構造体を直接又は第1の絶縁膜を介して形成する工程(a)と、

前記外部接続電極の第1の面における所定の領域の周囲及び前記キャビティー内に第2の絶縁膜を形成する工程(b)と、

前記外部接続電極の第1の面において前記第2の絶縁膜を覆う第3の絶縁膜を含み、開口が形成されて前記キャビティーの一部を覆う第1の蓋部を形成する工程(c)と、

前記キャビティー内の前記第2の絶縁膜をリリースエッチングによって除去する工程(d)と、

真空チャンバー内において、前記第1の蓋部の表面に、前記外部接続電極の該所定の領域に電気的に接続される中間導電体と前記第1の蓋部の開口を封止する封止部とを含む第2の蓋部を形成する工程(e)と、

前記第2の蓋部の表面に、前記第2又は第3の絶縁膜に接して前記中間導電体を前記封

10

20

30

40

50

止部から絶縁する第4の絶縁膜を形成する工程(f)と、

前記第4の絶縁膜を貫通して前記中間導電体に電気的に接続される導電体を形成する工程(g)と、

を備えるMEMSデバイスの製造方法。

【請求項8】

工程(b)が、前記第2の絶縁膜を二酸化ケイ素(SiO_2)で形成することを含み、

工程(c)が、前記第3の絶縁膜を窒化ケイ素(SiN)で形成することを含み、

工程(e)が、前記第2の蓋部をアルミニウム(Al)で形成することを含み、

工程(f)が、前記第4の絶縁膜を二酸化ケイ素(SiO_2)で形成することを含む、

請求項7記載のMEMSデバイスの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レゾネーター、センサー、アクチュエーター等の機能素子、及び/又は、電子回路を1つの基板に集積化したMEMS(Micro Electro Mechanical Systems)デバイス、及び、そのようなMEMSデバイスの製造方法等に関する。

【背景技術】

【0002】

例えば、機能素子として静電容量タイプのレゾネーターを備えるMEMSデバイスにおいて、レゾネーターは、基板に形成されたキャビティ内に真空状態で密閉される。そのために、レゾネーターの周囲を囲む構造体を基板に設けてキャビティを形成し、キャビティ内を真空状態として、キャビティに蓋部(キャップ層)が接合される。

20

【0003】

従来は、キャビティの蓋部として、プラズマCVD(Chemical Vapor Deposition)法によって堆積された窒化ケイ素(P-SiN)等の絶縁物が用いられていた。しかしながら、キャビティの蓋部として窒化ケイ素等の絶縁物を用いる場合には、高性能のMEMSデバイスにおいて要求される高真空のキャビティ封止を実現することができない。

30

【0004】

また、機能素子の外部接続電極に電気的に接続される導電体の材料として、MOS電界効果トランジスターの不純物拡散領域等に接続される配線の材料であるアルミニウム(Al)が兼用されていた。しかしながら、高性能のMOS電界効果トランジスターにおいては、接続部材として、アルミニウム(Al)の配線の替りにタンゲステン(W)のコンタクトプラグが用いられており、機能素子用の接続部材の材料を高性能のMOS電界効果トランジスター用の接続部材の材料と兼用することができない。

30

【0005】

関連する技術として、特許文献1には、共通の基板上に電子回路を備えたMEMSデバイスが開示されている。このMEMSデバイスにおいては、基板にキャビティが形成されており、キャビティの蓋部(キャップ層)の材料として、窒化ケイ素(SiN)又は二酸化ケイ素(SiO_2)が用いられる。

40

【0006】

また、特許文献2には、半導体基板上に設けられた構造体によってキャビティが形成されたMEMSセンサーが開示されている。このMEMSセンサーにおいては、シリコン基板上に酸化シリコン等の絶縁層を介してキャビティの壁部が設けられ、キャビティの壁部上に、酸化シリコン等の絶縁層を介して、キャビティの蓋部(キャップ)の周縁部が支持される。ここで、キャップ、接地用導電部、及び、電圧印加用導電部は、ドープドポリシリコンからなり、同一層に形成されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】米国特許第5798283号明細書(コラム7-8、図8-9)

50

【特許文献 2】特開 2009-272477 号公報（段落 0020-0027、図 1）

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献 1 においては、キャビティの蓋部の材料として、窒化ケイ素（SiN）又は二酸化ケイ素（SiO₂）が用いられるので、高真空のキャビティ封止を実現することは困難である。また、特許文献 2 においては、キャビティの蓋部の材料として、導電性を有するポリシリコンが用いられるが、真空チャンバー内において、キャビティの側壁と蓋部との位置合わせや接合を行う必要がある。また、機能素子の配線部とキャビティの蓋部とを絶縁分離するための構造が重要になる。

10

【0009】

そこで、上記の点に鑑み、本発明の第 1 の目的は、キャビティ内に機能素子が設けられた MEMS デバイスにおいて、比較的簡単な構造及び製造方法を用いて、高性能の MEMS デバイスにおいて要求される高真空のキャビティ封止を実現することである。また、本発明の第 2 の目的は、機能素子の配線部とキャビティの蓋部とを確実に絶縁分離することである。さらに、本発明の第 3 の目的は、機能素子用の接続部材の材料を高性能の半導体回路素子用の接続部材の材料と兼用することである。

【課題を解決するための手段】

【0010】

以上の課題を解決するため、本発明の 1 つの観点に係る MEMS デバイスは、基板と、基板の表面に直接又は第 1 の絶縁膜を介して設けられ、外部接続電極を有する機能素子と、基板又は第 1 の絶縁膜の表面に設けられ、機能素子の周囲にキャビティを形成する構造体と、外部接続電極の第 1 の面における所定の領域の周囲に設けられた第 2 の絶縁膜と、外部接続電極の第 1 の面において第 2 の絶縁膜を覆う第 3 の絶縁膜を含み、開口が形成されてキャビティの一部を覆う第 1 の蓋部と、第 1 の蓋部の表面に設けられ、外部接続電極の該所定の領域に電気的に接続された中間導電体と第 1 の蓋部の開口を封止する封止部とを含む第 2 の蓋部と、第 2 の蓋部の表面に設けられ、第 2 又は第 3 の絶縁膜に接して中間導電体を封止部から絶縁する第 4 の絶縁膜と、第 4 の絶縁膜を貫通して中間導電体に電気的に接続された導電体とを備える。

20

【0011】

また、本発明の 1 つの観点に係る MEMS デバイスの製造方法は、基板の表面に、外部接続電極を有する機能素子、及び、機能素子の周囲にキャビティを形成する構造体を直接又は第 1 の絶縁膜を介して形成する工程（a）と、外部接続電極の第 1 の面における所定の領域の周囲及びキャビティ内に第 2 の絶縁膜を形成する工程（b）と、外部接続電極の第 1 の面において第 2 の絶縁膜を覆う第 3 の絶縁膜を含み、開口が形成されてキャビティの一部を覆う第 1 の蓋部を形成する工程（c）と、キャビティ内の第 2 の絶縁膜をリリースエッティングによって除去する工程（d）と、真空チャンバー内において、第 1 の蓋部の表面に、外部接続電極の該所定の領域に電気的に接続される中間導電体と第 1 の蓋部の開口を封止する封止部とを含む第 2 の蓋部を形成する工程（e）と、第 2 の蓋部の表面に、第 2 又は第 3 の絶縁膜に接して中間導電体を封止部から絶縁する第 4 の絶縁膜を形成する工程（f）と、第 4 の絶縁膜を貫通して中間導電体に電気的に接続される導電体を形成する工程（g）とを備える。

30

【0012】

本発明の 1 つの観点によれば、機能素子の外部接続電極に電気的に接続される中間導電体と第 1 の蓋部の開口を封止する封止部とを含む第 2 の蓋部が第 1 の蓋部の表面に設けられるので、比較的簡単な構造及び製造方法を用いて、高性能の MEMS デバイスにおいて要求される高真空のキャビティ封止を実現することができる。また、機能素子の外部接続電極に電気的に接続される中間導電体の材料と封止部の材料とを兼用して、MEMS デバイスの製造工程を削減することができる。

40

【0013】

50

ここで、第4の絶縁膜が、第2の蓋部及び第3の絶縁膜を貫通して第2の絶縁膜に接するようにしても良い。それにより、第2～第4の絶縁膜によって、中間導電体と封止部とを確実に絶縁分離することができる。

【0014】

また、基板が、半導体回路素子が設けられた半導体基板であって、少なくとも第4の絶縁膜を貫通して半導体回路素子に電気的に接続されたコンタクトプラグが設けられており、中間導電体に電気的に接続された導電体が、該コンタクトプラグと同じ材料で形成されるようにしても良い。それにより、機能素子用の接続部材の材料を半導体回路素子用の接続部材の材料と兼用することができる。

【0015】

その場合に、キャビティが、半導体基板のトレンチ内に形成されても良い。それにより、半導体基板上に形成される層構造が平坦化されて配線層の形成が容易になる。また、機能素子用のコンタクトプラグの上端の高さを半導体回路素子用のコンタクトプラグの上端の高さに揃えて、同一の層に設けられた配線で両者を接続することができる。

【0016】

以上において、第2及び第4の絶縁膜が、二酸化ケイ素(SiO₂)で形成され、第3の絶縁膜が、窒化ケイ素(SiN)で形成され、第2の蓋部が、アルミニウム(Al)で形成されるようにしても良い。その場合には、リリースエッチング工程において、二酸化ケイ素の第2の絶縁膜を、エッチング液に対する耐性が高い窒化ケイ素の第3の絶縁膜によって保護すると共に、二酸化ケイ素からの水蒸気等のガスの放出による真空度の低下を防止することができる。また、アルミニウムは、高性能のMEMSデバイスにおいて要求される高真空のキャビティ封止を実現する封止部の材料として適している。

【0017】

また、コンタクトプラグが、タンゲステン(W)で形成されても良い。高性能のMOS電界効果トランジスターにおいては、接続部材としてタンゲステン(W)のコンタクトプラグが用いられているので、中間導電体に電気的に接続される導電体をタンゲステン(W)で形成すれば、機能素子用の接続部材の材料を高性能のMOS電界効果トランジスター用の接続部材の材料と兼用することができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態に係るMEMSデバイスの主要部を示す断面図。

【図2】本発明の一実施形態に係るMEMSデバイスの製造工程における断面図。

【図3】本発明の一実施形態に係るMEMSデバイスの製造工程における断面図。

【図4】主要な製造工程におけるMEMSデバイスの一部を拡大して示す断面図。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、同一の構成要素には同一の参照符号を付して、重複する説明を省略する。

本発明の一実施形態に係るMEMSデバイスは、レゾネーター、センサー、アクチュエーター等の機能素子、及び/又は、電子回路を1つの基板に集積化したデバイスである。

【0020】

以下においては、一例として、機能素子として静電容量タイプのレゾネーターを備えると共に、半導体回路素子としてMOS電界効果トランジスターを備えるMEMSデバイスについて説明する。レゾネーターは、例えば、半導体基板のトレンチ(表面凹部)内に形成されたキャビティ内に密閉される。

【0021】

図1は、本発明の一実施形態に係るMEMSデバイスの主要部を示す断面図である。図1に示すように、このMEMSデバイスにおいては、正面(図中上面)の第1の領域(図中右側)にトレンチが形成されると共に、正面の第2の領域(図中左側)に半導体回路素子の不純物拡散領域が形成された半導体基板10が用いられる。

10

20

30

40

50

【0022】

レゾネーターは、半導体基板10のトレンチの底面に絶縁膜20を介して設けられた下部電極31、上部電極32、及び、外部接続電極33を含み、それらの周囲にキャビティーを形成する構造体として壁部34が設けられている。例えば、絶縁膜20は、二酸化ケイ素(SiO₂)の絶縁膜21と、窒化ケイ素(SiN)の絶縁膜22とを含んでいる。なお、壁部34は、半導体基板10のトレンチの底面に直接設けても良い。また、ガラス、セラミックス、又は、樹脂等の絶縁性の高い基板を用いる場合には、下部電極31～外部接続電極33を、基板上に直接設けても良い。

【0023】

また、下部電極31～壁部34は、不純物がドープされて導電性を有するポリシリコン等で形成される。レゾネーターの上部電極32は、カンチレバー(片持ち梁)状の構造体を含み、構造体の一端が固定され、構造体の他端が可動となっている。外部接続電極33は、下部電極31に電気的に接続されており、下部電極31と一体的に構成されても良い。なお、図1においては、上部電極32に電気的に接続される外部接続電極は図示されていない。

10

【0024】

半導体基板10のトレンチ内において、壁部34によって囲まれた領域がキャビティーとなる。キャビティー内の空間は、高真空領域とされる。キャビティー内に設けられたレゾネーターにおいて、下部電極31と上部電極32との間に交流電圧を印加することにより、静電力によって上部電極32の機械的振動が励起され、この機械的振動に起因する下部電極31と上部電極32との間の静電容量の変化が検出される。

20

【0025】

外部接続電極33は、例えば、扁平な角柱又は円柱の形状を有しており、外部接続電極33の第1の面(図中上面)における所定の領域の周囲に絶縁膜41が設けられている。さらに、外部接続電極33の第1の面において絶縁膜41を覆う絶縁膜51が設けられている。

【0026】

ここで、絶縁膜41は、膜厚を厚くすることが容易な絶縁膜であり、絶縁膜51は、絶縁膜41よりも、後述するリリースエッチング工程においてエッチング液に対する耐性が高い絶縁膜である。例えば、絶縁膜41が二酸化ケイ素(SiO₂)等で形成され、絶縁膜51が窒化ケイ素(SiN)等で形成されても良い。

30

【0027】

絶縁膜51は、導電性を有するポリシリコン膜52と共に、第1の蓋部50を構成している。なお、ポリシリコン膜52の表面に、窒化チタン(TiN)又はサリサイド等の膜が設けられても良い。また、ポリシリコン膜52の一部は、外部接続電極33の第1の面における所定の領域に設けられ、外部接続電極33に電気的に接続されている。第1の蓋部50は、開口(リリースホール)50aが形成されており、開口50a以外の部分でキャビティーを覆っている。

【0028】

キャビティー内を減圧状態(真空状態)として、第1の蓋部50の表面にアルミニウム(A1)等の金属で第2の蓋部60が形成される。第2の蓋部60は、ポリシリコン膜52を介して外部接続電極33の第1の面における所定の領域に電気的に接続された中間導電体61と、第1の蓋部の開口50aを封止する封止部62とを含んでいる。

40

【0029】

このように、レゾネーターの外部接続電極33に電気的に接続される中間導電体61と第1の蓋部の開口50aを封止する封止部62とを含む第2の蓋部60が第1の蓋部50の表面に設けられるので、比較的簡単な構造及び製造方法を用いて、高性能のMEMSデバイスにおいて要求される高真空のキャビティー封止を実現することができる。

【0030】

第2の蓋部60の表面には、二酸化ケイ素(SiO₂)又はBPSG(Boron Phosphor

50

us Silicon Glass) 等の絶縁膜 7 0 が設けられている。絶縁膜 7 0 は、絶縁膜 4 1 又は 5 1 に接して、中間導電体 6 1 を封止部 6 2 から絶縁する。図 1 に示すように、絶縁膜 7 0 が、第 2 の蓋部 6 0 及び絶縁膜 5 1 を貫通して絶縁膜 4 1 に接することにより、絶縁分離部を構成しても良い。それにより、絶縁膜 4 1 、絶縁膜 5 1 、及び、絶縁膜 7 0 によって、中間導電体 6 1 を封止部 6 2 から確実に絶縁分離することができる。

【0031】

絶縁膜 7 0 は、半導体回路素子が形成される半導体基板 1 0 の第 2 の領域に延在しても良い。半導体基板 1 0 の第 2 の領域には、半導体回路素子が設けられている。例えば、半導体基板 1 0 内に、MOS 電界効果トランジスター (MOSFET) のソース及びドレインとなる不純物拡散領域 8 1 及び 8 2 が設けられ、半導体基板 1 0 上に、ゲート絶縁膜を介してゲート電極 8 3 が設けられている。また、少なくとも絶縁膜 7 0 を貫通して不純物拡散領域 8 1 及び 8 2 及びゲート電極 8 3 に電気的に接続されたタンゲステン (W) 等のコンタクトプラグ (電極) 9 1 等が設けられている。

10

【0032】

従って、半導体基板 1 0 の第 1 の領域において、絶縁膜 7 0 を貫通して中間導電体 6 1 に電気的に接続される導電体が、コンタクトプラグ 9 1 と同じ材料で形成されても良い。例えば、絶縁膜 7 0 を貫通して中間導電体 6 1 に電気的に接続されたタンゲステン (W) 等のコンタクトプラグ (電極) 9 2 が設けられている。例えば、絶縁膜 7 0 の表面に設けられたアルミニウム (Al) 等の配線 1 0 0 によって、コンタクトプラグ 9 1 とコンタクトプラグ 9 2 とが電気的に接続されている。これにより、レゾネーターの外部接続電極 3 3 を、MOS 電界効果トランジスターに電気的に接続することができる。

20

【0033】

このように、機能素子用の接続部材として半導体回路素子用の接続部材と同じ材料で形成された導電体を用いることにより、機能素子用の接続部材の材料を高性能の半導体回路素子用の接続部材の材料と兼用することができる。また、キャビティが半導体基板 1 0 のトレンチ内に形成されているので、半導体基板 1 0 上に形成される層構造が平坦化されて配線層の形成が容易になる。さらに、機能素子用のコンタクトプラグ 9 2 の上端の高さを半導体回路素子用のコンタクトプラグ 9 1 の上端の高さに揃えて、同一の層に設けられた配線で両者を接続することができる。

30

【0034】

次に、図 1 に示す MEMS デバイスの製造方法について説明する。

図 2 及び図 3 は、本発明の一実施形態に係る MEMS デバイスの製造工程における断面図である。まず、図 2 (a) に示すように、例えば、シリコン単結晶等で構成された半導体基板 1 0 の正面の一部に、フォトリソグラフィー法によってレジスト 1 1 を設けてドライエッチングを行うことにより、半導体基板 1 0 の正面の第 1 の領域に深いトレンチ (ディープトレンチ) 1 0 a が形成される。その後、レジスト 1 1 が除去される。

40

【0035】

次に、図 2 (b) に示すように、半導体基板 1 0 のトレンチの底面に絶縁膜 2 0 が形成される。例えば、絶縁膜 2 0 は、二酸化ケイ素 (SiO₂) の絶縁膜 2 1 と、窒化ケイ素 (SiN) の絶縁膜 2 2 とを含んでいる。窒化ケイ素 (SiN) の絶縁膜 2 2 は、後述するキャビティ内の犠牲膜を除去するためのウエットエッチング (リリースエッチング) に耐えることができる。

50

【0036】

また、半導体基板 1 0 のトレンチの底面に絶縁膜 2 0 を介して、不純物がドープされて導電性を有するポリシリコン等を形成し、レジストを用いたドライエッチングによってパターニングすることにより、レゾネーターの下部電極 3 1 が形成される。さらに、下部電極 3 1 上にギャップ犠牲膜 2 3 を形成した後、導電性を有するポリシリコン等を形成し、レジストを用いたドライエッチングによってパターニングすることにより、レゾネーターの上部電極 3 2 及び外部接続電極 3 3 と、壁部 3 4 とが形成される。その後、ギャップ犠牲膜 2 3 が、ウエットエッチングによって除去される。

50

【0037】

これにより、半導体基板10のトレンチの底面に、絶縁膜20を介して、外部接続電極を有するレゾネーターと、レゾネーターの周囲にキャビティーを形成する構造体である壁部34とが形成される。なお、壁部34は、半導体基板10のトレンチの底面に直接設けても良い。また、ガラス、セラミックス、又は、樹脂等の絶縁性の高い基板を用いる場合には、下部電極31～外部接続電極33を、基板上に直接設けても良い。

【0038】

次に、レゾネーター等が形成された半導体基板10の表面に、プラズマCVD法によつて二酸化ケイ素(SiO₂)等の絶縁膜が堆積された後、二酸化ケイ素(SiO₂)等の絶縁膜が、CMP(Chemical Mechanical Polishing: 化学機械研磨)によって研磨され、エッティングによってパターニングされる。その結果、図2(c)に示すように、外部接続電極33の表面における所定の領域33aの周囲に二酸化ケイ素(SiO₂)等の絶縁膜41が形成されると共に、キャビティー内に犠牲膜として二酸化ケイ素(SiO₂)等の絶縁膜42が形成される。

10

【0039】

次に、絶縁膜41及び42等が形成された半導体基板10の表面に、窒化ケイ素(SiN)等の絶縁膜が形成された後、窒化ケイ素(SiN)等の絶縁膜が、レジストを用いたドライエッティングによってパターニングされる。その結果、図3(a)に示すように、窒化ケイ素(SiN)等の絶縁膜51が形成される。絶縁膜51は、外部接続電極33の第1の面において絶縁膜41を覆うと共に、キャビティーの一部を覆っている。

20

【0040】

また、絶縁膜51等が形成された半導体基板10の表面に、導電性を有するポリシリコン膜が形成された後、ポリシリコン膜が、レジストを用いたドライエッティングによってパターニングされる。その結果、図3(a)に示すように、絶縁膜51及びポリシリコン膜52を含む第1の蓋部50が形成される。第1の蓋部50は、開口50aが形成されており、開口50a以外の部分でキャビティーを覆っている。ここで、ポリシリコン膜52の一部は、外部接続電極33の第1の面における所定の領域に設けられ、外部接続電極33に電気的に接続される。

【0041】

次に、第1の蓋部50等が形成された半導体基板10の表面に対して、溝加工、二酸化ケイ素(SiO₂)等の絶縁膜の形成、絶縁膜の平坦化等が行われる。その後、図3(b)に示すように、半導体基板10の第2の領域に、半導体回路素子として、例えば、MOS電界効果トランジスター(MOSFET)が形成される。

30

【0042】

即ち、半導体基板10上に、ゲート絶縁膜を介してゲート電極83が形成され、ゲート電極83の両側の半導体基板10内に、ソース及びドレインとなる不純物拡散領域81及び82が形成される。また、ゲート絶縁膜及びゲート電極83の側壁に、絶縁性を有するサイドウォールを形成しても良い。さらに、サイドウォールの周囲の領域に、所定の厚さを有する絶縁膜を形成しても良い。

40

【0043】

また、MOS電界効果トランジスター等が形成された半導体基板10の表面に、フォトリソグラフィー法によって、第1の蓋部の開口50aに対応する位置に開口24aを有するレジスト24が設けられる。さらに、キャビティー内の犠牲膜が、エッティング液としてフッ酸等を用いたウェットエッティング(リリースエッティング)によって除去される。その後、レジスト24が、MCP等によって除去される。

【0044】

次に、真空チャンバー内において、スパッター(高真空成膜法)によってアルミニウム(A1)等の金属を第1の蓋部50の表面に堆積させ、堆積した金属層が、レジストを用いたドライエッティングによってパターニングされる。それにより、図3(c)に示すように、第1の蓋部50の表面に、アルミニウム(A1)等の金属で第2の蓋部60が形成さ

50

れる。

【0045】

第2の蓋部60は、ポリシリコン膜52を介して外部接続電極33の所定の領域に電気的に接続される中間導電体61と、第1の蓋部の開口50aを封止する封止部62とを含んでいる。また、レジストを用いたドライエッチングによって、第2の蓋部60及び絶縁膜51を貫通して絶縁膜41に達する開口60aが形成される。

【0046】

次に、図1に示すように、第2の蓋部60の表面に、二酸化ケイ素(SiO₂)又はBPSG等の絶縁膜70が形成される。絶縁膜70は、絶縁膜41又は51に接して、第2の蓋部60の中間導電体61を封止部62から絶縁する。図1に示すように、絶縁膜70が、第2の蓋部60及び絶縁膜51を貫通して絶縁膜41に接することにより、絶縁分離部を構成しても良い。

【0047】

絶縁膜70は、MOS電界効果トランジスターが形成される半導体基板10の第2の領域に延在しても良い。その場合には、絶縁膜70を貫通してMOS電界効果トランジスターに電気的に接続されるタンゲステン(W)等のコンタクトプラグ91と、絶縁膜70を貫通して中間導電体61に電気的に接続されるタンゲステン(W)等のコンタクトプラグ92とが、同時に形成される。その後、絶縁膜70の表面にアルミニウム(A1)等の配線100を形成することによって、コンタクトプラグ91とコンタクトプラグ92とが電気的に接続される。

【0048】

図4は、主要な製造工程におけるMEMSデバイスの一部を拡大して示す断面図である。図4(a)は、リリースエッチング工程におけるMEMSデバイスの一部を示している。以下においては、絶縁膜41が二酸化ケイ素(SiO₂)で形成され、絶縁膜51が窒化ケイ素(SiN)で形成される場合について説明する。その場合には、リリースエッチング工程において、エッチング液としてフッ酸を用いることができる。フッ酸は、二酸化ケイ素(SiO₂)を溶解して侵食するが、窒化ケイ素(SiN)を溶解することは困難である。

【0049】

従って、図4(a)に示すように、エッチング耐性が高い窒化ケイ素(SiN)の絶縁膜51が外部接続電極33上で二酸化ケイ素(SiO₂)の絶縁膜41を覆うことにより、絶縁膜41をエッチング液から保護すると共に、二酸化ケイ素(SiO₂)からの水蒸気等のガスの放出による真空度の低下を防止することができる。

【0050】

また、絶縁膜41は、外部接続電極33とポリシリコン膜52との電気的接続がリリースエッチングによってダメージを受けないように、外部接続電極33及びポリシリコン膜52をガードする役割を有するので、相応な大きさを必要とする。従って、絶縁膜51が絶縁膜41をエッチング液から保護することによって、絶縁膜41の大きさを小さくすることができる。

【0051】

図4(b)は、アルミニウム等のドライエッチング工程におけるMEMSデバイスの一部を示している。図4(b)に示すように、ドライエッチングによって、第2の蓋部60及び絶縁膜51を貫通して絶縁膜41に達する開口60aが形成される。このドライエッチング工程において、窒化ケイ素(SiN)の絶縁膜51はエッチングされ易く、二酸化ケイ素(SiO₂)の絶縁膜41はエッチングされ難い。従って、絶縁膜41は、ドライエッチングが外部接続電極33に達することを防止して、外部接続電極33を保護することができる。

【0052】

上記の実施形態においては、キャビティーが半導体基板の深いトレンチ内に形成されるMEMSデバイスについて説明したが、本発明は、以上説明した実施形態に限定されるも

10

20

30

40

50

のではない。例えば、本発明は、キャビティが基板の深いトレンチ内や基板上に形成されるMEMSデバイスにおいても利用可能であり、当該技術分野において通常の知識を有する者によって、本発明の技術的思想内で多くの変形が可能である。

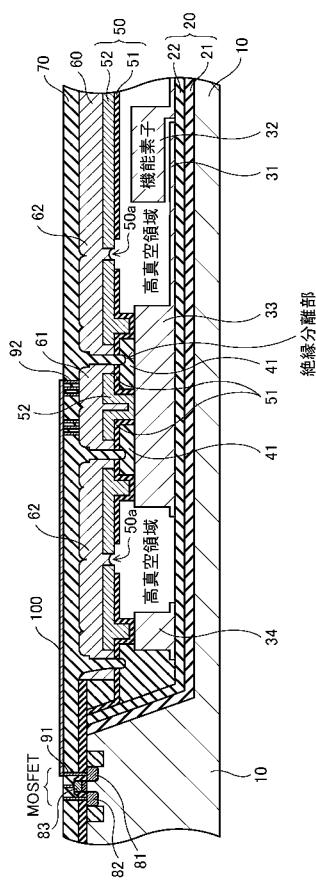
【符号の説明】

【0053】

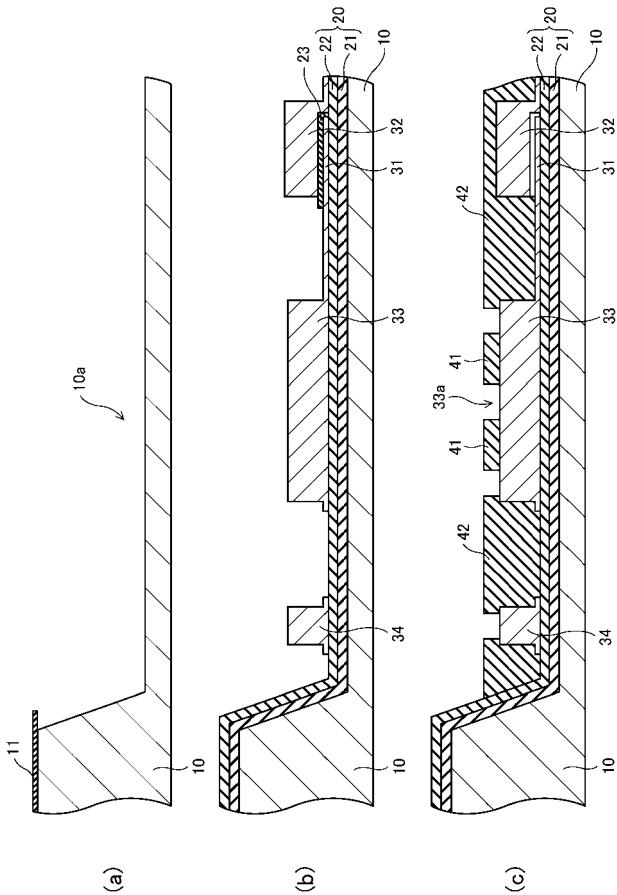
10 … 半導体基板、11 … レジスト、20 … 絶縁膜、21 … 二酸化ケイ素(SiO_2)の絶縁膜、22 … 窒化ケイ素(SiN)の絶縁膜、23 … ギャップ犠牲膜、24 … レジスト、31 … 下部電極、32 … 上部電極、33 … 外部接続電極、34 … 壁部、41、42 … 絶縁膜、50 … 第1の蓋部、51 … 絶縁膜、52 … ポリシリコン膜、60 … 第2の蓋部、61 … 中間導電体、62 … 封止部、70 … 絶縁膜、81、82 … 不純物拡散領域、83 … ゲート電極、91、92 … コンタクトプラグ、100 … 配線

10

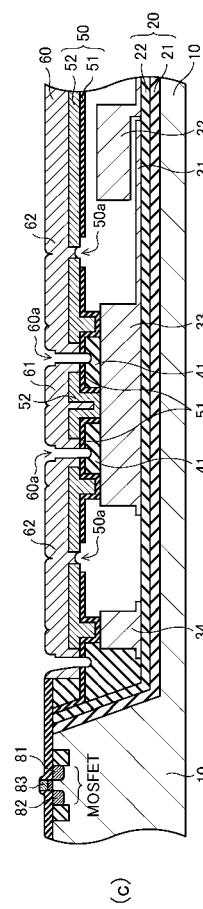
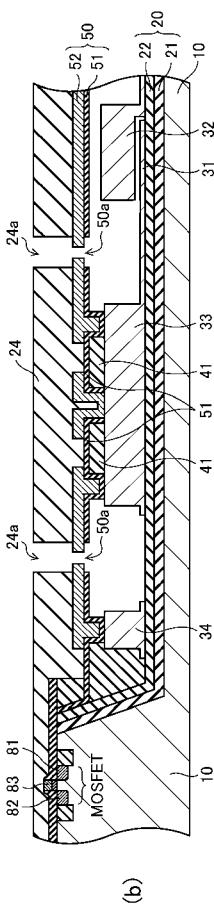
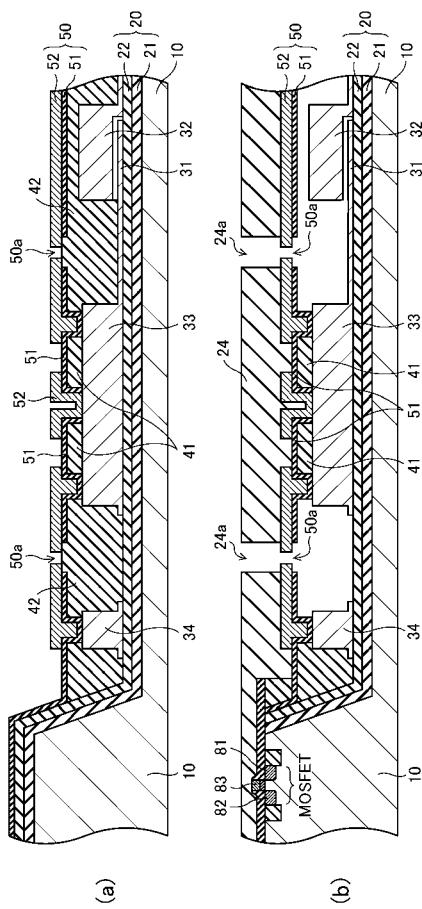
【図1】



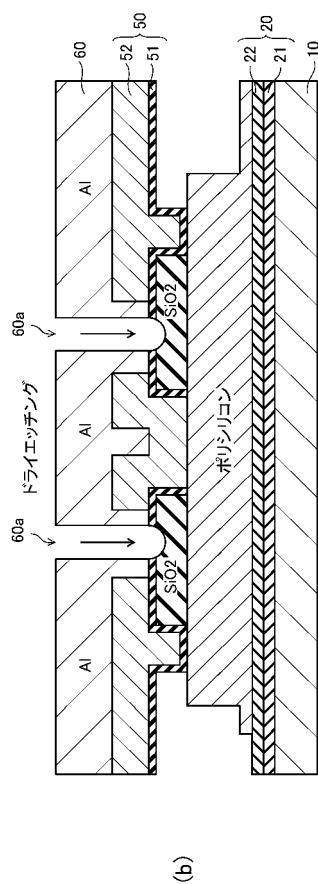
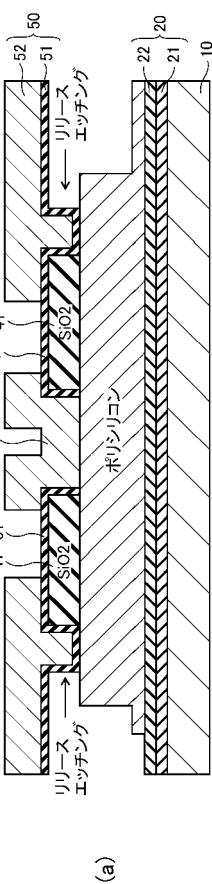
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 3C081 AA18 BA02 BA30 BA32 BA33 BA43 BA48 CA03 CA14 CA15
CA20 CA28 CA29 DA03 DA26 DA27 DA29 DA30 DA45 EA22
4M112 AA00 BA07 CA21 CA22 CA23 CA31 CA32 CA33 DA03 DA04
DA05 DA06 DA09 DA15 EA03 EA04 EA06 EA07 EA11 EA12
EA13 EA18 FA20 GA01
5J108 AA09 BB08 EE04 GG03 GG07 GG14 GG20 JJ04 KK04 MM02