

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510128609.8

[45] 授权公告日 2008 年 7 月 30 日

[11] 授权公告号 CN 100407285C

[22] 申请日 2005.11.22

[21] 申请号 200510128609.8

[30] 优先权

[32] 2004.11.22 [33] JP [31] 2004-336950

[73] 专利权人 株式会社日立显示器

地址 日本千叶县

[72] 发明人 景山宽 宫本光秀 秋元肇

[56] 参考文献

JP2000338918A 2000.12.8

US6661401B1 2003.12.9

CN1340183A 2002.3.13

US2004036702A1 2004.2.26

EP1300826A2 2003.4.9

JP2003122332A 2003.4.25

CN1503274A 2004.6.9

CN1392531A 2003.1.22

审查员 蔡广宁

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 吴丽丽

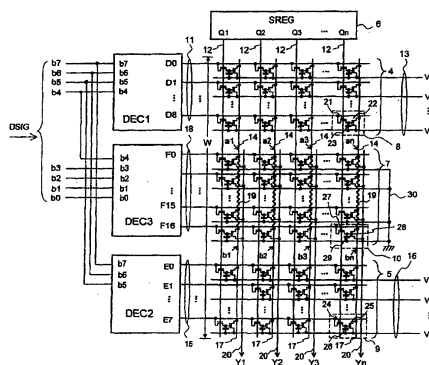
权利要求书 2 页 说明书 13 页 附图 12 页

[54] 发明名称

图像显示装置及其驱动电路

[57] 摘要

本发明提供了一种可减小图像显示装置的非显示区域面积的驱动电路，它包括根据数字信号的上位位变换为模拟电压的两个 DA 变换电路；根据上述信号的下位位将这两个 DA 变换电路的输出电压分压的分压电路；与数字信号同步，产生触发信号的移位寄存器电路。分压电路配置在两个 DA 变换电路的间隙内，由排列成 2 维矩阵状的存储元件和 多条电阻配线构成。存储元件存储与触发信号同步由译码器产生的译码信号，且依据存储元件所存储的译码信号选择输出电阻配线上产生的两个 DA 变换电路的分压。



1、一种驱动电路，该驱动电路配置于图像显示装置的周边部分中，并行地输出与串行输入的数字信号相对应的多个模拟电压，其特征在于：具有

按照上述数字信号的上位位，将上述数字信号变换为模拟电压的第一及第二 DA 变换器；

被配置在上述第一及第二 DA 变换器的间隙中，按照上述数字信号的下位位将上述第一及第二 DA 变换器的输出电压进行分压的分压电路；

与上述数字信号同步，产生触发信号的移位寄存器电路，

上述分压电路包括译码器、以 2 维矩阵状进行排列的存储元件和多个电阻配线，

上述存储元件采用如下电路结构，即与上述触发信号同步，存储由上述译码器产生的译码信号，并且按照上述存储元件存储的译码信号，选择并输出在上述电阻配线上产生的上述第一及第二 DA 变换器的分压。

2、如权利要求 1 所述的驱动电路，其特征在于：上述第一及第二 DA 变换器包括译码器和以 2 维矩阵状进行排列的存储元件，该存储元件采用如下电路结构，即与上述触发信号同步存储由上述译码器产生的译码信号，并且按照上述存储元件存储的译码信号，选择并输出从外部供给的基准电压。

3、如权利要求 1 所述的驱动电路，其特征在于：上述驱动电路使用薄膜晶体管构成。

4、如权利要求 3 所述的驱动电路，其特征在于：上述电阻配线是在和形成上述薄膜晶体管的源电极以及漏电极的硅膜同一层上被形成的。

5、如权利要求 1 所述的驱动电路，其特征在于：具有用于将上述触发信号传送给上述存储元件的多条触发线和用于将上述译码信号

传送给上述存储元件的多条译码信号线，

上述多条触发线和上述多条译码信号线被配线成网格状，在每个交叉部分配置上述存储元件。

6、如权利要求 5 所述的驱动电路，其特征在于：上述电阻配线被配置成在与上述触发线相平行的方向上。

7、如权利要求 5 所述的驱动电路，其特征在于：上述存储元件包括用于存储上述译码信号的电容、用于采样上述译码信号的第一开关、按照上述电容的保持电压选择并输出上述电阻配线的电压的第二开关。

8、如权利要求 7 所述的驱动电路，其特征在于：上述第一和第二开关包括 N 沟道薄膜晶体管或者 P 沟道薄膜晶体管。

9、一种图像显示装置，其特征在于：在一对基板的一个基板上形成如权利要求 1 所述的驱动电路、由多个像素电路构成的图像显示单元、为了向上述像素电路输入显示信号而在上述图像显示单元内配置的多个数据线，并且在上述 1 对基板的一个基板与上述 1 对基板的另一个基板之间夹持有液晶，其中将上述驱动电路的输出供给上述数据线。

10、一种图像显示装置，其特征在于：在基板上形成如权利要求 1 中所述的驱动电路、由多个像素电路构成的图像显示单元、为了向上述像素电路输入显示信号而在上述图像显示单元内配置的多个数据线，其中在上述像素电路中形成自发光元件，上述驱动电路的输出供给上述数据线。

图像显示装置及其驱动电路

技术领域

本发明涉及图像显示装置及其驱动电路，特别涉及缩小图像显示装置的非显示区域中配置的数据驱动电路的电路宽度，来减小非显示区域面积的图像显示装置及其驱动电路。

背景技术

以有源矩阵型液晶显示器为代表的有源矩阵型显示器，对每个像素形成薄膜晶体管（以下简称为 TFT），将显示信息存储于各像素中进行图像显示。通过对无定形硅膜进行激光退火而进行多晶化处理，利用将迁移率提高到约 $100\text{cm}^2/\text{V}\cdot\text{s}$ 的多晶硅膜形成的 TFT 称为多晶硅 TFT。由这种多晶硅 TFT 构成的电路可以以数 MHz~数十 MHz 的信号工作，因而能在液晶显示装置等衬底上，采用与构成像素的 TFT 相同的处理，不仅形成是像素还形成生成图像信号的数据驱动电路以及具有进行扫描的栅驱动电路功能的驱动电路。

数据驱动电路将包含图像信号信息的模拟信号电压供给多条数据线。这里所谓数据线是在图像显示装置的显示画面内沿纵向走向的配线，给各像素提供模拟信号电压。

数据驱动电路所须的功能如下。

(1) 将数字信号变换为模拟电压的功能，即 DA 变换功能。对于作为从图像显示装置外部提供的输入图像信号多为数字信号的情形，则可内装这种功能。

(2) 分配模拟信号电压的功能。这是由于数据线有多条（一般与画面横向的像素数相同的数目）。

图 11 例示已有的数据驱动电路的结构。数据驱动电路由译码器（DEC）81、移位寄存器（SREG）82 与开关矩阵 83 构成。开关矩阵 83 是由 N 沟道 TFT85、86 和一个电容器 87 构成的存储元件 84 排列成矩阵状，相互之间由许多译码信号线 88、多条触发线 89、多条基准电压线 90 与多条输出线 91 连接。译码信号线 88 连接译码器 81 的输出、触发线 89 连接移位寄存器 82 的输出、基准电压线 90 连接外部的基准电压源 $V_{\text{ref}1}\sim V_{\text{ref}x}$ 、输出线 91 连接图像显示装置的数据线。

下面简单说明图 11 的数据驱动电路的工作。从外部提供的数字图像信号 DSIG 由译码器 81 译码输出给译码信号线 88。译码信号线 88 中的某一个与输入的数字图像信号 DSIG 相关变成 N 沟道 TFT 导通 (ON) 的充分高的电压 (下面简作 H 电平), 其余变成 N 沟道 TFT 断开 (OFF) 的充分低的电压 (以下简作 L 电平)。移位寄存器 82 与数字图像信号 DSIG 的输入时间同步, 将触发线 89 中的每个顺次设为 H 电平。

在所连接的触发线 89 是 H 电平的一系列存储元件 84 上, 由于 TFT85 导通, 译码信号线 88 上的译码信号被电容器 87 锁定。译码信号线 88 中由于与数字图像信号 DSIG 对应的只有一条是 H 电平, 因而与该译码线连接的电容器 87 采样 H 电平。于是, 连接在采样 H 电平的电容器 87 上的 TFT86 成为导通状态, 此 TFT86 选择所连接的基准电压线 90 的基准电压 $V_{ref1} \sim V_{refx}$ 中某一个, 输出给输出线 91。输出给输出线 91 的基准电压进而供给图像显示装置 (未图示) 的数据线。

通过以上操作, 图 11 的电路能实现 (1) 将数字图像信号变换为对应的电压信号, (2) 将电压信号分别分配给多条数据线, 可实现作为数据驱动电路的上述功能。

关于图 11 所示的电路的详细例子也记述在专利文献 1 (特开 2003-005716 号公报) 与专利文献 2 (特开 2004-085666 号公报) 中。图 11 所示电路的特征之一是对每一输出只需两条图面纵向的配线的结构, 因而能缩小每一输出的电路宽度, 可适用于更高清晰的图像显示装置。

发明内容

在图 11 所示已有的数据驱动电路中, 构成开关矩阵 83 的存储元件 84 沿图面纵向的段数需为显示灰度数。因而, 从外部输入的数字图像信号 DSIG 的位数, 在 4 位时为 16 阶、在 6 位时为 64 阶、在 8 位时为 256 阶, 亦即段数是按 2 的 (位数) 乘方成正比地增加, 开关矩阵的电路宽度 $W1$ 增加。

特别是在当变为大于等于 8 位的灰度数, 存储元件 84 沿图面纵向的间距按 $30\mu\text{m}$ 加工时, 则仅仅是开关矩阵 83 的电路宽度 W 就占用 7.68mm 。由于电路宽度 $W1$ 需要纳入图像显示装置的非显示区域, 此宽度大时图像显示装置的非显示区域也变大, 这样就会限制装载图像显示装置的产品形状的自由度, 或是因为过多地占有产品的内部空间而妨碍小型化。

为此，本发明的目的在于提供能缩小图像显示装置的非显示区域中所配置的数据驱动电路的电路宽度，将非显示区域的面积抑制到很小的图像显示装置及其驱动电路（数据驱动电路）。

本发明提供一种驱动电路，该驱动电路配置于图像显示装置的周边部分中，并行地输出与串行输入的数字信号相对应的多个模拟电压，其特征在于：具有按照上述数字信号的上位位，将上述数字信号转换为模拟电压的第一及第二 DA 变换器；被配置在上述第一及第二 DA 变换器的间隙中，按照上述数字信号的下位位将上述第一及第二 DA 变换器的输出电压进行分压的分压电路；与上述数字信号同步，产生触发信号的移位寄存器电路，上述分压电路包括译码器、以 2 维矩阵状进行排列的存储元件和多个电阻配线，上述存储元件采用如下电路结构，即与上述触发信号同步，存储由上述译码器产生的译码信号，并且按照上述存储元件存储的译码信号，选择并输出在上述电阻配线上产生的上述第一及第二 DA 变换器的分压。

本发明提供一种图像显示装置，其特征在于：在一对基板的一个基板上形成如权利要求 1 所述的驱动电路、由多个像素电路构成的图像显示单元、为了向上述像素电路输入显示信号而在上述图像显示单元内配置的多个数据线，并且在上述 1 对基板的一个基板与上述 1 对基板的另一个基板之间夹持有液晶，其中将上述驱动电路的输出供给上述数据线。

本发明提供一种图像显示装置，其特征在于：在基板上形成如权利要求 1 中所述的驱动电路、由多个像素电路构成的图像显示单元、为了向上述像素电路输入显示信号而在上述图像显示单元内配置的多个数据线，其中在上述像素电路中形成自发光元件，上述驱动电路的输出供给上述数据线。

下面简单概述本说明书内所公开的发明之中有代表性内容。

(1) 本发明的驱动电路是配置于图像显示装置的周边部分中，并行地输出与串行输入的数字信号相对应的多个模拟电压，其特征在于：具有按照上述数字信号的上位位，转换为模拟电压的第一及第二 DA 变换器；被配置在上述第一及第二 DA 变换器的间隙中，按照上述数字信号的下位位将上述第一及第二 DA 变换器的输出电压进行分压的分压电路；与上述数字信号同步，产生触发信号的移位寄存器电路，上述分压电路包括译码器、以 2 维矩阵状进行排列的存储元件和多个阻抗配线，上述存储元件采用如下电路结构，即与上述触发信号

同步，存储由上述译码器产生的译码信号，并且按照上述存储元件存储的译码信号，选择并输出在上述阻抗配线上产生的上述第一及第二DA变换器的分压。

(2) 本发明的图像显示装置的特征在于，在一对基板的一个基板上形成如上述(1)中所述的驱动电路、由多个像素电路构成的图像显示单元、为了向上述像素输入显示信号而在上述图像显示单元内配置的多个数据线，和上述一对基板的另一个基板之间夹持有液晶，其中将上述驱动电路的输出供给上述数据线。

根据本发明，虽然增大了显示灰度数，但由于能把图像显示装置的非显示区域抑制得很小，故可提高装载图像显示装置的产品形状的自由度，还由于减小了在产品内部的空间占有体积，能使产品小型化。

附图说明

图1表示本发明的数据驱动电路的实施例。

图2表示图1的数据驱动电路的工作波形。

图3表示译码器DEC1的真值表。

图4表示译码器DEC2的真值表。

图5表示译码器DEC3的真值表。

图6A是表示相对于数字输入信号DSIG的译码器DEC1~3的输出与Y1~Yn的输出电压的关系前半部分的分图。

图6B是表示图6A中关系后半部分的分图。

图7表示存储元件的布局的例子。

图8表示将开关矩阵7配置在开关矩阵45之间以外时的情形。

图9表示应用图1的数据驱动电路的自发光型图像显示装置的实施例。

图10表示采用图1的数据驱动电路的液晶图像显示装置的实施例。

图11例示已有的数据驱动电路的图。

具体实施形式

下面参看附图详细说明本发明的实施例。

实施例1

图1表示本发明的数据驱动电路的结构。本实施例表示具有8位分辨率的数据驱动电路。本实施例的数据驱动电路由译码器DEC1~3、开关矩阵4与5、移位寄存器(SREG)6以及开关矩阵7构成。开关

矩阵 4 通过由 N 沟道 TFT21、22 与电容器 23 组成的存储元件 8 配置成沿图面纵向为 9 条电路、沿图面横向为 n 条电路的矩阵状来构成, 分别由 9 条译码信号线 11、n 条触发线 12、9 条基准电压线 13、n 条输出线 14 相互连接。

同样, 开关矩阵 5 是通过由 N 沟道 TFT24、25 与电容器 26 组成的存储元件 9 配置成沿图面纵向为 8 条电路、沿图面横向为 n 条电路的矩阵形状而构成, 分别由 8 条译码信号线 15、n 条触发线 12、8 条基准电压线 16、n 条输出线 17 相互连接。开关矩阵 7 通过由 N 沟道 TFT27、28 与电容器 29 组成的存储元件 10 配置成沿图面纵向为 17 条电路、沿图面横向为 n 条电路的矩阵形状来构成, 分别由 17 条译码信号线 18、n 条触发线 12、n 条电阻线 19、n 条输出线 20 以及接地线 30 相互连接。此外, 存储元件 8~10 沿图面横向的个数 n 可正比于本实施例的数据驱动电路可适用的图像显示装置横向的分辨率而变化。

数字图像信号 DSIG (8 位二进制信号: $b_7 \sim b_0$) 从外部输入到译码器 DEC1~3。译码器 DEC1 中输入 $b_7 \sim b_4$ 共 4 位, 译码器 DEC2 中输入 $b_7 \sim b_5$ 共 3 位, 译码器 DEC3 中输入 $b_4 \sim b_0$ 共 5 位。此外, b_7 是 MSB, b_0 是 LSB。9 条译码信号线 11 连接在 DEC1 的输出 D0~D8 与开关矩阵 4 之间。8 条译码信号线 15 连接在 DEC2 的输出 E0~E7 与开关矩阵 5 之间。17 条译码信号线 18 连接在 DEC3 的输出 F0~F16 与开关矩阵 7 之间。

n 条触发线 12 连接在移位寄存器 6 的输出 $Q_1 \sim Q_n$ 、开关矩阵 4、5 以及 7 之间。与基准电压 $V_0 \sim V_{16}$ 相连的 17 种电压提供给基准电压线 13、16。向 9 根基准电压线 13 分别提供 V_0 、 V_2 、 V_4 、 V_6 、 V_8 、 V_{10} 、 V_{12} 、 V_{14} 、 V_{16} (偶数号电压), 向 8 根基准电压线 16 分别提供 V_1 、 V_3 、 V_5 、 V_7 、 V_9 、 V_{11} 、 V_{13} 、 V_{15} (奇数号电压)。n 条输出线 14 与 n 条输出线 17 连接到 n 条电阻线 19 的两端。构成一系列存储器元件 10 的 TFT28 的源极以均等的间隔连接在一条电阻线 19 的一端到另一端之间。n 条输出线 20 连接到构成一系列存储器元件 10 的 TFT28

的漏极上，并且向数据驱动电路外部配线，其前端连接到图像显示装置（未图示）的数据线上。

图 2 表示图 1 所示数据驱动电路的工作波形。数据驱动电路在将模拟电压输出到所有的输出 $Y_1 \sim Y_n$ 的一次操作中输入的数字信号 DSIG 数为 n 。与数字信号 DSIG 的输入定时同步，移位寄存器 6 在输出 $Q_1 \sim Q_n$ 中顺次生成 H（高）电平的触发脉冲。图 2 中为了说明操作，作为例子记述了数字图像信号的第 1 号为“00000001”、第 2 号为“11110001”、第 3 号为“00011111”而第 n 号为“00110000”的 8 位 2 进制数的情形。DEC1 根据图 3 所示的真值表将数字图像信号 DSIG 译码。DEC2 根据图 4 所示的真值表将数字图像信号 DSIG 译码。DEC3 则根据图 5 所示的真值表将数字图像信号译码。

第 1 号数字图像信号“00000001”通过译码器 DEC1~3 按真值表译码后，与输出 D0、E0、F1 连接的译码信号线成为 H 电平，其余的则成为 L（低）电平。

在时刻 t_1 ，与第 1 号数字图像信号同步，由于移位寄存器 6 在输出 Q_1 中发生 H 电平的触发脉冲，通过触发线 12 与移位寄存器的输出 Q_1 连接的一系列存储元件 8~10 中内设的 TFT21、24、27 变成 ON 状态，在电容器 23、26、29 中，采样译码信号线 11、15、18 的电压。

此时，因为与输出 D0、E0、F1 连接的译码信号线为 H 电平，因此只是由位于与输出 Q_1 连接的触发线 12 和与译码输出 D0 连接的译码信号线 11 两者交叉处的存储元件 8 中内装的电容器 23、位于与 Q_1 连接的触发线 12 和与 E0 连接的译码信号线 15 的交叉处的存储元件 9 中内装的电容器 26、与 Q_1 连接的触发线 12 和与 F1 连接的译码信号线 18 两者的交叉处的存储元件 10 中内装的电容器 29，采样 H 电平，而其余的则采样 L 电平。而且只是与采样 H 电平的前述 3 个电容器连接的 TFT22、25、28 变成 ON 状态。

于是，在输出线 14 上的节点 a1 处输出基准电压 V_0 ，在输出线 17 上的节点 b1 处输出基准电压 V_1 。节点 a1 的电压 V_0 与节点 b1 的电压 V_1 由电阻配线 19 分压。通过将 1 列的存储元件 10 从电阻配线

19 的一端到另一端之间均等地连接, 可从电阻配线 19 供给 16 等分的电压 V_0 , $(15/16)V_0 + (1/16)V_1$, ..., $(1/16)V_0 + (15/16)V_1$, V_1 .

由于只是位于与移位寄存器的输出 Q1 连接的触发线 12 和与译码器 DEC3 的输出 F1 连接的译码信号线 18 两者交叉处的存储元件 10 内置的 TFT28 成为导通状态, 故选择 $(15/16)V_0 + (1/16)V_1$ 的电压输出给输出线 20 (Y1)。以后重复相同的操作。

输入第 2 号数字图像信号“11110001”, 与此同步, 在时刻 t_2 , 移位寄存器 6 在输出 Q2 生成 H 电平的触发脉冲。于是译码器 DEC1~3 的输出 D8、E7、F15 变成 H 电平, 而只对位于与输出 Q2 连接的触发线 12 和与那些相交叉的位置处的存储元件 8~10 采样 H 电平, TFT22、25、28 变成 ON 状态。由此, 在节点 a2 输出电压 V_{16} , 在节点 b2 输出 V_{15} , 而在 Y2 则输出 V_{15} 与 V_{16} 的分压 $(15/16)V_{15} + (1/16)V_{16}$ 。

接着, 输入第 3 号数字图像信号“00011111”, 与此同步, 在时刻 t_3 , 移位寄存器 6 在输出 Q3 发生 H 电平的触发脉冲。于是 DEC1~3 的输出 D1、E0、F15 变成 H 电平, 而只对位于与输出 Q2 连接的触发线 12 以及与那些相交叉的位置处的存储元件 8~10 采样 H 电平, TFT22、25、28 变成 ON 状态。由此在节点 a3 输出电压 V_2 , 在节点 b3 输出电压 V_1 , 而在 Y2 则输出 V_1 与 V_2 的分压 $(1/16)V_1 + (15/16)V_2$ 。

最后输入第 n 号数字图像信号“00010000”, 与此同步, 在时刻 t_n , 移位寄存器 6 在输出 Q3 发生 H 电平的触发脉冲。于是 DEC1~3 的输出 D1、E1、F16 变成 H 电平, 而只对位于与输出 Q_n 连接的触发线 12 和与那些相交叉的位置处的存储元件 8~10 采样 H 电平, TFT22、25、28 成为 ON 状态。由此在节点 a_n 输出电压 V_2 , 在节点 b_n 输出电压 V_3 。

但在通过电阻线 19 进行分压时, 对于译码器 DEC3 的输出 F0 或 F16 为 H 电平时, 为了选择电阻线 19 的一端电压, 就原样地将节点

an 或节点 bn 之一的某一个电压输出给 Y_n 。此时，由于 F16 为 H 电平，所以节点 bn 的电压原样地输出，而在 Y_n 则输出电压 V3。

通过以上操作，在时刻 t_n 之后，在 $Y_1 \sim Y_n$ 处预定的输出电压完全齐备，被发送给图像显示装置的数据线。在图 6A 与图 6B 中整理相对于数字输入信号 DSIG 的译码器 DEC1~3 的输出电压与 $Y_1 \sim Y_n$ 的输出电压 V_{out} 的关系来表示。DSIG 的数据以十六进制数表述。本实施例的数据驱动电路相对于 8 位的数字输入信号 DSIG 的数据 00~FF，能输出 256 级电压。此外，图 6A 表示数字输入信号 DSIG 的数据 00~1F，图 6B 表示数字输入信号数据 20~FF。另外，图 6B 中的“REP. # 1”与图 6A 中所示的“#1”以及图 6B 中的“REP. #2”与图 6B 中的“#2”分别表示相同的 H 与 L 输出图案的重复。

图 7 表示存储元件 8~10 的布局例子。在此布局例中顺次表示开关矩阵 4 最下段的存储元件 8、开关矩阵 7 的最上段的存储元件 10、中央附近的存储元件 10、最下段的存储元件 10、开关矩阵 5 最上段的存储元件 9。

以虚线所围区域表示 TFT 的硅薄膜层 (SI)，以细实线所围区域表示 TFT 的栅金属层 (GT)，以 × (叉线) 所示的小矩形图案表示接触孔 (CT)、以粗实线所围的区域表示金属配线层 (MW)。虚线的硅薄膜层图案与细实线的栅金属层的交叉部形成 TFT21、22、24、25、27 与 28。硅薄膜层与栅金属层的交叉部附近以外用磷掺杂，各 TFT 成为 N 沟道 TFT。

另外，从开关矩阵 7 的最上段的存储元件 10 到最下段的存储元件 10 之间，将硅薄膜层拉长形成电阻配线 19。栅金属层用于图面纵向配线的触发线 12、输出线 14、17、20。

金属配线层用于将 TFT 的源极与漏极与周围配线连接。此外，金属配线层用于沿图面横向配线的译码信号线 11、15、18，基准电压线 13、17 与接地线 30。进而，金属配线层通过挟有层间绝缘膜与栅金属层重叠，形成电容器 23、26、29。

图 1 与 7 所描述的 TFT 虽全是 N 沟道 TFT，但也可代之以采用 P

沟道 TFT 构成。这时硅薄膜层与栅金属层交叉部附近以外则需取代磷而以硼掺杂。此外，需要更替的是 H 电平意思是 P 沟道 TFT 需要进行充分导通的低电压，L 电平意思是 P 沟道 TFT 需要进行充分断开的高电压。

构成本实施例的数据驱动电路的开关矩阵的宽度总和 W 约为构成图 11 所示的已有的数据驱动电路的开关矩阵的宽度 W_1 的 13.3%，可实现数据驱动电路的小型化。开关矩阵宽度总和 W 约为 W_1 的 13% 的理由可由以下两点说明。

(1) 在图 11 所示已有的数据驱动电路的例子中，对于构成开关矩阵 83 的存储元件 84 的沿图面纵向的电路数为 256 的情况，在图 1 所示的本发明的数据驱动电路的实施例中，构成开关矩阵 4、5、7 的存储元件 8~10 的沿图面纵向的电路数总和为 $9+8+17=34$ ，它们的比为 $34/256 \approx 13.3$ 。

(2) 包含在以往的数据驱动电路中的存储元件 84 和包含在本实施例中的数字驱动电路的存储元件 8~10 的布局图案的大小几乎相等。如图 7 中所示，存储元件 8~10 在沿图面横向和纵向都具有大致相同的大小。因此，存储元件 8~10 因为都是由 2 个 TFT 和 1 个电容器、以及与它们相连接的纵向和横向的配线构成，所以具有相似的布局图案。另外，存储元件 84 是和存储元件 8 相同的电路结构，所以，存储元件 84 也和由存储元件 8 相同的布局图案构成。

另一方面，对于每 1 输出沿图面纵向配线的条数在已有的数据驱动电路中为 2 条，而在本实施例的数据驱动电路中包含电阻线在内最多为 3 条，由于仅形成 1 条配线的布局图案宽度是扩大了输出线的间隔，所以这从高精细化方面上看，与已有例相比是不利的。但如本实施例所述，当把开关矩阵 7 配置于开关矩阵 4 与 5 之间时，纵向的配线条数最小值为 3，而除此以外的配置，图面纵向的配线数为大于等于 4 条。

图 8 所示为开关矩阵 7 不配置在开关矩阵 4 与 5 之间而配置于其他场合下的情形。在开关矩阵 7 所包含的电阻线 19 的两端连接着开关

矩阵 4 的输出线 14 和开关矩阵 5 的输出线 17。这样,在此配置下,输出线 14 或输出线 17 中的一个一定要与存储元件 10 交叉。因而,在存储元件 10 附近 X 处的图面纵向的配线形成触发线 12、输出线 20、电阻配线 19 以及输出线 14 和 17 中的一个,线条数为 4。因此如图 1 所示的实施例,最好将开关矩阵 7 配置于矩阵 4 与 5 之间。

实施例 2

图 9 表示采用图 1 的数据驱动电路的自发光型图像显示装置的实施例。在玻璃衬底 41 之上形成有图 1 所示结构的数据驱动电路 42、栅驱动电路 43、显示区域 44。数据驱动电路 42 包含开关矩阵 4、5 与 7,它们也都与图 1 相同的纵向与横向地被配置。显示区域 44 中沿纵向配置有多条数据线 47,沿横向配置有多条栅线 46,在它们的每个交叉处配置像素电路 48。在图 9 的例子中,为简化说明,表示数据线表示为 3 条、栅线表示为 2 条、像素电路 45 表示为 $3 \times 2 = 6$ 像素,但在实际的图像显示装置中沿纵向与横向的线路数都大于等于 100,例如图像显示装置为彩色显示而分辨率为 VGA 时,数据线 47 的条数为 640×3 (RGB) = 1920 条、栅线 46 的条数为 480 条、像素电路 45 的个数为 $640 \times 3 \times 480 = 921600$ 个。像素电路 45 包括 N 沟道 TFT51、53,电容器 52,发光二极管元件 54、阳极电源 55 与阴极电源 56。

通过以下说明的操作,图 9 的图像显示装置显示图像。数据驱动电路 42 以从外部供给的数字图像信号 DSIG 作为输入,将与数字图像信号 DSIG 相对应的模拟电压输出给输出 Y1~Y3 以及与其连接的数据线 47。栅驱动电路 43 与数据驱动电路 42 的变换操作同步,顺次在 G1、G2 产生触发脉冲。像素电路 45 内装的 TFT51 的栅极通过栅线 46 与栅驱动电路 43 的输出 G1 或 G2 连接,TFT51 借助栅驱动电路 43 发生的触发脉冲在电容器 52 中对数据线 47 的电压采样。

数据驱动电路 42 的第一次变换操作时,通过栅驱动电路 43 在输出 G1 处发生触发脉冲,输出到 Y1~Y3 中的模拟电压便被第一行像素电路 45 内装电容器 52 采样。数据驱动电路 42 的第二次变换操作时,通过栅驱动电路 43 在输出 G2 处发生触发脉冲,输出到 Y1~Y3 中的

模拟电压在第二行像素电路 45 内装的电容器 52 中被采样。

被采样的电压由于施加在 TFT53 的栅极与源极之间,因此 TFT53 按照电容器 52 中所采样的电压控制流过发光二极管元件 54 的电流。发光二极管元件 54 的发光强度正比于此电流而变化。有机场致发光元件可用作发光强度正比于电流的发光二极管元件。

如上所述,由于能根据数字图像输入信号 DSIG 控制所有像素电路 45 中内装的发光二极管元件 54 的发光强度,因而图 9 的图像显示装置能显示图像。

在图 9 的实施例 3 中,数据驱动电路 42 配置在显示区域外侧亦即非显示区域内。因而开关矩阵 4、5 与 7 的电路宽度总和 W 相对于已有数据驱动电路的开关矩阵的电路宽度 W1 窄缩到其 13.3%,这样,同采用已有的数据驱动电路的情形相比,可进一步减小本实施例的非显示区域面积。

实施例 3

图 10 表示应用图 1 中数据驱动电路的液晶图像显示装置的实施例。在玻璃衬底 61 上形成图 1 的数据驱动电路 62、63 以及栅驱动电路 64,显示区域 65 与多路分解器 69、70。数据驱动电路 62 包括开关矩阵 4、5 与 7,它们沿和图 1 纵向与横向相同朝向地配置。数据驱动电路 63 也包括着开关矩阵 4、5 与 7,它们则按与图 1 中与纵向相反的朝向配置。

在显示区域 65 中,沿纵向配置了多条数据线 67,沿横向配置了多条栅线 66,而在它们各个交叉处设置像素电路 68。

在图 10 的例子中,为简化说明,数据线表示为 4 条、栅线表示为 2 条,而像素电路 68 表示为 $4 \times 2 = 8$ 像素,但在实际的图像显示装置中,纵横的线数都大于等于 100,例如在图像显示装置为彩色显示而分辨率为 VGA 的情形,数据线 67 的条数为 640×3 (RGB) = 1920 条,栅线 66 的条数为 480 条,而像素电路 68 的个数为 $640 \times 3 \times 480 = 921600$ 个。像素电路 68 由 N 沟道 TFT71、电容器 72 及液晶元件 73 构成。

图中虽未表示,但在玻璃衬底 61 上重叠着形成了透明共用电极

74 的另外的玻璃衬底，通过这两个衬底间夹持着液晶材料而形成液晶元件 73。在此两玻璃衬底的外侧面上则贴付着偏振光膜，根据施加给液晶元件 73 的电压，液晶元件 73 内液晶分子的取向变化，可控制透过液晶元件 73 以及两个偏振光膜的光强。

通过以下所述的操作，图 10 的液晶显示装置显示图像。数据驱动电路 62、63 将从外部提供的数字图像信号 DSIG 作为输入，将与数字图像信号 DSIG 相对应的模拟电压输出给与输出 Y1、Y2 相连接的多路分解器 69、70。

以交流化施加给液晶元件 73 的电压为目的，供给数据驱动电路 61 的基准电压，是比在上述重叠的另外的玻璃衬底上与玻璃衬底 61 相对而形成的共用电极 74（以下称为相对电极 74）的电位高的电压，此数据驱动电路 62、63 的输出电压可通过多路分解器 69、70，分别分配给奇数号与偶数号的数据线 67。

栅驱动电路 64 与数据驱动电路 62、63 的变换操作同步，在 G1、G2 处顺次发生触发脉冲。像素电路 68 内设的 TFT71 的栅电极通过栅线 66 与栅驱动电路 64 的输出 G1 或 G2 连接，而 TFT71 则由栅驱动电路 64 发生的触发脉冲在电容器 72 中对数据线 67 的电压进行采样。

在数据驱动电路 62、63 的第一次变换操作时，通过栅驱动电路 64 在输出 G1 处发生触发脉冲，输出给 Y1、Y2 的模拟电压在第一行像素电路 68 内装的电容器 72 中被采样。数据驱动电路 62、63 的第二次变换操作时，通过在栅驱动电路 64 的输出 G2 处发生触发脉冲，输出给 Y1、Y2 的模拟电压在第二行像素电路 68 的内装的电容器 72 中被采样。

被采样的电压施加给液晶元件 73，控制透过液晶元件 73 的光强。此外，通过切换多路分解器 69、70，能使施加给内装于各像素电路 68 的液晶元件 73 的电压交流化。切换的时间最好是输入的数字图像信号 DSIG 的水平消隐时间或垂直消隐时间。

如上所述，由于能够按照数字图像信号控制所有像素电路 68 内装的液晶元件 73 的透过光强，所以图 10 的液晶图像显示装置可显示图

像。

在图 10 的实施例中，数据驱动电路 62、63 配置于显示区域 65 的外侧即非显示区域中。从而，开关矩阵 4、5 与 7 的电路宽度总和 W 相对于已有的数据驱动电路的开关矩阵的电路宽度 $W1$ 窄缩到其 13.3%，因而本实施例的非显示区域的面积可比已有的小。

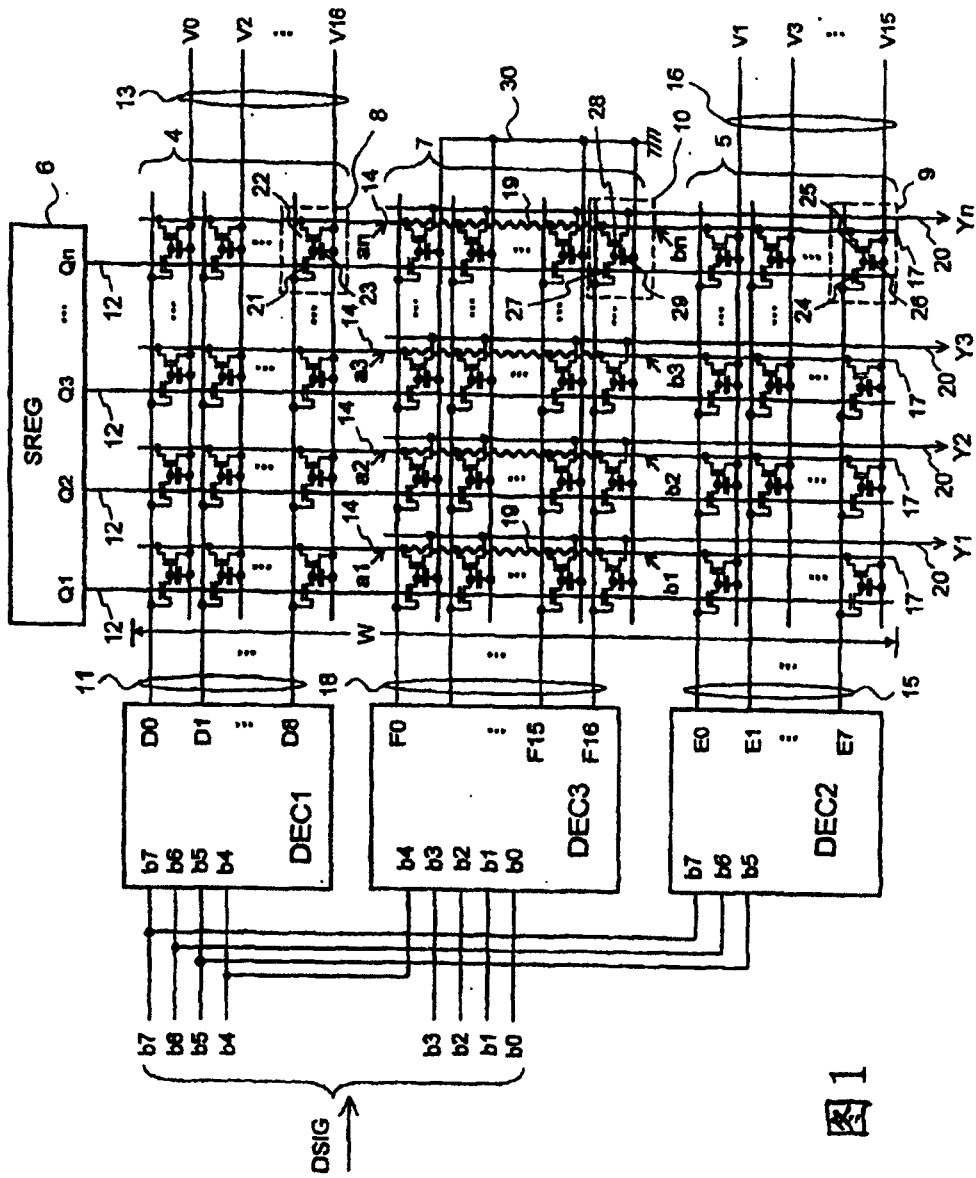


图 1

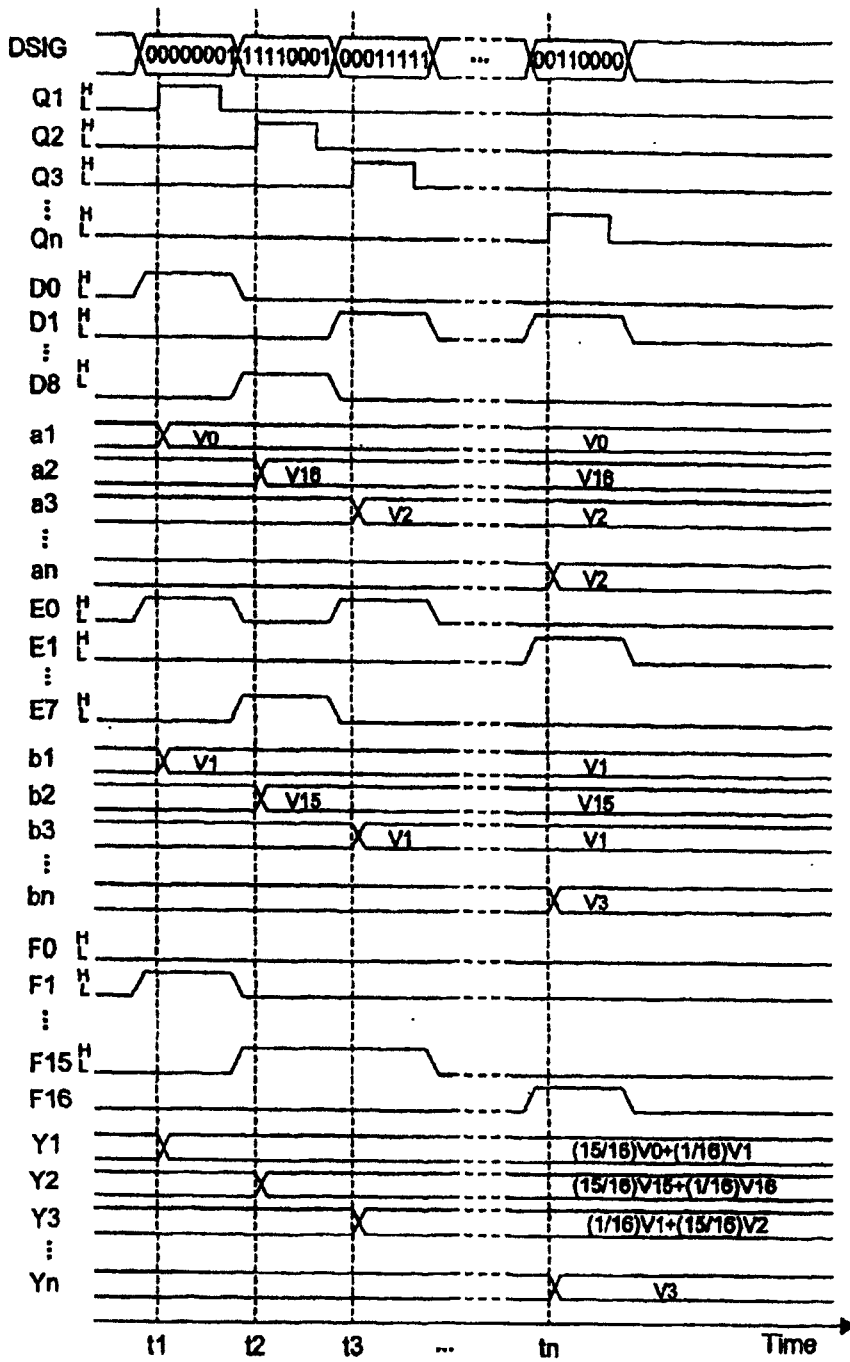


图 2

DEC1

Input				Output								
b7	b6	b5	b4	D0	D1	D2	D3	D4	D5	D6	D7	D8
0	0	0	0	H	L	L	L	L	L	L	L	L
0	0	0	1	L	H	L	L	L	L	L	L	L
0	0	1	0	L	H	L	L	L	L	L	L	L
0	0	1	1	L	L	H	L	L	L	L	L	L
0	1	0	0	L	L	H	L	L	L	L	L	L
0	1	0	1	L	L	L	H	L	L	L	L	L
0	1	1	0	L	L	L	H	L	L	L	L	L
0	1	1	1	L	L	L	L	H	L	L	L	L
1	0	0	0	L	L	L	L	H	L	L	L	L
1	0	0	1	L	L	L	L	L	H	L	L	L
1	0	1	0	L	L	L	L	L	H	L	L	L
1	0	1	1	L	L	L	L	L	L	H	L	L
1	1	0	0	L	L	L	L	L	L	H	L	L
1	1	0	1	L	L	L	L	L	L	L	H	L
1	1	1	0	L	L	L	L	L	L	L	H	L
1	1	1	1	L	L	L	L	L	L	L	L	H

图 3

DEC2

Input			Output							
b7	b6	b5	E0	E1	E2	E3	E4	E5	E6	E7
0	0	0	H	L	L	L	L	L	L	L
0	0	1	L	H	L	L	L	L	L	L
0	1	0	L	L	H	L	L	L	L	L
0	1	1	L	L	L	H	L	L	L	L
1	0	0	L	L	L	L	H	L	L	L
1	0	1	L	L	L	L	L	H	L	L
1	1	0	L	L	L	L	L	L	H	L
1	1	1	L	L	L	L	L	L	L	H

图 4

DEC 3

Input					Output																
b4	b3	b2	b1	b0	F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15	F16
0	0	0	0	0	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
0	0	0	0	1	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L
0	0	0	1	0	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L
0	0	0	1	1	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L
0	0	1	0	0	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L
0	0	1	0	1	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L
0	0	1	1	0	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L
0	0	1	1	1	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L
0	1	0	0	0	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L
0	1	0	0	1	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L
0	1	0	1	0	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L
0	1	0	1	1	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L	L
0	1	1	0	0	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L	L
0	1	1	0	1	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L	L
0	1	1	1	0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L
0	1	1	1	1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
1	0	0	0	0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
1	0	0	0	1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
1	0	0	1	0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
1	0	0	1	1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
1	0	1	0	0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L	L
1	0	1	0	1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H	L
1	0	1	1	0	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
1	0	1	1	1	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	H
1	1	0	0	0	L	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L
1	1	0	0	1	L	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L
1	1	0	1	0	L	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L
1	1	0	1	1	L	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L
1	1	1	0	0	L	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L
1	1	1	0	1	L	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L
1	1	1	1	0	L	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L
1	1	1	1	1	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L

图 5

DSIG	D0	D1	D2	D3	D4	D5	D6	D7	D8	F0	F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	F15	F16	E1	E2	E3	E4	E5	E6	E7	E8	Vout (Y1 - Yn) V0
00	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(15/16)V0+(1/16)V1$	
01	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(14/16)V0+(2/16)V1$	
02	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(13/16)V0+(3/16)V1$	
03	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(12/16)V0+(4/16)V1$	
04	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(11/16)V0+(5/16)V1$	
05	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(10/16)V0+(6/16)V1$	
06	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(9/16)V0+(7/16)V1$	
07	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(8/16)V0+(8/16)V1$	
08	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(7/16)V0+(9/16)V1$	
09	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(6/16)V0+(10/16)V1$	
0A	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(5/16)V0+(11/16)V1$	
0B	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(4/16)V0+(12/16)V1$	
0C	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(3/16)V0+(13/16)V1$	
0D	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(2/16)V0+(14/16)V1$	
0E	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(1/16)V0+(15/16)V1$	
0F	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$V1$	
10	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(15/16)V1+(1/16)V2$	
11	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(14/16)V1+(2/16)V2$	
12	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(13/16)V1+(3/16)V2$	
13	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(12/16)V1+(4/16)V2$	
14	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(11/16)V1+(5/16)V2$	
15	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(10/16)V1+(6/16)V2$	
16	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(9/16)V1+(7/16)V2$	
17	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(8/16)V1+(8/16)V2$	
18	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(7/16)V1+(9/16)V2$	
19	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(6/16)V1+(10/16)V2$	
1A	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(5/16)V1+(11/16)V2$	
1B	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(4/16)V1+(12/16)V2$	
1C	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(3/16)V1+(13/16)V2$	
1D	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(2/16)V1+(14/16)V2$	
1E	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	$(1/16)V1+(15/16)V2$	
1F	L	H	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L	L		

图 6A

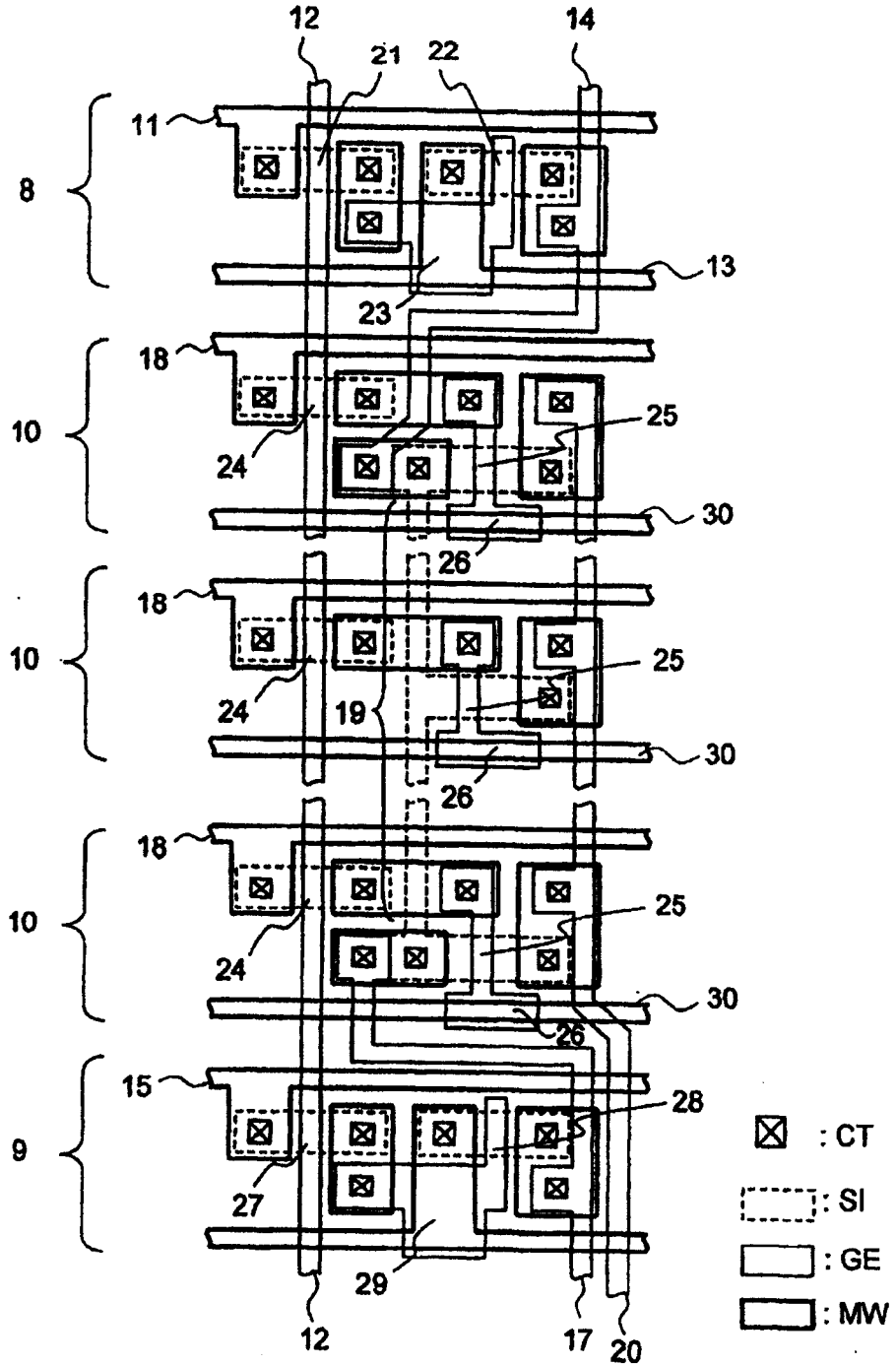


图7

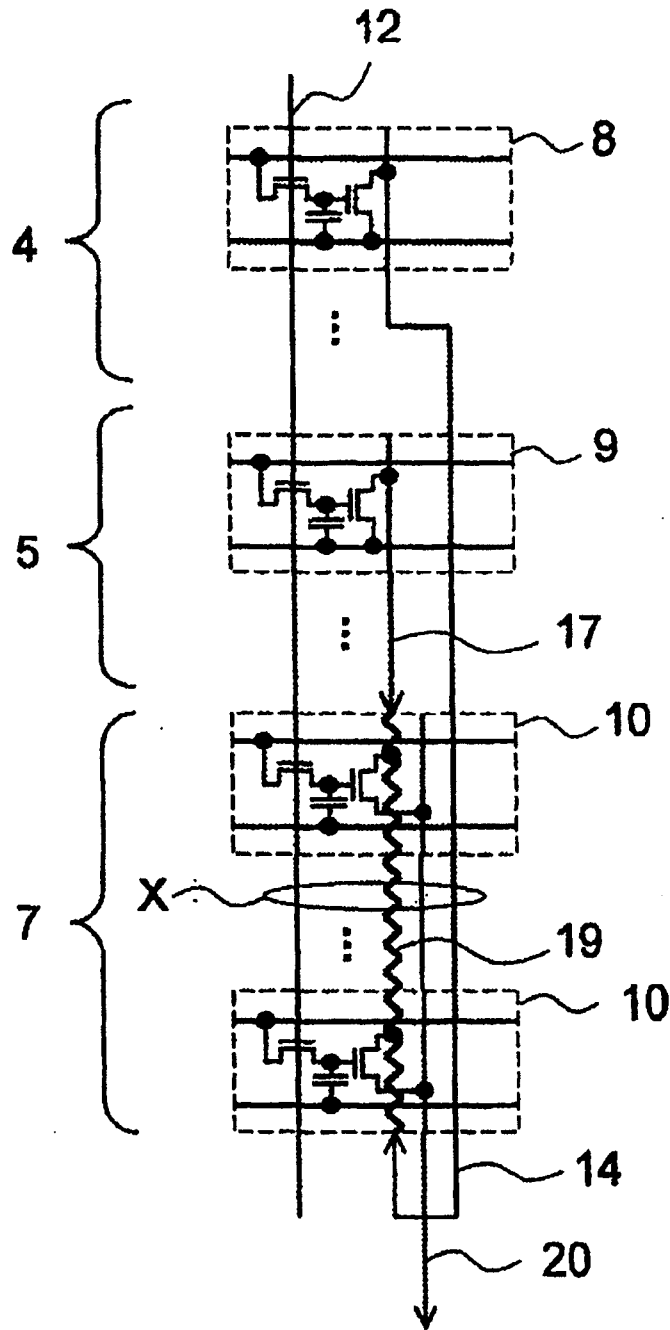


图8

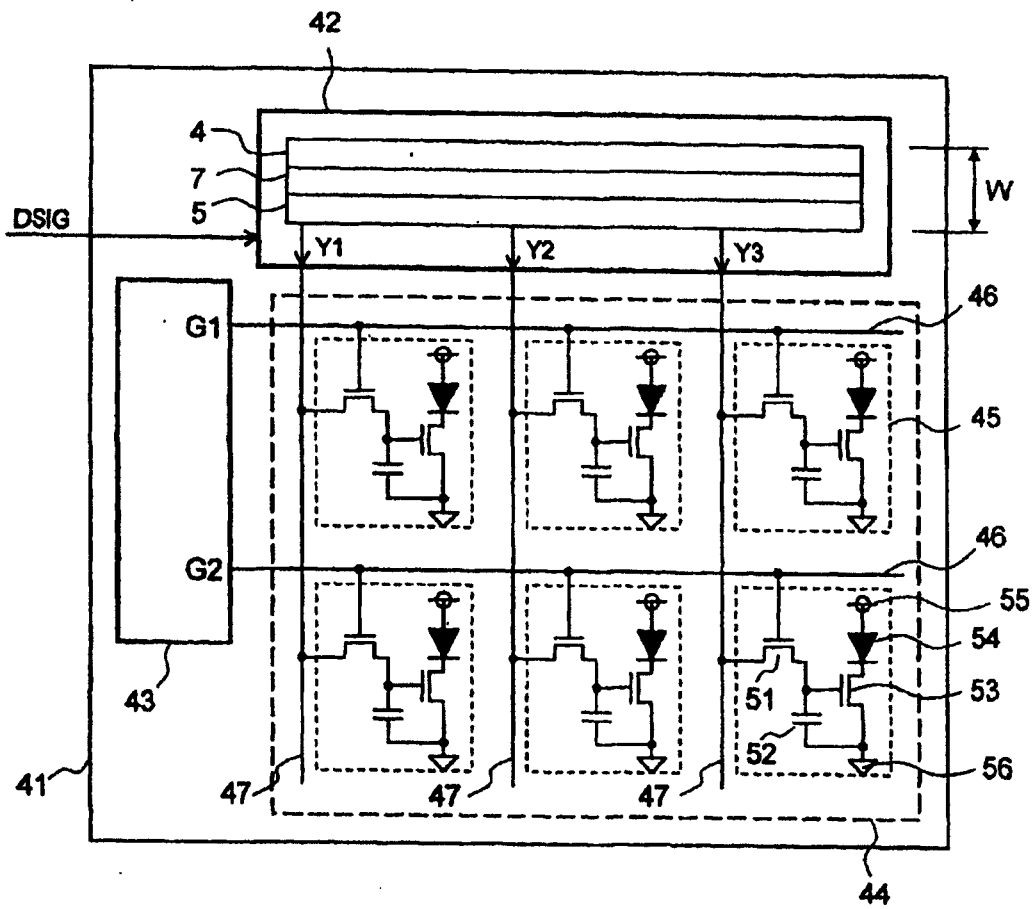


图9

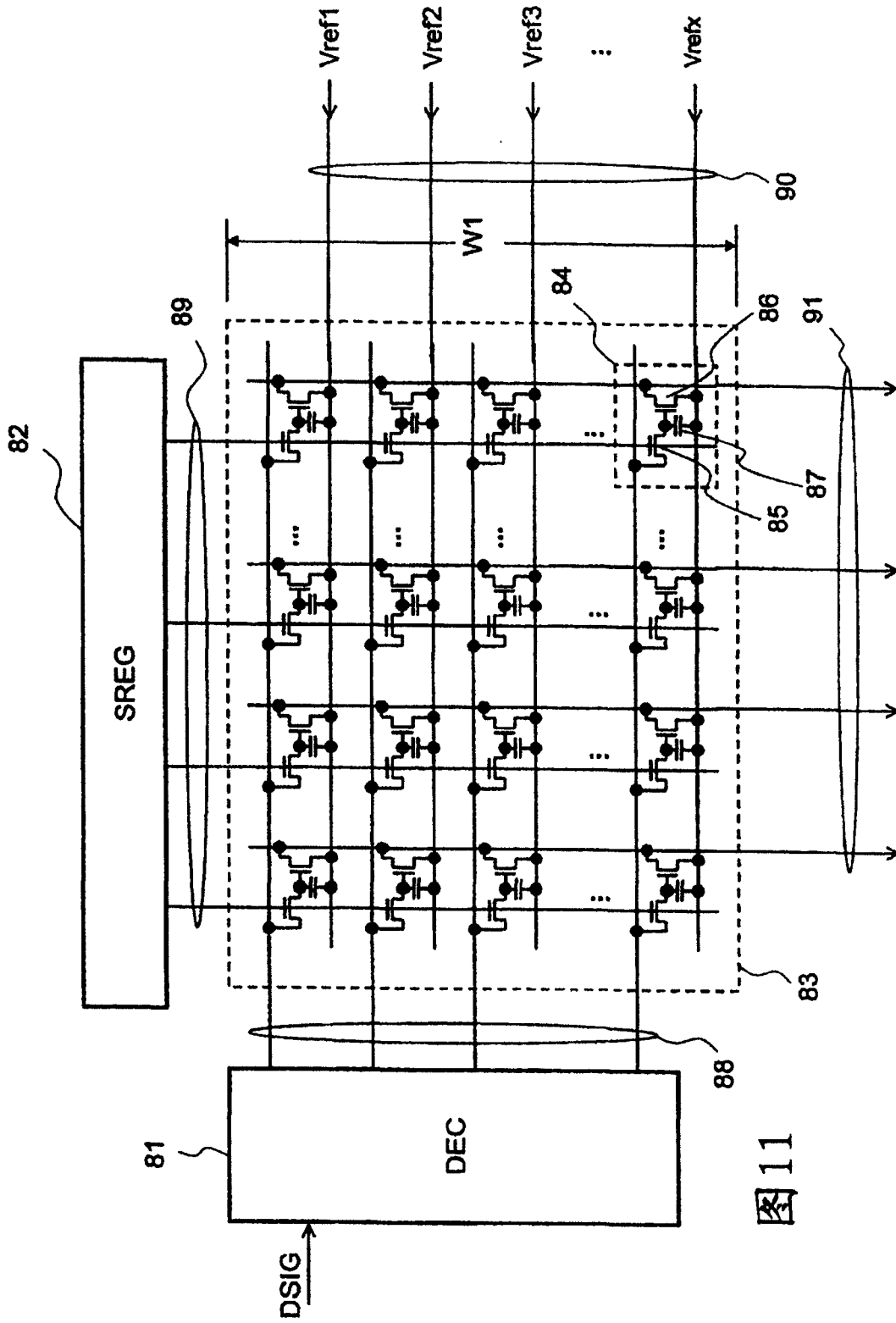


图11