公告本 408469

申請日期：89.9.1	案號：89114513
類別：H01L 27/01	

（以上各欄由本局填註）

發明專利說明書

408469

一、發明名稱	中文	半導體裝置及其製造方法
	英文	A Semiconductor Device and A Manufacturing Process Therefor
二、發明人	姓名（中文）	1.野田　研二
	姓名（英文）	1.
	國籍	1.日本
	住、居所	1.日本國東京都港區芝五丁目7番1號日本電氣股份有限公司內
三、申請人	姓名（名稱）（中文）	1.日本電氣股份有限公司
	姓名（名稱）（英文）	1.NEC Corporation
	國籍	1.日本
	住、居所（事務所）	1.日本國東京都港區芝五丁目7番1號
	代表人姓名（中文）	1.金子　尚志
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1997/09/10	特願平9-245387	有
日本 JP	1998/07/31	特願平10-218034	有

有關微生物已寄存於　　寄存日期　　寄存號碼

五、發明說明 (1)

發明背景

發明之領域

本發明是有關於一個半導體裝置及其製造方法，尤其是關於一連接電極之閘極電極與摻雜層的技術。

相關技術之描述

含有一用來連接電極（如閘極電極）與摻雜層之共同接觸孔的習知半導體裝置，如圖11中的示意剖面圖所示。亦即，在採用LOCOS法或渠溝隔離技術(trench isolation technology)形成有一裝置隔絕區202的矽基板201的表面上，隔著閘極氧化物膜203a，而形成有用來形成電晶體之由多晶矽所構成的閘極電極204a。並且，在閘極電極204a的側邊，形成由氧化矽所構成的分隔部205。在基板的表面，構成一LDD電晶體的低濃度摻雜層206和高濃度摻雜層207(a、b)形成於閘極電極204a和分隔部205所界定的區域內。用以減小電阻之矽化鈦層208形成於高濃度摻雜層207和閘極電極204的表面。上述的元件構成一N型MOSFET(209)。又，為確保與MOSFET(209)的汲極節點亦即高濃度摻雜層207b之電性連接，而於矽基板201和裝置隔絕區202上隔著閘極氧化層203b形成由相同於閘極電極204a之材料構成之配線電極204b。一層間絕緣膜213形成於以上配線和電晶體上，並形成埋入有由多晶矽或鎢等材料構成的接觸插塞之共同接觸孔214，覆蓋於作汲極節點的高濃度摻雜層207b之表面和電極204b上。如果有需要，共同接觸孔214亦可與上層之配線連接。

五、發明說明 (2)

於此結構中，共同接觸孔214覆蓋於分隔部205上，並電性連接於作為一汲極節點的高濃度摻雜層207b及電極204b。因此，當減小接觸孔的大小時，會造成接觸電阻增加的問題。於日本專利JP-A 4-63436中已揭露了處理此問題的方法。

處理的方法是，在接觸孔形成前，將形成於待和共同接觸孔214相連接之部分的分隔部205移除，以避免因接觸孔大小的減少而造成接觸電阻的增加。製造程序將參考剖面製造方法圖12(a)~12(e)來加以描述。

在採用LOCOS法或渠溝隔離技術形成有一裝置隔絕區202的矽基板201的表面上，隔著閘極氧化物膜203，而形成有用來形成電晶體之由多晶矽所構成的閘極電極204。構成一LDD電晶體的低壓摻雜層206係由例如離子植入法所形成。然後，於閘極電極204的兩側形成由二氧化矽(SiO_2)構成之分隔部205(圖12(a))。在基板表面，高濃度摻雜層207a、b藉由離子植入法形成於由閘極電極204與分隔部205所界定的區域中。在高濃度摻雜層207和閘極電極204的表面形成一矽化鈦層208以減小電阻(圖12(b))。保護層210沈積於基板的表面。在圖型化之後形成一開口211，用以將存在於將埋入一接觸插塞的部份之一分隔部予以移除。接著移除暴露於開口211的分隔部205。(圖12(c))。

移除保護層後，形成一由氧化物膜和BPSG膜所構成之層間絕緣層212。再用一保護罩形成一共同接觸孔213。

五、發明說明 (3)

(圖12(d))。

具有Ti和TiN疊層結構之障壁膜215用濺鍍的方式形成在共同接觸孔213內。接著，埋入諸如鎢之金屬材料216以形成一共同接觸孔214。(圖12(e))。

然而，於圖18所示之習知技術中，由於障壁膜215形成於低濃度摻雜層上，會在共同接觸孔214和基板201間產生漏洩電流。

為了避免漏洩電流，在形成接觸孔213後，需執行一些程序如植入和高濃度摻雜層207有相同導電形式之不純物。亦即，為達成一CMOS結構時，需加入兩道光蝕刻步驟，一是供NMOS用，另一是供PMOS用。

又，當接觸孔形成於矽化物暴露的區域，即使摻入高濃度的不純物，具有高寬比為3之接觸孔的裝置，電阻值會成為原來的10倍。此問題的主因在於有適當膜厚之障壁膜無法以濺鍍的方式形成在具有較大的高寬比之接觸孔底部。此外，矽基板表面之不當處理，很容易使電阻增加幾個位數。

由於此部分無法獲得適當之低接觸電阻，共同接觸孔之偏移需嚴格的加以控制。尤其在連接共同接觸孔及摻雜層與閘極電極時，單側之R/2偏移量是可以被允許的理想狀況，此處的R，是接觸孔直徑。在習知技術的結構中，在閘極電極的側壁形成一寬W的分隔部會使允許的寬度減小至(R-W)/2。R值愈小，影響的情況愈明顯。

發明概要

五、發明說明 (4)

本發明的目的是提供一用以連接閘極電極和摻雜層的技術，其可簡化製造的程序，並避免漏洩電流，以解決上述的問題。

本發明提供一個半導體裝置，包含：一閘極絕緣膜，形成於具有一裝置隔絕區之矽基板的主表面上；一閘極電極，其由多晶矽所組成；分隔部，用以在閘極電極的側壁形成LDD-MOSFET；及一高濃度摻雜層。其特徵為：至少於該高濃度摻雜層形成前，在接近並電性連接於該高濃度摻雜層的閘極電極側壁上形成的分隔部被移除；並介由移除該分隔部後所形成之該高濃度摻雜層上所形成的一金屬矽化物層，將該閘極電極電性連接於該高濃度摻雜層。

本發明亦提供一個半導體裝置的的製造方法，至少包括：

(1)在矽基板的主表面上形成一裝置隔絕區；

(2)形成一閘極絕緣膜；

(3)形成一閘極電極；

(4)在閘極電極側壁上形成用以製造LDD-MOSFET的一分隔部；

(5)移除側壁上之分隔部的一部份；

(6)在由裝置隔絕區和閘極電極所界定的區域形成一高濃度摻雜層；

(7)至少在高濃度摻雜層之全部暴露表面，形成金屬矽化物層；

於其中，已移除分隔部的閘極電極側壁經由前述步驟

五、發明說明 (5)

(7)所沈積之金屬矽化物層而電性連接於高濃度摻雜層。

本發明之半導體裝置及製造方法中，藉由閘極電極側壁上之分隔部的部分移除，可使閘極電極在矽化步驟中自動的和摻雜層連接，如此可將連接的步驟最小化。且由於所有矽化物層的低表面用一高濃度摻雜層覆蓋，於接觸孔形成後，不需離子植入亦可避免漏洩電流。

並且，由於製造的條件，使的矽化物層無法形成於閘極電極側壁時，可在此部分形成一接觸孔，閘極電極可經由植入的接觸插塞和高濃度摻雜層導通。對應到接觸孔的基板上，存在有一高濃度摻雜層，使的電流不會漏洩至基板。

並且，對於需形成一極細之摻雜層的SRAM，即使當用以移除側壁之開口區重疊於裝置隔絕區的的一部份時，藉由形成一側壁分隔部，並在移除氧化物膜時使用一蝕刻停止層，可避免埋入於裝置隔絕區內的絕緣膜被蝕刻。前述之分隔部構成LDD-MOSFET，且其為(氧化物膜/氮化膜/氧化物膜)或(氧化物膜/氮化膜)的疊層結構。前述之蝕刻停止層，係已形成之氮化膜。

圖式之簡單說明

本發明之上述及其他目的、優點和特色由以下較佳實施例之詳細說明中並參考圖式當可更加明白，其中：

圖1是顯示本發明之一實施例的構成之平面圖。

圖2是圖1中X-X'線之概要剖面圖，其顯示本發明半導體裝置一實施例之構成。

五、發明說明 (6)

圖3(a)~3(f)是說明圖2中半導體裝置製造方法之流程圖。

圖4是圖1中X-X'線之概要剖面圖，其顯示本發明半導體裝置另一實施例之構成。

圖5(a)~5(i)是說明圖4中半導體裝置製造方法之流程圖。

圖6(a)~6(f)是說明第三個實施例之製造方法的剖面圖。

圖7為一平面圖，於其中分隔部開口部包含一裝置隔絕區。

圖8(a)和8(b)是圖7中Y-Y'線之剖面圖，分別顯示了裝置隔絕區的等向性與非等向性之蝕刻。

圖9(a)~9(i)是說明第四實施例之製造方法的剖面圖。

圖10是實施第四實施例之程序後，圖7中Y-Y'線之剖面圖。

圖11是習知技術之CMOS之概要剖面圖。

圖12(a)~12(e)是說明另一習知技術之製造方法的剖面圖。

符號說明

1~活動區域

2~活動區域

3~閘極電極

4~區域

五、發明說明 (7)

11~矽基板
12~裝置隔絕區
13~閘極氧化物膜
14~閘極電極
15~分隔部
16~低濃度摻雜層
17~高濃度摻雜層
18~矽化鈦層
19~NMOSFET
20~汲極節點
21~氧化矽膜
22~閘極電極
23~矽化鈦層
31~光阻
41~氧化矽膜
42~鈦膜
51~矽基板
52~裝置隔絕區
53~閘極氧化物膜
54~閘極電極
55~氧化矽膜
56~分隔部
57~低濃度摻雜層0
58~高濃度摻雜層

五、發明說明 (8)

59~矽化鈷層

60~NMOSFET

61~汲極節點

62~氧化矽膜

63~閘極電極

64~矽化鈷層

65~氮化矽膜

71~氧化矽膜

82~鈷膜

101~矽基板

102~裝置隔絕區

103~二氧化矽閘極膜

104~閘極電極

106~LDD層

107~LDD分隔部

108~光阻

109~區域

110~高濃度摻雜層

111~矽化物層

112~非摻雜二氧化矽膜

113~BPSG膜

114~接觸孔

115~金屬阻障層

116~鎢插塞

五、發明說明 (9)

117~凹溝

121~矽基板

122~裝置隔絕區

123~二氧化矽閘極膜

124~閘極電極

125~非摻雜Si_3N_4膜

126~LDD層

127~LDD分隔部

128~光阻

129~區域

130~高濃度摻雜層

131~矽化物層

132~BPSG膜

133~光阻

134~接觸孔

135~障蔽膜

136~接觸插塞

較佳實施例之詳細說明

本發明之半導體裝置是根據以下之原理來製造的。

當利用矽化技術於摻雜層及閘極電極上形成一矽化物層時，通常於沈積諸如鈦和鈷等金屬前，會在閘極電極的側邊形成絕緣的分隔部，用以避免閘極電極與矽基板間的短路。於本發明，在矽化物製造方法中，藉由在緊接於分隔部形成之後立即將其部分移除之方式，可在閘極電極的

五、發明說明 (10)

側面形成一矽化物層。當矽化物層比閘極電極下方之氧化物膜較厚一適當程度時，閘極電極上的矽化物膜與摻雜層上的矽化物膜會跨於閘極電極氧化物膜上方相互連接，而造成閘極電極與摻雜層間的電性連接。又，在移除分隔部之後，於矽化物層形成之前，可實施離子植入法以形成高濃度之摻雜層，因而使基板上之矽化物層的整個底面成為一高濃度摻雜層，而可避免漏洩電流。

依製造條件，閘極電極與摻雜層的介面可能沒有金屬矽化物層，如此，前述之層與層間即無法電性連接。此時，如圖6(f)所示，藉由埋入於共同接觸孔中用以連接閘極電極、摻雜層與上部配線的接觸插塞，即使在金屬矽化物層中有間隙存在，亦可確保閘極電極和摻雜層的電性連接。乍看之下，此技術和習知技術似無多大差異，但於本發明中，高濃度摻雜層完全的被金屬矽化物層所覆蓋，並於所有接觸插塞和矽基板接觸之處均介由金屬矽化物層相連接，故例如於接觸孔之光蝕刻中可改進位置偏移容許量。又，由於高濃度摻雜層乃形成於接觸插塞和矽基板接觸之處，因此可避免電流漏洩至基板。即使於開設具有較大之高寬比(aspect ratio)的接觸孔之情形時，由於在對應於接觸孔底部之區域已形成有金屬矽化物膜，仍可充分降低電阻值。

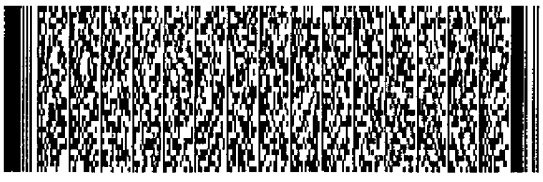
以下，將參考附圖詳細說明本發明的實施例，但本發明之範圍並未限定於此等實施例。

圖1是本發明一實施例之平面圖。由一活動區域1，亦

五、發明說明 (11)

即高濃度摻雜層的曝光面及一個延伸橫跨於摻雜層的閘極電極2，兩者形成一MOSFET。於活動區域1的端部有一閘極電極3，閘極電極3為和閘極電極2同時形成之配線。鈦矽化物形成於活動區域1、2及3的表面，且活動區域1藉由二氧化矽膜構成的一側壁分隔部，分別和活動區域2、3絕緣，而閘極電極3經由部份的側壁分隔部已被移除的區域4中之矽化鈦電性連接於活動區域1。

圖2是圖1中線X-X'的剖面圖。由多晶矽所構成用以形成電晶體之閘極電極14隔著一閘極氧化物膜13形成於矽基板11的表面。於前述的矽基板11上，藉由LOCOS法或渠溝隔離(trench isolation)的技術形成一裝置隔絕區12。於閘極電極14的兩側形成有由二氧化矽(SiO_2)構成之分隔部15。如此，而於由閘極電極14及分隔部15所界定的區域中形成了構成一LDD電晶體的低濃度摻雜層16及一高濃度摻雜層17。在高濃度摻雜層17和閘極電極14的表面，形成一矽化鈦層18以減小電阻，藉此而形成一N-型MOSFET(19)。為確保其和NMOSFET(19)之汲極節點20的電性連接，而在矽基板11和裝置隔絕區12上，隔著由相同於氧化矽膜13之材料構成的氧化矽膜21，而形成由相同於閘極電極14之配線材料所構成的閘極電極22。矽化鈦層23形成於高濃度摻雜層亦即汲極節點20的表面以及閘極電極22的表面及側面，且由高濃度摻雜層所構成的汲極節點20和閘極電極22電性連接。於以上說明中，雖選擇矽化鈦作為矽化物層的材料，然而明顯的，諸如矽化鈷等矽化物或其他金屬矽化

五、發明說明 (12)

物當然亦可適用於此。

茲參照圖3(a)至3(f)，說明用以實現以上構造的製造方法如下。

如圖3(a)所示，依據一般MOSFET製造方法，在摻雜了P型不純物的矽基板11上，藉由LOCOS法及渠溝隔離技術形成有裝置隔絕區12。在這些元件的表面隔著閘極氧化物膜13（例如厚度5nm的氧化矽膜）沈積一閘極電極材料(例如厚度150nm之多晶矽)，再施以圖型化成為所望的形狀而形成閘極電極14和22。接著，於整個表面以20KeV的能量植入例如5E13的砷原子，而形成一LDD層16。

在已形成閘極電極14及22的全表面上，沈積以一層厚度約100nm的氧化矽膜。接著，以非等向性乾式蝕刻方式回蝕基板，而在閘極電極14和22的側邊形成氧化矽分隔部15，如圖3(b)所示。

其次，使用圖1中用來形成開口部4的光罩，如圖3(c)所示般，在將光阻31予以圖型化之後，以此光阻31係作為光罩，並藉由乾蝕刻或利用緩衝之氫氟酸的濕式蝕刻方式，將氧化矽分隔部15的一部分移除。

接著，參考圖3(d)，在光阻移除後，於基板的整個表面沈積以一層厚約10nm之氧化矽膜41；其後，在整個表面上，以40KeV的能量植入3E15之砷元素後，以1000℃的溫度對基板做10秒鐘的退火處理，以活化摻雜層（高濃度摻雜層）17和LDD層16。

以例如緩衝之氫氟酸移除氧化矽膜41，使摻雜層17、

五、發明說明 (13)

閘極電極14、閘極電極22的表面暴露出來。接著，於基板的整個表面利用例如濺鍍的方式沈積以一層厚約30nm之鈦膜42(參考圖3(e))。

如圖3(f)所示，使用一般之矽化技術使鈦膜42和矽作反應，而於摻雜層17、閘極電極14、閘極電極22的表面及閘極電極22的暴露側形成矽化鈦層18，其後再將沒有反應之鈦金屬移除。於矽化反應的過程中，藉由5nm厚之氧化矽膜21彼此分隔之閘極電極22的側面與摻雜層17係經由矽化鈦層23連接。

(第二實施例)

於第一實施例中，當圖1中之活動區域相當窄，且因位置偏移而造成移除分隔部的區域4覆蓋於活動區域1外側之一部份時，裝置隔絕區內之氧化矽膜，亦可能在為了移除分隔部而施行之氧化矽膜的回蝕過程中被蝕刻掉。接下來，將說明用以避免此一問題的方式。

圖4是此實施例之剖面圖。其平面圖類似於實施例一，顯示圖1中之X-X線之斷面。

由多晶矽所構成之用以形成電晶體之閘極電極54，隔著一閘極氧化物膜53，形成於已藉由LOCOS法或渠溝隔離技術形成有一裝置隔絕區52之矽基板51的表面。接著，形成由厚度約10nm之氮化矽膜所構成之分隔部56，其係與閘極電極54的側邊及矽基板51的表面接觸。構成一LDD電晶體之低濃度摻雜層57及之一高濃度摻雜層58，乃形成於閘極電極54與分隔部56所界定的區域中。在高濃度摻雜層58

五、發明說明 (14)

和閘極電極54的表面，形成一矽化鈷層59以減小電阻。如此，而構成一個N-型MOSFET(60)。又，為確保其和NMOSFET(60)之汲極節點61的電性連接，而於矽基板51和裝置隔絕區52上，隔著由相同於閘極氧化物膜53的材料所構成之氧化矽膜62，形成由相同於閘極電極之配線材料所構成的閘極電極63。於此，在作為汲極節點61的高濃度摻雜層之表面及閘極電極63的表面及/或側面亦形成有矽化鈷層64，以將此兩部分電性連接。在以上的描述中，雖選擇矽化鈷作為矽化物層的材料，然而明顯的，其他矽化物諸如矽化鈦或其他金屬矽化物亦可適用於此。

茲參照圖5(a)至5(i)，說明用以實現以上構造的製造方法如下。

如圖5(a)所示，依據一般MOSFET製造方法，在摻雜了P型不純物的矽基板51上，藉由LOCOS法及渠溝隔離技術形成有裝置隔絕區52。在這些元件的表面隔著閘極氧化物膜53(例如厚度5nm的氧化矽膜)沈積一閘極電極材料(例如厚度150nm之多晶矽)，再施以圖型化成為所望的形狀而形成閘極電極54和63。接著，於整個表面以20KeV的能量植入例如5E13的砷原子，而形成一LDD層56。

在已形成閘極電極54和63的全部表面上，沈積以一層厚度約10nm的氧化矽膜55，及一層厚度約100nm的氮化矽膜65(圖5(b))。於此，亦可採用熱氧化法取代氧化矽沈積法，將氧化矽膜形成於矽基板51的表面上及閘極電極54和63的表面上。

五、發明說明 (15)

接著，以非等向性乾式蝕刻方式回蝕基板，而於閘極電極54和63的側邊形成Si_3N_4分隔部56，如圖5(c)所示。此處，在閘極電極54或63之側面與分隔部56之間以及在分隔部56和矽基板51之間，夾入了氧化矽膜55，以防止因其熱膨脹係數之差異而於基板中形成結晶缺陷。此例中，於無分隔部的區域上，亦即，除閘極電極54、63及分隔部上表面以外之基板表面上所形成之氧化矽膜被同時移除。但亦可不做蝕刻而將其留下。

接著，如圖5(d)所示，厚約20nm的氧化矽膜71被沈積於整個表面。如圖5(e)所示，在使用一形成圖1中之開口部4用的光罩將光阻72予以圖型化之後，以光阻72作為一光罩，並藉由乾式蝕刻方式或採用緩衝之氫氟酸的濕式蝕刻方式，移除一部分之氧化矽膜71。

接著，參考圖5(f)，在移除光阻72後，藉由使用磷酸之濕式蝕刻方法蝕刻氮化物膜，將未被氧化矽膜71所覆蓋之區域的分隔部56予以移除。

參考圖5(g)，以採用緩衝之氫氟酸的濕式蝕刻製造方法，移除暴露之氧化矽膜71。此時，必須控制蝕刻的時間以防止形成於分隔部56、基板51間以及閘極電極54、閘極電極63間之氧化矽層55被過度蝕刻。

於基板的整個表面沈積以再一層厚約10nm之氧化矽膜81；其後，在整個表面上，以40KeV的能量再植入3E15之砷元素；並以1000℃的溫度對基板做10秒鐘的退火處理，以活化摻雜層（高濃度摻雜層）58和LDD層56。

五、發明說明 (16)

以緩衝之氫氟酸移除氧化矽膜81使摻雜層58、閘極電極54、閘極電極63的表面暴露出來。接著，於基板的整個表面用濺鍍的方式沈積以一層厚約10nm之鈷膜82，如圖5(i)。

最後，使用一般之矽化物技術使鈷膜82和矽作反應，而於摻雜層58、閘極電極54、閘極電極63的表面及閘極電極63的暴露側上形成一層矽化鈷層59和64，其後再將沒有反應之鈷移除，而得到如圖4所示之構造。於矽化反應的過程中，由5nm厚之氧化矽膜62所分隔之閘極電極63的側邊與摻雜層58係以矽化鈦層64相互連接。

第三實施例

依製造條件，可能因閘極電極與摻雜層的介面未存在有金屬矽化物層，致使無法僅憑金屬矽化物層而達到電性連接的目的。接下來，以在P型基板上形成N型MOSFET的例子，舉例說明解決此問題的方法，其程序如圖6(a)~6(f)所示。

1)首先，依據一般之LDD-MOSFET製造方法，在矽基板101上形成一裝置隔絕區102；將矽基板的表面施以氧化處理以形成一厚6nm之二氧化矽閘極膜103；形成由厚200nm多晶矽層所構成之閘極電極104。接著，以20KeV的能量將5×10^{13}的砷離子植入，以形成一LDD層106。利用CVD的技術於整個表面形成一個厚約100nm之非摻雜二氧化矽膜，接著，回蝕整個表面以在閘極電極的側壁上形成LDD分隔部107。植入約2×10^{15}的砷離子，以形成N型汲極摻雜層。

五、發明說明 (17)

2) 為將包含一待形成共同接觸孔的區域之分隔部移除，而將光阻108圖型化，於上光罩後，用非等向性電漿蝕刻或採用緩衝氫氟酸之濕式蝕刻方式，將待形成共同接觸孔的區域109中之一氧化物膜分隔部107移除。如圖6(b)。

3)移除光阻108之後，以40KeV的能量將約2×10^{15}的砷離子植入，以形成一構成電晶體汲極之高濃度摻雜層110。更佳的情況是在植入離子之前，以CVD技術來形成厚約10nm的氧化層。如此，可避免基板或通道中結晶缺陷的成長。接著，在摻雜層110的上表面和閘極電極104上，以濺鍍技術，沈積以一層諸如鎳和鈷之高熔點金屬。此高熔點金屬可和矽反應形成合金。接著，加熱基板以形成矽化物層111(如圖6(d))。此處，特別在使用濺鍍方式的情況下，由於不良的階梯覆蓋，會使在側壁上難以形成矽化物層。甚至，既使在側壁上已形成了矽化物層，由於閘極氧化物膜的存在，仍易造成閘極電極104和摻雜層110間不能電性連接。

特別是，當採用非等向性蝕刻方式以移除分隔部之場合，在閘極電極104和摻雜層110間未電性連接處的閘極電極104的側壁上可能殘留5至20nm之氧化物膜。

4)於包含在前述步驟中所形成之電晶體的整個基板表面上，利用CVD的技術沈積一厚約100nm之非摻雜二氧化矽膜112。利用CVD技術沈積一厚約1000nm之BPSG膜113；再以CMP技術使整個表面平坦化。接著，用光罩開設上述一

五、發明說明 (18)

以CMP技術使整個表面平坦化。接著，用光罩開設上述一般接觸孔，並以非等向性蝕刻方式蝕刻BPSG膜113和非摻雜二氧化矽膜112，以形成通至摻雜層與閘極電極上之矽化物層111的一接觸孔114（如圖6(e)）。

5）於接觸孔114內整個表面，利用濺鍍的方式，沈積一層厚約30nm的鈦膜及後續之約100nm的氮化鈦膜，而形成一金屬阻障層115。接著，以CVD的方式於整個表面上沈積以一層鎢，其後再將此層回蝕以形成一個埋入於接觸孔114的鎢插塞116。產生如圖6(f)所示之構造。

此製造方法可更加以改進。例如，像SRAM般須要一極細之摻雜層時，一共同接觸孔5可超出活動區域1外而覆蓋到裝置隔絕區的一部份。如平面圖7中所示。因而，吾人當可預期，在移除分隔部時光罩4亦會覆蓋於裝置隔絕區上之一部份。在移除分隔部的蝕刻製造方法中，常需過度蝕刻30~100%以達到晶圓表面上之均勻的移除效果。因此，如圖8(a)及8(b)所示，埋於裝置隔絕區之絕緣膜亦可以等向性(如濕式蝕刻)或非等向性的方式來蝕刻。圖8(a)及8(b)顯示沿圖7中之Y-Y'線的剖面圖。當一個層間膜之階梯覆蓋不佳時，在沈積的過程中，可能無法填滿又窄又深的凹溝(116，117)。因而，這些凹溝將殘留到最後裝置完成時，而造成品質上的問題。以下，將描述改進上述問題的方法。

第四實施例

接下來舉在P型基板上形成N型MOSFET的例子，參考圖

五、發明說明 (19)

1）首先，依據一般之LDD-MOSFET製造方法，在矽基板121上形成一裝置隔絕區122；氧化處理矽基板的表面以形成一厚6nm之二氧化矽閘極膜123；形成一由厚200nm之多晶矽層所構成的閘極電極124。接著，以20KeV的能量將5×10^{13}的砷離子植入，以形成一LDD層126。利用低壓CVD的技術於整個表面形成一厚約20nm之非摻雜Si_3N_4膜125。如圖9(a)所示。

2）利用CVD技術在整個表面上沈積一層厚約100nm的二氧化矽膜，並依對於氮化膜125的選擇比為至少3:1的蝕刻條件回蝕整個表面上的氧化物膜，用以在閘極電極的側壁上形成LDD分隔部127。如圖9(b)所示。

3）將光阻128予以圖型化，俾將包含著待形成一共同接觸孔的一區域之分隔部移除，以此光阻128作為一光罩，藉由在對於氧化物膜的選擇比至少為3:1的蝕刻條件下之乾式蝕刻法，或藉由利用緩衝氫氟酸之濕式蝕刻技術，將該光罩開口中之待形成共同接觸孔區域129中所暴露出的分隔部移除，如圖9(c)。

4）移除光阻128之後，以乾式蝕刻方法或採用磷酸之濕式蝕刻方法，移除暴露之氮化物膜125，如圖9(d)。

5）以40KeV的能量將約2×10^{15}的砷離子植入，以形成一構成電晶體汲極之高濃度摻雜層130。更佳的情況是在前述植入離子之前，以CVD技術來形成厚約10nm的氧化層。如此，可避免基板或通道中結晶缺陷的產生。接著，在摻雜層130的上表面和閘極電極124上，以濺鍍技術，沈

五、發明說明 (20)

在摻雜層130的上表面和閘極電極124上，以濺鍍技術，沈積以一層諸如鈦和鈷之高熔點金屬。接著，加熱基板以形成矽化物層131(如圖9(e))。此時，特別在使用濺鍍方式情況下，由於不佳的階梯覆蓋，會使在側壁上難以形成矽化物層。甚至，既使在側壁上已形成了矽化物層，由於閘極氧化層的存在，仍易使閘極電極和摻雜層間無法電性連接。

6)如第三實施例所述，利用CVD的技術於整個基板表面沈積一厚約100nm之非摻雜二氧化矽膜。此基板包含了於前述步驟中所形成之電晶體；用CVD技術沈積一個厚約100nm之BPSG膜132；再以CMP技術將整個表面平坦化。接著，用光罩將上述之接觸孔開口，並以非等向性蝕刻方式蝕刻BPSG膜和非摻雜二氧化矽膜，以形成通至摻雜層或閘極電極的一接觸孔。以濺鍍的方式，沈積一層厚約30nm的鈦膜及其後之約100nm的氮化鈦膜於整個表面，使接觸孔中形成金屬阻障層。接著，以CVD的方式於整個表面上沈積以一層鎢，其後再將此層回蝕以形成一個埋於接觸孔的鎢插塞。其結果如圖9(f)所示。

接著，如第三實施例所述，沈積以一層層間絕緣膜132。如圖9(g)所示。一接觸孔134利用光阻133形成於層間絕緣膜132的預定位置處，如圖9(h)所示。移除光阻後，埋入障蔽膜135和接觸插塞136，而得到一半導體裝置。如圖9(i)所示。

如圖9(a)~9(i)所示，即使用以移除分隔部的光罩覆

五、發明說明 (21)

蓋了裝置隔絕區的一部份，氮化物膜可作為一中止層，以防止埋於裝置隔絕區內之絕緣膜被蝕刻。

上述的例子雖係以一個NMOSFET所構成，然而PMOSFET或是由兩者組合構成的CMOS亦可適用於此。

四、中文發明摘要 （發明之名稱：半導體裝置及其製造方法）

本發明提出一半導體裝置，包括：閘極絕緣膜13、21，形成於矽基板11的主要表面上；閘極電極14、22，由多晶矽所構成；及一高濃度摻雜層17；其中，閘極電極22側面的一部份經由金屬矽化物層23和高濃度摻雜層電性連接。

英文發明摘要 （發明之名稱：A Semiconductor Device and A Manufacturing Process Therefor）

This invention provides a semiconductor device comprising gate insulating films 13, 21 formed on the main surface of a silicon substrate 11; gate electrodes 14, 22 consisting of polycrystalline silicon; and a high-density doped layer 17, wherein a part of the side of the gate electrode 22 is electrically connected with the high-density doped layer via a metal silicide layer 23.

六、申請專利範圍

1. 一種半導體裝置，包含：

一閘極絕緣膜，形成於具有一裝置隔絕區之矽基板的主表面上；

一閘極電極，其由多晶矽所組成；

分隔部，用以在閘極電極的側壁形成LDD-MOSFET；及

一高濃度摻雜層；

其特徵為：

至少於該高濃度摻雜層形成前，在接近並電性連接於該高濃度摻雜層的閘極電極側壁上形成的分隔部被移除；並介由移除該分隔部後所形成之該高濃度摻雜層上所形成的一金屬矽化物層，將該閘極電極電性連接於該高濃度摻雜層。

2. 如專利申請範圍第1項之半導體裝置，其中，金屬矽化物層亦形成於閘極電極的上表面和其側面的一部份；且經由從該側面延伸至高濃度摻雜層之暴露面連續形成的金屬矽化物層將該閘極電極和高濃度摻雜層彼此電性連接。

3. 如專利申請範圍第1項之半導體裝置，其中包括：

一共同接觸孔，將閘極電極和高濃度摻雜層連接至上部配線；

一通常接觸孔，將閘極電極或高濃度摻雜層連接至上部配線；

於其中，藉著埋入於共同接觸孔之接觸插塞，經由形成於高濃度摻雜層上之金屬矽化物層，將閘極電極和高濃

六、申請專利範圍

1. 一種半導體裝置，包含：

一閘極絕緣膜，形成於具有一裝置隔絕區之矽基板的主表面上；

一閘極電極，其由多晶矽所組成；

分隔部，用以在閘極電極的側壁形成LDD-MOSFET；及

一高濃度摻雜層；

其特徵為：

至少於該高濃度摻雜層形成前，在接近並電性連接於該高濃度摻雜層的閘極電極側壁上形成的分隔部被移除；並介由移除該分隔部後所形成之該高濃度摻雜層上所形成的一金屬矽化物層，將該閘極電極電性連接於該高濃度摻雜層。

2. 如專利申請範圍第1項之半導體裝置，其中，金屬矽化物層亦形成於閘極電極的上表面和其側面的一部份；且經由從該側面延伸至高濃度摻雜層之暴露面連續形成的金屬矽化物層將該閘極電極和高濃度摻雜層彼此電性連接。

3. 如專利申請範圍第1項之半導體裝置，其中包括：

一共同接觸孔，將閘極電極和高濃度摻雜層連接至上部配線；

一通常接觸孔，將閘極電極或高濃度摻雜層連接至上部配線；

於其中，藉著埋入於共同接觸孔之接觸插塞，經由形成於高濃度摻雜層上之金屬矽化物層，將閘極電極和高濃

六、申請專利範圍

度摻雜層彼此電性連接。

4. 如專利申請範圍第3項之半導體裝置，其中形成於共同接觸孔和矽基板上之高濃度摻雜層面對之區域的金屬矽化物，和未形成有接觸孔之高濃度摻雜層的金屬矽化物至少具有相同的厚度。

5. 如專利申請範圍第1項之半導體裝置，其中側壁分隔部是一氧化物膜。

6. 如專利申請範圍第1項之半導體裝置，其中側壁分隔部有一疊層結構，其可為：氧化物膜/氮化膜/氧化物膜的結構或氧化物膜/氮化膜的結構。

7. 一種半導體裝置的製造方法，至少包括：

(1)在矽基板的主表面上形成一裝置隔絕區；

(2)形成一閘極絕緣膜；

(3)形成一閘極電極；

(4)在閘極電極側壁上形成用以製造LDD-MOSFET的一分隔部；

(5)移除側壁上之分隔部的一部份；

(6)在由裝置隔絕區和閘極電極所界定的區域形成一高濃度摻雜層；

(7)至少在高濃度摻雜層之全部暴露表面，形成金屬矽化物層；

於其中，已移除分隔部的閘極電極側壁經由前述步驟(7)所沈積之金屬矽化物層而電性連接於高濃度摻雜層。

8. 如專利申請範圍第7項之半導體裝置的製造方法，

六、申請專利範圍

度摻雜層彼此電性連接。

4. 如專利申請範圍第3項之半導體裝置，其中形成於共同接觸孔和矽基板上之高濃度摻雜層面對之區域的金屬矽化物，和未形成有接觸孔之高濃度摻雜層的金屬矽化物至少具有相同的厚度。

5. 如專利申請範圍第1項之半導體裝置，其中側壁分隔部是一氧化物膜。

6. 如專利申請範圍第1項之半導體裝置，其中側壁分隔部有一疊層結構，其可為：氧化物膜/氮化膜/氧化物膜的結構或氧化物膜/氮化膜的結構。

7. 一種半導體裝置的製造方法，至少包括：

(1)在矽基板的主表面上形成一裝置隔絕區；

(2)形成一閘極絕緣膜；

(3)形成一閘極電極；

(4)在閘極電極側壁上形成用以製造LDD-MOSFET的一分隔部；

(5)移除側壁上之分隔部的一部份；

(6)在由裝置隔絕區和閘極電極所界定的區域形成一高濃度摻雜層；

(7)至少在高濃度摻雜層之全部暴露表面，形成金屬矽化物層；

於其中，已移除分隔部的閘極電極側壁經由前述步驟(7)所沈積之金屬矽化物層而電性連接於高濃度摻雜層。

8. 如專利申請範圍第7項之半導體裝置的製造方法，

六、申請專利範圍

其中步驟(7)中之金屬矽化物層係連續的形成於閘極電極側邊至高濃度摻雜層的暴露表面。

9. 如專利申請範圍第7項之半導體裝置的製造方法，尚包括：

(8) 在閘極電極和高濃度摻雜層上形成一絕緣膜；

(9) 開設連接絕緣膜上之閘極電極和高濃度摻雜層的一共同接觸孔；

(10)形成一埋入於共同接觸孔內之接觸插塞；

於其中，藉著埋入於共同接觸孔中的接觸插塞，經由金屬矽化物層，將閘極電極和高濃度摻雜層電性連接。

10. 如專利申請範圍第7項之半導體裝置的製造方法，其中側壁分隔部是一氧化物膜。

11. 如專利申請範圍第7項之半導體裝置的製造方法，其中側壁分隔部有一疊層結構，其可為:氧化物膜/氮化膜/氧化物膜的結構或氧化物膜/氮化膜的結構。

12. 如專利申請範圍第11項之半導體裝置的製造方法，其中，於形成閘極電極後，在基板的全表面形成氮化物膜；接著，形成氧化物膜；藉由回蝕的方式將分隔部形成於閘極電極的側壁；在移除部份的分隔部過程中，以氮化膜作為蝕刻中止層，而移除氧化物膜；其後，將露出的氮化膜移除。

六、申請專利範圍

其中步驟(7)中之金屬矽化物層係連續的形成於閘極電極側邊至高濃度摻雜層的暴露表面。

9. 如專利申請範圍第7項之半導體裝置的製造方法，尚包括：

(8) 在閘極電極和高濃度摻雜層上形成一絕緣膜；

(9) 開設連接絕緣膜上之閘極電極和高濃度摻雜層的一共同接觸孔；

(10)形成一埋入於共同接觸孔內之接觸插塞；

於其中，藉著埋入於共同接觸孔中的接觸插塞，經由金屬矽化物層，將閘極電極和高濃度摻雜層電性連接。

10. 如專利申請範圍第7項之半導體裝置的製造方法，其中側壁分隔部是一氧化物膜。

11. 如專利申請範圍第7項之半導體裝置的製造方法，其中側壁分隔部有一疊層結構，其可為:氧化物膜/氮化膜/氧化物膜的結構或氧化物膜/氮化膜的結構。

12. 如專利申請範圍第11項之半導體裝置的製造方法，其中，於形成閘極電極後，在基板的全表面形成氮化物膜；接著，形成氧化物膜；藉由回蝕的方式將分隔部形成於閘極電極的側壁；在移除部份的分隔部過程中，以氮化膜作為蝕刻中止層，而移除氧化物膜；其後，將露出的氮化膜移除。

圖式

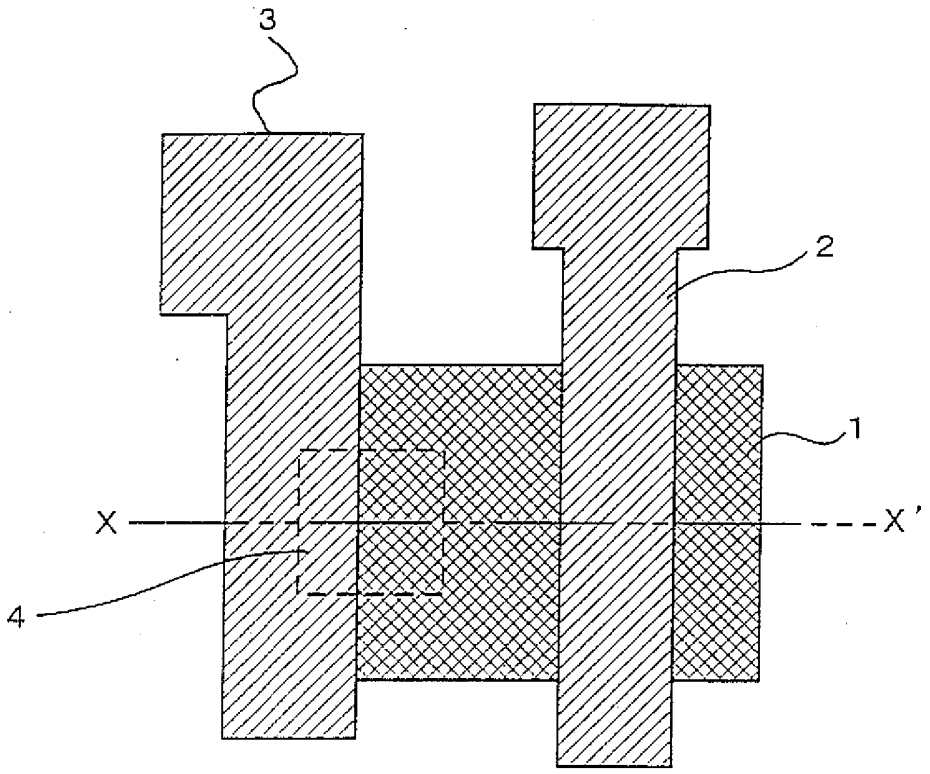


圖 1

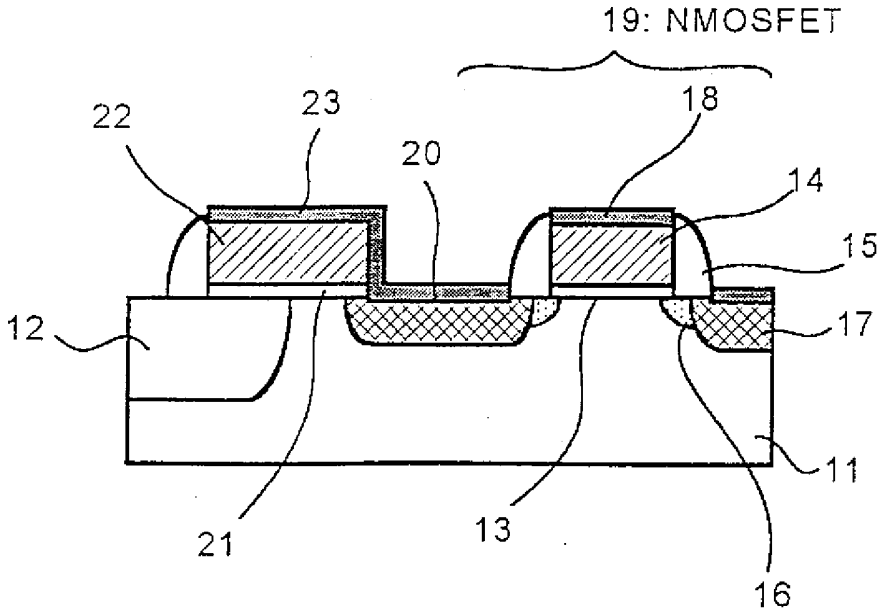


圖 2

圖式

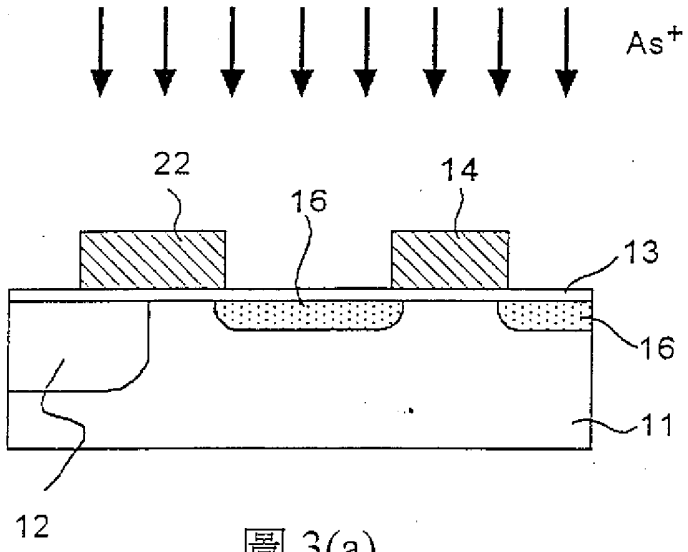


圖 3(a)

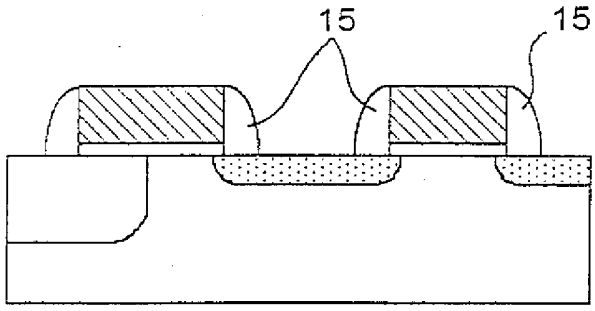


圖 3(b)

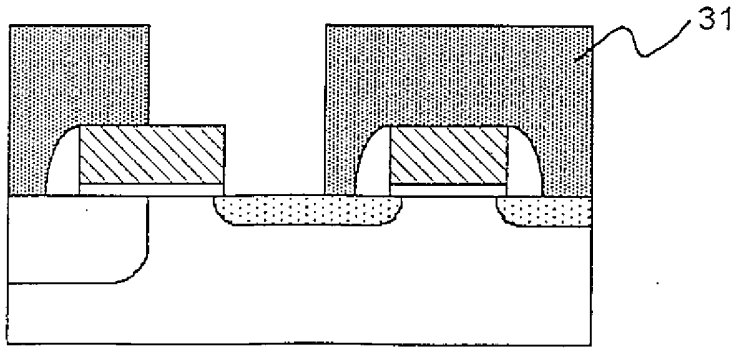


圖 3(c)

圖式

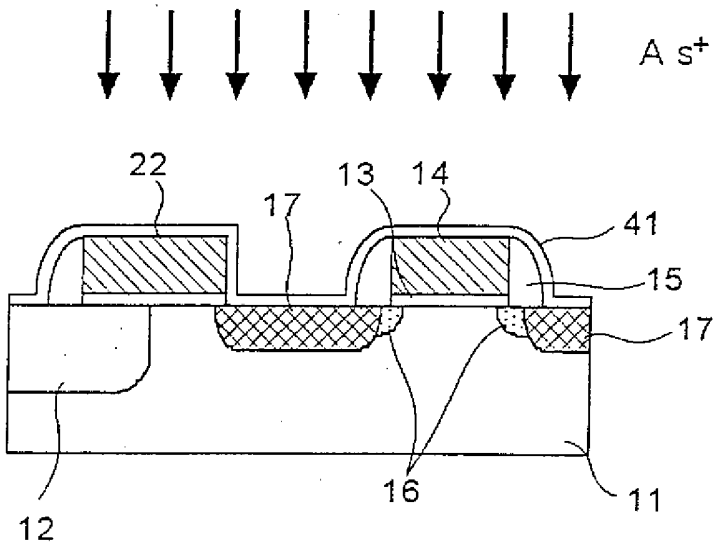


圖 3(d)

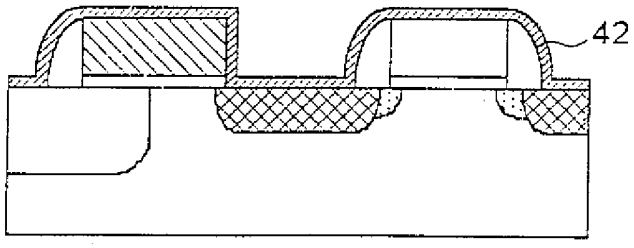


圖 3(e)

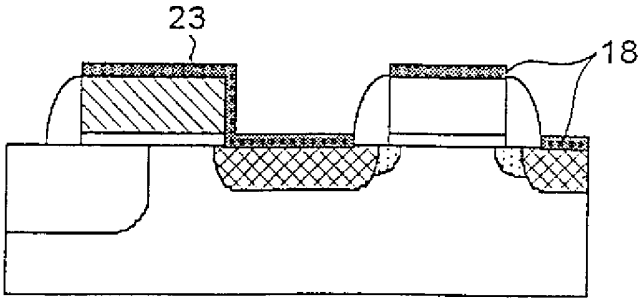


圖 3(f)

圖式

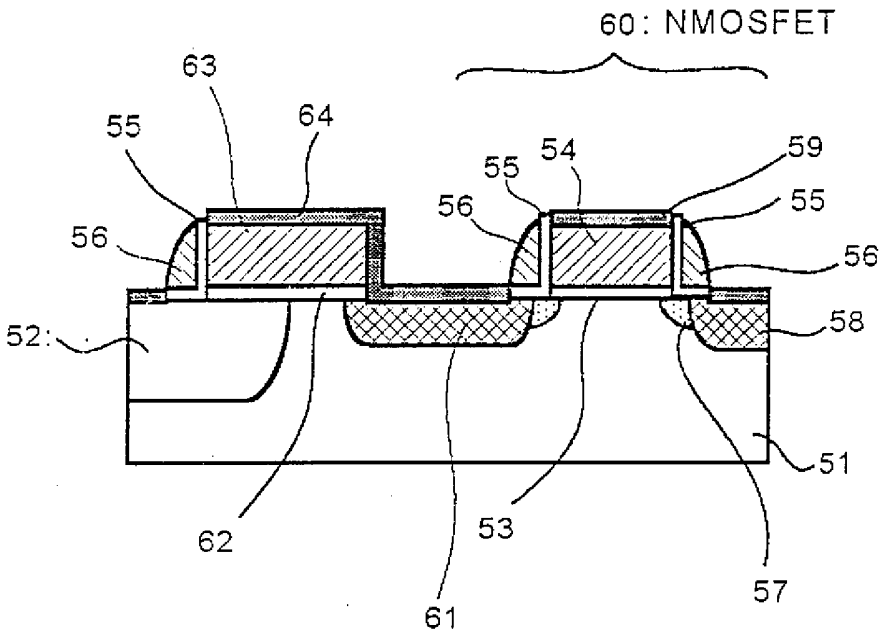


圖 4

圖式

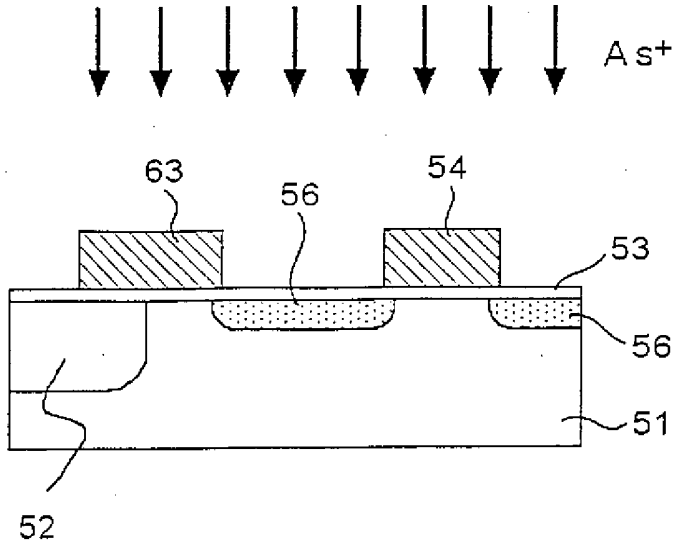


圖 5(a)

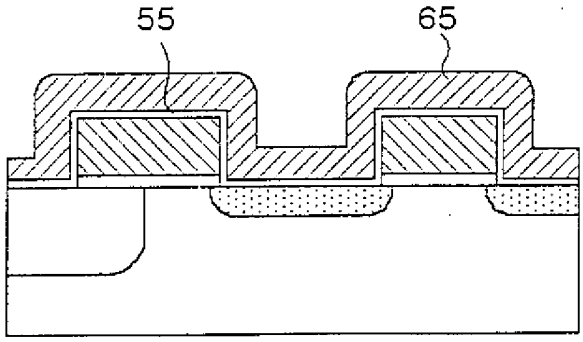


圖 5(b)

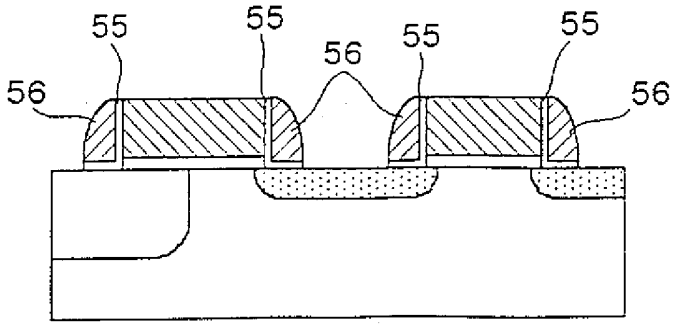


圖 5(c)

圖式

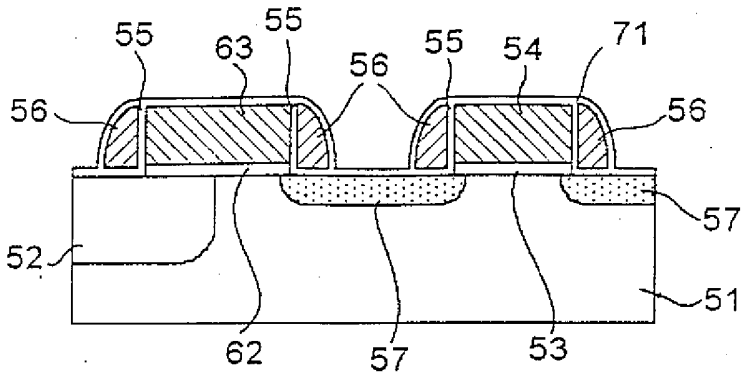


圖 5(d)

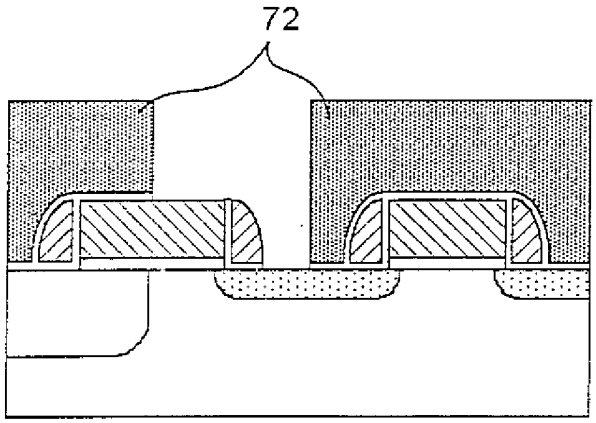


圖 5(e)

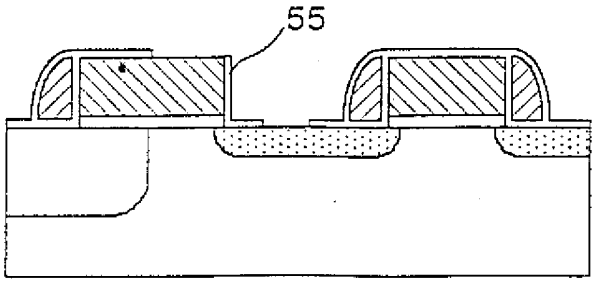


圖 5(f)

圖式

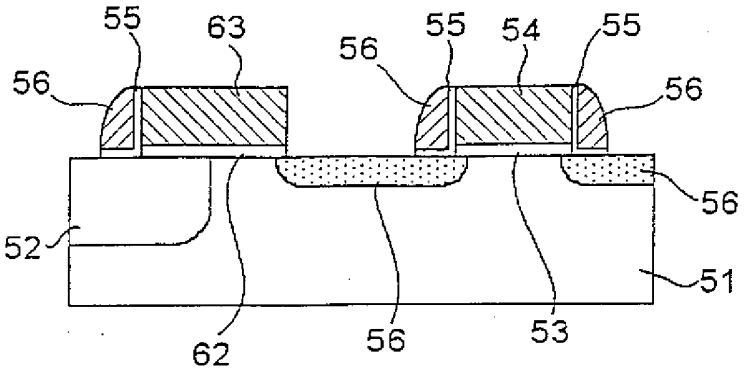


圖 5(g)

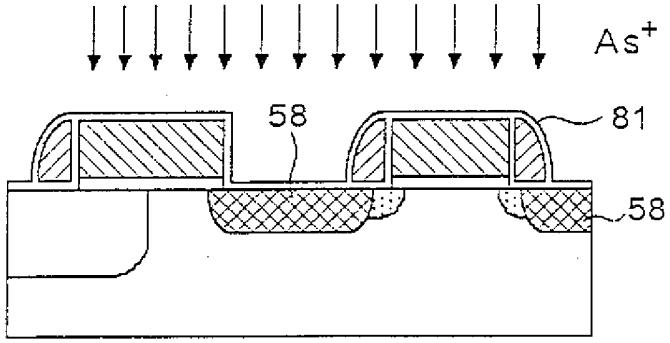


圖 5(h)

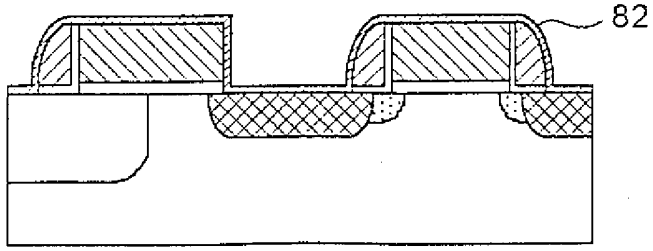


圖 5(i)

圖式

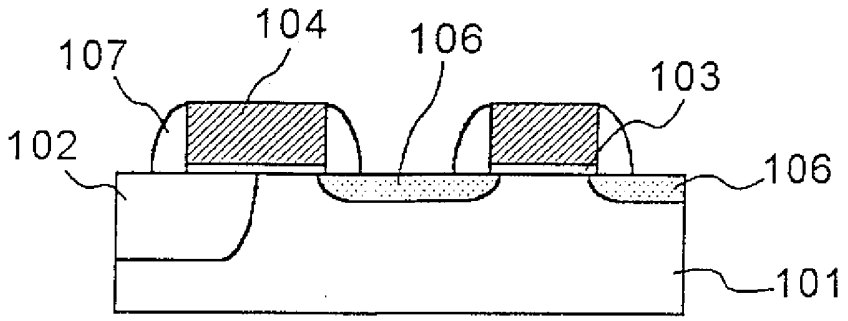


圖 6(a)

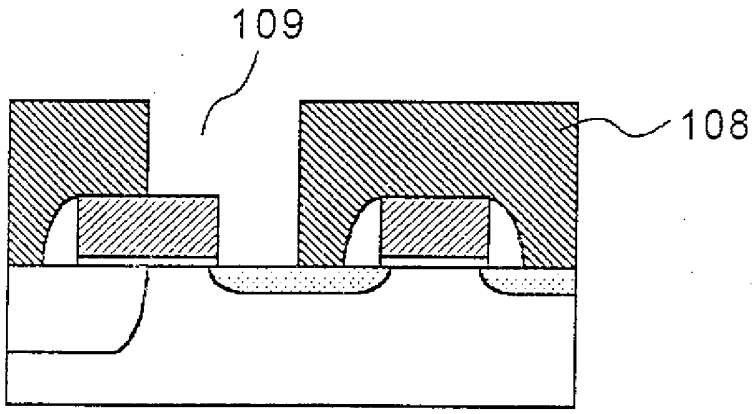


圖 6(b)

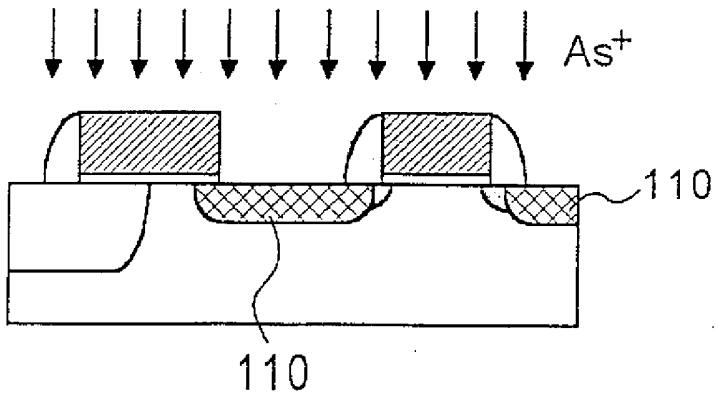


圖 6(c)

圖式

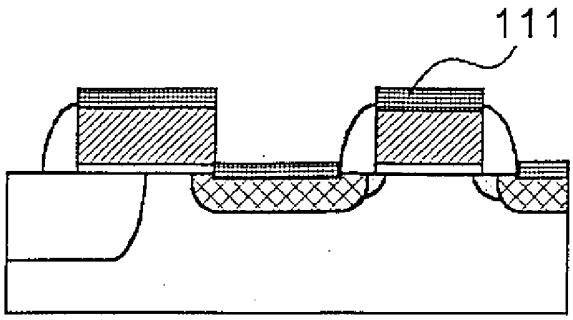


圖 6(d)

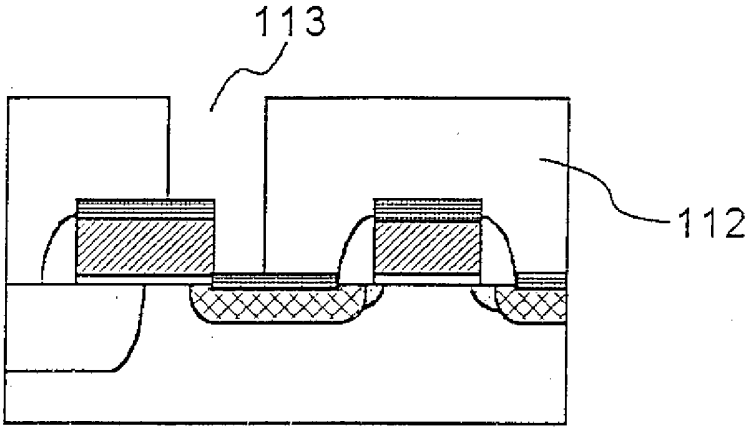


圖 6(e)

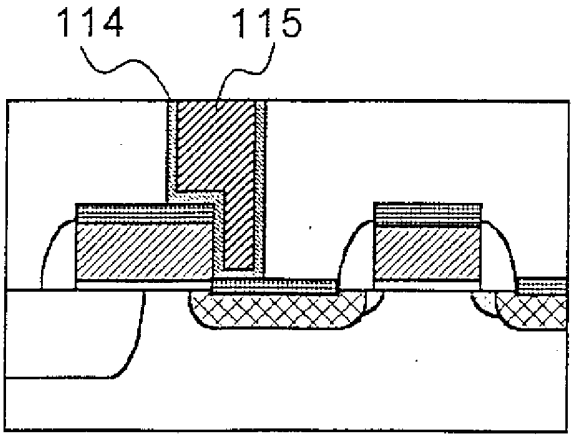


圖 6(f)

圖式

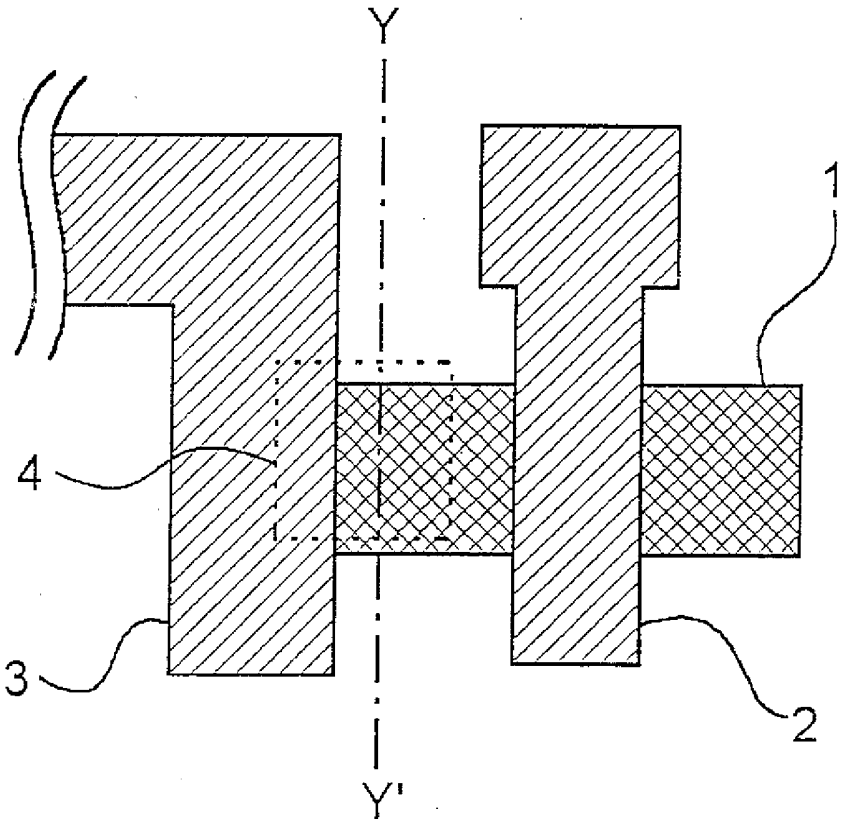


圖 7

圖式

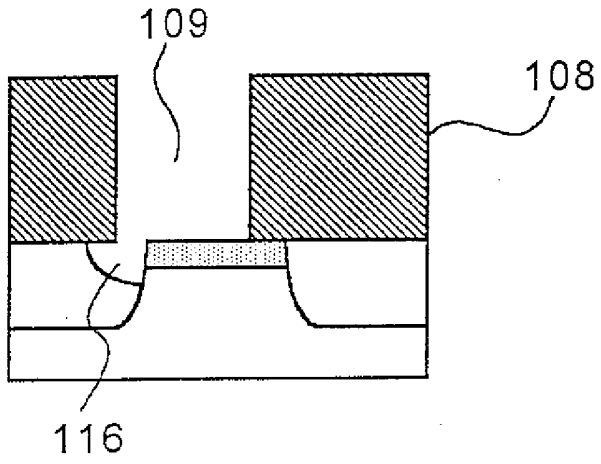


圖 8(a)

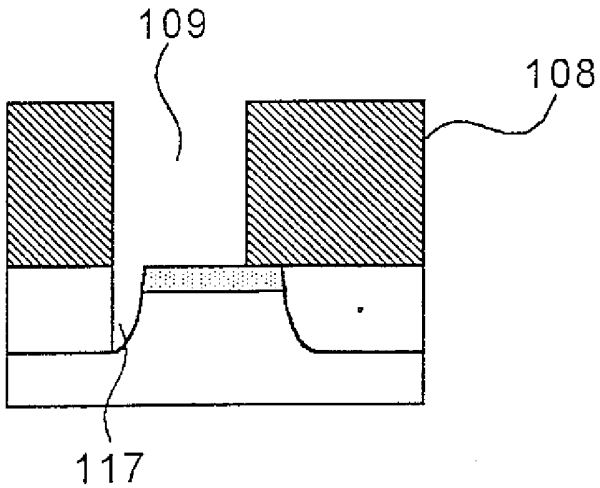


圖 8(b)

圖式

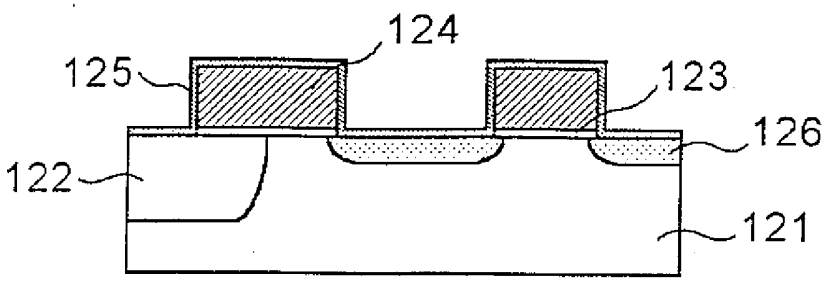


圖 9(a)

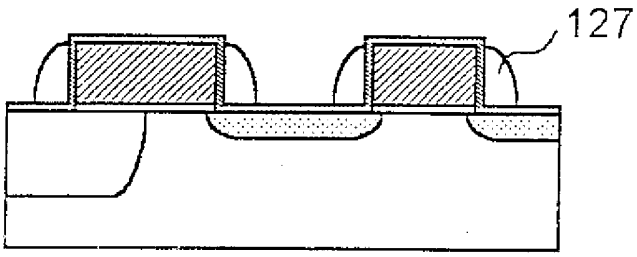


圖 9(b)

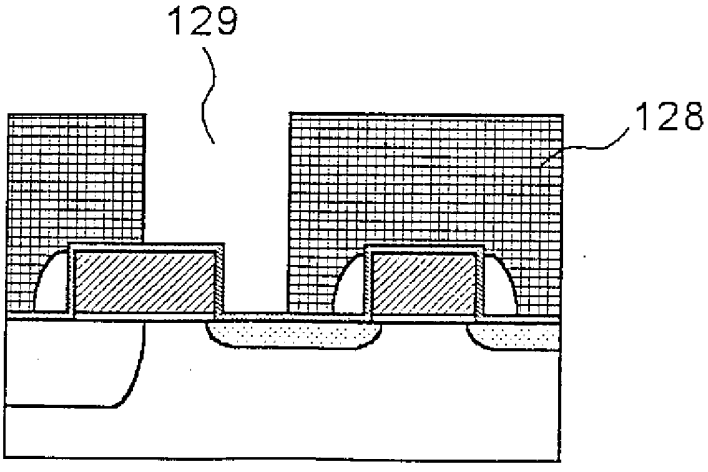


圖 9(c)

圖式

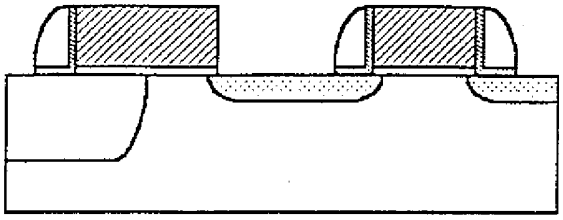


圖 9(d)

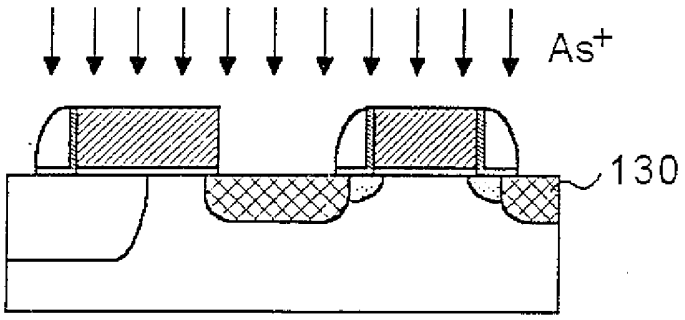


圖 9(e)

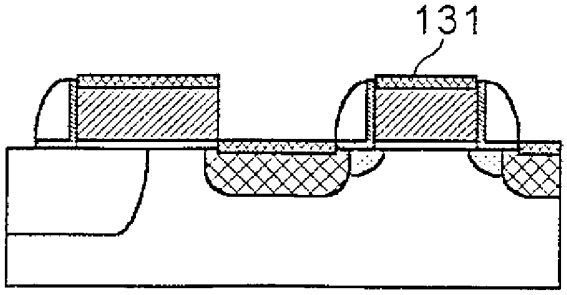


圖 9(f)

圖式

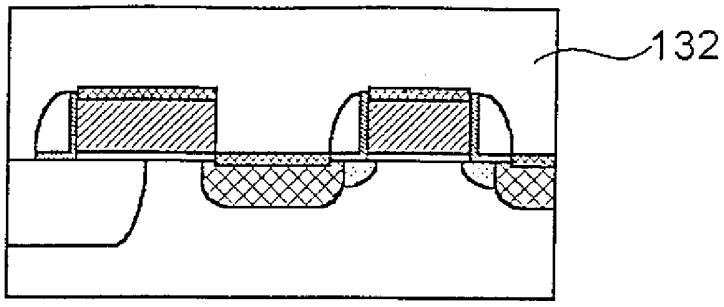


圖 9(g)

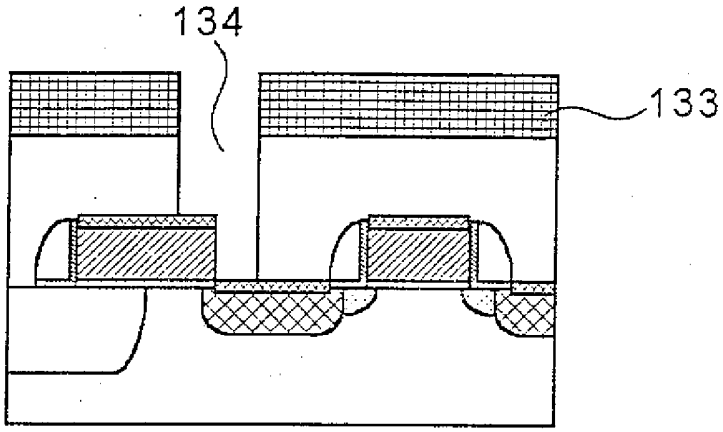


圖 9(h)

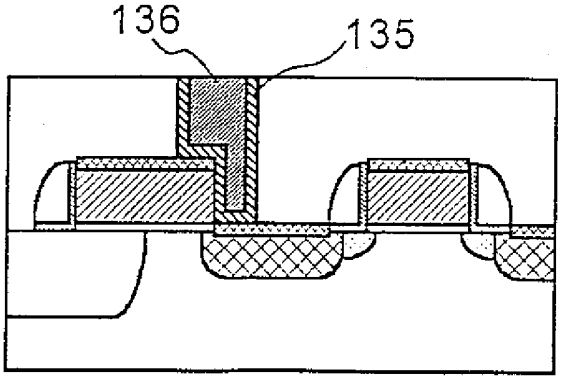


圖 9(i)

圖式

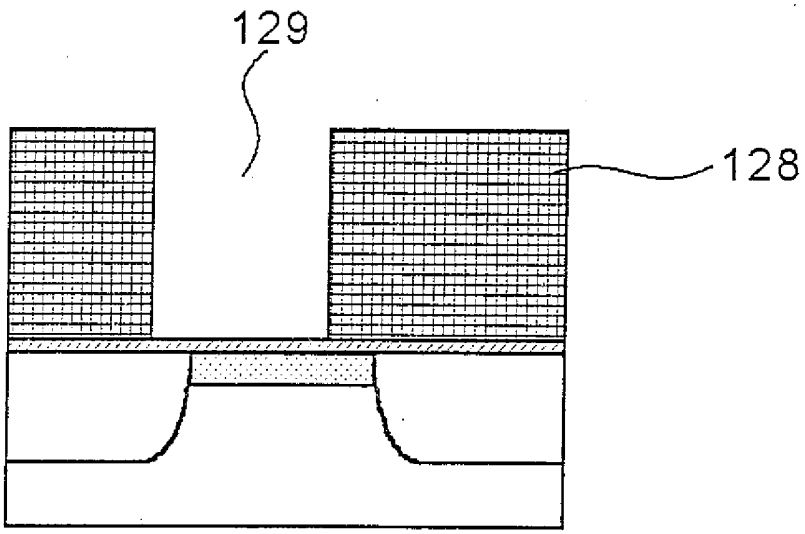


圖 10

圖式

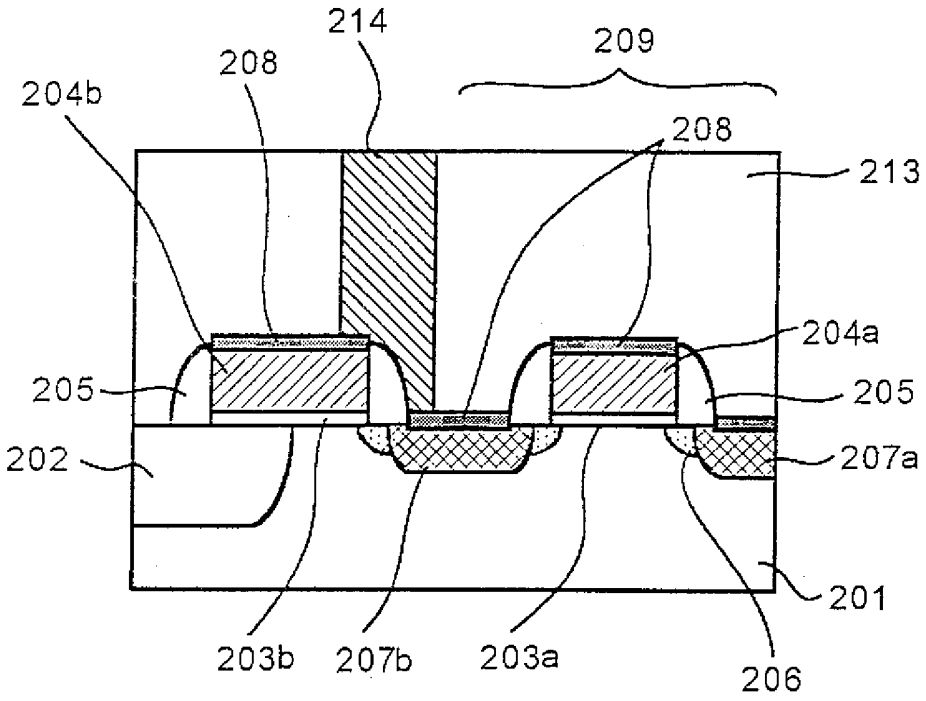

214
209
208
204b
208
213
204a
205
205
202
207a
201
203b
207b
203a
206

圖 11

圖式

圖 12(a)

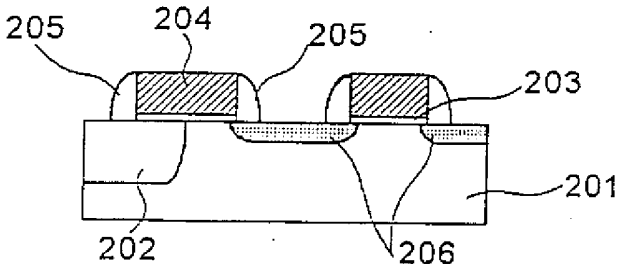


圖 12(b)

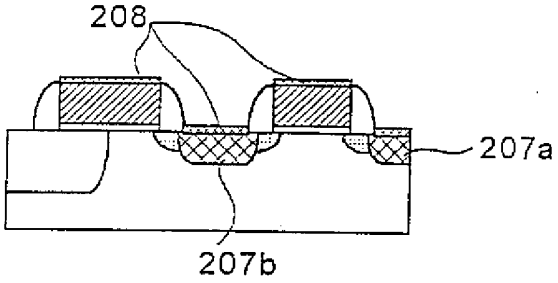


圖 12(c)

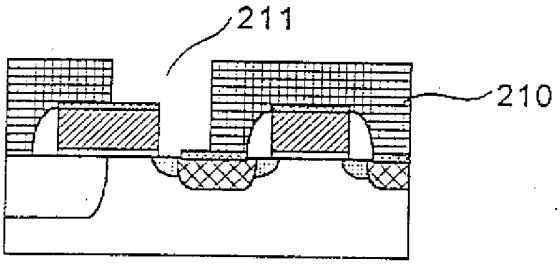
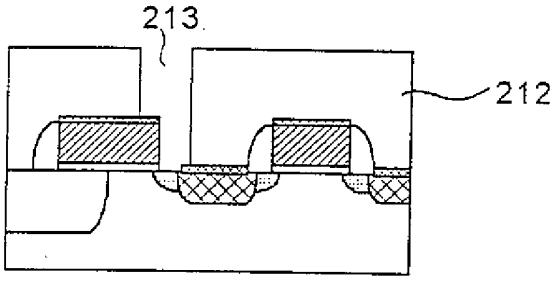


圖 12(d)



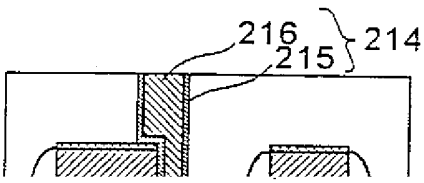


圖 12(e)