

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4536629号
(P4536629)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl. F I
 H O 1 L 23/12 (2006.01) H O 1 L 23/12 5 O 1 P
 H O 1 L 23/12 L

請求項の数 3 (全 13 頁)

<p>(21) 出願番号 特願2005-274242 (P2005-274242) (22) 出願日 平成17年9月21日 (2005.9.21) (65) 公開番号 特開2007-88163 (P2007-88163A) (43) 公開日 平成19年4月5日 (2007.4.5) 審査請求日 平成20年4月10日 (2008.4.10)</p>	<p>(73) 特許権者 000190688 新光電気工業株式会社 長野県長野市小島田町80番地 (74) 代理人 100070150 弁理士 伊東 忠彦 (72) 発明者 春原 昌宏 長野県長野市小島田町80番地 新光電気 工業株式会社内 審査官 宮崎 園子</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体チップの製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板に形成された半導体素子と電気的に接続された電極パッドと、該電極パッドと電気的に接続された貫通ビアとを備えた半導体チップの製造方法であって、

前記電極パッド上に第1開口部を有した第1のレジスト膜を形成する第1レジスト膜形成工程と、

前記第1開口部及び前記第1のレジスト膜を覆うように金属膜を形成する金属膜形成工程と、

前記第1開口部の形成位置に、前記第1開口部よりも直径の小さい第2開口部を有する第2のレジスト膜を、前記金属膜を覆うように形成する第2レジスト膜形成工程と、

前記金属膜、前記半導体基板及び電極パッドを貫通し、前記第2開口部の形成位置に対応する貫通孔を形成する貫通孔形成工程と、

前記第1開口部の上端部を覆うように絶縁膜除去用テープを設ける絶縁膜除去用テープ貼付工程と、

前記絶縁膜除去用テープ貼付工程後に、前記半導体基板の前記半導体素子の面と反対側の面側から、前記貫通孔の側壁及び前記第1開口部に前記絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜形成工程の後に前記絶縁膜除去用テープを除去する絶縁膜除去用テープ除去工程と、

前記絶縁膜除去用テープ除去工程の後に、前記貫通孔及び前記第1開口部に前記貫通ビ

10

20

アを形成する貫通ビア形成工程とを含むことを特徴とする半導体チップの製造方法。

【請求項 2】

前記貫通ビア形成工程において、前記第 1 開口部から突出すると共に、前記第 1 開口部よりも幅広形状となる突出部を有する前記貫通ビアを形成し、

前記貫通ビア形成工程の後に、前記金属膜のうち、前記突出部に覆われた部分以外を除去して、前記突出部と電極パッドとに接触する導電部材を形成する導電部材形成工程とをさらに設けたことを特徴とする請求項 1 記載の半導体チップの製造方法。

【請求項 3】

前記貫通孔形成工程の前に、前記半導体基板を薄板化する基板薄板化工程を設けたことを特徴とする請求項 1 または 2 記載の半導体チップの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップの製造方法に係り、特に電極パッドと電氣的に接続される貫通ビアを備えた半導体チップの製造方法に関する。

【背景技術】

【0002】

近年の電子機器の高性能化や小型化に伴って、複数の半導体チップを積層させたマルチチップパッケージの開発が行なわれている。マルチチップパッケージに適用される半導体チップは、上下方向に配置された他の半導体チップと電氣的に接続するための貫通ビアを有する。

【0003】

図 1 は、貫通ビアを備えた従来の半導体チップの断面図である。

【0004】

図 1 に示すように、半導体チップ 100 は、半導体基板 101 と、図示していない半導体素子と、電極パッド 102 と、絶縁膜 103 と、貫通ビア 105 とを有する。半導体基板 101 には、半導体基板 101 を貫通し、電極パッド 102 を露出する貫通孔 106 が形成されている。半導体素子（図示せず）は、半導体基板 101 の第 1 の主面 101 A 側に設けられている。電極パッド 102 は、半導体基板 101 の第 1 の主面 101 A 側に設けられており、図示していない配線により半導体素子と電氣的に接続されている。絶縁膜 103 は、貫通孔 106 の側壁と半導体基板 101 の第 2 の主面 101 B（非能動面）とを覆うように設けられている。貫通ビア 105 は、貫通孔 106 に設けられており、電極パッド 102 と電氣的に接続されている。

【0005】

図 2 ~ 図 5 は、貫通ビアを備えた従来の半導体チップの製造工程を示す図である。図 2 ~ 図 5 において、図 1 に示した半導体チップ 100 と同一構成部分には同一符号を付す。

【0006】

図 2 ~ 図 5 を参照して、半導体チップ 100 の製造方法について説明する。図 2 に示すように、公知の方法により、半導体基板 101 の第 1 の主面 101 A に図示していない半導体素子及び配線と、電極パッド 102 とを形成する。その後、半導体基板 101 の第 2 の主面 101 B 側からウエットエッチング法により半導体基板 101 をエッチングして、電極パッド 102 を露出する貫通孔 106 を形成する。

【0007】

次いで、図 3 に示すように、図 2 に示した構造体の上面を覆うように絶縁膜 103 を形成し、続いて、絶縁膜 103 上に、電極パッド 102 に設けられた絶縁膜 103 を露出する開口部 108 A を有したレジスト膜 108 を形成する。

【0008】

次いで、図 4 に示すように、レジスト膜 108 をマスクとして、エッチング法により電極パッド 102 に設けられた絶縁膜 103 を除去する。エッチング法としては、ドライエッチング法またはウエットエッチング法を用いる。

10

20

30

40

50

【0009】

次いで、図5に示すように、レジスト膜108を除去して、印刷法により貫通孔106にはんだペーストを充填して、貫通ビア105を形成する。これにより、半導体チップ100が製造される(例えば、特許文献1参照。)

【特許文献1】特開2001-60654号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、ウエットエッチング法を用いて、電極パッド102に設けられた絶縁膜103を除去する場合、オーバーエッチング量によっては半導体基板101の側壁に形成された必要な絶縁膜103も除去されてしまうため、半導体チップ100の歩留まりが低下してしまうという問題があった。

10

【0011】

また、ドライエッチング法を用いて、電極パッド102に設けられた絶縁膜103を除去する場合、オーバーエッチング量によっては電極パッド102が損傷してしまうため、半導体チップ100の歩留まりが低下してしまうという問題があった。

【0012】

そこで本発明は、上述した問題点に鑑みなされたものであり、歩留まりを向上させることのできる半導体チップの製造方法を提供することを目的とする。

【課題を解決するための手段】

20

【0013】

本発明の一観点によれば、半導体基板に形成された半導体素子と電氣的に接続された電極パッドと、該電極パッドと電氣的に接続された貫通ビアとを備えた半導体チップの製造方法であって、前記電極パッド上に第1開口部を有した第1のレジスト膜を形成する第1レジスト膜形成工程と、前記第1開口部及び前記第1のレジスト膜を覆うように金属膜を形成する金属膜形成工程と、前記第1開口部の形成位置に、前記第1開口部よりも直径の小さい第2開口部を有する第2のレジスト膜を、前記金属膜を覆うように形成する第2レジスト膜形成工程と、前記金属膜、前記半導体基板及び電極パッドを貫通し、前記第2開口部の形成位置に対応する貫通孔を形成する貫通孔形成工程と、前記第1開口部の上端部を覆うように絶縁膜除去用テープを設ける絶縁膜除去用テープ貼付工程と、前記絶縁膜除去用テープ貼付工程後に、前記半導体基板の前記半導体素子の面と反対側の面側から、前記貫通孔の側壁及び前記第1開口部に前記絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜形成工程の後に前記絶縁膜除去用テープを除去する絶縁膜除去用テープ除去工程と、前記絶縁膜除去用テープ除去工程の後に、前記貫通孔及び前記第1開口部に前記貫通ビアを形成する貫通ビア形成工程とを含むことを特徴とする半導体チップの製造方法が提供される。

30

【0014】

本発明によれば、レジスト膜上に開口部を覆う絶縁膜除去用テープを貼り付け、貫通孔の側壁及び前記第1開口部に絶縁膜を形成することで、第1開口部よりも直径の小さい貫通孔と第1開口部とにより構成される段差部分の絶縁膜の厚さを貫通孔に形成される絶縁膜よりも薄くすることが可能となる。これにより、絶縁膜除去用テープを除去する際、絶縁膜を段差部分で破断させて、貫通孔の側壁を絶縁膜で精度良く覆うことが可能となるため、半導体チップの歩留まりを向上させることができる。

40

【発明の効果】

【0015】

本発明によれば、電極パッドと電氣的に接続される貫通ビアを備えた半導体チップの歩留まりを向上させることができる。

【発明を実施するための最良の形態】

【0016】

次に、図面に基づいて本発明の実施の形態について説明する。

50

【 0 0 1 7 】

図 6 は、本発明の実施の形態に係る半導体チップの断面図である。

【 0 0 1 8 】

図 6 を参照するに、半導体チップ 1 0 は、半導体基板 1 1 と、半導体素子（図示せず）と、絶縁膜 1 2 , 1 7 と、電極パッド 1 3 と、保護膜 1 4 と、導電部材 1 6 と、貫通ビア 1 8 とを有する。

【 0 0 1 9 】

半導体基板 1 1 は、薄板化されており、貫通ビア 1 8 を配設するための貫通孔 2 1 が形成されている。貫通孔 2 1 は、半導体基板 1 1、絶縁膜 1 2、及び電極パッド 1 3 を貫通している。半導体基板 1 1 の材料としては、例えば、シリコンや、GaAs 等の化合物半導体を用いることができる。薄板化された半導体基板 1 1 の厚さ M 1 は、例えば、200 μm とすることができる。

10

【 0 0 2 0 】

半導体素子（図示せず）は、トランジスタ等の素子であり、半導体基板 1 1 の第 1 の主面 1 1 A 側に設けられている。半導体素子は、図示していない配線を介して電極パッド 1 3 と電氣的に接続されている。

【 0 0 2 1 】

絶縁膜 1 2 は、半導体基板 1 1 の第 1 の主面 1 1 A を覆うように設けられている。絶縁膜 1 2 は、半導体基板 1 1 と電極パッド 1 3 との間を絶縁する膜である。絶縁膜 1 2 は、例えば、CVD 法により形成できる。絶縁膜 1 2 としては、例えば、SiO₂ 膜や SiN 膜を用いることができる。絶縁膜 1 2 の厚さは、例えば、0.1 μm とすることができる。

20

【 0 0 2 2 】

電極パッド 1 3 は、絶縁膜 1 2 上に設けられている。電極パッド 1 3 は、図示していない配線により半導体素子（図示せず）と電氣的に接続されている。電極パッド 1 3 の材料としては、例えば、Al を用いることができる。また、電極パッド 1 3 は、例えば、スパッタ法により絶縁膜 1 2 上に Al 膜を形成し、この Al 膜をドライエッチング法によりパターンニングすることで形成できる。

【 0 0 2 3 】

保護膜 1 4 は、絶縁膜 1 2 を覆うように設けられており、電極パッド 1 3 を露出する開口部 1 4 A を有する。開口部 1 4 A の直径は、例えば、120 μm とすることができる。保護膜 1 4 は、例えば、CVD 法により形成することができる。保護膜 1 4 としては、例えば、SiO₂ 膜、SiO₂ 膜と SiN 膜との積層膜等を用いることができる。

30

【 0 0 2 4 】

導電部材 1 6 は、貫通ビア 1 8 の突出部 2 4 と電極パッド 1 3 との間に設けられており、突出部 2 4 の下面 2 4 A と電極パッド 1 3 の上面 1 3 A とに接触している。導電部材 1 6 は、貫通ビア 1 8 の突出部 2 4 と電極パッド 1 3 とを電氣的に接続するためのものである。導電部材 1 6 は、例えば、スパッタ法、CVD 法、無電解めっき法等により形成することができる。導電部材 1 6 の材料としては、導電金属を用いることができ、具体的には、例えば、Ti 膜と Cu 膜とを順次積層させた Ti / Cu 積層膜や、Cr 膜と Cu 膜とを順次積層させた Cr / Cu 積層膜等を用いることができる。

40

【 0 0 2 5 】

絶縁膜 1 7 は、半導体基板 1 1 の第 2 の主面 1 1 B 上と、貫通孔 2 1 の側壁と、導電部材 1 6 と貫通ビア 1 8 との間とに設けられている。絶縁膜 1 7 は、半導体基板 1 1 と貫通ビア 1 8 との間を絶縁するための膜である。絶縁膜 1 7 は、例えば、CVD 法により形成することができる。絶縁膜 1 7 としては、例えば、SiO₂ 膜や SiN 膜等を用いることができる。また、絶縁膜 1 7 の厚さ M 2 は、例えば、1 μm とすることができる。

【 0 0 2 6 】

貫通ビア 1 8 は、貫通部 2 3 と、突出部 2 4 とを有する。貫通部 2 3 は、絶縁膜 1 7 が形成された貫通孔 2 1 に設けられている。貫通部 2 3 の上端部には、突出部 2 4 が一体的

50

に設けられている。また、半導体チップ10の上下方向に他の半導体チップを積層させて、マルチチップパッケージを構成する場合、貫通部23の下端部23Aには、他の半導体チップの貫通ビア(図示せず)が電氣的に接続される。

【0027】

突出部24は、導電部材16上と、電極パッド13よりも上方に位置する絶縁膜17上とに設けられている。突出部24は、貫通部23よりも幅広形状とされている。また、突出部24の上端部(導電部材16上に位置する突出部24部分)は、貫通部23の近傍に位置する突出部24部分よりもさらに幅広形状とされている。半導体チップ10の上下方向に他の半導体チップを積層させて、マルチチップパッケージを構成する場合、突出部24には、他の半導体チップの貫通ビア(図示せず)が電氣的に接続される。

10

【0028】

貫通ビア18は、例えば、めっき法により形成することができる。貫通ビア18の材料としては、導電金属を用いることができ、具体的には、例えば、Cuを用いることができる。また、突出部24を形成する際、導電部材16を給電層とすることができる。

【0029】

図7~図19は、本実施の形態に係る半導体チップの製造工程を示す図である。図7~図19において、先の図6で説明した半導体チップ10と同一構成部分には同一符号を付す。

【0030】

図7~図19を参照して、本実施の形態に係る半導体チップ10の製造方法について説明する。

20

【0031】

始めに、図7に示すように、薄板化される前の半導体基板11の第1の主面11Aに、公知の技術により半導体素子(図示せず)を形成し、次いで、半導体基板11の第1の主面11A上に、絶縁膜12と、電極パッド13と、保護膜14とを順次形成する。

【0032】

具体的には、例えば、CVD法により絶縁膜12としてSiO₂膜(厚さ0.1μm)を形成する。次いで、絶縁膜12上に、例えば、スパッタ法によりAl膜を成膜し、続いて、Al膜上に電極パッド13の形状に対応するようにパターニングされたレジスト膜を形成する。その後、レジスト膜をマスクとして、ドライエッチング法によりAl膜をエッチングして、電極パッド13を形成する。次いで、電極パッド13が形成された絶縁膜12上に、例えば、CVD法により保護膜14としてSiO₂膜を成膜し、続いて、SiO₂膜上に開口部14Aの形状に対応する開口部を有したレジスト膜を形成し、レジスト膜をマスクとして、ドライエッチング法によりSiO₂膜をエッチングして、開口部14Aを形成する。

30

【0033】

開口部14Aの直径R1は、例えば、120μmとすることができる。なお、絶縁膜12としてSiO₂膜の代わりに、CVD法を用いてSiN膜(例えば、厚さ0.1μm)を形成してもよい。また、薄板化される前の半導体基板11の厚さM3は、例えば、725μmとすることができる。

40

【0034】

次いで、図8に示すように、図7に示した構造体上に電極パッド13の上面13Aを露出する開口部32を有したレジスト膜31を形成する(レジスト膜形成工程)。開口部32の直径R2は、例えば、90μmとすることができる。また、開口部32の深さD1は、例えば、10μmとすることができる。

【0035】

次いで、図9に示すように、開口部32及びレジスト膜31を覆うように金属膜34を形成する。金属膜34は、例えば、スパッタ法、CVD法、無電解めっき法等により形成することができる。金属膜34としては、例えば、Ti膜とCu膜とを順次積層させたTi/Cu積層膜や、Cr膜とCu膜とを順次積層させたCr/Cu積層膜等を用いること

50

ができる。金属膜34としてTi/Cu積層膜を用いる場合、金属膜34の厚さM4は、例えば、Ti層が50nm、Cu層が500nmとすることができる。金属膜34は、後にパターニングされて導電部材16となる。

【0036】

次いで、図10に示すように、金属膜34上に開口部36を有したレジスト膜35を形成する。開口部36は、金属膜34を露出するように、開口部32に設けられたレジスト膜35に形成されている。また、開口部36は、貫通孔21の形成位置に対応している。開口部36の直径R3は、開口部32の直径R2よりも小さくなるように設定されている ($R3 < R2$)。

【0037】

次いで、図11に示すように、レジスト膜35をマスクとして、金属膜34、電極パッド13、絶縁膜12を順次エッチングして、半導体基板11の第1の主面11Aを露出する。

【0038】

具体的には、例えば、金属膜34としてTi/Cu積層膜を用いた場合、ウエットエッチング法により開口部36に露出されたCu膜を除去し、続いて、レジスト膜35をマスクとするドライエッチング法により、Ti膜、Al膜(電極パッド13に相当する)、SiO₂膜(絶縁膜12に相当する)を順次エッチングする。

【0039】

次いで、図12に示すように、第2の主面11B側から半導体基板11を薄板化する(基板薄板化工程)。半導体基板11の薄板化には、例えば、研削法やエッチング法を用いることができる。具体的には、例えば、グラインダーにより半導体基板の厚さM1が200μmになるまで薄板化する。

【0040】

このように、貫通孔21を形成する前に半導体基板11を薄板化することで、貫通孔21のアスペクト比が小さくなるため、貫通孔21を容易に形成することができる。

【0041】

次いで、図13に示すように、レジスト膜35をマスクとするドライエッチング法により、半導体基板11が貫通するまでエッチングを行って、貫通孔21を形成する(貫通孔形成工程)。貫通孔21の直径R4は、開口部32の直径R2よりも小さくなるように設定されている ($R4 < R2$)。

【0042】

次いで、図14に示すように、レジスト膜35を除去する。レジスト膜35は、例えば、O₂アッシングにより除去することができる。また、開口部32の直径R2と貫通孔21の直径R4との大きさが異なるため、貫通孔21と金属膜34が設けられた開口部32との間には、段差部分Aが形成される。

【0043】

次いで、図15に示すように、図14に示した構造体の金属膜34上に、開口部32の上端部を覆うように絶縁膜除去用テープ38を貼り付ける(絶縁膜除去用テープ貼付工程)。絶縁膜除去用テープ38としては、例えば、PET基材にアクリル系粘着材を形成したものをを用いることができる。絶縁膜除去用テープ38の厚さM5は、例えば、100μm~200μmとすることができる。

【0044】

次いで、図16に示すように、半導体基板11の第2の主面11B側から貫通孔21の側壁に絶縁膜17を形成する(絶縁膜形成工程)。このとき、半導体基板11の第2の主面11B上、開口部32の側壁、及び絶縁膜除去用テープ38にも絶縁膜17が形成される。具体的には、CVD法により、貫通孔21の側壁及び半導体基板11の第2の主面11Bに、厚さが1μmとなるようSiO₂膜を形成する。

【0045】

このように、半導体基板11の第2の主面11B側から、貫通孔21の側壁に絶縁膜1

10

20

30

40

50

7を形成することで、金属膜34が設けられた開口部32に形成される絶縁膜12の厚さを貫通孔21の側壁に形成される絶縁膜17の厚さM2よりも薄くして、段差部分Aに形成された絶縁膜17の強度を弱くすることができる。

【0046】

次いで、図17に示すように、絶縁膜17が形成された絶縁膜除去用テープ38を金属膜34から取り除く(絶縁膜除去用テープ除去工程)。この際、絶縁膜17は、厚さが薄く、強度の弱い段差部分Aで破断し、不要な絶縁膜17(絶縁膜除去用テープ38上に形成された絶縁膜17)が絶縁膜除去用テープ38と共に除去される。

【0047】

このように、金属膜34上に開口部32を覆う絶縁膜除去用テープ38を貼り付け、半導体基板11の第2の主面11B側から、貫通孔21の側壁を覆うように絶縁膜17を形成することで、段差部分Aの絶縁膜17の厚さを貫通孔21の側壁に形成される絶縁膜17よりも薄くすることが可能となる。これにより、絶縁膜除去用テープ38を除去する際、絶縁膜17を段差部分Aで破断させて、貫通孔21の側壁を絶縁膜17で精度良く覆うことが可能となるため、半導体チップ10の歩留まりを向上させることができる。

10

【0048】

なお、開口部32の側壁に貫通孔21の側壁と同じだけの厚さの絶縁膜17が形成された場合でも、段差部分Aの角部に形成された絶縁膜17は貫通孔21の側壁に形成された絶縁膜17よりも強度が弱くなるため、絶縁膜除去用テープ38を除去する際、絶縁膜17は段差部分Aで破断する。

20

【0049】

次いで、図18に示すように、絶縁膜17が形成された貫通孔21に貫通部23と、絶縁膜17及び金属膜34が形成された開口部32に開口部32から突出する突出部24とを形成する(貫通ビア形成工程)。これにより、貫通部23と突出部24とからなる貫通ビア18が形成される。

【0050】

具体的には、例えば、突出部24の形状に対応するようにパターンニングしたレジスト膜を金属膜34上に形成し、その後、半導体基板11の第2の主面11B側に形成された絶縁膜17に金属板(例えば、Cu板)を配置し、この金属板を給電層として、電解めっき法により導電金属(例えば、Cu)を貫通孔21及び開口部32に析出させて、貫通ビア18を形成する。

30

【0051】

開口部32から突出した突出部24部分は、開口部32よりも幅広形状とされており、その直径R5は、例えば、90 μ mとすることができる。また、開口部32から突出した突出部24部分の厚さM6は、例えば、5 μ mとすることができる。

【0052】

なお、金属膜34を給電層として、電解めっき法により導電金属(例えば、Cu)を貫通孔21及び開口部32に析出させて、貫通ビア18を形成してもよい。

【0053】

次いで、図19に示すように、エッチング法により突出部24に覆われていない金属膜34を除去して、突出部24と電極パッド13とに接触する導電部材16を形成する(導電部材形成工程)。

40

【0054】

このように、開口部32から突出するように突出部24を形成すると共に、突出部24と電極パッド13とに接触する導電部材16を形成することにより、導電部材16を介して、貫通ビア18と電極パッド13とを電氣的に接続することができる。

【0055】

次いで、図20に示すように、レジスト膜31を除去する。レジスト膜31は、例えば、O₂アッシングにより除去する。これにより、半導体チップ10が製造される。

50

【 0 0 5 6 】

本実施の形態の半導体チップの製造方法によれば、金属膜 3 4 上に開口部 3 2 を覆う絶縁膜除去用テープ 3 8 を貼り付け、開口部 3 2 よりも直径の小さい貫通孔 2 1 の側壁を覆うように絶縁膜 1 7 を形成することで、貫通孔 2 1 と開口部 3 2 とから構成される段差部分 A の絶縁膜 1 7 の厚さが薄くなるため、絶縁膜除去用テープ 3 8 を除去する際、絶縁膜 1 7 が段差部分 A で破断する。これにより、貫通孔 2 1 の側壁を絶縁膜 1 7 により精度良く覆うことが可能となり、半導体チップ 1 0 の歩留まりを向上させることができる。

【 0 0 5 7 】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

10

【産業上の利用可能性】

【 0 0 5 8 】

本発明は、歩留まりを向上させることのできる半導体チップの製造方法に適用できる。

【図面の簡単な説明】

【 0 0 5 9 】

【図 1】貫通ビアを備えた従来の半導体チップの断面図である。

【図 2】貫通ビアを備えた従来の半導体チップの製造工程を示す図（その 1）である。

【図 3】貫通ビアを備えた従来の半導体チップの製造工程を示す図（その 2）である。

【図 4】貫通ビアを備えた従来の半導体チップの製造工程を示す図（その 3）である。

20

【図 5】貫通ビアを備えた従来の半導体チップの製造工程を示す図（その 4）である。

【図 6】本発明の実施の形態に係る半導体チップの断面図である。

【図 7】本実施の形態に係る半導体チップの製造工程を示す図（その 1）である。

【図 8】本実施の形態に係る半導体チップの製造工程を示す図（その 2）である。

【図 9】本実施の形態に係る半導体チップの製造工程を示す図（その 3）である。

【図 10】本実施の形態に係る半導体チップの製造工程を示す図（その 4）である。

【図 11】本実施の形態に係る半導体チップの製造工程を示す図（その 5）である。

【図 12】本実施の形態に係る半導体チップの製造工程を示す図（その 6）である。

【図 13】本実施の形態に係る半導体チップの製造工程を示す図（その 7）である。

【図 14】本実施の形態に係る半導体チップの製造工程を示す図（その 8）である。

30

【図 15】本実施の形態に係る半導体チップの製造工程を示す図（その 9）である。

【図 16】本実施の形態に係る半導体チップの製造工程を示す図（その 10）である。

【図 17】本実施の形態に係る半導体チップの製造工程を示す図（その 11）である。

【図 18】本実施の形態に係る半導体チップの製造工程を示す図（その 12）である。

【図 19】本実施の形態に係る半導体チップの製造工程を示す図（その 13）である。

【図 20】本実施の形態に係る半導体チップの製造工程を示す図（その 14）である。

【符号の説明】

【 0 0 6 0 】

1 0 半導体チップ

1 1 半導体基板

40

1 1 A 第 1 の主面

1 1 B 第 2 の主面

1 2 , 1 7 絶縁膜

1 3 電極パッド

1 3 A 上面

1 4 保護膜

1 4 A , 3 2 , 3 6 開口部

1 6 導電部材

1 8 貫通ビア

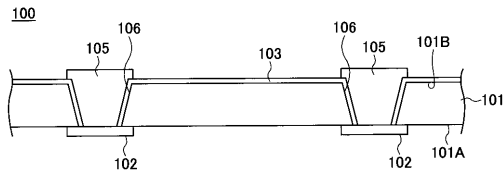
2 1 貫通孔

50

- 2 3 貫通部
- 2 3 A 下端部
- 2 4 A 下面
- 2 4 突出部
- 3 1 , 3 5 レジスト膜
- 3 4 金属膜
- 3 8 絶縁膜除去用テープ
- A 段差部分
- D 1 深さ
- M 1 ~ M 6 厚さ
- R 1 ~ R 5 直径

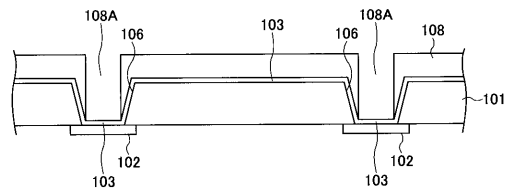
【 図 1 】

貫通ビアを備えた従来の半導体チップの断面図



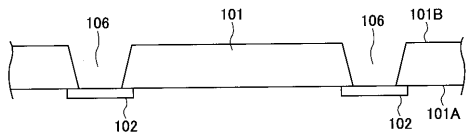
【 図 3 】

貫通ビアを備えた従来の半導体チップの製造工程を示す図(その2)



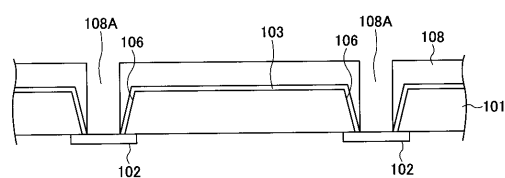
【 図 2 】

貫通ビアを備えた従来の半導体チップの製造工程を示す図(その1)



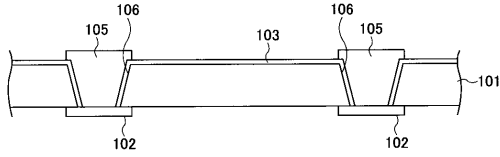
【 図 4 】

貫通ビアを備えた従来の半導体チップの製造工程を示す図(その3)



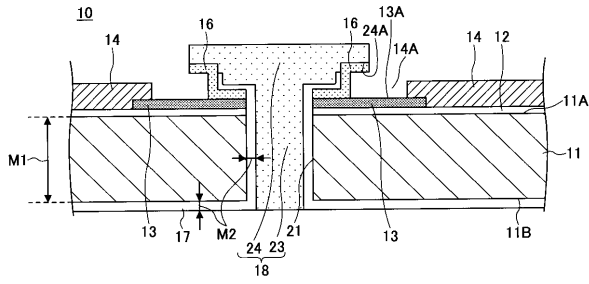
【図5】

貫通ビアを備えた従来の半導体チップの製造工程を示す図(その4)



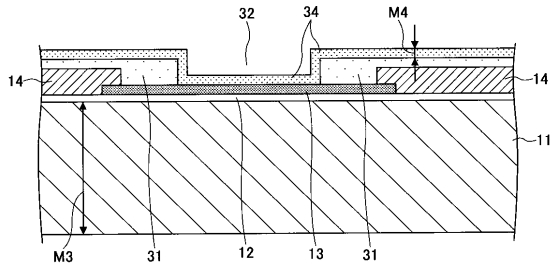
【図6】

本発明の実施の形態に係る半導体チップの断面図



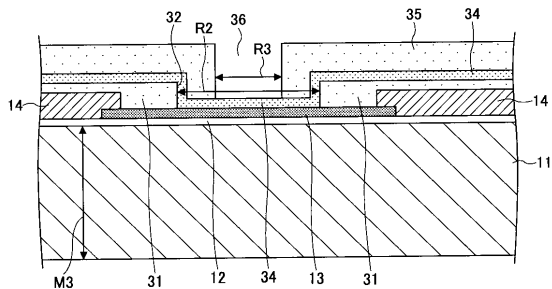
【図9】

本実施の形態に係る半導体チップの製造工程を示す図(その3)



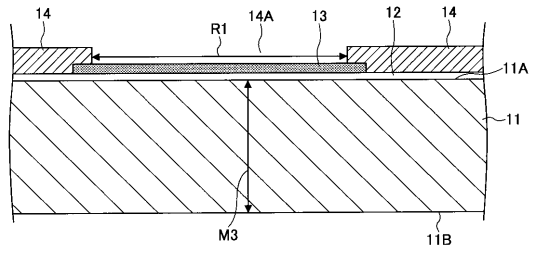
【図10】

本実施の形態に係る半導体チップの製造工程を示す図(その4)



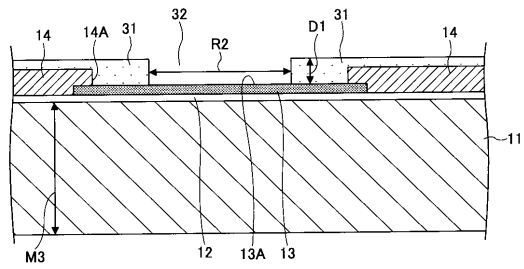
【図7】

本実施の形態に係る半導体チップの製造工程を示す図(その1)



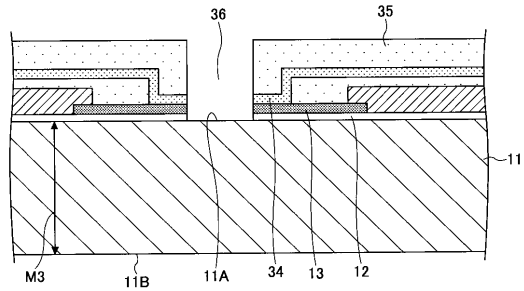
【図8】

本実施の形態に係る半導体チップの製造工程を示す図(その2)



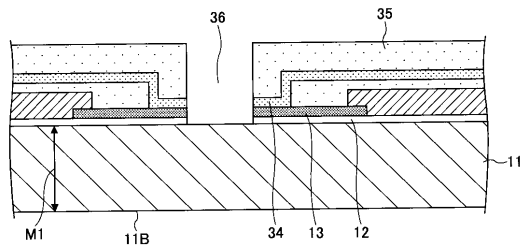
【図11】

本実施の形態に係る半導体チップの製造工程を示す図(その5)



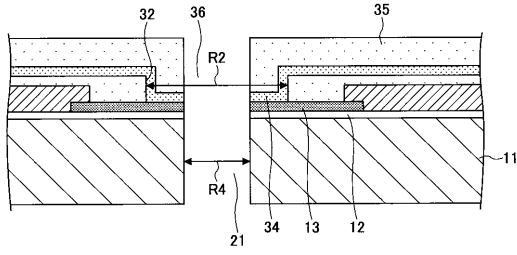
【図12】

本実施の形態に係る半導体チップの製造工程を示す図(その6)



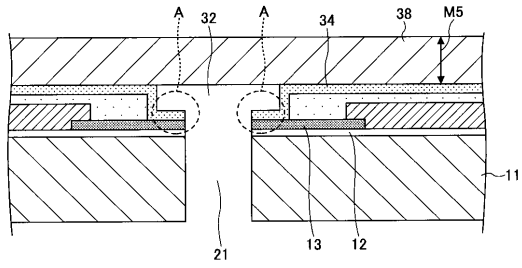
【図13】

本実施の形態に係る半導体チップの製造工程を示す図(その7)



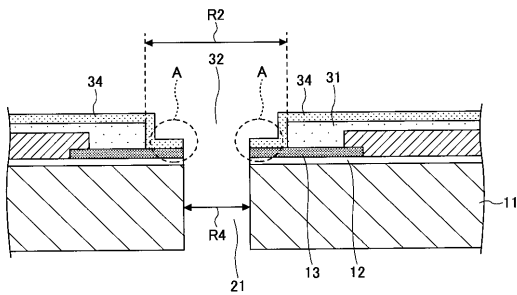
【図15】

本実施の形態に係る半導体チップの製造工程を示す図(その9)



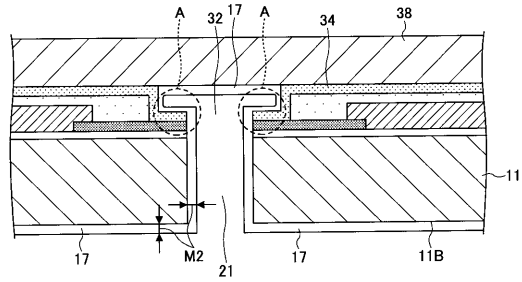
【図14】

本実施の形態に係る半導体チップの製造工程を示す図(その8)



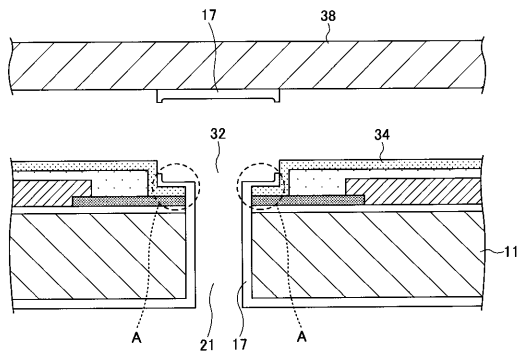
【図16】

本実施の形態に係る半導体チップの製造工程を示す図(その10)



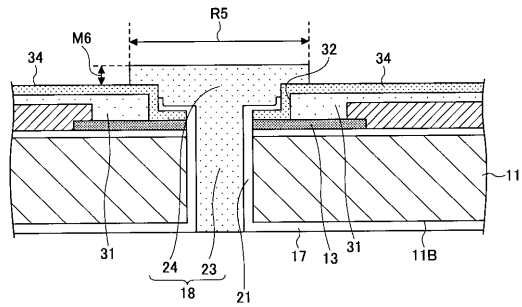
【図17】

本実施の形態に係る半導体チップの製造工程を示す図(その11)



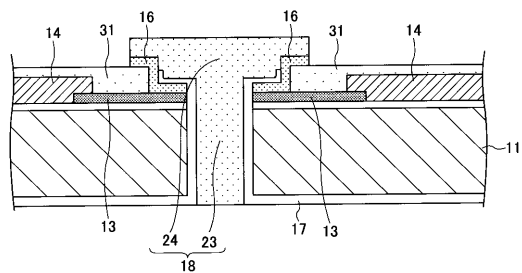
【図18】

本実施の形態に係る半導体チップの製造工程を示す図(その12)



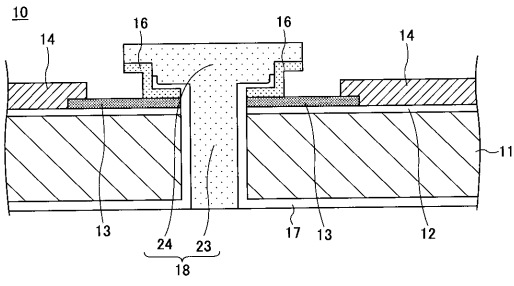
【図19】

本実施の形態に係る半導体チップの製造工程を示す図(その13)



【図 20】

本実施の形態に係る半導体チップの製造工程を示す図(その14)



フロントページの続き

(56)参考文献 特開2004-327910(JP,A)
特開2005-051142(JP,A)
特開2004-207318(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12