

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G11C 11/408

G11C 11/40

G11C 8/00

[12] 发明专利说明书

[21] ZL 专利号 95100739.4

[45]授权公告日 1999 年 8 月 4 日

[11]授权公告号 CN 1044526C

[22]申请日 95.1.28 [24]颁证日 99.4.22

[21]申请号 95100739.4

[30]优先权

[32]94.1.31 [33]JP [31]008921/94

[32]95.1.21 [33]JP [31]P07-008471

[73]专利权人 东芝株式会社

地址 日本神奈川县

[72]发明人 河野良洋

[56]参考文献

EP0498251A3 1992. 8.12 G11C11/408

审查员 王晓光

[74]专利代理机构 上海专利商标事务所

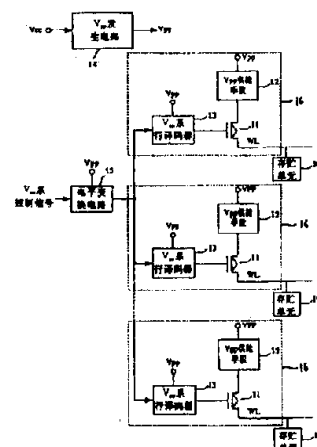
代理人 孙敬国

权利要求书 5 页 说明书 13 页 附图页数 7 页

[54]发明名称 半导体存贮装置

[57]摘要

一种半导体存贮装置,具有:连接于字线 WL 上的字线驱动用 P 沟道 MOS 晶体管(11),以升压电位 V_{PP} 为供给电源的字线选择电路(16)和一起连接于数个字线选择电路(16),把控制该选择电路(16)用的控制信号的电压变换成升压电位的电平用的电平变换电路(15)。如上构成的本发明,可以减少电平变换回路,减少电流消耗。而且可将电平变换电路从存贮单元分离开来配置,因此能得到不易引起错误动作的半导体存贮装置。



权 利 要 求 书

1. 一种半导体存贮装置, 备有: 存贮数据的多个存储单元; 连接所述存贮单元的多条字线; 行译码器; 字线驱动电路; 变换电源电压电平产生控制信号的电平变换电路, 其特征在于,

进一步备有产生比电源电压高的升压电压的升压电路, 和与所述升压电路相连的升压电位供给手段;

由所述行译码器和所述字线驱动电路构成用于根据控制信号有选择地驱动所述字线的字线驱动电路;

所述电平变换电路将所述控制信号中至少一个变换为所述升压电位的电位电平的控制信号, 并将所述变换过电平的控制信号输给多个所述字线选择电路;

所述字线驱动电路包含 P 沟道 MOS 晶体管, 将所述升压电位供给手段所供给的所述升压电位供给字线。

2. 如权利要求 1 所记载的半导体存贮装置, 其特征在于, 前述字线选择电路(16), 除了构成前述字线驱动电路(11、23、24)的前述 P 沟道 MOS 晶体管(11、23)外, 还有至少一个 P 沟道 MOS 晶体管(28), 这一 P 沟道 MOS 晶体管受前述电平变换过的控制信号控制。

3. 如权利要求 1 所记载的半导体存贮装置, 其特征在于, 前述译码器(13、50), 由: 一端接于前述第 2 节点(a)被多个前述控制信号的一部分的地址信号的逻辑电平控制的译码器电路; 和源极被接于前述升压电位上, 漏极接于前述第 2 节点上, 栅极用前述控制信号的一部分的预充电信号控制的、预充电用的 P 沟道 MOS 晶体管构成, 而且前述预充电信号就是前述电平变换过的控制信号。

4. 如权利要求 1 所记载的半导体存贮装置, 其特征在于, 前述升

压电位供给手段(12、40、51)由多个地址信号控制,根据多个地址信号,有选择地向前述第1节点供应前述升压电位(V_{pp}).

5.如权利要求1、2、3或4所记载的半导体存贮装置,其特征在于,为了减少前述字线(WL)的寄生电容量,在邻近半导基板上的前述字线选择电路(16)形成的区域的一边,配置存贮单元(10、20)形成区域,

在前述字线选择电路形成区域的另一边配置前述电平变换回路(15、27)形成区域.

6.如权利要求1或4所记载的半导体存贮装置,其特征在于,前述行译码器(13、25、26、50)由CMOS晶体管构成,所述CMOS晶体管由前述控制信号的一部分、而且是前述电平变换过的控制信号的地址信号控制.

7.一种半导体存贮装置,备有:分别由电容器和晶体管构成用于存贮数据的多个存贮单元;连接所述存贮单元的多条字线;多个行译码器和多个字线驱动电路,其特征在于,

进一步备有产生比电源电压高的升压电压的升压电路,连接所述升压电路将升压电位供给第一节点的多个升压电位供给手段;

各个所述行译码器由预充电用P沟道MOS晶体管和译码手段构成,所述P沟道MOS晶体管其源极加有所述升压电位,漏极连接第二节点,栅极受具有所述升压电位的电位电平的第1预定充电信号控制,从而对第二节点进行预充电,所述译码手段一端连接于所述第二节点,根据多个第1地址信号有选择地对所述第二节点放电;

各个所述字线驱动电路由字线驱动用P沟道MOS晶体管和字线驱动用N沟道MOS晶体管构成,所述P沟道MOS晶体管其源

极连接于所述第一节点，漏极连接于字线，栅极受控于所述第二节点的电位电平，所述N沟道MOS晶体管其源极接地电位，漏极连接于字线，栅极受控于所述第二节点的电位电平；

还备有把电源电压电平的信号变换成具有所述升压电位的电位电平的所述预充电信号，和把所述预充电信号输入所述多个字线选择电路用的电平变换电路。

8.如权利要求7所记载的半导体存贮装置，其特征在于，它还包括由设置于所述升压电位(V_{pp})与前述第2节点(a)之间的、用反相器输出控制的负载用P沟道MOS晶体管(28)；源极供以所述升压电位、漏极接于所述负载用P沟道MOS晶体管的栅极的第1P沟道MOS晶体管(26)；和源极上连接于前述接地电位、漏极接于前述负载用P沟道MOS晶体管的栅极、栅极与前述第1P沟道MOS晶体管的前述栅极共通连接的第1N沟道MOS晶体管组成，且具有用前述第2节点的电位电平控制的第1反相器(23、29)。

9.如权利要求7或8所记载的半导体存贮装置，其特征在于，所述升压电位供给手段(12、40、51)根据多个第2地址信号有选择地向所述第1节点(a)提供前述升压电位 V_{pp} 。

10.如权利要求7或8所记载的半导体存贮装置，其特征在于，前述升压电位供给手段(12、40、51)由源极供以前述升压电位(V_{pp})、漏极接于前述第一节点(b)、栅极用第3节点(c)的电位电平控制的第2P沟道MOS晶体管(41)；源极供以接地电位、漏极接于所述第2节点、栅极用前述第3节点的电位电平控制的第2N沟道MOS晶体管；和升压电位作为电源供给、根据多个第2地址信号、有选择地向前述第3节点供给升压电位用的译码器(43、44)构成。

11. 如权利要求 10 所记载的半导体存贮装置, 其特征在于, 前述译码器电路(43 、 44), 是由源极供以前述升压电位、漏板上接于第 3 节点、栅极用具有升压电位的电位电平的第二预充电信号控制的、对前述第 3 节点预充电用的第 3 P 沟道 MOS 晶体管(43), 和一连接在前述第 3 节点、根据所述第 2 地址信号、有选择地使前述第 3 节点的电位放电用的预译码器手段(44)组成。

12. 如权利要求 11 所记载的半导体存贮装置, 其特征在于, 还具备将电源电压电平信号变换成具有前述升压电位的电位电平的前述第 2 预充电信号, 把前述第 2 预充电信号输入多个前述字线选择电路用的电平变换电路。

13. 如权利要求 12 所记载的半导体存贮装置, 其特征在于, 前述第 1 及第 2 预充电信号, 是用同一个前述电平变换电路进行了电平变换的信号。

14. 如权利要求 11 、 12 或 13 所记载的半导体存贮装置, 其特征在于, 还具有形成前述第 1 节点(b)的电位的反相信号用的第 2 反相器(47); 和在前述字线(WL)与接地电位端之间形成、用前述反相器的输出控制的、在前述第 1 节点未供以升压电位时, 将前述字线固定于接地电位用的接地用晶体管(46)。

15. 如权利要求 14 所记载的半导体存贮装置, 其特征在于, 前述升压电位(V_{pp})作为电源供给的前述第 2 反相器(47)。

16. 如权利要求 7 、 8 、 11 、 12 或 13 记载的半导体存贮装置, 其特征在于, 前述存贮单元(10 、 20)形成的区域与前述字线驱动电路(11 、 23 、 24)形成的区域相邻配置在半导体基板上, 而且在前述电平变换电路(15 、 27)形成区域与前述存贮单元形成区域之间配置前述字线驱动电路形成区域。

17. 一种半导体存贮装置, 备有: 存贮数据的多个存贮单元; 连接所述存贮单元的多条字线; 具有字线驱动用 P 沟道 MOS 晶体管的字线驱动电路; 行译码器, 其特征在于,

进一步备有产生升压电位的升压电路, 和连接所述升压电路将所述升压电位供给第一节点的升压电位供给手段;

由所述字线驱动电路和行译码器构成、用于根据具有所述升压电位的电位电平的至少一个控制信号有选择地驱动所述字线的字线选择电路;

所述控制信号控制多个所述字线选择电路, 所述行译码器可供给所述升压电位作为电源有选择地输出具有所述升压电位的电位电平的输出信号, 所述字线驱动电路根据所述输出信号将所述第一节点的电位供给所述字线。

18. 如权利要求 17 所记载的半导体存贮装置, 其特征在于, 所述升压电位供给手段(12、23、24)用多个地址信号控制, 根据前述多个地址信号有选择地将所述升压电位提供给前述第 1 节点(b)。

19. 如权利要求 17 或 18 所记载的半导体存贮装置, 其特征在于, 为了减少前述字线(WL)的寄生电容量, 邻近半导体基板上的前述字线选择电路形成的区域的一边配置存贮单元(10、20)的形成区域,

在前述字线选择电路形成区域的另一边配置形成前述电平变换电路(15、27)的形成区域。

说明书

半导体存贮装置

本发明是关于半导体存贮装置的发明,特别是关于选择性地驱动字线的字线选择电路的发明。

随着半导体存贮装置的高集成化,对电源电压 V_{cc} 的低压化和读出速度的高速化等的要求高了起来。

图 8 是已有的字线选择电路的电路图,在这图中,P 沟道 MOS 晶体管的源极供以升压电位。这升压电位是比外部供给的电源电压 V_{cc} 更高的电位,通常由升压电位发生电路(图中未示出)使其在芯片内部产生。在 N 沟道 MOS 晶体管的源极,供以接地电位。P 沟道 MOS 晶体管的漏极及 N 沟道 MOS 晶体管的漏极上连接着接于存贮单元的字线 WL。P 沟道 MOS 晶体管的栅极及 N 沟道 MOS 晶体管的栅极接在一起,通过电平变换电路,与电源电压 V_{cc} 作为电源供给的行译码器连接着。这一行译码器由例如地址信号和预充电信号等控制信号控制,按这一控制信号的信号电平有选择地输出 V_{cc} 系的输出信号(H 电平是 V_{cc} 电平的输出信号)。这一 V_{cc} 系输出信号由电平变换电路变换信号电平,变成 V_{pp} 系的信号(H 电平是 V_{pp} 电平的信号),这变换信号被供给 P 沟道 MOS 晶体管的栅极以及 N 道 MOS 晶体管的栅极。

这种已有的技术,在字线和 V_{pp} 之间使用字线驱动用的 P 沟道 MOS 晶体管,这样做是因为电源低压化和字线选择高速化的要求,现有的制品大量使用的字线驱动用 N 沟道 MOS 晶体管与分立晶体管组合的推动(ブーストラップ)电路,被用不需要分立晶体管的 P 沟道 MOS 晶体管取代。

这样想要用 P 沟道 MOS 晶体管时,输入那个栅极的控制信号必须是 V_{pp} 系的控制信号(H 电平为 V_{pp} 系的控制信号)。为什么呢,这是因为用 V_{cc} 系的控制信号(H 电平为 V_{cc} 的控制信号)控制 P 沟道 MOS 晶体管时,一旦栅极输入 H 电平(V_{cc}),源电压是 V_{pp} ,因此发生了 P 沟道 MOS 晶体管不完全截止的不利情况。从而控制 P 沟道 MOS 晶体管的栅极的信号必须是 V_{pp} 系的控制信号,但是行译码器的输出因为是 V_{cc} 系的控制信号。所以有必要将信号电平从 V_{cc} 电平变换成 V_{pp} 系电平。因此,有必要在行译码器与 P 沟道晶体管之间设置电平变换电路。

图 9 是另一种已有的字线电路的电路图。在这一图中,对应电平变换电路的是设置于各字线选择电路中行译码器部份中的、栅极相互交叉耦合连接的 P 沟道 MOS 晶体管。

这些已有的技术中存在如下问题。

第一、在每一字线选择电路,有必要设置电平变换电路。因此需要许多电平变换电路。例如,在上述已有的技术中,至少设置与字线数相同的电平变换电路。这产生了招致芯片面积增大及消耗电力增大的问题。

第二、电平变换电路,在其电路构成上易于受噪声的影响。在已技术中,电平变换电路,如上所述,作为字线选择电路的一部分,有形成的必要,因此,在芯片配置上,必须配置于噪声易于发生的存贮单元区域的近旁。但是,随着半导体存贮装置像 64MDRAM 和 256MDRAM 那样向高集成化发展,存贮单元产生的噪声给周围电路的影响越来越大,像已有技术那样配置的话,电平变换电路可能会受到存贮单元区域产生的噪声的影响而发生错误动作。

鉴于上述问题的存在,本发明的目的是提供一种半导体存贮装置,其周边电路部份的芯片配置面积可缩小,消费电力减少,不易受噪声的影响,能够稳定地工作。

为解决上述问题,本发明提供一种具有如下特征的半导体存贮装置,它含有:许多存贮数据的存贮单元;连接该存贮单元的许多字线;产生比电源电压更高的升压电位用的升压电路;接于该升压电路并把其升压电位供给第1节点用的升压电位供给手段;分别含有行译码器和字线驱动电路、根据多个控制信号有选择地驱动前述字线的多个字线选择电路;和把前述控制信号中的至少一个变换成前述升压电位的电位电平的控制信号并把前述电平变换的控制信号输入多个前述的字线选择电路的电平变换电路,前所行译码器是由前述升压电位作为电源供应,数据前述控制信号把前述升压电位电平的输出信号有选择地供给第2节点所需要的;前述字线驱动电路包含根据前述第2节点的前述输出信号有选择地将前述第1节点的电位供给前述字线的P沟道MOS晶体管。

在这样的结构中,字线选择电路的前段设置电平变换电路,并使电平变换的输出一起输入许多字线选择电路中。因此,没有必要像已技术那样每个字线选择电路都设置电平变换电路、只根据控制字线选择电路的信号数的多少设置电平变换电路就够了。从而可以削减电平变换电路数目,也可以相对减少为使电平变换电路动作所消耗的电流。

而且电平变换电路在电路结构上易受噪声的影响。已有的技术中,有必要把电平变换电路设置于字线选择电路中,因此当然要把电平变换电路设在易于发生噪声的存贮单元部分的近旁。结果,随着半导体存贮装置的高集成化,有可能因为这噪声造成电平变换电路产生错误动作。但是,本发明中没有必要在字线选择电路中设置电平变换电路,从而可以在不靠近存贮单元的地方设置,因此电平变换电路不易受存贮单元产生的噪声影响。从而达到防止电平变换电路发生误动作的效果。

下面结合附图所示实施例详细说明本发明。

图 1 为本发明第 1 实施例的方框图。

图 2 是本发明第 1 实施例中的字线选择电路的具体电路图。

图 3 是第 1 实施例的变形例的电路图。

图 4 是产生升位压电位 V_{pp} 的升压电位发生电路的电路图。

图 5 本发明第 2 实施例的电路图。

图 6 本发明第 3 实施例的电路图。

图 7 是用或非门构成的字线选择电路的电路图。

图 8 是已有的字线选择电路的电路图。

图 9 是另一已有的字线选择电路的电路图。

图 1 是本发明的第 1 实施例的方框图。许多字线 WL 上分别连接着存贮单元 10 和字线选择电路 16。这种字线选择电路 16 由接地电位 V_{ss} 及升压电位 V_{pp} 作为电源供应的行译码器 13 (下称 V_{pp} 系行译码器); 升压电位供给手段 (下称 V_{pp} 供给手段) 12; 及字线驱动电路的 P 沟道 MOS 晶体管 11, 构成。P 沟道 MOS 晶体管 11 的漏极接于字线 WL, P 沟道 MOS 晶体管 11 的源极, 通过 V_{pp} 供给手段 12, 得到压电位 V_{pp} 供给。这升压电位 V_{pp} 是比外部端子来的电源电压都高的升压后的电位, 是由 V_{pp} 发生电路 14 产生的。而 V_{pp} 供给手段 12 是用来为 P 沟道 MOS 晶体管 11 的源极提供 V_{pp} 的, 比如说, 即使只是单独的配线也行, 在这种配线的情况下, P 沟道 MOS 晶体管 11 的源极总是供以 V_{pp} 。而且, 这种 V_{pp} 供给手段 12 也可以由开关、晶体管构成。而这开关、晶体管的栅极上如果接上预译码器 (プリデコーダ) 的输出, 只有在用前置译码器选择的时候, 开关管才接通, V_{pp} 加到与其相对应的 P 沟道 MOS 晶体管 11 的源极上。P 沟道 MOS 晶体管 11 的栅极用与 V_{pp} 系行译码器 13 的输出信号相对应的信号控制。此处, 用与输出信号相应的信号是因为考虑到在行译码器 13 与 P 沟道 MOS 晶体管 11 的栅极之间存在着反相器等电路元件的情况。这个 V_{pp} 系行译码器 13, 以例如预定电信号和地址信号等的控制

信号进行控制。本发明中,这控制信号中的一些是 V_{pp} 系控制信号,这一点很重要。然而,这 V_{pp} 系控制信号是由电平变换电路 15 对 V_{cc} 系控制信号(H 电平 V_{cc} 电平)进行电平变换而成的信号。

在这样的构成中,用电平变换电路 15 把某 V_{cc} 系列控制信号进行电平变换成 V_{pp} 系控制信号。这一变换了的信号被共同输入多个 V_{pp} 系行译码器 13。从而,不必像已有技术那样每个字线选择电路都设电平变换电路,只要每隔数个字线选择电路设一电平变换电路即已足够,所以电平变换电路的数目可以减少,能够减小芯片的面积,同时还能达到减低电力消耗的效果。而且电平变换电路在电路结构上易受噪声的影响。已有的技术中,因为在字线选择电路中设置电平变换电路,所以当然有必要把电平变换电路设置于噪声易于发生的存贮单元部份的近旁。随着像 64M—DRAM 和 256M—DRAM 那样、半导体存贮装置向高集成化发展、存贮单元产生的噪声对周围的电路的影响越来越大,由此产生电平变换电路错误动作的可能性。本发明中,字线选择电路 16 中不必设置电平变换电路、在不靠近存贮单元部份的地方设置也有可能,因此,电平变换电路 15 不易受存贮单元部产生的噪声的影响。从而,即使这样的噪声的影响相对说来较大时,也具有防止电平变换电路 15 发生错误动作的效果。

但是,如果电平变换电路与字线选择电路离得太开,虽然不易受噪声影响了。但是连接其间的配线变长了。因而接线的寄生电容变大了,产生了电路动作延迟的缺点。作为在芯片配置上的电路部份的配置,在半导体基板上在邻接字线选择电路形成的区域的一边配置存贮单元形成区域(这是因为要防止字线的寄生电容增大,而尽量把字线的配线长度缩短),在与此不同的其它边(最好是与存贮单元形成区域相反的方向)上,最好把电平变换电路形成区域邻接字线选择电路配置。也就是说,最好采取在电平变换电路形成区域与存贮单元形成区域之间配置字线选择电路形成区域的配置,在上面所说的那

样的高集成化半导体存贮装置中,做成这样的结构的话,电平变换电路只要与存贮单元和字线选择电路形成区域分离开,就可以充分防止存贮单元部分产生的噪声的影响,而且可以防止电平变换电路与字线选择电路的接线也变长。因此,几乎不存在配线延迟的问题。而且也能起缩小芯片尺寸的效果。

此外,在本实施例中,升压了的控制信号用来控制行译码器 13,而实际产品的字线选择电路,除行译码器之外还有具有各种功能的电路部分存在(例如关于冗余码的电路),所以在这些部分也可能有使用升压了的控制信号的情况。从而,像上述实施例那样,本发明不仅仅是有关控制行译码器的控制信号,而且在其目的、效果范围内,可适用于控制字线选择电路的多种信号。

图 2 为上述第 1 实施例的字线选择电路的具体电路图。几条字线 WL 上分别连接着存贮单元 20。这一存贮单元 20 由一个晶体管与一个电容器组成的 DRAM 单元构成。这字线 WL 连接于由 P 沟道 MOS 晶体管与 N 沟道 MOS 晶体管组成的字线驱动电路、具体地说,接于 P 沟道晶体管 23 的漏极与 N 沟道 MOS 晶体管 24 的漏极。P 沟道 MOS 晶体管 23 的源极上供以 V_{pp} ; N 沟道 MOS 晶体管 24 的源极上供以 V_{ss} 。本实施例中 V_{pp} 的供给手段,对应于连接 P 沟道 MOS 晶体管的源极和 V_{pp} 的配线。P 沟道晶体管 23 的栅极与 N 沟道 MOS 晶体管 24 的栅极一起接于 V_{pp} 系行译码器 25 的输出节点 a。这 V_{pp} 系行译码器 25 由预充电用的 P 沟道 MOS 晶体管 26 与 N 沟道 MOS 晶体管 27 组成的译码手段 29 串联联接于 V_{pp} 与 V_{ss} 之间而成,由地址信号 $A_0 \sim A_k$ 及预充电信号 PRCH' 控制。这预充电信号 PRCH' 是 V_{pp} 系的控制信号,是 V_{cc} 系的控制信号 PRCH 由电平变换电路 27 进行电平变换而成的信号。在 V_{pp} 系行译码器 26 的输出节点 a,连接着负载用的 P 沟道 MOS 晶体管 28,其栅极上连接于产生输出节点 a 的电位电平的反相信号用的 V_{pp} 作为电源供给的反相器的输出端。

下面叙述这样的结构中的电路工作情况。在行地址信号 $A_0 \sim A_k$ 输入 N 与门 29 之前, V_{pp} 系的控制信号的预充电信号 PRCH' 作为预充电动作在规定时间内按高电平、低电平、高电平的顺序(即 V_{pp} 电平、 V_{ss} 电平、 V_{pp} 电平的顺序)变化。P 沟道 MOS 晶体管 26 在 PRCH' 处于 V_{ss} 电平时导通、使输出节点 a 充电到 V_{pp} 电平后截止。

负载晶体管 28 是为了防止在 P 沟道 MOS 晶体管 26 截止后、输出节点 a 暂时处于浮动状态时, 由于噪声导致该输出节点 a 的电位电平变动而设置的。这里, 输出端连接在 P 沟道 MOS 晶体管 28 的栅极上的反相器由串联于 V_{pp} 与 V_{ss} 之间的 P 沟道 MOS 晶体管与 N 沟道 MOS 晶体管构成。当电源电位以 V_{cc} 取代 V_{pp} 的情况下, 输出节点 a 为 H 电平时, 构成反相器的 P 沟道 MOS 晶体管不完全截止, 所以反相器的动作不稳定, 妨碍字线高速化, 因此把电源电位定为 V_{pp} 。

经过作为预充电动作的上述预定时间后, 地址信号 $A_0 \sim A_k$ 的某一组合被输入 N 与门 29。对被选择的字线 WL 上连接的字线选择电路加以考虑后, 只有与被选择地字线对应的输出节点 a 变成 V_{ss} 电平, P 沟道 MOS 晶体管 23 导通, N 沟道 MOS 晶体管 24 截止。结果, 选出的字线 WL 变成 V_{pp} 电平, 接在该字线 WL 上的存贮单元 20 的晶体管 21 导通, 电容 22 积存的数据被转送到位线 BL。这种情况下, 对于未被选择的字线 WL, 与之相对应的字线选择电路的输出节点 a 仍保持 V_{pp} 电位不变。从而, P 沟道 MOS 晶体管 23 截止, N 沟道 MOS 晶体管 24 导通, 所以未被选择的字线 WL 上没有供给 V_{pp} , 因此, 存贮单元的数据无法读出。

在这里, N 沟道 MOS 晶体管 24 为了在字线的非选择情况下导通, 将字线固定于 0 电平而设, 以此防止字线处于浮动状态。这能有效防止噪声影响字线电位的变动引起非选择的字线被选择。

在本实施例中, 控制 V_{pp} 系行译码器 25 的信号中, 只将对在 P

沟道 MOS 晶体管 26 的栅极上的预充电用的控制信号 PRCH 进行电平变换, 作为 V_{pp} 系控制信号 PRCH', 构成 N 与门 29 的 N 沟道 MOS 晶体管的栅极上连接的地址用的控制信号 A_0-A_k 仍旧是 V_{cc} 系的控制信号。这是因为控制 P 沟道 MOS 晶体管的控制信号必定是 V_{pp} 系控制信号, 但是控制 N 沟道 MOS 晶体管的控制信号不必一定提供 V_{pp} 系的控制信号。也就是说, 是因为 P 沟道 MOS 晶体管的情况下, 想用 V_{cc} 系控制信号控制时, 在控制信号为 H 电平 (V_{cc} 电平) 时, 晶体管不完全截止, 而与此相反, 在 N 沟道 MOS 晶体管的情况下, 是因为 V_{cc} 系控制信号为 L 电平 (V_{ss} 电平)、晶体管完全截止, 电路动作不会不顺利。而且, N 沟道 MOS 晶体管的控制信号即使是 V_{pp} 系控制信号, 电路动作上也没有问题。

由于以上理由, 控制字线选择电路的控制信号即使完全是 V_{pp} 系控制信号, 电路动作上也没问题, 但至少 P 沟道 MOS 晶体管上连接的控制信号必须是 V_{pp} 系控制信号。通常预充电用的晶体管 26, 为了防止发生阈值下降而使用 P 沟道 MOS 晶体管, 所以, 在本实施例, 标示出以 V_{pp} 系控制信号对此进行控制的结构。还有, 本发明控制字线选择电路的信号, 一个以上 (至少是控制 P 沟道 MOS 晶体管的栅极的信号) 使用 V_{pp} 系控制信号, 这是重的, 至于 V_{pp} 控制信号的发生方法如何不成问题。

在本实施例, 因为使用着将预充电信号的 PRCH 进行电平变换, 成为 V_{pp} 系的 PRCH' 用的一个电平变换电路 27, 所以在已有技术中需要与选择电路数目相同的电平变换电路, 在本实施例中, 一个就够了, 因而与已有技术相比, 芯片面积相当小就够了, 除了可以减少电力消耗外, 可提供不易产生错误动作的半导体存贮电路。

在本实施例中供给字线选择电路的电源是 V_{pp} 与 V_{ss} 两者, V_{cc} 不必要。也就是说, 在芯片上字线选择电路形成区域各处拉的电源线只要 V_{ss} 线与 V_{pp} 线即可, V_{cc} 线不需要了。从而每一根电源线 (V_{ss}

与 V_{pp} 线)的线宽可以设计得足够粗,所以,可以防止噪声引起电源线电位电平的变动。而且也有电路设计变得简单的好处。

又,在本实施中, V_{pp} 系行译码器 29 的输出点 a 直接连接于字线驱动电路中的 P 沟道 MOS 晶体管 23 及 N 沟道 MOS 晶体管 24 的栅极上,而将 V_{pp} 系的反相器设置多段、间接连接上去当然是可以的,在下面实施例中这一点也相同。

图 3 是第 1 实施例的变形例的电路图。与图 2 所示的电路部份相同的东西标以同一号码并省略说明。与图 2 所示电路图不同的是,行译码器与字线驱动用的 P 沟道 MOS 晶体管的栅极不是直接连接着、 V_{pp} 系的反相器 Inv. 1 及 Inv. 2 被插入。设置这样的反相器是为了控制字线驱动用 P 沟道 MOS 晶体管栅极的时间关系。因此,行译码器与字线驱动电路的连接,不仅像这样直接连接的情况,例如像图 3 那样经反相器间接连接也行。总而言之,若用行译码器的输出节点的电位电平控制字线驱动用的 P 沟道 MOS 晶体管(及 N 沟道 MOS 晶体管)是可以的。这一点,下面的第 2 及第 3 实施例也相同。

在第 1 实施例,使用一个电平变换电路作预充电信号的电平变换,但是设置进行完全相同的动作的多个电平变换电路也可以。如此,对于一个控制信号设置完全相同地动作的多个电路的原因是要考虑例如长配线的寄生电容量和电平变换电路的驱动能力等。例如,存贮单元分割成几个部件区时,有每个部件区、或每几个部件区并联设置数个电平变换电路的情况,这一点,在下面的第 2 及第 3 实施例可以说是相同的。

图 4 是产生升压电位 V_{pp} 的升压电位发生电路的具体电路图。这一升压电压发生电路由:时钟信号发生电路 30;用反相器 31 产生互补的第 1 及第 2 时钟信号的手段;第一时钟信号 CPI 接于其一端上的第 1 升压用电容 32,接于电源电压 V_{cc} 端与第 1 升压用电容

32 之间、栅极上加以第 2 时钟信号 CP2 的第 1 MOS 晶体管 33；漏极与栅极共接于第 1 MOS 晶体管 33 与升压电容 32 的连接节点上，源极接于升压电位输出端 38 的 MOS 晶体管 24；第二时钟信号 CP2 接于其一端上的第 2 升压用电容 35；接于电源电压 V_{cc} 端与第 2 升压用电容 35 之间、栅极上加以第 1 时钟信号 CP1 的第 2 MOS 晶体管 36 和漏极与栅极共接于第 2 MOS 晶体管 36 与第 2 升压用电容 35 的接点上，源极接于升压电位输出端 38 的 MOS 晶体管 27 组成。

像这样的升压发生电路一般用于 DRAM 等的字线驱动，这电路产生的 V_{pp} 经电源线供给字线选择电路。

图 5 是本发明第 2 实施例的字线选择电路的电路图。本实施例是关于双重字线方式的实施例，对于与图 2 记载的电路作相同动作的电路要素，记以同一号码，其说明省略。与第 1 实施例不同的地方是， V_{pp} 供给手段 40 具有译码器功能（预译码器）。

V_{pp} 供给电路 40，其输出端 b 上连接着 P 沟道 MOS 晶体管 41 的漏极及 N 沟道 MOS 晶体管 42 的漏极，P 沟道 MOS 晶体管 41 的源极加 V_{pp} ，N 沟道 MOS 晶体管的源极加 V_{ss} 。P 沟道 MOS 晶体管 41 的栅极及 N 沟道 MOS 晶体管 42 的栅极共接于节点 C 上。这一输出节点 C 连接着用 PRCH2' 控制的预充电用的 P 沟道 MOS 晶体管 43 的漏极和 N 与门 44 及 P 沟道 MOS 晶体管组成的负载晶体管 45。这负载晶体管 45 用节点 C 的电位电平的反相信号控制。

在这里，连接于负载晶体管 45 的反相器是与第 2 实施例一样以 V_{pp} 作为电源供给的 V_{pp} 系反相器。而预充电信号 PRCH1' 及 PRCH2' 是 V_{pp} 系控制信号，分别为用电平变换电路对 V_{cc} 电平信号 PRCH 1 及 PRCH 2 进行高电平变换的控制信号。

在要用已有技术实行双重字线方式的情况下，有必要在字线选择电路部分和 V_{pp} 供给手段（预译码器部）中分别设置电平变换电

路，但在本实施例，作为主译码器及预译码器用的预充电信号，使用 PRCH 1 与 PRCH 2 两个控制信号用的电平变换电路就行，所以对缩小电路面积很有效。

在本实施例，除了有上述缩小芯片面积，减少耗电及防止电平变换电路的噪声引起错误动作，以及防止电源线电平的变动的效果外，还有如下效果。已有的产品，如上所述，用由字线驱动晶体管的 N 沟道 MOS 晶体管及分立使用的晶体管组成的推动（ブーストラップ）电路。在这种情况下，因为驱动用晶体管是 N 沟道，所以，为了防止阈值降低，首先有确定主译码器的输出，使驱动用的 N 沟道 MOS 晶体管的栅极充分发充电后，对预译码器进行输出控制，给驱动用 MOS 晶体管的源极以电位的时间上的限制，从而有必要使预译码器的输出延迟驱动用晶体管的栅极充分充电所需的时间，所以，造成字线的选择时间变慢。但是像本实施例这样，把 P 沟道 MOS 晶体管作为字线驱动晶体管使用的话，没有必要考虑阈值下降，所以没有这样的时间上的限制，也就是说，给予主译码器的预充电信号 PRCH1' 后，以经过预定时间后，未必需要给予译码器的预充电信号 PRCH2'，也可以将 PRCH1' 与 PRCH2' 以相同的时间给予主译码器及预译码器。这样把 P 沟道 MOS 晶体管作为驱动用晶体管使用的话，在双重译码方式中，主译码器与预译码器的控制时间没有限制，所以达到了可以比从前更快的选择字线的效果。

本实施例还有如下的结构上的特征。即，为了防止字线的电位摆动，下拉用的 N 沟道 MOS 晶体管 46 连接于字线 WL 上，在其栅极上输入用反相器 47 使 V_{DD} 供给手段 40 的输出端 b 的电位电平反相得到的信号。在没有附加这种结构的情况下，行输出器 26 的输出节点 a 为低电平（L 电平）、输出端 b 为低电平时，P 沟道 MOS 晶体管 23 导通。这时，连接在这 P 沟道 MOS 晶体管 23 上的字线 WL 的电位变低电平，而实际上，由于噪声的影响，在 OV 至 V_{th} 之间变

动，所以有发生错误动作的可能，为了防止这种误动作，设置这样的接地用 N 沟道 MOS 晶体管 46，输出端 b 的电位电平为低电平时，N 沟道 MOS 晶体管 46 导通，所以字线 WL 的电位固定于 V_{ss} 电平。从而，有着防止节点 a 的输出为低电平的字线的电位受噪声影响而变动的效果。

还有，这反相器 47，可以是 V_{pp} 为供给电源的反相器，也可以是 V_{cc} 为供应电源的反相器，但是，用 V_{pp} 系有可以使字线的电位更快达到 V_{ss} ，因而可以实现高速化，和不需要 V_{cc} 线的好处。

又，本实施例，使用 PRCH1' 和 PRCH2' 两个时间不同的预充电信号，但也可以使用同一预充电信号。在这种情况下，电平变换电路用一个即可，所以有简化电路结构的效果。

图 6 是本发明第 3 实施例的电路图。在本实施例中，对于与图 5 上记载的电路动作相同的电路要素标以相同的符号、并省略其说明。本实施例在双重字线方式这一点上与第 2 实施例相同，但有如下不同：译码手段用 CMOS 电路构成；没有预充电用的 P 沟道 MOS 晶体管，以及在行译码器的输出端没有连接着负载晶体管。

连接在字线 WL 上的字线驱动用的 P 沟道 MOS 晶体管 23 及 N 沟道 MOS 晶体管 24 的栅极接在一起，直接接于 V_{pp} 系行译码器 50 的输出节点 a 上。当然，像上面一样，也可设置延迟用的 V_{pp} 系反相器。这行译码器 50 用地址信号 A_2 — A_4 控制的 CMOS-N 与门构成。而且，在 V_{pp} 供给手段 51 中，包含用地址信号 A_0 — A_1 控制的 COMS-N 与门构成的预译码器电路部份。无论哪一个译码器都将 V_{pp} 作为电源供应。而这些地址信号 A_0 — A_4 控制 P 沟道 MOS 晶体管，但地址信号在高电平 (H 电平) 时为了使 P 沟道 MOS 晶体管完全截止，地址信号必须是 V_{pp} 系控制信号，因此，分别用电平变换电路进行从 V_{cc} 系控制信号到 V_{pp} 系控制信号的电平变换。本实施例一个控制信号使用一个电平变换电路，因此，最少需要五个电平变换

电路，但考虑电平变换电路的驱动能力，也可能对一个控制信号设置多个电平变换电路。总之，比起已有的技术来说，电平变换电路的个数少很多也够了，所以可以缩小芯片面积及减少电力消耗，此外还可以提供不易产生错误动作的半导体存贮装置，在这一点上与上述实施例有相同的效果。再者，本实施例还有可以高速动作的效果。也就是说，译码器电路不是N沟道MOS晶体管，而是CMOS结构。因此，预先输入预充电信号，译码器输出端充电后输入地址信号的动作是不必要的，所以可以谋求字线选择的高速化。而且，译码器的输出端固定于 V_{DD} 电平或 V_{SS} 电平，没有变成浮动，所以即使没有负载晶体管，也不易因噪声而使输出端的电位电平发生变动。

还有，上述第1至第3实施例中，行译码器使用N与门，但也可以使用或非门。图7是行译码器使用N沟道MOS晶体管组成的或非门60的字线选择电路的电路图。与前面的实施例所示的电路要素相同的东西标以同符号并省略其说明。在该实施例中负载用的P沟道MOS晶体管61没有直接连接于行译码器61的输出端a，而是经 V_{DD} 系反相器62间接连接着。但本说明书中说到的连接是在包含直接、间接两种连接关系的意义上使用的。而且，本申请请求保护范围的各重要构成部分上的图的参照符号是为了易于理解本发明而用的，而不是用来将本发明的技术范围限制在图中所示的实施例中。

按照本发明，不必设置像字线的数目那么多的电平变换电路，只要按控制字线选择电路的控制信号的数目设置就够了，所以能够缩小芯片面积、减低电力消耗。而且不必将电平变换电路设置于字线选择电路内，所以能提供电平变换电路不易受噪声的影响，不易产生错误动作的半导体存贮装置。

说明书附图

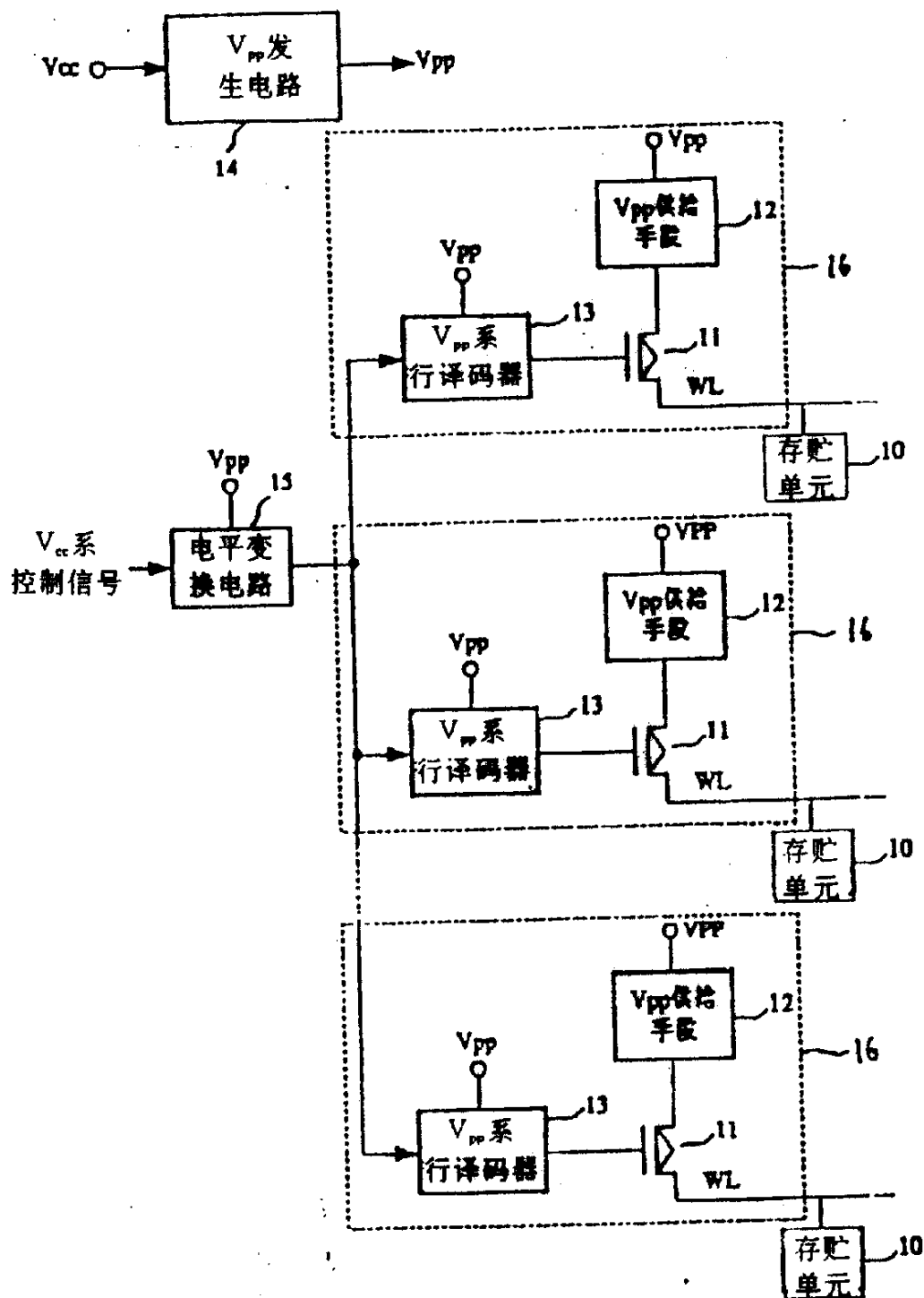
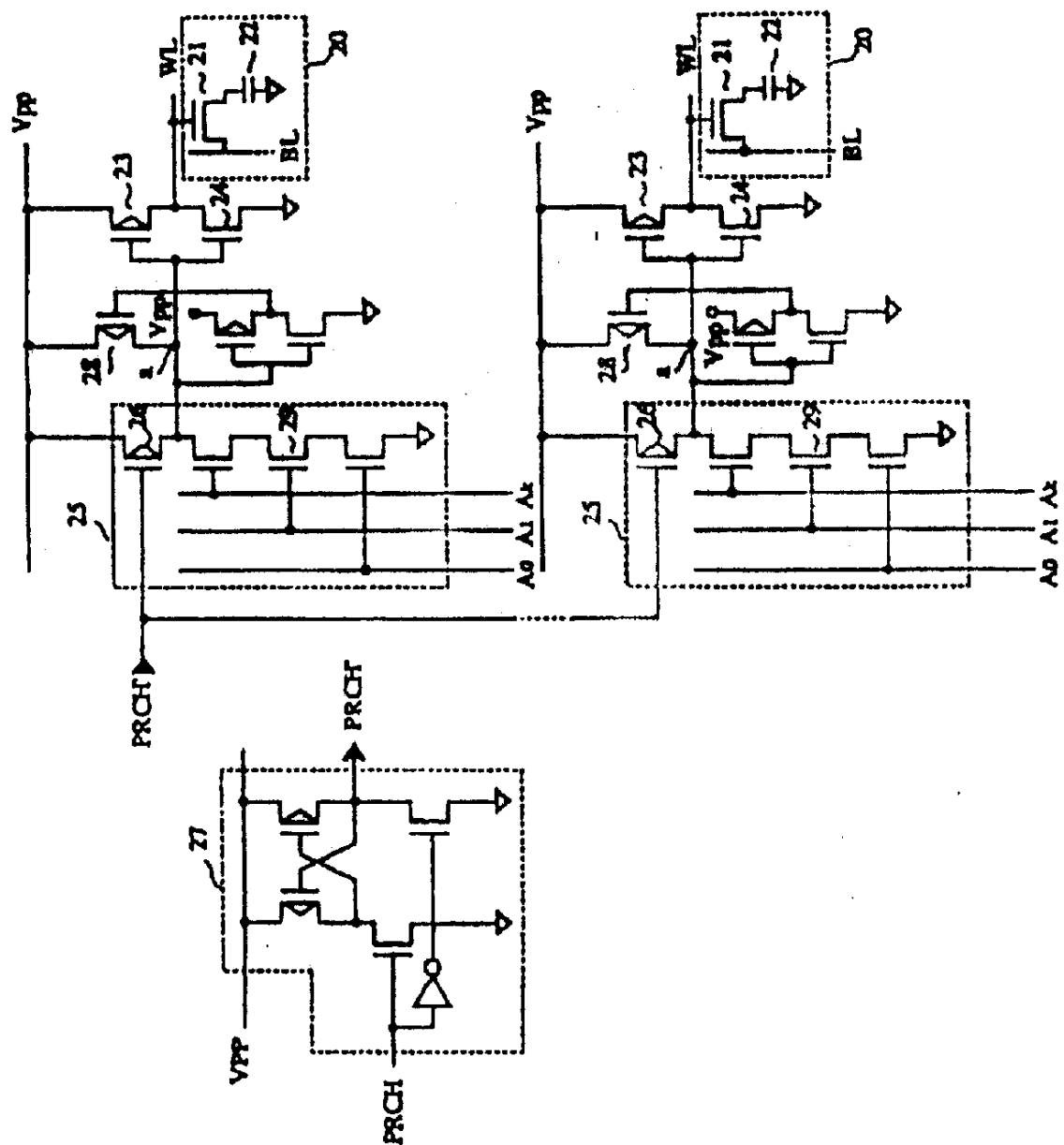


图 1



2

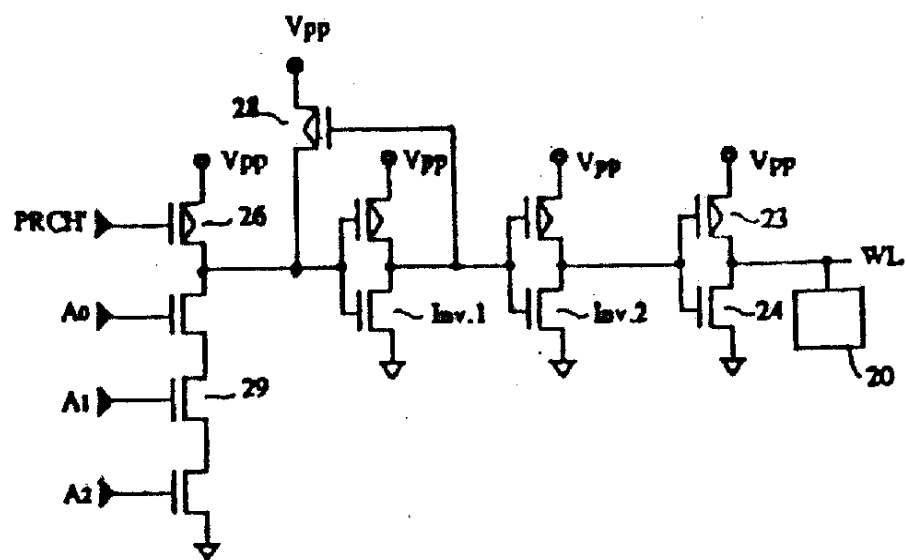


图 3

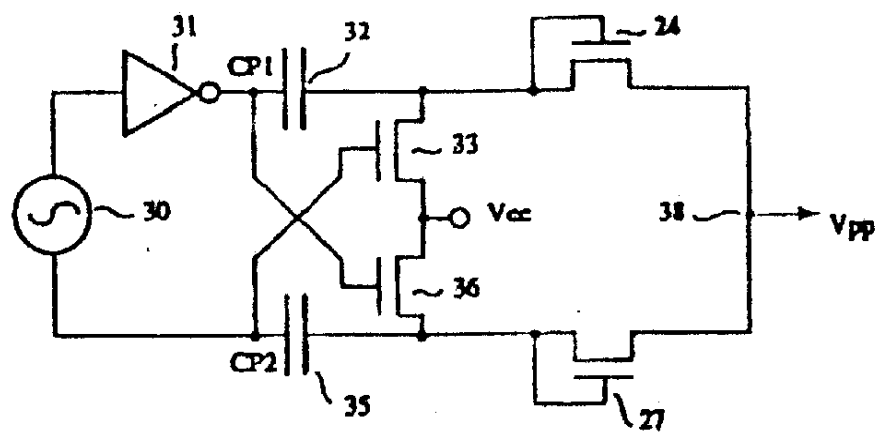


图 4



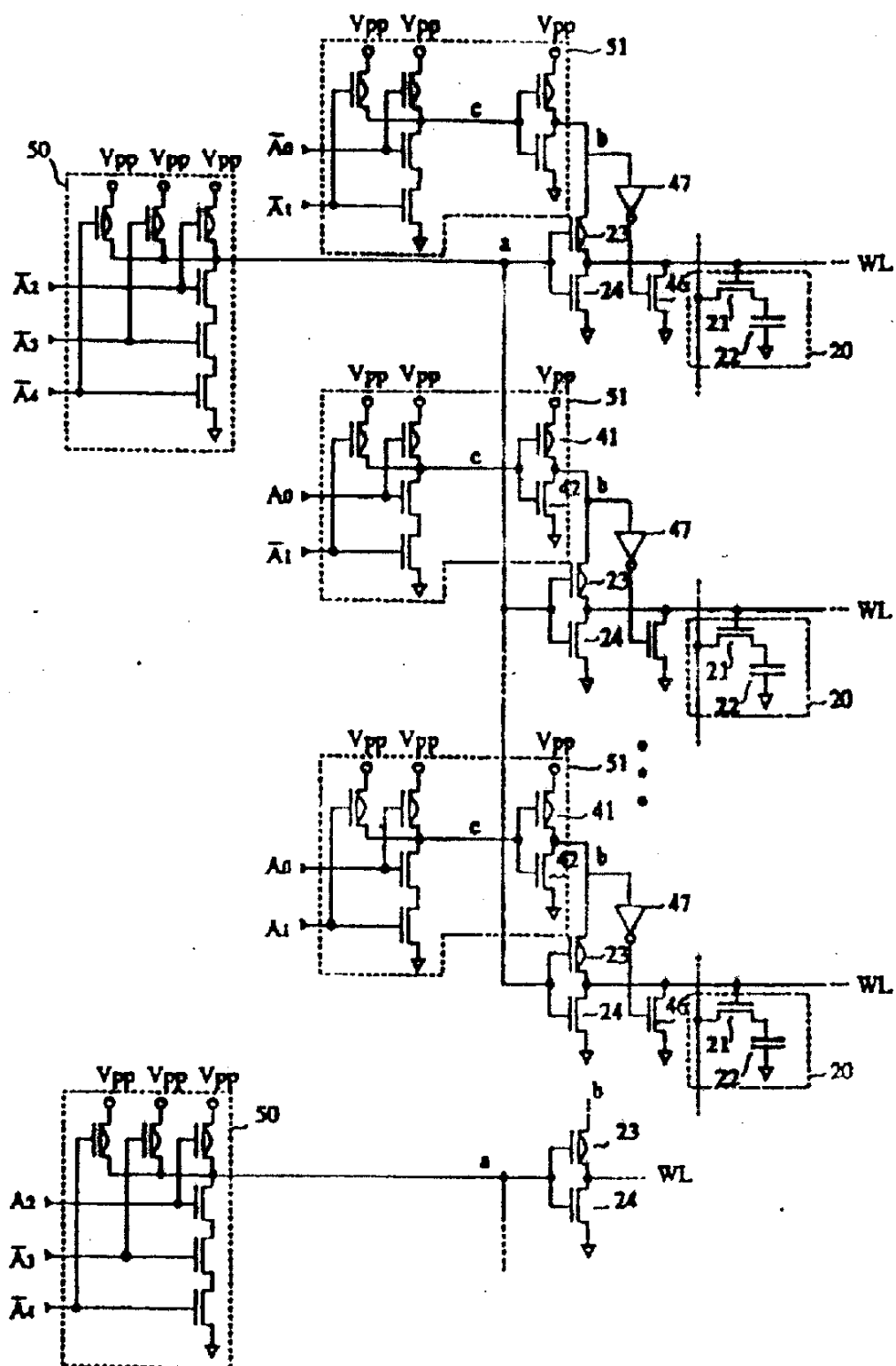


图 6

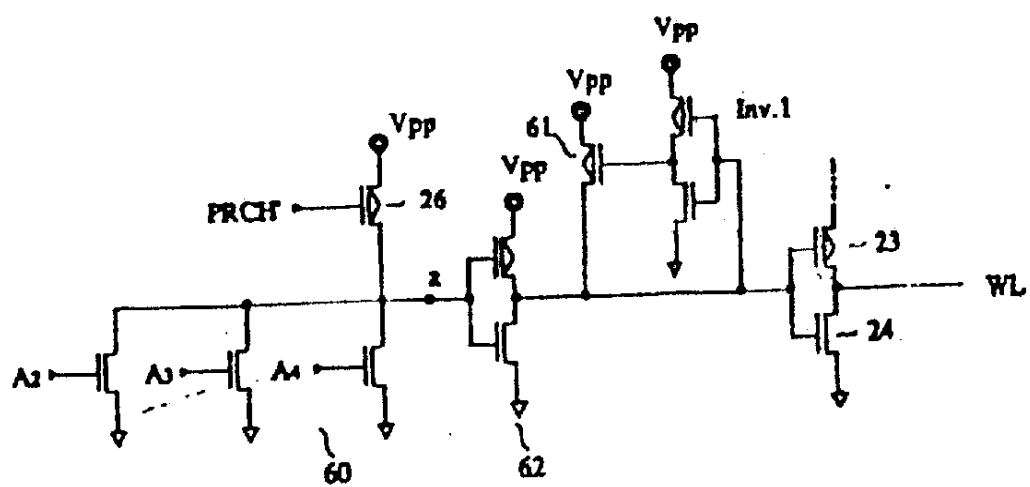


图 7

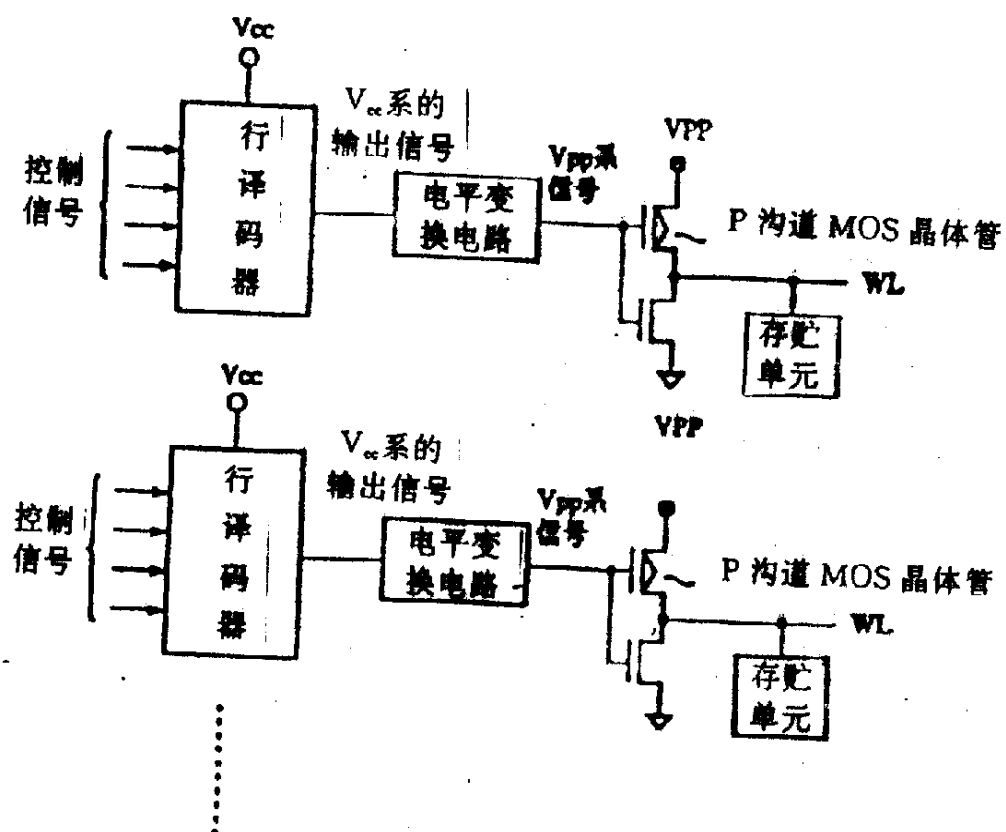


图 8

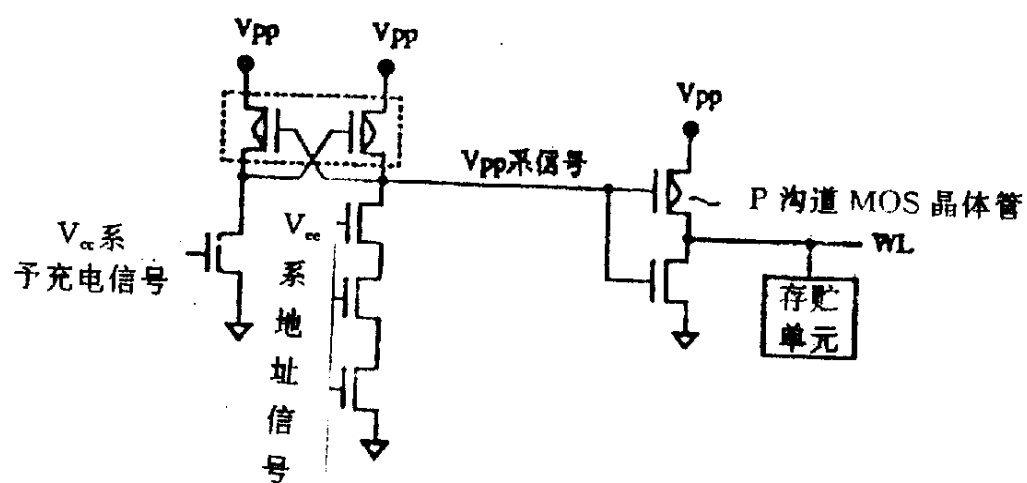


图 9