

本 告 公

申請日期	88 年 4 月 17 日
案 號	88106179
類 別	G02F1/13

A4
C4

512247

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	液晶顯示裝置、矩陣陣列基板及其製造方法
	英 文	
二、發明 人	姓 名	(1) 久保明 (2) 上村孝明 (3) 堂城政幸
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國兵庫縣姬路市網干區大江島三四六一一 風之莊A二〇二 (2) 日本國兵庫縣姬路市網干區大江島寺前町九七 常青藤球場三木二-B (3) 日本國兵庫縣姬路市飾磨區加茂一九八一— 一〇五
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 西室泰三

裝 訂 線

經濟部智慧財產局員工消費合作社印製

申請日期	88 年 4 月 17 日
案 號	88106179
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、 發明 名稱 新型	中 文	
	英 文	
二、 發明 人 創作	姓 名	(4) 溝內清繼 (5) 町田雅彥 (6) 元川茂行
	國 籍	(4) 日本 (5) 日本 (6) 日本
	住、居所	(4) 日本國兵庫縣姬路市余部區上余部五〇 克雷 哈雷東芝二一一 (5) 日本國兵庫縣姬路市余部區上余部五〇 克雷 哈雷東芝姬路二三八 (6) 日本國東京都大田區池上二-二-一一一三
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

申請日期	88 年 4 月 17 日
案 號	88106179
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

~~新 型~~

一、 發明 新型 名稱	中 文	
	英 文	
二、 發明 創作 人	姓 名	(7) 宮地智基
	國 籍	(7) 日本 (7) 日本國兵庫縣揖保郡太子町東出一六二-二〇
三、申請人	住、居所	
	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

日本 1998年4月17日 10-107896 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[技術領域]

本發明係為關於被用在液晶顯示裝置、平面顯示裝置等的矩陣陣列基板及其製造方法。

[先行技術]

近年為了取代 C R T (Cathord Ray Tube) 顯示器而著手研發平面型的顯示裝置，其中液晶顯示裝置，集合了輕量、薄型及低耗電力等的優點，特別受到注目。

例如，以例說明在各顯示像素配置開關元件之主動矩陣型之液晶顯示裝置，則是在陣列基板與對向基板之間介隔配向膜保持液晶層之構造。陣列基板具有格子狀配置在玻璃或石英等的透明絕緣性基板上之訊號線和掃描線、及被配置在此訊號線與掃描線的交點附近作為開關元件，例如 T F T (Thin Film Transistor) ； T F T 的活性層係由非晶質矽 (a - S i : H) 等的半導體膜所形成。

T F T 的閘極電極被連接至掃描線；汲極電極被連接至訊號線；源極電極被連接至透明導電材料，例如

I T O 膜 (Indium Thin Oxide) 所形成之像素電極。

對向基板具有由被形成在透明絕緣性基板上的 I T O 膜所形成之對向電極。為了使其能彩色顯示，而例如在對向基板的對向電極與絕緣性基板之間設置濾色層。

第 1 3 圖係為表示被用在過去的液晶顯示裝置其矩陣陣列基板之斷面構造圖。第 1 4 ， 1 5 圖係為說明過去的陣列基板之製程圖。第 1 4 ， 1 5 圖表示陣列基板上的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

T F T 領域與掃描線接片領域之斷面構造。以下，根據這些圖，依序說明過去陣列基板之製程。

首先，如第 14 (a) 圖所示，在玻璃基板 1 上，形成閘極電極 2，及在此閘極電極 2，端部含有掃描線接片領域且被導電連接至閘極電極 2 之掃描線 3。其次，如第 14 (b) 圖所示，在基板上面形成閘極絕緣膜 4 後，在其上面形成由 a-Si:H 等所形成之半導體層 5。再次，在半導體層 5 的上面形成當作蝕刻制止層作用之絕緣膜 6 後，將此絕緣膜 6 圖案處理。

其次，如第 14 (c) 圖所示，形成 n^+ a-Si:H 等的低阻抗半導體層 7 之後，將半導體層 5 及低阻抗半導體層 7 圖案處理。再而如第 14 (d) 圖所示，形成像素電極 8。

其次，如第 15 (a) 圖所示，在掃描線 3 的接片領域上之閘極絕緣膜 4 形成接觸孔 9。再而如第 15 (b) 圖所示，形成源極電極 10 及汲極電極 11。再而如第 15 (c) 圖所示，除了基板上面的像素電極上及接片領域之外，以保護膜 12 覆蓋。

[發明所欲解決之課題]

針對第 14，15 圖所示過去的製程，如上述過至少必須 7 次光抗蝕劑的曝光・顯像等的圖案處理，製造上耗時並且由於抗蝕劑或構成材料的使用量增多，而會造成製造成本提高之問題點。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(3)

不過，在日本專利特開平5-190571號公報，已公知利用具備蝕刻制止層之TF T(以下，稱為通道保護型TF T)，削減圖案處理次數之製造過程。另外在日本專利特開昭61-161764號公報，已公告利用未具備蝕刻制止層之TF T(以下，稱為反回通道切斷型TF T)削減圖案處理次數之製造過程。

不過，在上述的公報，都只有公告TF T部分，如何削減全體的I時數，却未充分進行檢討。

本發明鑑於此點，其目的係為提供使其減少製造時所必要的遮罩數而將製程簡單化，並且不使其降下製造良品率，而能確保高生產性之液晶顯示裝置、矩陣陣列基板及其製造方法。

[用以解決課題之手段]

為了解決上述課題，本發明申請專利第1項之液晶顯示裝置，係為針對具備：具有包含被配置在絕緣基板上的閘極電極部之掃描線，和介隔絕緣膜而被配置在前述掃描線的前述閘極電極部上之半導體膜，和介隔汲極電極而被導電連接至前述半導體膜之訊號線，和被導電連接至前述半導體膜之源極電極，和被導電連接至前述源極電極之像素電極等之矩陣陣列基板；及被對向配置在前述矩陣陣列基板之對向基板；及分別介隔配向膜而被保持在前述矩陣陣列基板與前述對向基板之間之液晶層等之液晶顯示裝置；其特徵為：在前述矩陣陣列基板的至少前述像素電極及

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(4)

前述訊號線上，直接銜接到前述像素電極及前述訊號線後配置前述配向膜。

另外，本發明申請專利第7項之矩陣陣列基板，係為針對具備：包含被配置在絕緣基板上的閘極電極部之掃描線，及介隔絕緣膜而被配置在前述掃描線的前述閘極電極部上之半導體膜，及介隔汲極電極而被導電連接至前述半導體膜之訊號線，及被導電連接至前述半導體膜之源極電極，及被導電連接至前述源極電極之像素電極等之矩陣陣列基板；其特徵為：前述訊號線含有以鋁為主體之第1訊號線層，及由從被配置在該第1訊號線層上之鉬、鈦、鎢與鈳所選出的至少1種材料所構成之第2訊號線層。

另外，本發明申請專利範圍第10項矩陣陣列基板之製造方法，係為針對具備：被配置在基板上之掃描線，及具有被配置在前述掃描線上之絕緣膜，被配置在前述絕緣膜上之半導體膜，和被導電連接至前述半導體膜之源極電極與汲極電極等之薄膜電晶體裝置；及被導電連接至前述汲極電極之訊號線；及被導電連接在前述源極電極之像素電極等的矩陣陣列基板之製造方法；其特徵為具備：順序將半導體被膜與通道保護被膜堆積在前述絕緣膜上之第1製程；及圖案處理前述通道保護被膜後形成通道保護膜之第2製程；及對應於為使外部連接前述掃描線之接點，而在前述半導體被膜與前述絕緣膜形成開口部之第3製程；及在基板上堆積第1導電層，對應於前述薄膜電晶體裝置的形成處所，利用同樣的遮罩圖案將前述第1導電層及

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

前述半導體被膜圖案處理後，統籌形成前述汲極電極與前述訊號線的下側導電層並且形成前述半導體膜之第4製程；及在基板上面形成第2導電層後圖案處理，形成被配置在前述下側導電層上之上側導電層並且形成前述像素電極之第5過程等。

另外，本發明申請專利範圍第11項的矩陣陣列基板之製造方法，其特徵為具備：具有被配置在基板上之掃描線，和被配置在前述掃描線上之絕緣膜，和被配置在前述絕緣膜上之半導體膜，和被導電連接至前述半導體膜之源極電極及汲極電極等之薄膜電晶體裝置；及被導電連接至前述汲極電極之訊號線；及被導電連接至前述源極電極之像素電極等的矩陣陣列基板之製造方法；其特徵為具備：具有依順序將通道保護被膜堆積在前述掃描線上之第1製程；及將前述通道保護被膜圖案處理後形成前述通道保護膜之第2製程；及在前述半導體被膜與前述通道保護的上面之第3製程；及對應於前述薄膜電晶體裝置的形成處所，使用同樣的遮罩圖案將前述第1導電層及前述半導體被膜圖案處理，統籌形成前述源極電極，前述汲極電極及前述訊號線的下側導電層並且形成前述半導體膜之第4製程；及對應於為使外部連接前述掃描線之接片，在前述絕緣膜形成開口部之第5製程；及在基板上面形成第2導電層後進行圖案處理，形成被配置在前述下側導電層上之上側導電層並且形成前述像素電極之第6製程等。

另外，本發明申請專利範圍第14項矩陣陣列基板之

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(6)

製造方法，係為針對具備：被配置在基板上之掃描線；及具有被配置在前述掃描線上的絕緣膜，被配置在前述絕緣膜上的半導體膜，被導電連接至前述半導體膜的源極電極及汲極電極等之薄膜電晶體裝置；及被導電連接至前述汲極電極之訊號線；及被導電連接至前述源極電極之像素電極等的矩陣陣列基板之製造方法；其特徵為具備：在前述絕緣膜上形成半導體被膜之第1製程；及在前述半導體被膜的上面形成第1導電層之第2製程；及對應於前述薄膜電晶體裝置的形成處所，用同樣的遮罩圖案將前述半導體被膜和前述第1導電膜圖案處理，統籌形成前述源極電極，前述汲極電極，前述訊號線的下側導電層並且形成前述半導體膜之第3製程；及對應於為使外部連接前述掃描線之接片，在前述半導體被膜和前述絕緣膜形成開口部之第4製程；及在基板上面形成第2導電層後進行圖案處理，形成被配置在前述下側導電層上之上側導電層並且形成前述像素電極之第5製程等。

〔實施形態〕

以下，參照圖面具體地說明本發明一實施例之矩陣陣列基板及其製造方法，以及用此矩陣陣列基板之液晶顯示裝置。然而以下的矩陣陣列基板都是被用在液晶顯示裝置，但其他的攝影裝置用等其他的用途也可以使用。

(第1實施形態)

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(7)

第 1 圖係為矩陣陣列基板的第 1 實施形態之陳設圖。第 2 圖係為第 1 圖的 A - A 線的斷面圖。第 3 圖係為第 1 圖的 B - B 線斷面圖。

本實施形態的液晶顯示裝置，如第 2 圖所示，使其介隔配向膜 2 4 挾持液晶層 2 3 而將陣列基板 2 1 與對向基板 2 2 對向配置之構造。液晶層 2 3 係為以扭向絲狀 (twist nematic) 作為材料；配向膜 2 4 係為朝相互正交的方向施予配向處理。另外在陣列基板 2 1 與對向基板 2 2 的外表面貼著偏光板 2 5。

陣列基板 2 1，如第 1，2 圖所示，具有被形成在玻璃基板上 1 上之掃描線 2 6，及以被形成在掃描線 2 6 上面的氧化矽 (SiO₂) 所形成之第 1 閘極絕緣膜 2 8，及以被形成在此第 1 閘極絕緣膜 2 8 的上面之氮化矽

(SiN_x) 膜所形成之第 2 閘極絕緣膜 2 9。形成為第 1 閘極絕緣膜 2 8 之氧化矽 (SiO₂) 膜，在於後述的種種製程，確保蝕刻選擇性；形成為第 2 閘極絕緣膜 2 9 之氮化矽 (SiN_x) 膜形成與半導體層的良好界面。

掃描線 2 6 例如被形成在玻璃基板 1 上 800 條。各掃描線 2 6，被連接到介由掃描線斜向配線部 2 6 a 而被引出至玻璃基板 1 一端邊側之接連端 2 6 b；在此接連端 2 6 b 形成第 1 圖所示的掃描線接片 3 0。

掃描線 2 6 具有輔助容量部 2 7 及閘極電極部。另外掃描線斜向配線部 2 6 a，如第 3 圖所示，具有第 1 導電層 2 6 a'，第 2 導電層 2 6 a' 及第 3 導電層 2 6 A。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(8)

同樣地，掃描線接片 30 也具有第 1 導電層 30a，第 2 導電層 30b 及第 3 導電層 30c。第 1 導電層 26a，30a 例如由 Mo / Al / Mo 積層膜所形成；第 2 導電層 26a，30b 由與像素電極相同的材料（例如 ITO 膜）所形成，第 3 導電層 26A，30 由延長掃描線 26 而被形成。

另外，陣列基板 21 具有朝略正交於玻璃基板 1 上的掃描線 26 之方向配置之訊號線 33。訊號線 33 例如在玻璃基板 1 上形成 1024 × 3 條。各訊號線 33 被连接到由訊號線斜向配線部 33a 而被引出至玻璃基板 1 的一端邊側之連接端 33b；在此連接端 33b 形成訊號線接片 34。

訊號線 33，訊號線斜向配線部 33a 及訊號線接片 34 也是與掃描線接片 30 等同樣地，具有第 1，第 2 及第 3 導電層。

另外，在掃描線 26 與訊號線 33 的交點附近形成像素顯示用的 TFT 20。TFT 20 的閘極電極部係由與掃描線 26 一體所構成；在其源極電極分別連接像素電極 35。

另則，被對向配置在陣列基板 21 之對向基板 22，如第 2 圖所示，具有呈陣列狀形成在玻璃基板 100 上之樹脂性遮光膜 36。此遮光膜 36 係為了遮蔽 TFT 20 的形成領域，掃描線 33 及掃描線 26 與像素電極 35 的間隙之膜。另外在對向於像素電極 35 之領域分別配置紅

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明(9)

(R)、綠(G)及藍(B)的濾色器37；在這些濾色器37的上面配置例如由ITO膜所形成的對向電極38，作為透明電極材料。

在本實施形態，當在訊號線接片34內形成接觸孔時，使訊號線33的輪廓線與被形成在其下面之半導體膜39及低阻抗半導體膜40的各輪廓線略一致。更詳細情況，將訊號線33的端面，從半導體膜39的端面形成到 $0.5 \sim 2 \mu\text{m}$ 內側，呈推拔(Taper)狀加工接觸孔的內壁。

訊號線33及TFT20的源極電極和汲極電極，由於都具有與像素電極35相同材料所形成之第2導電層，所以減少其斷線不良，並且防止構成訊號線33之第1導電層材料之MO氧化物等的不純物擴散到液晶層23中而造成顯示不良。此第2導電層完全被覆第1導電層後被配置，但配置在一部分上面亦可。但是關於訊號線部分期望是被覆第1導電層的約20%以上。另外從防止與像素電極35的不期望短路之觀點，期望是若干第2導電層的幅寬比第1導電層還窄。

第4, 5圖係為本實施形態陣列基板21之製程圖。以下，根據第4, 5圖，依順說明本實施形態陣列基板21之製程。

首先，在玻璃基板1上，利用濺射法依順序形成Al-Nd合金膜、Mo膜。Al-Nd合金膜及Mo膜的膜厚分別是200nm, 30nm程度。取代此Al-Nd

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(10)

合金膜，也能使用其他的 A l 合金膜或 A l 膜。M o 膜係為抑制在 A l 膜或是 A l 合金膜上所發生的凸起並且實現良好的推拔加工；其膜厚為 1 0 ~ 1 0 0 n m 已足夠。在此上面塗布抗蝕劑經乾燥後利用第 1 遮罩圖案進行曝光，經過顯像及圖案處理，如第 4 (a) 圖所示，形成 8 0 0 條分的掃描線 2 6，掃描線斜向配線部 2 6 a 及訊號線斜向配線部 3 3 a 的第 1 導電層，接片部 3 0，3 4 的第 1 導電層。

其次，如第 4 (b) 圖所示，利用減壓電漿 C V D 法，不在大氣中曝曬下連續性將由約 3 0 0 n m 厚的氧化矽膜所形成之第 1 閘極絕緣膜 2 8，由約 5 0 n m 厚的氮化矽膜所形成之第 2 閘極絕緣膜 2 9，由約 5 0 n m 厚的 a - S i : H 所形成之半導體被膜 4 1 及由約 2 0 0 n m 厚的氮化矽膜所形成之通道保護被膜 4 2 等成膜。構成第 1 閘極絕緣膜 2 8 之氧化矽膜係由包含 2 次的成膜過程，以減壓電漿 C V D 法將第 1 層成膜後，一次將表面洗淨，然後再度以減壓電漿 C V D 法將第 2 層成膜而被構成。由於此因大幅減輕層間短路。作為半導體被膜 4 1，除了 a - S i : H 之外，也能使用多結晶 S i，微結晶 S i 等種種的矽半導體等。

其次，在此上面塗布抗蝕劑且使其乾燥，如第 4 (c) 圖所示，以掃描線 2 6 作為遮罩從基板背面進行曝光，並且利用被配置在基板上之第 2 遮罩圖案進行曝光，顯像後，將通道保護被膜 4 2 圖案處理後只在 T F T 2 的形成

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(11)

處所形成島狀的通道被膜43。

其次，第4(d)圖所示，以氟酸處理所被曝光的半導體被膜41的表面，而使其得到良好的有電阻接觸，利用減壓電將CVD法，堆積含磷作為不純物之約30nm厚的 n^+ 之a-Si:H所形成之低阻抗半導體被膜44。

其次，在此上面塗布抗蝕劑經乾燥後，如第5(a)圖所示，利用第3遮罩圖案進行曝光及顯像，除去對應於掃描線26的連接端26b之領域和對應於訊號線33的連接端33b之領域的第1，第2閘極絕緣膜28，29；及半導體被膜41；及低阻抗半導體被膜44後形成接觸孔45，46。此時，除了除去半導體被膜41及低阻抗半導體被膜44，而進行CDE(Chemical Dry Etching)或是PE(Plasma Etching)等的乾式蝕刻；為了除去第1，第2閘極絕緣膜28，29，而進行BHF等濕式蝕刻。此樣併用乾式蝕刻及濕式蝕刻，因而接觸孔45，46形成為較良好的堆拔形狀。

其次，如第5(b)圖所示，利用濺射法形成由約25nm厚Mo(鉬)層，約350nm厚的Al(鋁)層，約50nm厚的Mo層等所形成之堆積膜47。此下層的Mo層係為了實現與低阻抗半導體被膜44良好的具電阻性接觸；也可以更換為其他的高融點金屬。另外上層的Mo層係為了抑制Al層的表面反射，並且抑制Al層所發生的突起。然且取代Al也可以使用Al-Nd合金等的Al合金。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(12)

其次，在此上面塗布抗蝕劑經乾燥後，如第5(c)圖所示，利用第4遮罩圖案進行曝光及顯像，用磷酸、硝酸、醋酸及水性混酸液，進而調整蝕刻時間，而調整側邊蝕刻量後，蝕刻Mo/Al/Mo積層膜47。進而抑制由氮化矽膜所形成之第2閘極絕緣膜29與通道保護膜43的蝕刻選擇比，因而以PE法統籌將低阻抗半導體被膜44及半導體被膜41圖案處理。因此，形成由成爲TF20的活性層之半導體膜39，及爲了取得良好的具電阻性接觸之低阻抗半導體膜40；另外形成構成源極電極48和汲極電極49的一部分之第1導電層48a，49a；及構成掃描線接片30和訊號線接片34的一部分之第1導電層30b，34b。

其次，如第5(d)圖所示，在基板上面添加過H₂O、H₂或是O₂氣體之Ar氣體氣相中，例如此例爲藉由在添加H₂O的Ar氣體氣相中的濺射處理，而堆積約40nm厚的非晶質相的ITO膜，利用第5遮罩圖案進行曝光，顯像及圖案處理。ITO膜的蝕刻液係爲不蝕刻Al之蝕刻液，例如使用草水溶液。另外其他如HI氣體或是CH₄/H₂氣體系的RIE(Reactive Ion Etching)也是有效。

由於此因，就是在閘極絕緣膜存在有針孔，也能防止掃描線26，掃描線斜向配線部26a和訊號線斜向配線部33a之第1導電層；以及接片部30，34的第1導電層腐蝕斷線。然而，此非晶質相的ITO膜，在之後製程施予熱處理而被低阻抗化。取代此ITO膜改而使用

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(13)

I Z O (Indium Zinc Oxide) 亦可，若為使用此膜則熱處理過程不要亦可。

經此過程，在掃描線 2 6 與訊號線 3 3 之間形成像素電極 3 5。另外所圖案處理過的 I T O 膜成為構成訊號線 3 3，源極電極 4 8，及汲極電極 4 9 的各一部分之第 2 導電層。在第 5 (d) 圖，以圖號 3 0 a，3 4 a 表示構成掃描線接片 3 0 及訊號線接片 3 4 的一部分之第 2 導電層；以圖號 4 8 b，4 9 b 表示構成源極電極 4 8 及汲極電極 4 9 的一部分之第 2 導電層。

其次，如第 2 圖所示，在陣列基板的上表面形成由聚醯胺所形成經乾燥後膜厚為 5 n m 厚的配向膜 2 3。同樣地，在基板上表面，介隔密封材 (未圖示) 隔著所定的間隔對向配置形成配向膜 2 3 之對向基板 2 2，在兩基板間注入液晶層 2 4 後封止。進而在基板外表面分別配置偏光板 2 5 後完成液晶顯示裝置。

第 4，5 圖所示第 1 實施形態的陣列基板 2 1 之製造過程與第 1 4，1 5 圖所示過去的陣列基板 2 1 之製造過程進行比較，則第 1 實施形態，在形成由 I T O 膜所形成的像素電極 3 5 之前，在掃描線 3 0 與訊號線 3 3 的各連接端 3 0 a，3 2 a 分別形成接觸孔 4 5，4 6，其次在形成成為源極電極 4 8 等的材料之 M o / A l / M o 積層膜 4 7 後進行圖案處理，統籌形成半導體膜 3 9 和低阻抗半導體膜 4 0，及構成源極電極 4 8，汲極電極 4 9 和訊號線 3 3 的各一部分之第 1 導電層之點則是與過去的製造

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（14）

過程相異。

採用此種的製造過程，可以將必要的遮罩圖案數，從過去的7片減為5片。另外，由於分別以第1導電層及與構成像素電極的材料相同材料之第2導電層形成訊號線

33、TF T 20的源極電極48及汲極電極49，因而可以防止訊號線33的斷面不良。

進而，源極電極48、低阻抗半導體膜40及半導體膜39的輪廓線，及汲極電極49、低阻抗半導體膜40及半導體膜39的輪廓線，兩者相互間使其一致；詳細狀況則是由於依半導體膜39、低阻抗半導體膜40及電極的順序，微細地縮小其輪廓，所以在其後的製程，當在基板上面形成第2導電層時，因段差而引起第2導電層斷線等的不良。

然而，在上述過第1實施形態，已說明以a-Si:H作為材料形成半導體膜39之例，但以多結晶Si作為材料形成半導體膜39亦可。另外在陣列基板21上的周邊領域一體形成驅動電路亦可。

另外，掃描線26為Al或是Al合金（例如，Al-Nd或Al-Y），只將閘極絕緣膜設為氮化矽膜，只進行乾式蝕刻，進行接觸孔的蝕刻亦可。

另外，第5（d）圖，已說明以ITO膜形成像素電極35或第2導電層，但以In及Zn及O的合金之IZO膜當作材料，形成像素電極35或第2導電層亦可。就是在IZO膜的下層形成Al等的低阻抗金屬層，金屬層也

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(15)

不致因蝕液而引起電蝕或氧化。

另外，本實施形態的陣列基板，將掃描線接片30或訊號線接片34的上面，利用與像素電極35相同材料之ITO膜所形成；由於比A1等所形成的還硬質，所以當與外部電路連接時等就是更換材料，在鄰接接片間也會發生短路不良。

另外，依據上述過的第1實施形態，為較少的遮罩數並且例如能以構成訊號線之低阻抗金屬配線，直接連接構成訊號線之層及構成掃描線之層。因而，能以較低的接觸阻抗，介由保護二極體等導電連接訊號線與掃描線，作為靜電對策。

另外，在本實施形態，形成為構成源極電極48及汲極電極49的各一部分的第2導電層之ITO膜，被覆構成源極電極48及汲極電極49的各一部分之第1導電層間。因此，由於Mo氧化物等的導電粒子之影響，而減輕源極電極48與汲極電極49間的短路。

(第2實施形態)

第2實施形態其特徵為：在掃描線26與訊號線33的各連接端26b、31b形成接觸孔45、46之製程時期與第1實施形態相異。

第6圖係為陣列基板21的第2實施形態之斷面圖；與第1實施形態同樣地，表示通道保護型TFE部之概略斷面構造。另外，第7圖為陣列基板21的第2實施形態

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(16)

之製造過程圖。以下，根據第7圖，依順序說明陣列基板21的第2實施形態之製造過程。

首先，在絕緣性基板，例如在玻璃基板1，以濺射法，堆積約300nm厚的Al合金膜。此Al合金膜，例如同上述過的實施例，例如是含有2%Nd原子之Al合金膜，對熱過程，充分降低發生突起之膜。然且，如第7(a)圖所示，藉由使用第1遮罩圖案之光蝕刻法，將Al合金膜圖案處理後引出到閘極電極部、輔助容量部及一端側之斜向配線部(未圖示)；進而形成含有被連結到斜向配線部的連接端26b之掃描線26。然而在形成掃描線26的同時，也在訊號線的斜向配線部及接片部形成Al合金膜作為下層配線。

其次，如第7(b)圖所示，利用減壓電漿CVD法，不在大氣中曝曬下連續性將由約300nm厚的氮化矽膜所形成之閘極絕緣膜51，由約50nm厚的a-Si:H所形成之半導體被膜41，由約200nm厚的氮化矽膜所形成之通道保護被膜42等成膜。然而，此閘極絕緣膜51更換為由如第1實施形態之約300nm厚的氧化矽膜所形成之第1閘極絕緣膜及由約50nm厚的氮化矽膜所形成之第2閘極絕緣膜亦可。

其次，與上述過通道保護被膜44之實施例同樣地，使用第2遮罩圖案進行圖案處理後形成通道保護膜43；進而在施予前處理後，以減壓電漿CVD法堆積含磷作為不純物之約30nm厚的n⁺之a-Si:H所形成之低阻

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (17)

抗半導體被膜。繼而，以濺射法，堆積由 Mo / Al / Mo 的 3 層所形成之積層膜。

其次，如第 7 (c) 圖所示，藉由使用第 3 遮罩圖案之光蝕刻法，將堆積膜圖案處理，形成構成訊號線 3 3、源極電極 4 8、汲極電極 4 9 的各一部分之第 1 導電層 4 8 a、4 9 a。另外使用同樣的遮罩圖案，以 P E 法，將半導體被膜 4 1 及低阻抗半導體被膜 4 4 圖案處理後形成半導體膜 3 9 及低阻抗半導體膜 4 0。因此，形成訊號線 3 3、源極電極 4 8、汲極電極 4 9、掃描線斜向配線部 2 6 a 及訊號線斜向配線部 3 3 a 的上層側。

其次，如第 7 (d) 圖所示，以使用氟系氣體的 P E 法，蝕刻使用第 4 遮罩圖案而形成掃描線接片 3 0 之領域內之閘極絕緣膜 5 1 後，形成接觸孔 4 5。

其次，如第 7 (e) 圖所示，在添加 H₂O、H₂ 或是 O₂ 氣體之 Ar 氣體，例如在添加 H₂O 的 Ar 氣相中，以濺射法，將基板溫度維持在較低的溫度並且成膜，在基板上面將非晶質相的 I T O 膜堆積 5 0 n m 厚度後，根據第 5 遮罩圖案進行圖案處理，形成在像素電極 3 5、及構成訊號線 3 3、源極電極 4 8、及汲極電極的各一部分之第 2 導電層 4 8 b、4 9 b、及訊號線 3 3 和掃描線 2 6 的導片部上。將像素電極 3 5 或第 2 導電層圖案處理的其他方法，H I 氣體系是 C H₄ / H₂ 氣體系之 R I E 也是有效的。

其次，與第 1 實施形態同樣地，直接配置配向膜，使

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(18)

其完成液晶顯示裝置。

此樣，第2實施形態，使用同樣遮罩圖案，統籌將源極電極48、汲極電極49、低阻抗半導體膜40及半導體膜39等圖案處理後，除了形成掃描線接片30及訊號線接片34用的接觸孔之點，即是除了形成接觸孔的時期與第1實施形態相異之點外，與第1實施形態相同方法進行製造。因此，與第1實施形態同樣地，比過去還少的遮罩數就可以製造陣列基板。另外作為像素電極35或第2導電層的材料，取代ITO膜改而使用IZO膜，使用Al等的低阻抗金屬作為掃描線及訊號線33的材料之點，也是與第1實施形態相同。

另外，將同於上述第7(e)圖ITO膜的圖案處理之遮罩圖案變更，如第8(a)圖所示，將ITO膜圖案處理，在不被覆源極電極48及汲極電極49下形成像素電極35亦可。例如由構成訊號線33的Mo/Al/Mo3層所形成之積層膜(第1導電層)的配線幅寬為5 μ m寬時，則被配置在此上面之第2導電層配線幅寬為2 μ m。因此就是針對於第1導電層產生第2導電層的遮罩偏移，第2導電層因通常位於第1導電層內，所以也能防止訊號線33的斷線。另外由於可以充分保持以同樣遮罩進行圖案處理之像素電極與第2導電層の間隙，因而能防止像素電極與第2導電層短路。

此情況，將ITO膜的一部分設為導電層49b配置在訊號線33(參照第1圖)上係為期許能防止訊號線

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(19)

3 3 的斷線。

(第3實施形態)

其次，參照圖面說明本發明的其他實施形態。在此實施形態，像素電極位置則是與第2實施形態相異。然而第8(b)圖係為表示陣列基板的第3實施形態之斷面構造圖。第9圖係為表示其製造過程圖。

第3實施形態係為在經過第7(a)圖至第7(b)圖的過程(第9(a)圖~9(b)圖)後，利用減壓電漿CVD法形成由 n^+ 型的 $a-Si:H$ 所形成之低阻抗半導體被膜約50nm厚。其次，利用 CF_4 與 O_2 的混合氣體進行CDE，將半導體被膜41及低阻抗半導體被膜圖案處理。更詳細的說明則是在TFE的形成領域及訊號線的形成領域，依照第3遮罩圖案進行圖案處理而使其殘留半導體被膜41及低阻抗半導體被膜44。

其次，利用濺射法堆積ITO膜。更詳細說明則是使用 In_2O_3 與 SnO_2 的重量比%為90:10的燒結ITO膜標的物，進行Ar分壓為0.4Pa以上的濺射法。此情況，取代Ar改而使用Kr也能得到良好的結果。然而， H_2O 分壓例如被設定為 3.4×10^{-3} Pa。另外，取代 H_2O 改而使用 O_2 亦可。基板溫度被設在室溫。即是支撐基板之平板(懸吊板)溫度例如被設定為60℃。此懸吊板溫度在室溫至200℃之間，ITO膜的膜質完全是非晶質。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(20)

I T O 膜的電力密度為 $7.0 \text{ W} / \text{cm}^2$; 電磁的往復刷掃從開始刷掃至回到原位之刷掃完了為 1 次以上。另外 I T O 膜的膜厚是未滿 80 nm 。另外成膜時間在 $20 \sim 60$ 秒之間完成係為期望為使抑制促進 I T O 膜的結晶質化。

其次，使用第 4 遮罩圖案將 I T O 膜圖案處理。具體上，為了將 I T O 膜圖案處理而在 I T O 膜的上面塗布抗蝕劑後，在於 $(\text{HCOOH})_2$ 至少 1 % 以上之 3.4 重量 % 混合之濕式蝕刻液中，將圖案區域以外除去，藉由強鹼性溶液進行剝離抗蝕劑 (第 9 (c) 圖)。

其次，在使其平均上昇所被圖案處理之 I T O 膜 35 的透過率為目的下，進行熱處理。此情況的氣相條件為氮氣中的大氣壓。例如若基板溫度為 230°C 以上，處理時間為 5 分鐘以上，則透過率超過 80 % 就能滿足實用性。

其次，經過曝光、顯像，利用第 5 遮罩圖案，藉由使用氟系的氣體之 P E 法，蝕刻除去接片部的閘極絕緣膜 51 而形成接觸孔 45。

其次，以濺射法將 M o 層堆積成約 25 nm 厚。然後在鋁混合了 2.0 原子 % 的鈹元素之標的物，利用 A r 氣體或 K r 氣體，氣體壓力為 1.3 Pa 以下，電力調整到 40 kW 以下，藉由濺射法堆積 A l - N d 合金層約 350 nm 厚。再在其上面藉由濺射法將 M o 層成膜成約 50 nm 厚。此時，取代 A l - N d 合金層改而使用 A l - G d 亦可。藉由所濺射成膜的材料與膜厚的組合，變化

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(21)

蝕刻加工後配線部分的堆拔形狀。

其次，依據第6遮罩圖案曝光·顯像抗蝕劑，使用磷酸、硝酸及醋酸的混酸液，經濕式蝕刻將上述的積層膜圖案處理，加工訊號線(未圖示)、源極及汲極電極48、49。同時，遮蓋源極電極48及汲極電極49後以電漿蝕刻法將通道保護膜43上的低阻抗半導體膜除去。經過以上的製程而形成陣列基板(第9(e)圖)。

此樣，若不在源極電極48上面及汲極電極49上面形成ITO膜，則會因源極電極48與汲極電極49的段差，而造成ITO膜發生斷裂；可以使汲極電極49與像素電極35確實導通。

(第4實施形態)

第1~3實施形態係為使用Mo/Al/Mo的積層膜47，作為TFT的源極電極48及汲極電極49的下側導電層材料；此積層膜47的最上層材料為Mo(鉬)。Mo具有在鹼性溶液或水中容易溶解，成為氧化物而再附著之性質。另外Mo的氧化物MoO₂在硬化狀態下具有約88μΩ·cm的阻抗率且為導電性。因此在最上層使用Mo之電極長期間施加電壓則源極電極48及汲極電極49介隔Mo的氧化物而部分造成短路，在源極電極48與汲極電極49間發生漏電流。

因而，以下所說明的第4及第5實施形態係為在作為TFT的源極電極48及汲極電極49的構成材料之積層

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(22)

膜 4 7 的最上層，使用氧化物阻抗率較高的金屬，例如使用鈳，而能抑制源極電極 4 8 與汲極電極 4 9 間的漏電流。

以下，根據上述第 3 實施形態，參照第 9 圖說明第 4 實施形態。

首先，以電漿 C V D 法在形成 S i O_x 膜之透明玻璃基板 1 上，以濺射法堆積 M o W 膜約 3 0 0 n m 厚。繼而根據第 1 遮罩圖案進行曝光・顯像及第 1 圖案處理。利用 C F₄ + O₂ 的混合氣體進行 C D E (化學・乾式蝕劑)，加工 M o W 膜而使其成爲 3 5 度以下的推拔後，形成閘極電極 2 6 (第 9 (a) 圖)。

其次，以減壓電漿 C V D 法，堆積約 3 0 0 n m 厚的氧化矽膜，約 5 0 n m 厚的氮化矽膜，作爲閘極絕緣膜 5 1。進而藉由 S i H₄ 氣體及氫氣系的輝光放電，不在大氣中曝曬由 5 0 n m 厚的 a - S i : H 膜所形成之半導體被膜 4 1，由約 3 0 0 n m 厚的氮化矽膜所形成之通道保護被膜 (未圖示) 就能 4 層連續堆積。然後與上述實施例同樣地，藉由背面曝光及第 2 圖案處理，將通道保護被膜圖案處理後，在閘極電極 2 6 的上方形成通道保護膜 4 3 (第 9 (b) 圖)。

其次，藉由 S i H₄ 氣體及含有 P H₃ 的氫氣之輝光放電，將由 n⁺ 型的 a - S i : H 所形成之低阻抗半導體被膜，以減壓電漿 C V D 法形成爲約 5 0 n m 厚。其後，使用 C F₄ 與 O₂ 的混合氣體進行 C D E，將低阻抗半導體被膜

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(23)

圖案處理。更詳細的說明則進行圖案處理使其在 T F T 的形成領域與訊號線的形成領域存留低阻抗半導體被膜 4 4。

其次，以濺射法堆積 I T O 膜。更詳細的說明則是使用 InO_3 與 SnO_2 的重量比 % 為 90 : 10 之燒結 I T O 膜標的物， A_r 分壓為 0.4 Pa 以上，進行濺射。此情況，取代 A_r 改而使用 K_r 也得有良好的結果。然而， H_2O 分壓例如被設定在 3.4×10^{-3} Pa。另外取代 H_2O 改而使用 O_2 亦可。基板溫度被設定為室溫。即是支撐基板之平板（懸吊板）溫度例如被設定為 60 °C。此懸吊板溫度在室溫至 200 °C 之間，I T O 膜的膜厚為非晶質。

I T O 膜的電力密度為 $7.0 \text{ W} / \text{cm}^2$ 以上，電磁的往復刷掃從開始刷掃至回到原來的位置之刷掃完了為止為 1 次以上。另外 I T O 膜的膜厚期望是未滿 800 Å。另外成膜時間在 20 秒至 60 秒之間完成，但期望是使其抑制促進 I T O 膜的結晶質化。

其次，使用第 3 遮罩圖案將 I T O 膜圖案處理。具體上，為了將 I T O 膜圖案處理而在 I T O 膜的上面塗布抗蝕劑後，在於混合 $(\text{HCOOH})_2$ 3.4 重量 % 之濕式蝕刻液中，將圖案區域外除去，利用強鹼性溶液進行抗蝕劑層的剝離（第 9 (c) 圖）。

其在，在使其平均上昇所被圖案處理過的 I T O 膜 35 之透過率為目的下，進行熱處理。此情況的氣相條件

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明(24)

為氮氣中的大氣壓。例如若基板溫度為 230°C 以上，處理時間為5分鐘以上，則透過率已足夠超過80%而滿足實用性。

其次，使用第4遮罩圖案除去接片部的閘極絕緣膜51後形成接觸孔45(第9d)圖)。

其次，以濺射法將Mo層堆積成約 25nm 厚。然後鋁混合2.0原子%的鈹的標的物，及使用Ar氣體或Kr氣體，在氣體壓力為 1.3Pa 以下，電力調整到 40kW 以下，以濺射法堆積Al-Nd合金層約 350nm 厚。在其上面以鈇作為標的物，使用Ar氣體或Kr氣體，在氣體壓力為 1.3Pa 以下，電力調整在 15kW 以下，以濺射法，將鈇層成膜約 50nm 厚。此時，取代Al-Nd合金層，改而使用Al-Gd亦可；另外作為積層膜的最下層材料，取代Mo改而使用V亦可。藉由所濺射成膜之材料與膜厚的組合，變化蝕刻加工後配線部分推拔的形狀。

其次，根據第5遮罩圖案，將抗蝕劑曝光·顯像，使用磷酸、硝酸及醋酸系的混酸液體，藉由濕式蝕刻將上述的積層膜圖案處理，加工訊號線(未圖示)、源極及汲極電極48、49。同時，以汲極電極48及汲極電極49作為遮罩，利用PE法等除去通道保護膜43上的低阻抗半導體被膜。經過以上的製程，形成陣列基板(第9(e)圖)。

此樣，第4實施形態，由於是以鈇形成TF T的源極

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(25)

電極 4 8 及汲極電極 4 9 的最上層 4 7 c，所以可以抑制流通源極電極 4 8 與汲極電極 4 9 間的漏電流，T F T 的電氣特性優良。另外利用鈦也可以防止下側導電層中的鋁等擴散到液晶層 2 3 中。

(第 5 實施形態)

第 5 實施形態係為形成 I T O 膜 3 5 之製程順序與第 4 實施形態相異，以 I T O 膜 3 5 覆蓋 T F T 的源極電極 4 8 與汲極電極 4 9 的上面。

第 1 0 圖係為陣列基板的第 5 實施形態之製造過程圖。以下，根據第 1 0 圖說明陣列基板的第 5 實施形態之製造過程。

在 $S i O_x$ 膜的所附著之透明玻璃基板 1 上形成 M o W 膜後，藉由依照第 1 遮罩圖案之圖案處理而將 M o W 膜加工成推拔 (Taper) 狀後形成閘極電極 2 6 (第 1 0 (a) 圖)。其次在其上面堆積閘極絕緣膜 5 1 (第 1 0 (b) 圖)。

其次，在閘極絕緣膜 5 1 的上面形成半導體被膜 4 1，進而在其上面形成氮化矽層作為通道保護被膜。其次將通道保護被膜作為第 2 遮罩圖案進而圖案處理而形成通道保護膜 4 3 (第 1 0 (c) 圖)。

以上的製程與第 4 實施形態相同。此第 5 實施形態係為在其上面形成低阻抗半導體被膜、M o / A l - N d / V 積層膜後，藉由依據第 3 遮罩圖案進行圖案處理，而統

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(26)

籌將積層膜及低阻抗半導體被膜及半導體被膜41圖案處理(第10(d)圖)。

其次,根據第4遮罩圖案除去接片部分的閘極絕緣膜51,形成接觸孔45後,以濺射法堆積ITO膜,根據第5遮罩圖案進行圖案處理而形成像素電極35(第10(f)圖)。

此樣,在第5實施形態,由於是以ITO膜30覆蓋TF T的源極電極48及汲極電極49的上面,因而可以利用ITO膜35保護兩電極,不須要保護用的鈍化膜,可以使製程簡單化。另外與第4實施形態同樣地,由於是以鈦形成源極電極48及汲極電極49的下側導電層之最上層47c,因而可以防止下側導電層的一部分擴散到液晶層23中;另外可以抑制源極電極48與汲極電極49間所流通之漏電流。

(第6實施形態)

在第1~5實施形態,已說過閘極電極的上方配置通道保護膜之所謂使用通道保護膜型TF T之矩陣陣列基板,但採用背面通道切斷型TF T作為矩陣陣列基板的開關元件,可以更減少圖案處理的次數。

第11圖係為陣列基板的第6實施形態之製造過程;以下,根據第11圖說明陣列基板的第6實施形態之製造過程。

首先,以濺射法,在玻璃基板1上堆積MoW合金膜

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(27)

約 230 nm 厚，使用第 1 遮罩圖案，進行曝光・顯像及圖案處理，形成被引出到玻璃基板一端邊側的連接端之 480 條掃描線 26 及 480 條輔助容量線 26' (第 11(a) 圖)。

其次，利用減壓電漿 CVD 法，堆積由約 350 nm 厚的氧化矽膜所形成之第 1 閘極絕緣膜 28 後，進而形成由約 50 nm 厚的氮化矽膜所形成之第 2 閘極絕緣膜 29 (第 11(b) 圖)。其次以 CVD 法在不連續性大氣中曝曬的狀況下，將由約 250 nm 厚的 a-Si:H 所形成之半導體被膜，及含磷作為不純物的約 50 nm 厚的 n⁺-a-Si:H 所形成之低阻抗半導體被膜成膜。其後以濺射法分別堆積 25 nm 厚，350 nm 厚，50 nm 厚的 Mo/Al/Mo 積層膜 47a, 47b, 47c。

其次，藉由使用第 2 遮罩圖案進行圖案處理，統籌加工 Mo/Al/Mo 積層膜 47a, 47b, 47c 及低阻抗半導體被膜及半導體被膜及由氮化矽膜所形成之第 2 閘極絕緣膜 29，島狀圖案處理訊號線領域及 TFT 領域 (第 11(c) 圖。具體上，以磷酸、硝酸及醋酸的混酸液濕式蝕刻 Mo/Al/Mo 積層膜 47 後，藉由使用 SF₆/O₂/HCl 進行電漿蝕刻，而統籌將低阻抗半導體被膜，半導體被膜及閘極絕緣膜 29 圖案處理，形成低阻抗半導體膜及半導體膜 39。

其次，使用第 3 遮罩圖案經曝光顯像後，藉由使用 BHf 之濕式蝕刻進行第 3 圖案處理；在掃描線接片上形

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(28)

成接觸孔45(第11(d)圖)。

其次，基板溫度設為150℃以下導入H₂O，並且以濺射法將約40nm厚的ITO膜成膜在基板上。其次使用第4遮罩圖案進行曝光及顯像後進行第4圖案處理，形成TFT的源極電極48和汲極電極49，及像素電極35，其後藉由濕式蝕刻等將源極電極48及汲極電極49分離；另外同時進行低阻抗半導體被膜的蝕刻而形成背面通道部50(第11(e)圖)。

蝕刻ITO膜使用加入界面活性劑的3%草酸。另外關於TFT的背面通道部50，使用磷酸、硝酸及醋酸的混酸液蝕刻除去Mo/Al/Mo積層膜後，以SF₆/HCl進行低阻抗半導體被膜的蝕刻，將源極電極48及汲極電極49分離。

其次，在約230℃經過約30分鐘的熱處理，使ITO膜35從非晶質狀態變化成多結晶狀態則在同時進行TFT特性的安定化。另外同時在形成接觸孔45的處所，形成與由被導電連接到訊號線33之像素電極35同樣材料所形成之訊號線連接片34。

然而，將ITO膜35圖案處理後，進行抗蝕層剝離，經熱處理，使ITO膜從非晶質狀態變化為微結晶狀態後，以ITO膜作為遮罩，進行Mo/Al/Mo積層膜47及低阻抗半導體膜的圖案處理亦可。

其次，在ITO膜35的上面形成配向膜24而使其完成陣列基板。其次在與上面形成配向膜之對向基板之間

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明（29）

夾隔液晶層後貼合已完成的陣列基板，完成如同第 1 2 圖所示的液晶顯示裝置。

此樣，在第 7 實施形態，統籌將 Mo / Al / Mo 積層膜，低阻抗半導體被膜及半導體被膜圖案處理而形成訊號線領域及 T F T 領域；進而在不須要保護膜的狀況下，可以減少 4 次曝光及圖案處理的次數，且可以使製程簡單化。

另外，由於減少使用遮罩圖案的次數，因而不易發生遮罩偏移，可以抑制訊號線、掃描線及 T F T 部分的寄生容量。因此，高解像度下形成高開口率的液晶顯示裝置。

（第 7 實施形態）

第 7 實施形態係為第 6 實施形態的變形例；在使用背面通道切斷型 T F T 之陣列基板，且是將 T F T 的源極電極 4 8 及汲極電極 4 9 的最上層 4 7 c 材料設為鈳。

藉由此樣的構成，在第 7 實施形態，與第 4，5 實施形態同樣地，由於是以鈳形成 T F T 的源極電極 4 8 及汲極電極 4 9 的最上層 4 7 c，所以可以抑制源極電極 4 8 與汲極電極 4 9 間所流通之漏電流。

上述過的訊號線、源極電極及汲極電極的最上層之 Mo 層或是 V 層可以更換為鉬（Ta）、鈦（Ti）或是鎢（W）。例如將源極電極 4 8 及汲極電極 4 9 的最上層 4 7 c 更換為鉬的情況，以濺射法形成 Mo / Al / Ta 積層膜 4 7 後，藉由 C D E 或是使用醋酸、磷酸及硝酸的

（請先閱讀背面之注意事項再填寫本頁）

訂
線

五、發明說明 (30)

混酸液，以濕式蝕刻除去不須要的鉬。

C D E 的條件， O_2 與 CF_4 的氣體比為 1 : 1，蝕刻時間為 60 秒。另外濕式蝕刻的條件，例如液溫為 $35^\circ C$ ，蝕刻時間為 200 秒。

另則，源極電極 48 與汲極電極 49 的最上層 47c 為鈦時，以濺射法形成 $Mo / Al / Ti$ 積層膜 47 後，使用 EDTA 進行濕式蝕刻，或是使用硝酸、醋酸、鹽鹽及水的混合液進行濕式蝕刻。

EDTA 之蝕刻條件，例如液溫為 $25^\circ C$ ，蝕刻時間為 125 秒。混酸液之蝕刻條件，例如液溫為 $35^\circ C$ ，蝕刻時間為 200 秒。

此樣，由於是鉬、鈦或是鎢等的材料形成源極電極 48 與汲極電極 49 的下側導電層之最上層 47c，因而可以抑制源極電極 48 與汲極電極 49 間的漏電流。

[發明效果]

經以上的詳細說明，依據本發明，由於直接銜接到矩陣陣列基板上的像素電極及訊號線後配置配向膜，因而不必要在處理最終製程形成保護用的非晶質膜，可以使製程簡略化。另外也須要非晶質膜形成用的電漿 CVD 裝置，可以削減製造成本。

另外，訊號線為 2 層構造，與像素電極同一製程製作上側的第 2 訊號線層，因而更使製程簡單化。

進而，以第 1 及第 2 導電層分別形成訊號線、及薄膜

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(31)

電晶體裝置的源極電極及汲極電極，並且由於是與構成像素電極的材料相同材料形成第2導電層，因而可以防止訊號線的斷線不良。另外當本發明適用於液晶顯示裝置時，藉由在第1導電層上面形成第2導電層，解除第1導電層的構成材料擴散到液晶層中而造成顯示不良之缺點。

另外，依據本發明，由於是藉由使用同樣的遮罩圖案統籌形成源極電極、汲極電極及半導體膜，因而可以比過去還減少製造陣列基板所須要的遮罩圖案數，且可以削減製造原價及製造工時。

另外由於減少使用遮罩圖案的次數，因而不易引起遮罩的偏移；可以抑制訊號線、掃描線及TFT部分其寄生容量的變動。因此，得到容解像度且高開口率之液晶顯示裝置。

〔圖面之簡單說明〕

第1圖係為陣列基板的第1實施形態之陣列圖。

第2圖係為第1圖的A-A線斷面圖。

第3圖係為第1圖的B-B線斷線圖。

第4圖係為陣列基板的第1實施形態之製造過程圖。

第5圖係為繼續第4圖之製造過程圖。

第6圖係為陣列基板的第2實施形態之斷面圖。

第7圖係為陣列基板的第2實施形態之製造過程圖。

第8圖係為表示陣列基板的第2實施形態變形例及第3實施形態之斷面構造圖。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(32)

第 9 圖係為陣列基板的第 4 實施形態之製造過程圖。

第 10 圖係為陣列基板的第 5 實施形態之製造過程圖。

第 11 圖係為陣列基板的第 6 實施形態之製造過程圖。

第 12 圖係為具有第 6 實施形態的陣列基板之液晶顯示裝置的斷面圖。

第 13 圖係為表示過去陣列基板之斷面構造圖。

第 14 圖係為過去的陣列基板之製造過程圖。

第 15 圖係為繼續第 14 圖之製造過程圖。

[圖號說明]

1	玻璃基板	2	閘極電極
3	掃描線	4	閘極絕緣膜
5	半導體膜	6	絕緣膜
7	n^+ 的 a-Si 層	21	陣列基板
22	對向基板	23	液晶層
24	配向膜	25	偏光板
26	掃描線	27	輔助容量線
28	第 1 閘極絕緣膜	29	第 2 閘極絕緣膜
30	掃描線接片	33	訊號線
34	訊號線接片	35	像素電極
36	遮光膜	37	濾色器
38	對向電極	39	半導體膜

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(33)

- | | | | |
|---------------------------------|----------|-----------|-------|
| 4 0 | 低阻抗半導體膜 | 4 1 | 半導體被膜 |
| 4 2 | 通道保護被膜 | 4 3 | 通道保護膜 |
| 4 4 | 低阻抗半導體被膜 | 4 5 , 4 6 | 接觸孔 |
| 4 7 | 積層膜 | 4 8 | 源極電極 |
| 4 9 | 汲極電極 | | |
| 2 5 a ' , 3 0 a , 4 8 a , 4 9 a | 第 1 導電層 | | |
| 2 6 a " , 3 0 b , 4 8 b , 4 9 b | 第 2 導電層 | | |
| 2 6 A , 3 0 c | 第 3 導電層 | | |

(請先閱讀背面之注意事項再填寫本頁)

訂
線

四、中文發明摘要(發明之名稱 液晶顯示裝置、矩陣陣列基板及其製造方法)

本發明係為提供減少製造時所必要的遮罩數而使製程簡單化，且使製造良品率提高之矩陣陣列基板。

其解決手段：本發明的陣列基板係為在玻璃基板 1 上，形成掃描線 2 6、訊號線 3 3、第 1 閘極絕緣膜 2 8、第 2 閘極絕緣膜 2 9、半導體被膜 4 1、通道保護被膜 4 2、低阻抗半導體被膜 4 4、及 M₀ / A₁ / M₀ 積層膜 4 7 等之後，利用同樣的遮罩圖案之圖案處理，而統籌形成源極電極 4 8、汲極電極 4 9、訊號線 3 3、半導體膜 3 9、低電阻半導體膜 4 0。另外以像素電極 3 5 覆蓋源極電極 4 8、汲極電極 4 9、半導體膜 3 9、掃描線接片 3 0 及訊號線接片 3 4 的上面。另外略使源極電極 4 8、低阻抗半導體膜 4 0 及半導體膜 3 9 的輪廓線一致，且略使汲極電極 4 9、低阻抗半導體膜 4 0 及半導體膜 3 9 的輪廓線一致。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1 . 一種液晶顯示裝置，係為針對具備：

具有包含被配置在絕緣基板上的閘極電極部之掃描線，和介隔絕緣膜而被配置在前述掃描線的前述閘極電極部上之半導體膜，和介隔源極電極而被導電連接在前述半導體膜之訊號線，和被導電連接在前述半導體膜之源極電極，和被導電連接在前述源極電極之像素電極等之矩陣陣列基板；及

被對向配置在前述矩陣陣列基板之對向基板；及

在前述矩陣陣列基板與前述對向基板之間，分別介隔配向膜而被保持之液晶層等之液晶顯示裝置；其特徵為：

在前述矩陣陣列基板的至少前述像素電極及前述訊號線上，直接銜接到前述像素電極及前述訊號線，配置前述配向膜。

2 . 如申請專利範圍第 1 項之液晶顯示裝置，其中前述訊號線含有第 1 訊號線層，及被積層在此第 1 訊號線層上，在與前述像素電極同一製程所製作之第 2 訊號線層。

3 . 如申請專利範圍第 2 項之液晶顯示裝置，其中前述第 1 訊號線層表面的 20% 以上被前述第 2 訊號線層被覆。

4 . 如申請專利範圍第 1 項之液晶顯示裝置，其中前述訊號線層含有以鋁為主體之第 1 層及被配置在此第 1 層上之第 2 層；前述第 2 層係由從鉬、鈦、鎢、釩所選擇的至少 1 種材料所構成。

5 . 如申請專利範圍第 4 項之液晶顯示裝置，其中前

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

述第2層係由鈳所構成。

6. 如申請專利範圍第1項之液晶顯示裝置，其中前述像素電極係由以銦（In）及鋅（Zn）及氧（O）等的合金之IZO膜為主體之材料所形成；前述掃描線係由以鋁為主體之金屬材料所形成。

7. 一種矩陣陣列基板，係針對具備：

具有包含被配置在絕緣基板上的閘極電極部之掃描線，和介隔絕緣膜而被配置在前述掃描線的前述閘極電極部上之半導體膜，和介隔汲極電極而被導電連接到前述半導體膜之訊號線，和被導電連接在前述半導體膜之源極電極，和被導電連接在前述源極電極之像素電極等之矩陣陣列基板；其特徵為：

前述訊號線含有以鋁為主體之第1訊號線層，及被配置在此第1訊號線層上，從鉬、鈦、鎢及鈳所選擇的至少1種材料所構成之第2訊號線層。

8. 如申請專利範圍第7項之矩陣陣列基板，其中前述第2訊號線層係由鈳所構成。

9. 如申請專利範圍第7項之矩陣陣列基板，其中前述訊號線含有被配置在前述第2訊號線層上之第3訊號線層；此第3訊號線層係為與前述像素電極同樣材料且同一製程所作成。

10. 一種矩陣陣列基板之製造方法，係為針對具備：

被配置在基板上之掃描線；及

（請先閱讀背面之注意事項再填寫本頁）

訂

線

六、申請專利範圍

具有被配置在前述掃描線上之絕緣膜，被配置在前述絕緣膜上之半導體膜及被導電連接在前述半導體膜之源極電極及汲極電極等之薄膜電晶體裝置；及

被導電連接在前述汲極電極之訊號線；及

被導電連接在前述源極電極之像素電極等矩陣陣列基板之製造方法；其特徵為具備：

依順序將半導體被膜及通道保護被膜堆積在前述絕緣膜上之第 1 製程；及

將前述通道保護被膜圖案處理後形成通道保護膜之第 2 製程；及

對應於為使外部連接前述掃描線之接片，而在前述半導體被膜及前述絕緣膜形成開口部之第 3 製程；及

在基板上面堆積第 1 導電層，對應於前述薄膜電晶體裝置的形成處所，使用同樣的遮罩圖案將前述第 1 導電層及前述半導體被膜圖案處理後，統籌形成前述源極電極，前述汲極電極及前述訊號線的下側導電層並且形成前述半導體膜之第 4 製程；及

在基板上面形成第 2 導電層後經圖案處理，形成被配置在前述下側導電層上之上側導電層並且形成前述像素電極之第 5 製程等矩陣陣列基板之製造方法。

1 1 . 一種矩陣陣列基板之製造方法，係為針對具備：

被配置在基板上之掃描線；及

具有被配置在前述掃描線上之絕緣膜，被配置在前述

(請先閱讀背面之注意事項再填寫本頁)

特

訂

線

六、申請專利範圍

絕緣膜上之半導體膜，被導電連接在前述半導體膜之源極電極和汲極電極等之薄膜電晶體裝置；及

被導電連接在前述汲極電極之訊號線；及

被導電連接在前述源極電極之像素電極等矩陣陣列基板之製造方法；其特徵為具備：

依順序將半導體被膜及通道保護被膜堆積在前述絕緣膜上之第 1 製程；及

將前述通道保護被膜圖案處理後形成前述通道保護膜之第 2 製程；及

在前述半導體被膜和前述通道保護膜的上面形成第 1 導電層之第 3 製程；及

對應於前述薄膜電晶體裝置的形成處所，使用同樣的遮罩圖案將前述第 1 導電層和前述半導體被膜圖案處理後，統籌形成前述源極電極，前述汲極電極，前述訊號線的下側導電層並且形成前述半導體膜之第 4 製程；及

在基板上面形成第 2 導電層後經圖案處理，形成被配置在前述下側導電層上之上側導電層並且形成前述像素電極之第 6 製程等矩陣陣列基板之製造方法。

1 2 . 如申請專利範圍第 1 1 項矩陣陣列基板之製造方法，其中前述第 6 製程，只在前述源極電極及前述汲極電極上面的一部分形成前述上側導電層。

1 3 . 如申請專利範圍第 1 1 項矩陣陣列基板之製造方法，其中先在前述第 3 製程形成低電阻半導體被膜，經前述第 4 過程，對應於前述薄膜電晶體裝置的形成處所，

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

六、申請專利範圍

使用同樣的遮罩圖案將前述第 1 導電層，前述低阻抗半導體被膜，前述半導體被膜圖案處理後，統籌形成前述源極電極，前述汲極電極，前述訊號線之下側導電層並且形成前述半導體膜。

14. 一種矩陣陣列基板之製造方法，係為針對具備

:

被配置在基板上之掃描線；及

具有被配置在前述掃描線上之絕緣膜，被配置在前述絕緣膜上之半導體膜，被導電連接在前述半導體膜之源極電極及汲極電極等之薄膜電晶體裝置；及

被導電連接在前述汲極電極之訊號線；及

被導電連接在前述源極電極之像素電極等矩陣陣列基板之製造方法；其特徵為具備：

在前述絕緣膜上形成半導體被膜之第 1 製程；及

在前述半導體被膜的上面形成第 1 導電層之第 2 製程；及

對應於前述薄膜電晶體裝置的形成處所，使用同樣的遮罩圖案將前述半導體被膜及前述第 1 導電膜圖案處理，統籌形成前述源極電極，前述汲極電極和前述訊號線的下側導電層並且形成前述半導體膜之第 3 製程；及

對應於為使外部連接前述掃描線之接片，在前述半導體被膜及前述絕緣膜形成開口部之第 4 製程；及

在基板上形成第 2 導電層後進行圖案處理，形成被配置在前述下側導電層上之上側導電層並且形成前述像素

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

六、申請專利範圍

電極之第 5 製程等矩陣陣列基板之製造方法。

1 5 . 如申請專利範圍第 1 4 項矩陣陣列基板之製造方法，其中前述第 1 導電層係為以鋁為主體而被構成。

1 6 . 如申請專利範圍第 1 5 項矩陣陣列基板之製造方法，其中前述第 1 導電層係為含鋁之積層膜；此積層膜的最上層係由從鉬、鈦、鎢、釩所選擇的至少 1 種材料所構成。

(請先閱讀背面之注意事項再填寫本頁)

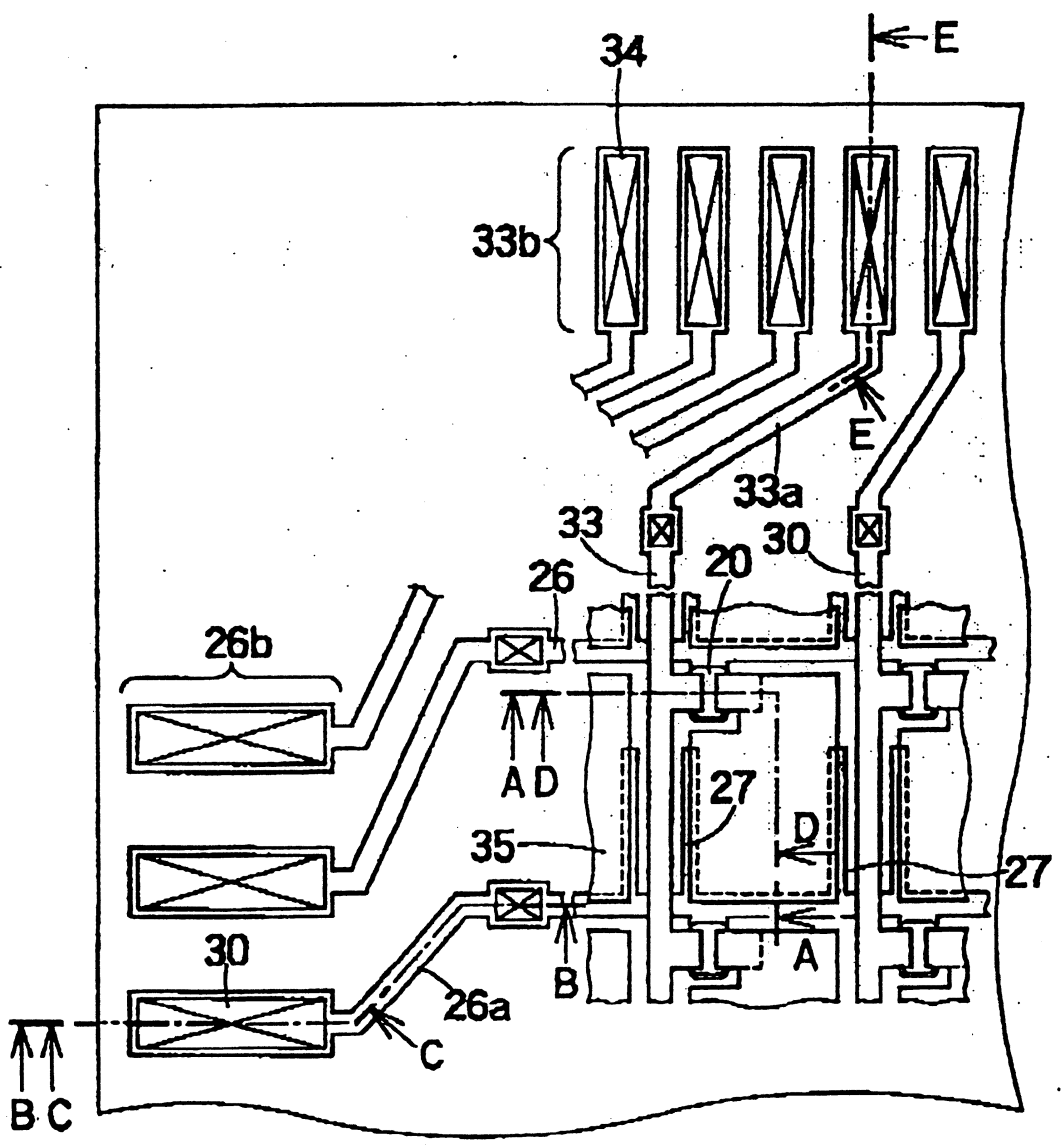
訂

線

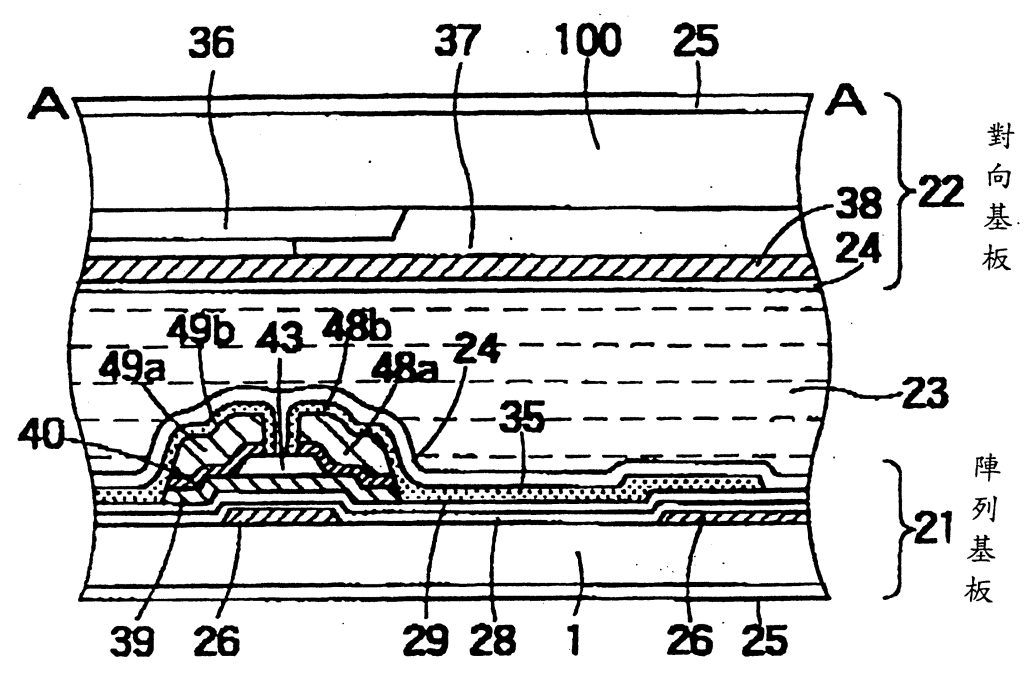
88106179

733810

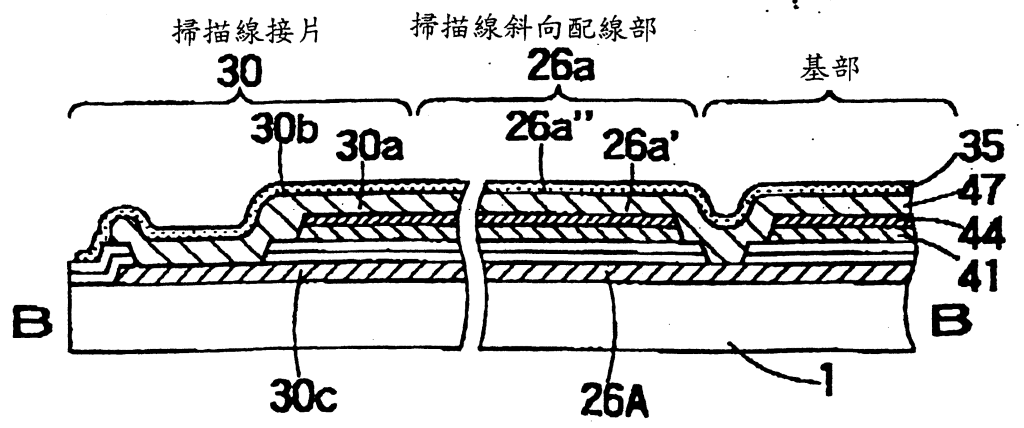
第 1 圖



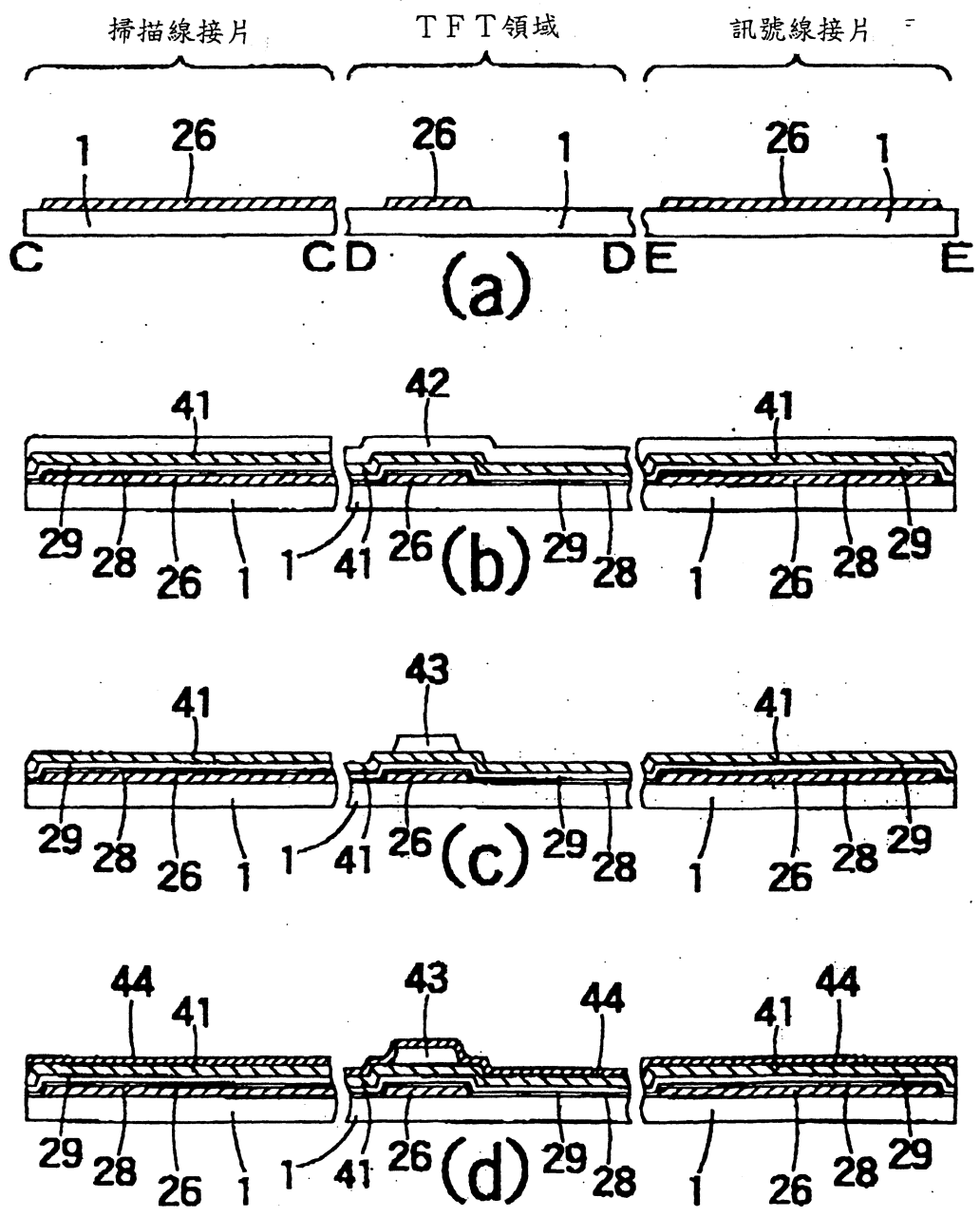
第 2 圖



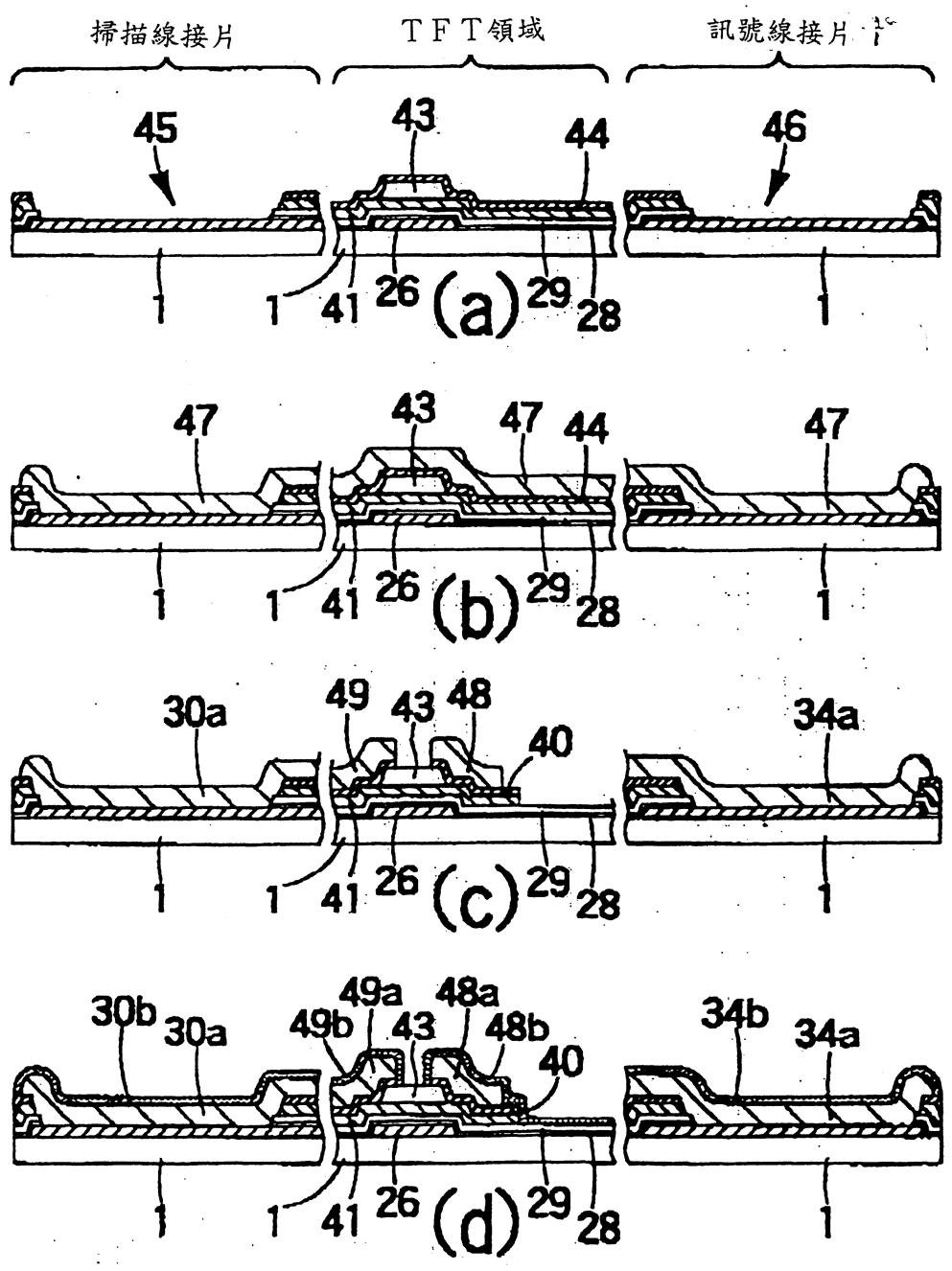
第 3 圖



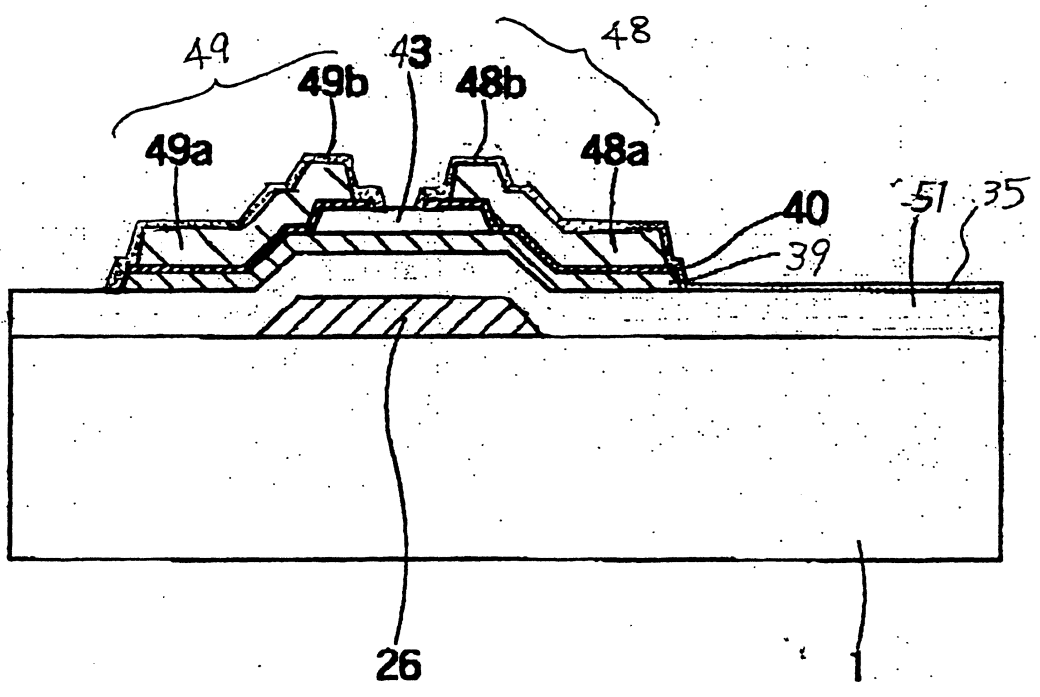
第 4 圖



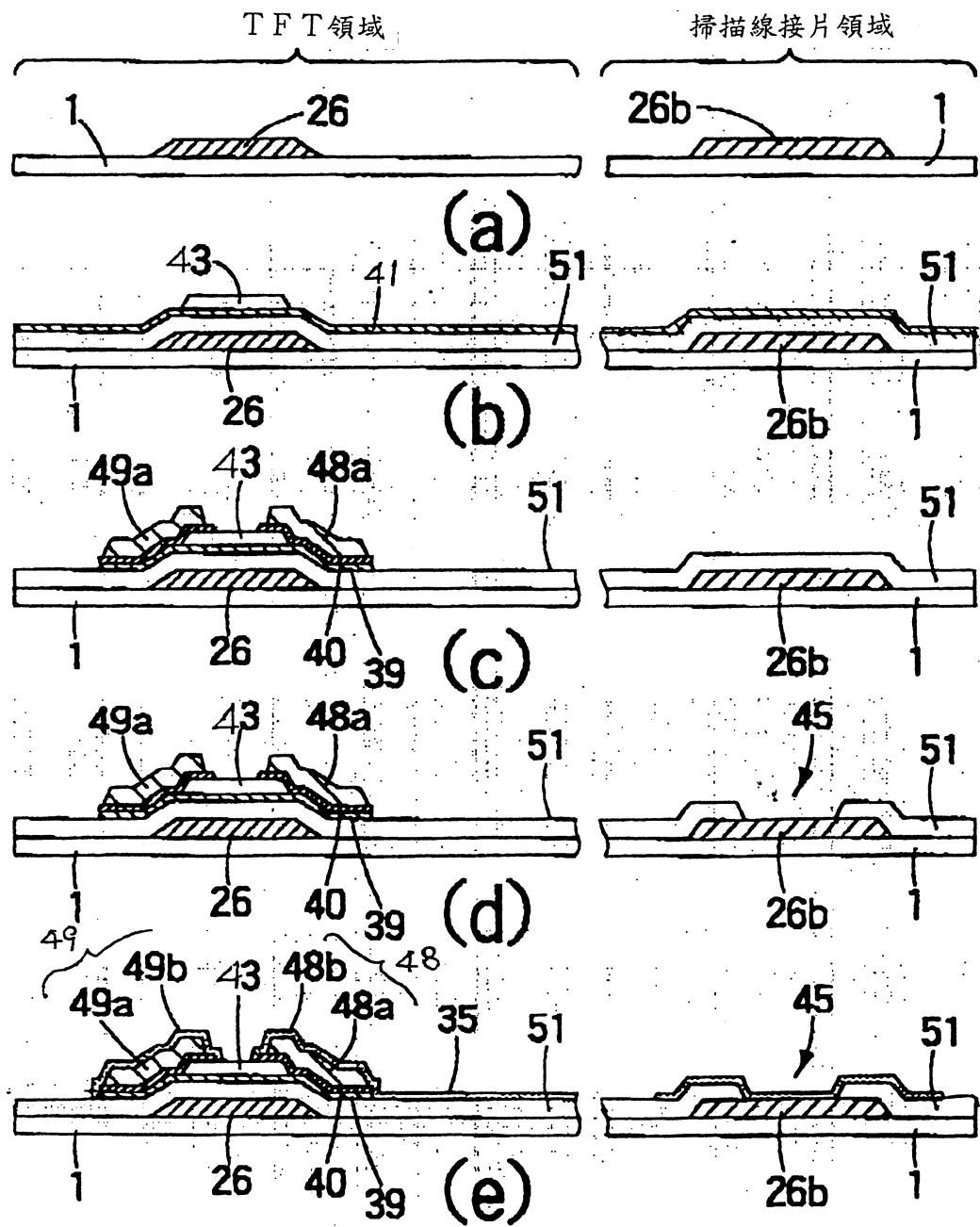
第 5 圖



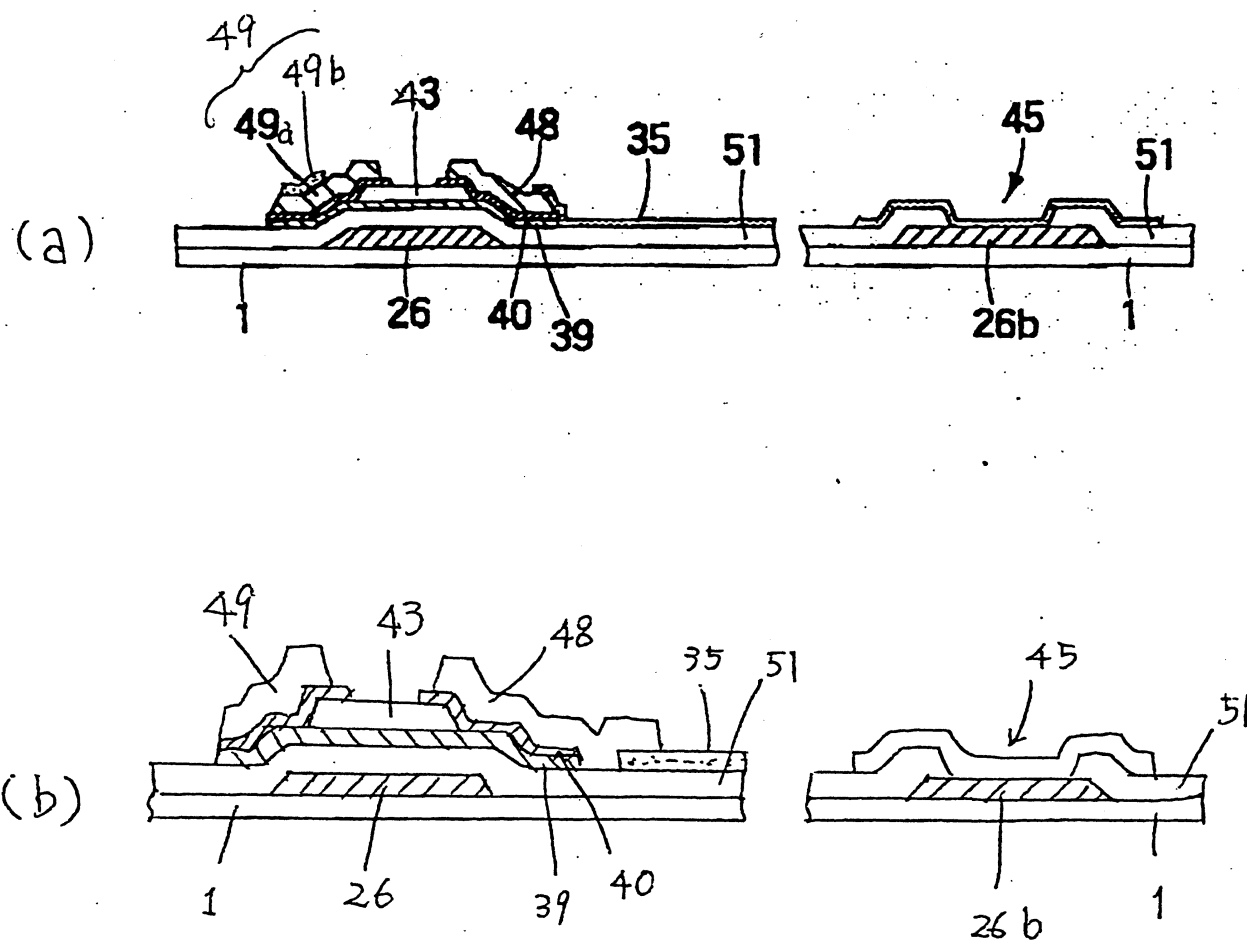
第 6 圖



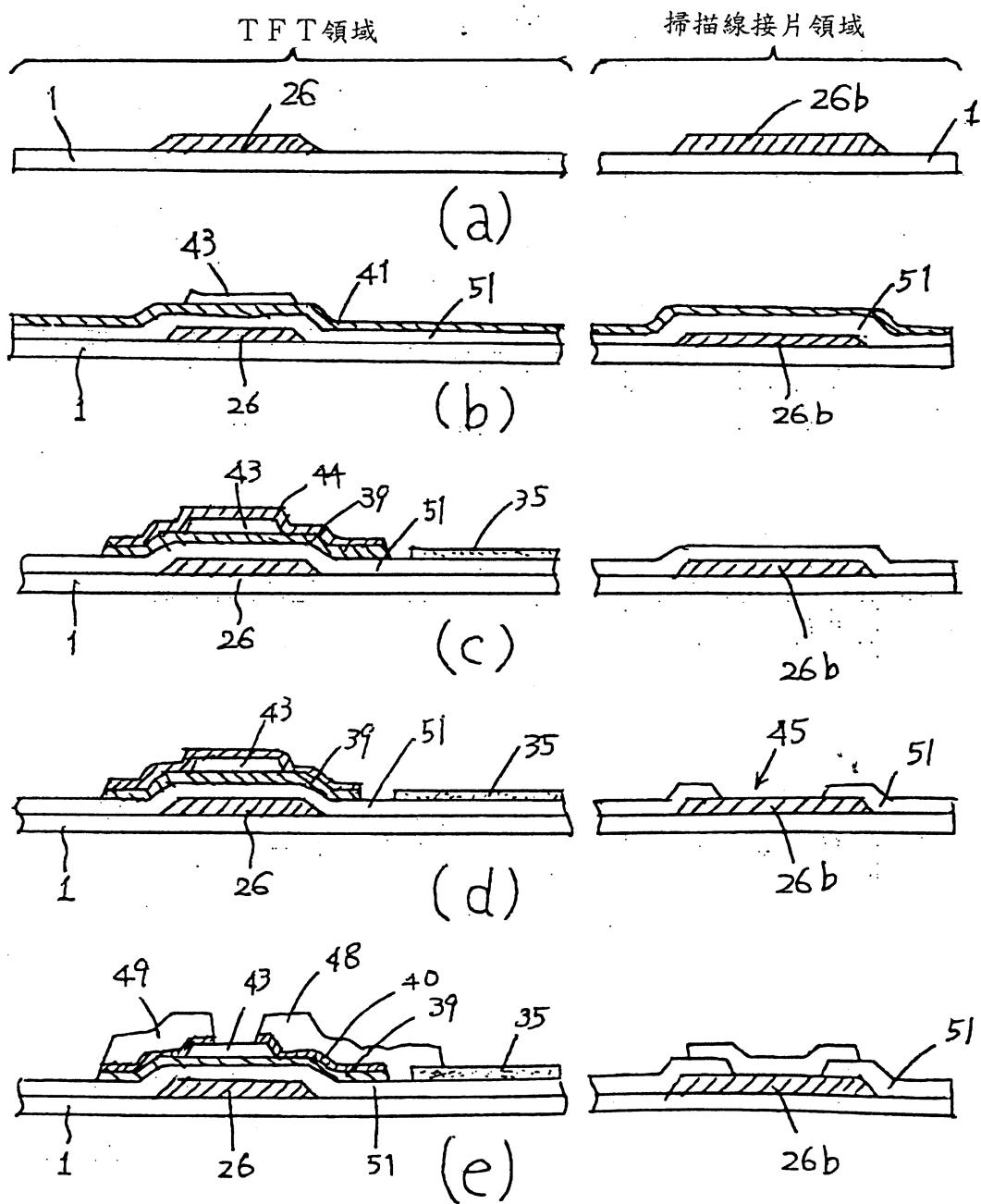
第 7 圖



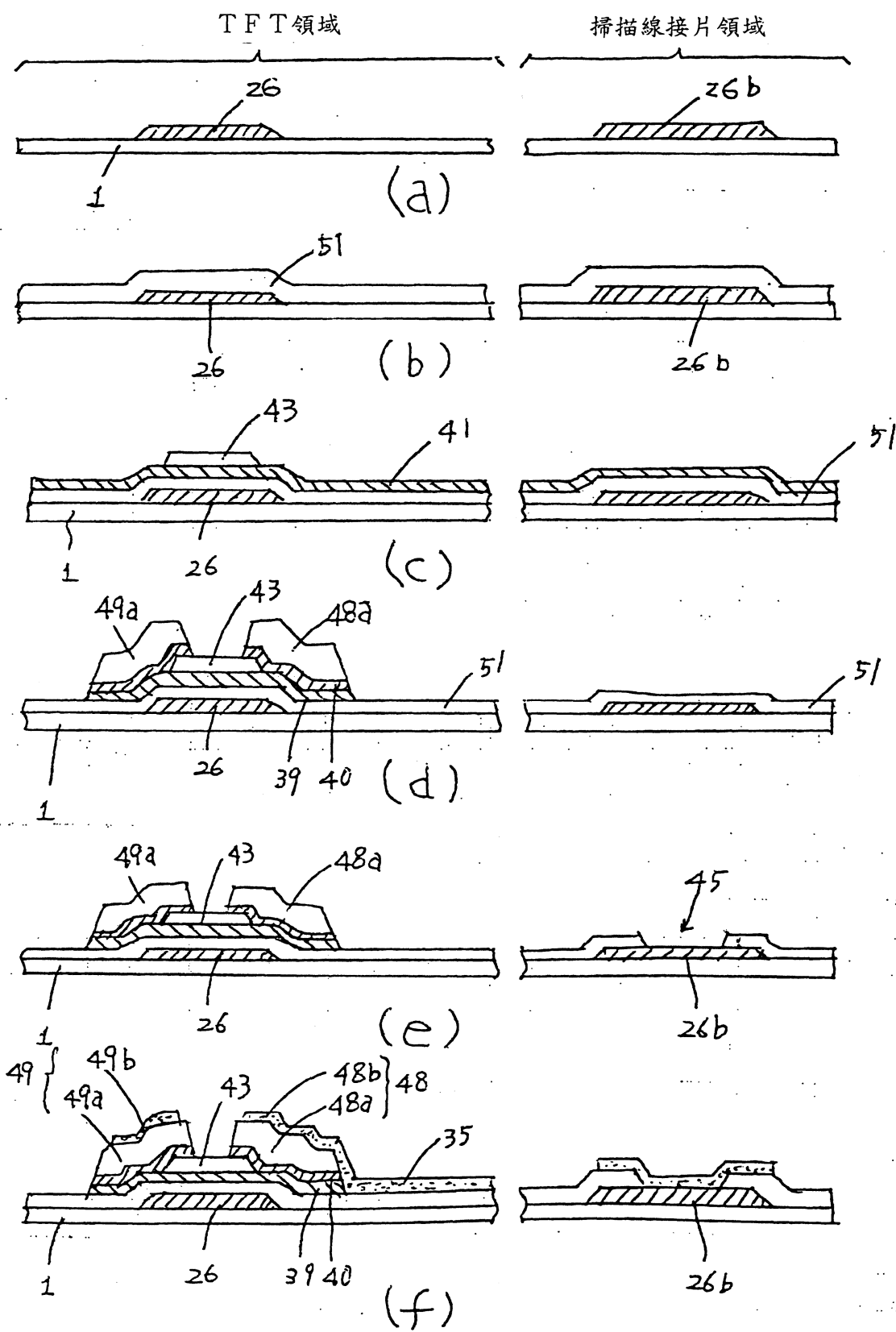
第 8 圖



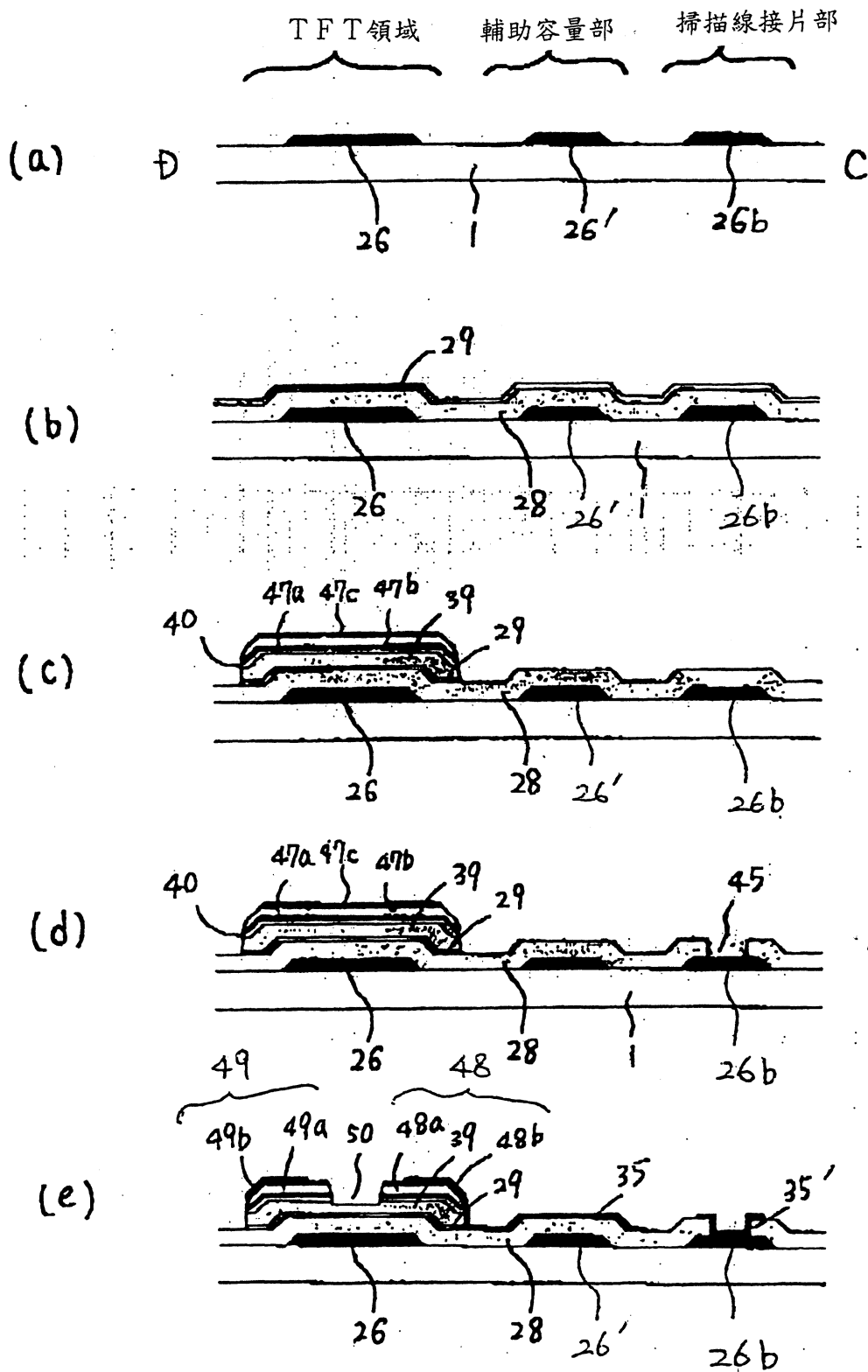
第 9 圖



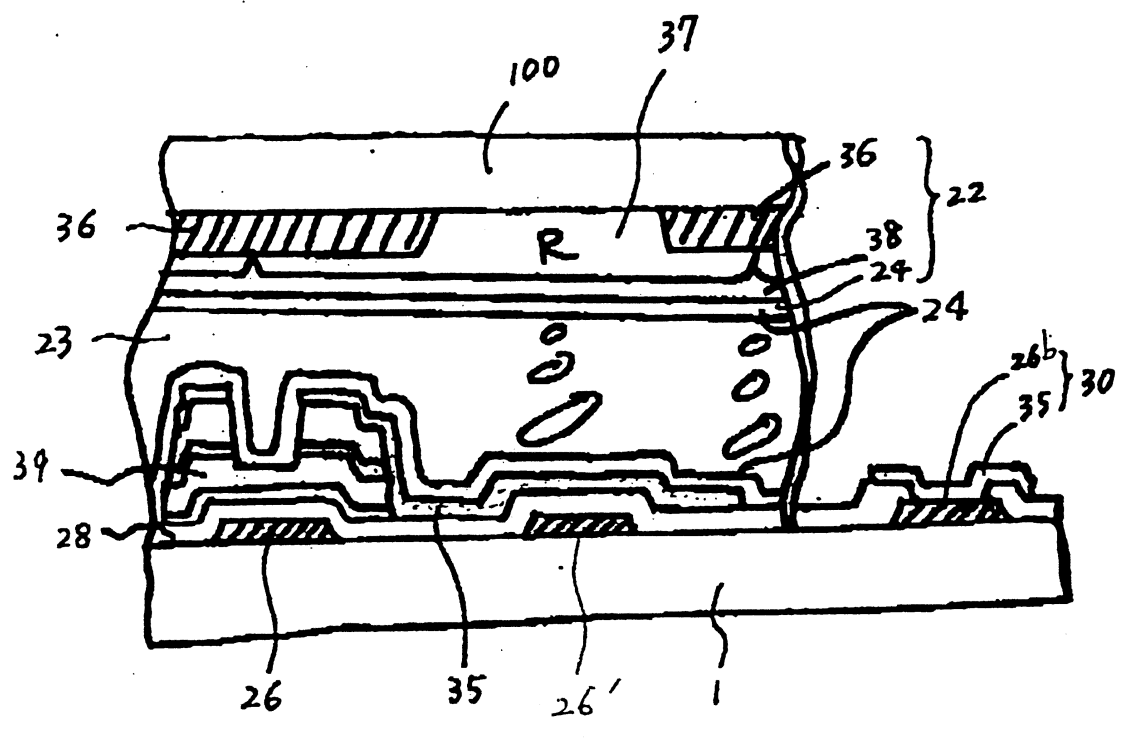
第 10 圖



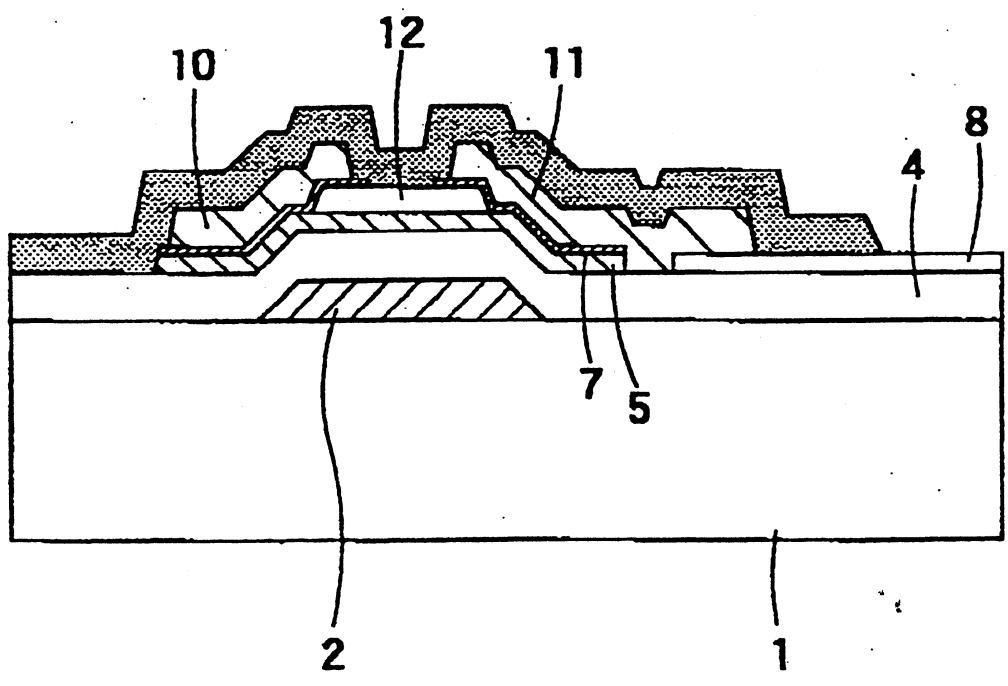
第 11 圖



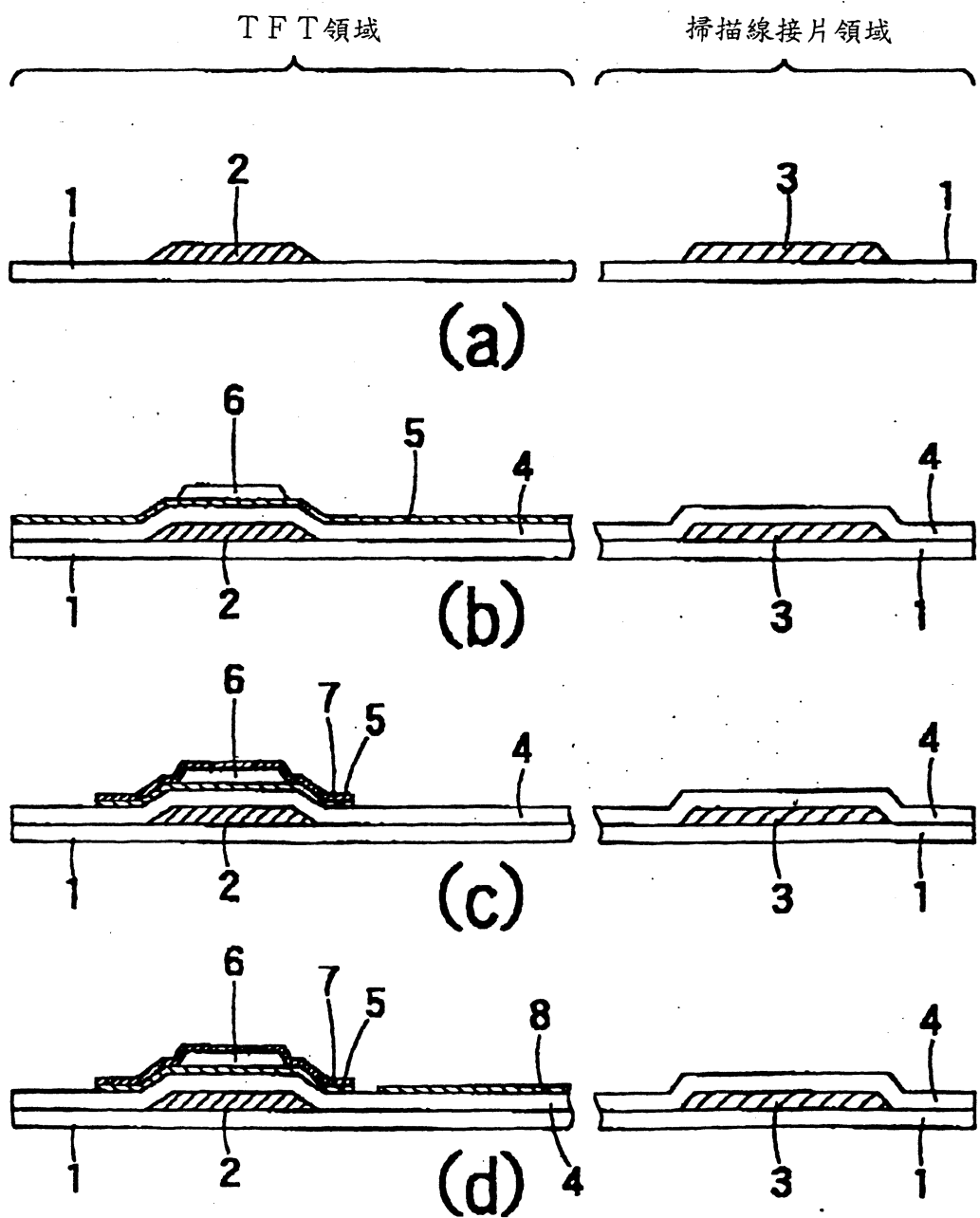
第 12 圖



第 13 圖



第 14 圖



第 15 圖

