(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 7/00

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0191410
(24) 등록일자 1999년01월25일

(21) 출원번호 10-1993-0012903
(22) 출원일자 1993년07월09일
(65) 공개번호 특1994-0003368
(43) 공개일자 1994년02월21일
(30) 우선권주장 7/911,870 1992년07월10일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스 인코포레이티드 크리트먼 어윈 엠
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330
(72) 발명자 티모씨 윌리암 새져
미합중국 인디아나 46260 인디아나폴리스 나슈아 드라이브 8318
나타니엘 하룩크 에르소즈
미합중국 인디아나 46112 브라운스버그 이스트 스테이트로드 136,6565
(74) 대리인 나영환, 조태연

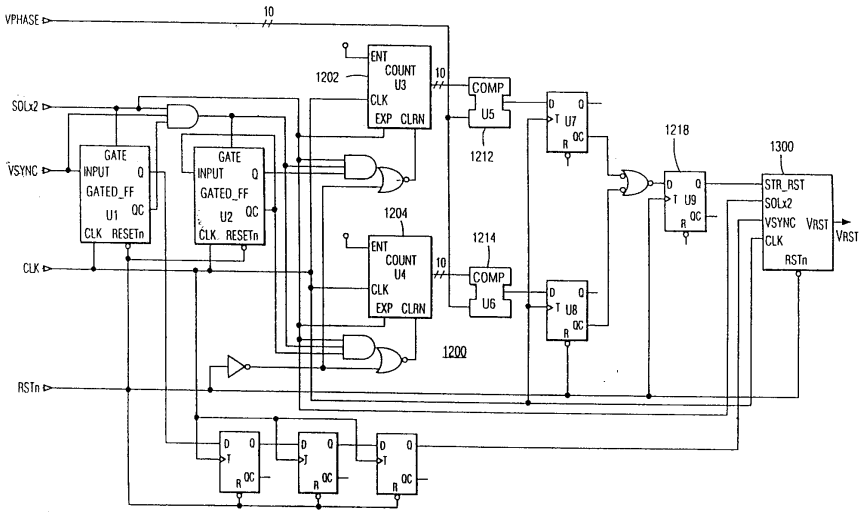
심사관 : 이수찬

(54) 프레임 기초된 수직 패닝 시스템

요약

수평 패닝 제어 회로(1200)는 수평 라인들 또는 하프 라인들을 카운트 하고, 비디오 신호와 수직 동기화 성분(VSYNC)에 대해 가변 팬지연(VPHASE)만큼 지연된 수직 리세트 신호(VRST)를 발생한다. 팬지연은 비디오 신호를 수직으로 패닝다운하도록 제 1 의 범위내에서 변화하고 비디오 신호를 수직으로 패닝업 하도록 제2의 범위내에서 변화한다. 제 1 의 범위는 각 필드의 수평 라인수보다 적고 제 2의 범위는 각 프레임의 수평 라인수보다 크다. 상호 배타적인 범위는 연속 필드들이 다른수의 수평 라인들을 갖는 경우에 패닝된 비디오 신호의 라인간 깜빡거림을 제어한다.

대표도



명세서

[발명의 명칭]

프레임 기초된 수직 패닝 시스템

[도면의 간단한 설명]

제1도는 본 발명의 양태에 따른 프레임 기초된 수직 패닝 제어를 포함한 와이드 스크린 텔레비전 장치의 소자부들을 전체적으로 도시한 개략도.

제2도는 제1도에서 도시된 편향 회로를 도시한 결합 블록 및 회로도.

제3도는 문자박스 검출기를 포함한 수직 크기 제어 회로를 도시한 블록도.

제4도는 수직 패닝 양상을 도시하는 타이밍도.

제5a도～제5c도는 제4도와 관련하여 수직 패닝 양상을 설명하는데 유용한 디스플레이 포맷도.

제6도는 본 발명의 동작을 설명하는데 유용한 수직 동기 및 수직 리세트 신호의 관계를 도시하는 타이밍도.

제7도는 본 발명에 따른 수직 구동 및 수직 리세트 신호의 관계를 도시하는 타이밍도.

제8도는 강제 수직 리세트를 발생하기 위한 수단을 도시하는 회로도.

제9도는 프레임 기초된 수직 패닝 시스템에 대한 팬 지연된 수직 리세트를 발생시키는 회로를 도시하는 회로도.

제10도는 제9도와 함께 사용하도록 강제 리세트를 발생시키는 회로를 상세하게 도시하는 회로도.

* 도면의 주요부분에 대한 부호의 설명

30 : 와이드 스크린 프로세서　　40 : 변환기

5: 편향 회로　　60 : RGB 인터페이스

70 : 전원　　206, 208 : 튜너

210 : 복호 회로　　212 : 동기 분리기

214 : 수직 카운트 다운 회로　　244 : 키네스코프

[발명의 상세한 설명]

본 발명은 디스플레이의 종횡비에 부합하지 않는 이미지를 디스플레이하도록 동작 가능하며 이미지를 수직으로 제어 가능하게 패닝하는 수단을 포함하는 텔레비전 수상기에 관한 것이다. 특히, 본 발명은 연속 비디오 필드의 라인수가 동일하지 않는 임의의 디스플레이 상태를 조절하는 방식으로 와이드 스크린 텔레비전 장치에서 패닝하도록 수직 리세트 및 블랭킹 신호들을 발생시키는 수단을 제공한다.

종래 텔레비전 수상기는 4개의 수평 유닛 ×3개의 수직 유닛을 측정하는 통상적으로 4×3으로 표시되는 디스플레이 포맷비를 갖고, 실험용을 제외한 대부분의 상업 방송 장치들은 상기 포맷비에 부합하는 신호를 생성한다. 반면에, 영화는 대개 수평 방향으로 상대적으로 더 넓은 디스플레이 포맷비, 예컨대, 16×9(즉, 4×2.25)로 생성된다. 다양한 특정비들이 가능하다. 시청자들은 상대적으로 넓은 화면을 영화로, 그리고 상대적으로 좁은 화면을 가정용을 연상하게 되었다. 그 결과, 많은 시청자들이 와이드 디스플레이 포맷비를 더 선호하는 것으로 밝혀졌으며, 따라서 종래의 상업 방송 대신에 영화를 보는 것을 더 선호하는 것으로 보인다.

4×3 스크린상에 와이드 스크린 디스플레이 포맷비를 갖는 프로그램을 디스플레이하거나, 와이드 스크린 디스플레이상에 4×3 프로그램을 디스플레이하는 경우에, 이들 차이를 조절하는 것이 필요하다. 소위 문자박스(letterbox)장치에 있어서, 와이드 스크린 신호는 디스플레이 좌측 블랭크의 상부 및/또는 하부에서 밴드를 갖는 4×3 비의 디스플레이상에서 디스플레이 되거나, 동시에 다른 이미지 등을 디스플레이하는 메시지용으로 이용된다. 역으로, 와이드 스크린 디스플레이상에서 4×3 신호를 디스플레이하는 경우, 미사용된 측면 영역에서 동시에 이미지 등을 디스플레이할 수 있다.

와이드 스크린 텔레비전 수상시는 다양한 방식으로 텔레비전 신호를 디스플레이하도록 배치될 수 있다. 상기 수상기는 문자박스(letterbox) 포맷으로 신호를 검출할 수 있고, 4×3 수신 신호를 확장하여 블랭크 상부 및 하부 대역들이 크로핑(croping)되고 상기 신호가 16×9 디스플레이 영역을 채우게 한다. 상기 수상기는 상부 및 하부 대역에서 활성 비디오 영역을 크로핑하는 동안 비문자박스 신호(예컨대, 4×3)를 확장하거나 확대(zoom)하여 와이드 스크린 디스플레이를 채우게 한다. 이러한 특징과 함께 확대 소스를 디스플레이하기 위한 수직 블랭킹 및 리세트 신호를 발생하는 부가적 기능이 부가된다.

종래 및 와이드 디스플레이 포맷 신호들을 모두 뿐만 아니라 다중 화상 디스플레이를 포함하는 그들의 조합 신호를 디스플레이하기 위해 조절하는 것은 복잡한 문제가 될 수 있다. 다중 신호 소스의 디스플레이 포맷비를 변경하는 것은 비동기 소스로부터 일관된 타이밍 신호를 발생하고, 다중 소스 사이에 스위칭하고, 상기 신호를 압축하고, 상기 신호를 추가의 보간된 라인들로 확장하며, 또는 그들을 다양하게 조합시키는 것이 필요할 수도 있다.

모든 문자박스 신호들이 수직으로 중앙에 집중되는 것은 아니다. 4×3 신호가 확대되어 수직으로 크로핑되는 경우에, 신호의 보다 흥미있는 부분이 보유되도록 하부보다는 상부가 더 크로핑되는 것이 바람직하고, 그 반대가 될 수도 있다. 그러므로, 수직 패닝 기능이 유리하다.

수직 디스플레이 제어 회로는 수직으로 과주사된 라스터의 일부가 스크린상에 디스플레이 되는 것을 제어하는데, 이는 본문에서 수직 패닝으로 서술된다. 만일 수직으로 과주사된 비디오신호가 문자박스 포맷으로 존재하지 않는 경우에, 화상은 디스플레이되는 신호를 왜곡함이 없이 와이드 스크린 디스플레이 포맷을 시뮬레이트하도록 확대, 즉 수직 및 수평으로 확장될 수 있다. 예를 들어, 4×3 신호로부터 16×9 디스플레이 (또 다른 특정비도 가능함)로 변경된다고 가정하면, 상기 화상의 I수직 디멘죤의 1/3이 크로핑된다. 많은 수직 편향 시스템은 AC 결합되어 있고, 그 결과, 화상들은 대개 디스플레이상에 수직으로 집중되어 있다. 16:9 디스플레이 상에 디스플레이하기 위해 확대된 4:3 화상의 경우, 화상의 1/6 상부와 화상의 1/6 하부는 대개 AC 결합된 수직 편향 시스템으로 크로핑 된다.

화상 내용은 상부와 하부 이외의 부분에서 유지되는 동안, 상부 또는 하부에서 더욱 많이 크로핑하도록 할 수 있다. 예를 들어, 화상에서 액션(action)이 그라운드 레벨에 있는 경우에, 시청자들은 더욱 많은

스카이(sky)를 크로핑하는 것을 선호할 수도 있다. 수직 패닝 기능은 일부 확대된 화상이 크로핑되는 것에 대한 선택을 인에이블할 수도 있다. 이것은 수신된 비디오 신호에 기초하는 처리된 수직 동기 펄스(VSYNC로 칭함)의 선행 에지(leading edge)로부터 선택 가능한 가변적인 양만큼 지연되는 수직 리세트 펄스의 발생에 의해 달성될 수 있다. 수직 블랭킹 펄스는 이와 유사하게 발생된다. 상기 수직 리세트 펄스는 수직 리트레이스(retrace)를 개시하도록 섀시에 의해 이용되고, 수직 블랭킹 펄스에 의해 한정되는 블랭킹 기간동안 전자빔이 디스에이블(disable)된다. 와이드 스크린 프로세서의 비디오 출력은 지연되지 않기 때문에, 수직 패닝 특징이 VSYNC에 관한 수직 블랭킹 및 수직 리세트 펄스 지연의 적절한 조작에 의해 생성된다.

시청자가 팬 업(pan up) 또는 팬 다운(pan down)을 원하는 경우가 있다. 패닝 방향은 시계(視界)가 확장 또는 확대된 화상에 대해 이동하는 방향으로 한정된다. 예컨대, 패닝 다운은 상기 확대된 화상의 하부에 화소 내용을 나타내고, 상기 확대된 화상의 상부로부터 화소 내용을 크로핑한다. 비디오 패닝 다운은 화상을 상향 스크롤링(scrolling)하는 것으로 간주될 수도 있다. 반대로, 비디오의 패닝 업은 비디오의 하향 스크롤링으로 간주될 수도 있다. 패닝 다운은 필드수보다 작은 임의의 수평 라인수만큼 각 필드(두 개의 인터리빙(interleave)된 필드의)에 대한 블랭킹 및 수직 리세트의 지연을 수반한다. NTSC에 있어서, 각 필드는 262.5 라인이다. 반면에, 패닝 업은 VSYNC에 관한 시간에 앞서 수직 리세트 및 블랭킹 펄스들을 이동시키는 것이 필요할 수 있는데, 이것은 물론 VSYNC가 트리거링 신호인 경우에 AC 결합된 수직 편향 시스템에서는 불가능하다.

예를 들어, VCR 재생 중에 어떤 특수 효과 모드와 관련하여 수직 패닝이 이용되는 경우에 한가지 문제점이 발생한다. VCR의 고속 전진 모드에서, 선형 테이프 속도의 비표준 성질에 기인하여, 한 필드의 라인수는 사용된 기록 모드(예컨대, SP 또는 SLP) 및 선형 테이프 속도에 의존하는 라인수만큼 표준 라인수에 비해 감소된다. 5 라인 감소 팬의 경우에 있어서 필드내의 공칭 라인수가 253.5(SP 모드로 테이프 기록된 VCR 고속 전진 재생의 특성)이라 가정하면, 원하는 팬 지연은 257.5 라인이 된다. 그러나, 새로운 VSYNC는 253.5 라인마다 발생한다. 지연에 기초하는 트리거 신호인 상기 새로운 VSYNC는 라인 카운터를 리세트시킨다. 그 결과, 라인 카운터가 원하는 지연값에 도달함이 없이 반복적으로 리세트되기 때문에 수직 리세트가 전혀 발생되지 않는다. 수직 리세트가 발생하지 않으면 라스터가 수직으로 붕괴되고, 화상관의 형광체에 손상을 주게 된다.

이와 같은 상황이 발생되지 않게 하기 위해서, VSYNC와 수직 리세트간의 위상차에 관계없이 수직 리세트 펄스를 발생하게 하는 것이 필요하다. 수직 리세트는 라인 카운트가 원하는 패닝 지연에 도달하기 전에 제2 VSYNC가 발생되는 경우에 VSYNC에(지연없이) 의해 발생된다. 확대된 화상의 선택부(수직으로 크로핑된)를 디스플레이 하는 수직 패닝 회로는 비디오 신호의 수직 동기 성분 VSYNC에 관해 지연된 수직 리세트 및 블랭킹 펄스를 개시하기 위한 비디오 라인 지연 간격을 한정하는 라인 카운트를 제공한다. 라인 카운트는 일반적인 상태인 상기 라인 지연 간격 이상의 비디오 라인수를 갖는 필드가 발생하는 경우에 지연된 리세트 펄스를 발생한다. 또한 ,수직 동기 성분에 응답하여 패닝 지연 간격보다 적은 라인수를 갖는 필드가 발생하는 경우에 리세트 및 블랭킹 펄스들을 발생하도록 게이팅 회로가 제공된다. 따라서, 패닝이 가능해지고 라스터는 붕괴되지 않는다.

262.5 라인(즉, 525 하프 라인)을 갖는 필드를 포함하는 표준 NTSC 신호에 대하여, 패닝 업 및 패닝 다운은 한 필드의 라인 이하의 하프 라인수만큼 수직 리세트 신호를 지연시킴으로써 달성될 수 있다. 패닝 다운 지연은 0과 262.5 하프 라인 사이에 존재한다. 패닝 업 지연은 262.5와 525 하프 라인 사이에 존재한다. 그러나, 이와 같은 방식은 예컨대, 임의의 VCR 재생 모드에서 생성된 비표준 신호에는 여전히 적응하지 못한다. 이중 애지머스 4 헤드 VCR(dual azimuth four head VCR)에 대한 일시 정지(pause)와 같이 필드 길이가 같지 않도록 하는 비표준 신호가 존재하는 경우에, 패닝 업은 연속적인 필드 사이의 라인수의 차와 동일한 필드 사이에 오프셋으로 라인간 플리커(interline flicker)를 생성한다. 디스플레이되는 연속 필드들의 각 라인들은 정렬되어 있지 않다. 그 결과, 효율적으로 화상을 시청 불가능하게 만드는 매우 심각한 아티팩트(artifact)가 존재하게 된다.

본 발명의 제1 양태는 AC 결합된 수직 편향 시스템에 특히 적합한 수직 패닝 시스템을 제공하는 것이다.

본 발명의 제2 양태는 일치하지 않는 필드 길이를 특징으로 하는 비표준 디스플레이 상태에서 확대 및 패닝을 조절하는 것이다. 이는 한 필드 지연보다 오히려 한 프레임 지연에 의존하여 달성된다. 수직 리세트는 최대 한 필드 대신에 최대한 프레임만큼 지연된다. 이는 필드가 다른 길이로 이루어지는 경우에도 프레임 길이는 일정하기 때문에 상기 문제를 해결할 수 있다.

본 발명의 제3 양태는 필드들이 다른 라인 카운트를 갖는 경우에도, 연속 필드들의 라인이 항상 정렬되도록 수직 리세트 펄스와 각 비디오 필드의 시작점 사이의 거리차가 일정하게 함으로써 상기 상황에서의 라인간 플리커를 제거하는 것이다.

본 발명의 제4 양태는 사용자가 선택 가능한 패닝 업 또는 다운양에 따라 수직 리세트 및 수직 블랭킹을 위한 팬 지연된 신호를 발생하는 것이다.

본 발명의 상기 및 기타 다른 양태는 예컨대, 와이드 스크린 수상기와 같이 비디오 신호에 대한 디스플레이와 패닝 제어 회로를 포함하는 텔레비전 장치내에 제공된다. 패닝 제어 회로는 수평 라인 또는 하프 라인들을 카운트하고, 비디오 신호의 수직 동기 성분에 관련하여 가변 팬 지연만큼 지연된 수직 리세트 신호를 발생시킨다. 팬 지연은 비디오 신호를 수직으로 패닝 다운시키기 위한 제1 범위내에서 변화하고, 비디오 신호를 수직으로 패닝 업시키기 위한 제2 범위내에서 변화한다. 제1 및 제2 범위는 연속 필드들이 VCR 재생의 일시 정지 모드 동안과 같은 다른 수의 수평 라인을 갖는 경우에 패닝된 비디오 신호의 라인간 플리커를 제어하도록 상호 배타적이며, 여기에서 필드당 라인수는 테이프 속도 및 기록 모드의 기능으로서 변화한다. 제1 범위는 각 필드의 수평 라인수보다 적고, 제2 범위는 각 필드의 수평 라인수보다 크고 각 프레임의 수평 라인수보다 적다. 상기 장치는 수직 크기에서 디스플레이를 초과하도록 비디오 신호를 확대하는 회로를 추가로 포함한다. 이와 같은 모드에서, 팬 지연은 수직으로 한정된 비디오 신호부가 디스플레이상에 나타나도록 제어한다. 상기 패닝 제어는 패닝 지연의 수동 선택에 응답될 수 있다. 패닝 제어 회로가 수평 하프 라인들을 카운트하는 일 실시예에 있어서, NTSC 신호에 대해, 제1 범위는 0~

262.5 하프 라인 사이에 존재하고 제2 범위는 787.5～1050 하프 라인 사이에 존재한다.

패닝 제어 회로는 수평 라인을 표시하는 라인 신호를 발생하는 소스와; 마이크로프로세서와 같이 패닝 지연 라인 카운트를 결정하는 신호 프로세서와; 각 프레임의 각 연속 필드에 대한 라인 카운트를 누산하는 카운터와; 라인 카운트가 패닝 지연 라인 카운트와 동일한 경우에 수직 리세트 신호를 발생하는 하나 이상의 비교기를 포함할 수 있다. 토글링(toggling) 회로는 수직 동기 성분에 응답할 수 있고 라인 신호를 현행 필드에 상당하는 카운터의 카운트 입력에 게이트하도록 작동될 수 있다.

제1도는 본발명에 따른 와이드 스크린 텔레비전의 블록도이다. 상기 텔레비전은 $2f_H$의 비월 주사되지 않은 수평 주사 또는 비월 주사되지 않은 버전으로 도시되어 있는 종래의 수평 주사로 동작되도록 배치될 수 있다. 텔레비전 수상기는 일반적으로 전원(70), 비디오 신호 입력부(20), 원 칩 프로세서(202)에 결합된 섀시(chassis) 또는 TV 마이크로 프로세서(216), 와이드 스크린 프로세서(30), $1f_H$-$2f_H$ 변환기(40), 편향 회로(50), RGB 인터페이스(60), YUV-RGB 변환기(240) 및 키네스코프 구동기(242), 영사 또는 직접 시청을 위해 배치될 수 있는 디스플레이 튜브 장치(244)를 포함한다. 설명의 편의상 여러 회로의 그룹을 상이한 기능을 갖는 블록으로 나누어 놓았는데, 이것은 그러한 회로들의 상호간의 기능적인 결합 및 물리적인 위치를 제한하고자 하는 의도는 아니다.

비디오 신호 입력부(20)는 예컨대, ANT1 및 ANT2에서 방송 또는 케이블 신호와 같은 상이한 소스로부터 복수의 합성 비디오 신호를 동시에 수신, 선택 또는 디스플레이할 수 있는데, 상기 안테나 신호 ANT1 및 ANT2는 제1 튜너(206)와 제2 튜너(208)에 결합되도록 RF 스위치(204)에 의해 선택 가능하다. 상기 제1 튜너(206)의 출력은 예컨대, 산업 디자인 유형 TA7777과 같은 원 칩 회로(202)에 결합되어 튜닝, 편향 및 비디오 제어 기능을 수행한다. 상기 원 칩(202)로부터의 VIDEO OUT 기저 대역 신호는 비디오 스위치(200)와 와이드 스크린 프로세서(30)의 TV1 입력에 결합된다. 보조 입력 AUX1 및 AUX2는 비디오 카메라, 레이저 디스크 플레이어, 비디오 테이프 플레이어, 비디오 게임 등과 같은 상이한 소스에 사용될 수 있고, 와이드 스크린 프로세서(30)로의 SWITCHED VIEDO 입력에 결합되도록 비디오 스위치(200)에 의해 선택된다. 선택된 합성 비디오 신호(SELECTED COMP OUT)는 비디오소스(S1, S2)와 함께 Y/C 복호 회로(210)에 입력되고, TV 마이크로 프로세서(216)에 응답하여 Y_M 및 C_IN으로서 와이드 스크린 프로세서(30)에 결합하기 위한 한쌍의 휘도 및 색도 신호(이후 메인 신호로 간주)를 선택한다. 상기 신호들은 R-Y 및 B-Y 신호와 등가인 색차신호 U_M 및 V_M을 발생하도록 상기 원 칩(202)에 다시 결합된다. 상기 신호들은 추가의 처리를 위해 디지탈 형태로 변환된다.

상기 제2 튜너(208)는 Y/C 복호 회로의 입력으로서 SWITCHED VIDEO 신호와 함께 선택할 수 있는 기저 대역 비디오 신호 TV2를 형성한다. 스위치(SW3 및 SW4)는 보조 신호로 간주되는 상기 신호 Y,C 또는 입력 S1에 대응하는 외부 신호 Y_EXT 및 C_EXT를 선택한다. 상기 메인 신호 경로는 접미어 M으로 표시되고 보조 신호 경로는 각 신호들에서 접미어 A로 표시된다. 상기 각 신호들은 선택적으로 디스플레이되거나 PIP 회로(301)를 통해 PIP 모드로 디스플레이되도록 처리될 수 있다.

Y_M에 대응하는 합성 동기 신호(COMP SYNC)는 와이드 스크린 프로세서(30)에 의해 수직 카운트 다운 회로(214)로 입력되는 수평 동기 성분 H와 수직 동기 성분 V를 생성하는 동기 분리기(212)에 제공된다. 수직 카운트 다운 회로는 와이드 스크린 프로세서(30)에 결합되는 VERTICAL RESET 신호를 발생한다. 와이드 스크린 프로세서 RGB 인터페이스(60)로 출력되는 내부 수직 리세트 출력 신호(IN VERT RST OUT)를 발생시키고, RGB 인터페이스내의 스위치는 내부 수직 리세트 출력 신호와 외부 RGB 소스의 수직 동기 성분 신호중 하나를 선택한다. 이 스위치의 출력은 편향 회로(50)로 유도되는 선택된 수직 동기 성분(SEL_VERT_SYNC)이다. 보조 비디오 신호의 수평 및 수직 동기 신호는 와이드 스크린 프로세서(30)내의 동기 분리기에 의해 발생된다.

$1f_H$-$2f_H$ 변환기(40)는 비월 주사된 비디오 신호를 순차 주사되는 비월 주사되지 않은 신호로 변환시킨다. 비디오 RAM(420)은 예컨대, 수평 라인들을 2회 디스플레이하거나 화상에서 검출된 이동에 기초하여 라인을 선택하는 것과 같이 반복 또는 보간될 수 있는 라인들, 또는 그외의 모든 라인을 제공하도록 인접 필드 또는 프레임을 저장하는데 이용될 수 있다. 변환된 비디오 데이타는 Y_2f_H, U_2f_H 및 V_2f_H로서 RGB 인터페이스(60)에 공급된다. 상기 RGB 인터페이스는 상기 전환된 비디오 데이타 또는 외부 RGB 비디오 신호의 선택을 인에이블시킨 후에 비디오 신호 입력부에 결합된다. 외부 RGB 신호는 $2f_H$ 주사에 적합한 와이드 포맷 디스플레이 신호로 간주된다. 상기 메인 신호의 수직 동기 성분은 RGB 인터페이스(INT VERT RST OUT으로서)에 결합되어 편향 회로(50)에 인가된 수직 동기 신호를 내부 또는 외부 RGB 신호의 사용자 선택과 함께 선택된다. 그러나, 수직 라스터 붕괴를 방지하기 위해, 상기 RGB 인터페이스 회로는 외부 동기 신호를 검출하고 존재하지 않는 외부 RGB 신호의 선택을 무효로 한다. 와이드 스크린 프로세서(30)의 마이크로프로세서(WSP μP)는 외부 RGB 신호에 대한 컬러 및 색조를 제어한다.

PIP 프로세서(301)는 게이트 어레이(300)과 함께 예컨대, 4×3 메인 디스플레이 신호 등의 측부를 따라 문자박스 메인 디스플레이 신호의 상부 또는 하부 마진에서 디스플레이된 보조 신호의 압축 버전을 이용하여 선택될 수 있는 다양한 디스플레이 포맷을 제공하도록 메인 및 보조 비디오 신호 데이타를 합성시킨다. 와이드 스크린 마이크로프로세서((WSP μP)는 직렬 버스를 통해 TV 마이크로 프로세서(216)에 응답한다. 와이드 스크린 프로세서(30)는 또한 3 레벨 샌드캐슬(sandcastle) 신호로서 합성 수직 블랭킹/리세트 신호를 발생시킨다. 수직 블랭킹 및 리세트 신호는 또한, 패닝 제어와 관련하여 이후에 더욱 상세히 설명하는 바와 같이 별개의 신호로서 발생될 수도 있다. 합성 블랭킹 신호는 비디오 신호 입력부에 의해 RGB 인터페이스에 제공된다.

제2도에 더욱 상세히 도시된 편향 회로(50)는 와이드 스크린 프로세서로부터의 수직 리세트 신호, RGB 인터페이스(60)로부터 선택된 $2f_H$ 수평 동기 신호 및 와이드 스크린 프로세서로부터의 추가의 제어 신호를 수신한다. 이들 추가의 제어 신호는 수평 위상 조정, 수직 크기 조정 및 동서 핀 조정과 관련이 있다. 편향 회로(50)는 $2f_H$ 플라이백 펄스를 와이드 스크린 프로세서(30), $1f_H$-$2f_H$ 변환기(40) 및 YUV-RGB 변환기(240)에 제공한다.

편향 회로(50)는 제2도에 더욱 상세히 도시되어 있다. 상이한 디스플레이 포맷을 실행하는데 필요한 만큼의 수직 과주사의 원하는 양에 따라, 회로(500)가 라스터의 수직 크기를 조정하기 위해 제공된다. 도시적으로 설명하자면, 일정한 전류원(502)은 수직 램프(ramp) 커패시터(504)를 충전시키는 일정량의 전류(I_{RAMP})를 제공한다. 트랜지스터(506)는 수직 램프 커패시터와 병렬로 접속되고 수직 리세트 신호에 응답하여 커패시터를 주기적으로 방전시킨다. 특정 조정이 없는 경우, 전류(I_{RAMP})는 최대로 이용 가능한 수직 크기를 라스터에 제공한다. 이것은 사용되지 않은 상부 및 하부가 과주사되도록, 4×3 포맷 문자박스 신호 소스를 확장함으로써 수직으로 와이드 스크린 디스플레이를 채우는데 필요한 수직 과주사의 범위와 일치한다. 더 작은 수직 라스터의 크기가 요구되는 범위까지, 수직 램프 커패시터(504)가 보다 천천히 충전되고 보다 작은 피크값을 갖도록 조정 가능한 전류원(508)은 전류(I_{RAMP})의 가변량을 전류(I_{RAMP})로 전환한다. 가변 전류원(508)은 제2도에 도시되어 있는 수직 크기 제어 회로(1030)에 의해 발생되는 예컨대, 아날로그 형태의 수직 크기 조정 신호에 응답한다. 수직 크기 조정 회로(500)는 후방 패널 조정 노브(knob)의 전위 차계에 의해 실행될 수 있는 수동 수직 크기 조정 회로(510)와는 무관하다. 어떤 경우에 있어서도, 수직 편향 코일은 적절한 크기의 구동 전류를 수신한다. 수평 편향은 위상 조정 회로(518), 동서 핀 보정 회로(514), $2f_H$ 위상 동기 루프(520) 및 수평 출력 회로(516)에 의해 제공된다.

제3도는 수직 크기 제어 회로(1030)의 일부로서 자동 문자박스 검출기를 도시한다. 상기 수직 크기 제어 회로는 문자박스 검출기(1032), 수직 디스플레이 제어 회로(1034) 및 3 상태 출력 장치(1036)를 포함하고 있다. 또한, 수직 블랭킹 및 수직 리세트 펄스는 별개의 신호로서 전송될 수 있다. 자동 문자박스 검출 회로는 통상적으로 실제 디스플레이 영역의 16×9 포맷 디스플레이 비 문자박스와 미사용된 또는 무광택 채색된 상부 및 하부 경계 영역을 포함하는 4×3 디스플레이 포맷비 신호를 확장시킴으로써 수직 확대 또는 확장을 자동적으로 수행할 수 있다. 상기 문자박스 검출기는 소정의 비디오 라인과 이전 라인간의 휘도 변화를 모니터함으로써 비디오 활성부를 위치시킬 수 있고, 제1 및 최종 활성 비디오 라인들이 디스플레이의 상부 및 하부를 점유하도록 가변 양에 의해 디스플레이 신호의 확장을 제어한다. 또한 문자박스 검출기는 16×9 스크린을 채우기 위해 4×3 신호의 16×9 영역을 확대시키는 것이 필요한 것과 같이 이산 표준 디스플레이 비 사이에서 스위칭되도록 배치될 수 있다. 이 경우에, 출력 신호(VERTICAL SIZE ADJ)가 활성화될 때, 디스플레이는 확대된다. 상기 편향 높이는 문자박스 신호의 활성 비디오 부분이 영상 종횡비 왜곡없이 상기 와이드 스크린 디스플레이를 채우게 인에이블하는 3/4까지 증대된다(제2도 참조).

상기 수직 디스플레이 제어 회로(1034)는 이후 수직 패닝이라 칭해지는 과주사된 라스터의 일부가 상기 스크린상에 디스플레이되는 것을 제어한다. 수직으로 과주사된 비디오 신호가 문자박스 포맷이 아닌 경우, 종래의 디스플레이 포맷 화상은 와이드 스크린 포맷을 시뮬레이트하도록 확대, 즉 확장될 수 있다. 그러나 이와 같은 경우에 있어서, 4/3 수직 과주사에 의해 크로핑된 화상의 일부는 활성 비디오 정보를 포함하게 된다. 상기 화상의 1/3을 수직으로 크로핑하는 것이 필요하다. AC 결합된 수직 편향 시스템에서 추가적인 제어가 없으면, 상부의 1/6 및 하부의 1/6은 항상 크로핑된다. 그러나, 덜 중요한 부분은 희생하여 신호의 더 중요한 부분이 절약되도록 화상 내용은 상기 화상의 하부보다 상부가 더 적절하게 크로핑되거나 그반대로 되도록 나타낼 수 있다. 예컨대, 모든 동작이 그라운드 레벨에서 이루어질 경우, 시청자는 보다 스카이로 크로핑하기를 원할 수 있다. 수틱 패닝 용량은 확대된 화상의 어느 부분이 도시되고 어느 부분이 크로핑되는가에 대한 선택을 가능하게 한다. 제4도 및 제5a도~제5c도를 참조하여 수직 패닝을 설명한다. 제4도의 타이밍도의 상부에 3 레벨의 합성 수직 블랭킹/리세트 신호가 도시되어 있다. 상기 신호들은 독립적으로 발생될 수 있다. 수직 블랭킹 펄스는 신호 L-COUNT가 VRT-BLNK0과 일치할 때 시작하여 L-COUNT가 VRT-BLNK1과 일치할 때 종료된다. 수직 리세트 펄스는 L-COUNT가 VRT-PHASE와 일치할 때 시작된다. 상기 L-COUNT는 VSYNC-MN의 선행 에지에 대한 수평 하프 라인의 트랙을 유지하는데 이용되는 10 비트 카운터의 출력이다. VSYNC-MN은 VDRV-MN의 동기된 버전, 즉 게이트 어레이에 제공되는 메인 신호의 수직 동기 성분이다. VRT-BLNK0 및 VRT_BLNK1은 수직 패닝 명령에 의존하는 마이크로프로세서에 의해 제공된다. VRT-PHASE는 COMP-SYNC 출력내의 수직 동기 성분의 상승에지에 대해 VERT-RST 출력의 관련 위상을 프로그래밍한다. 상기 COMP-SYNC출력은 J-K 플립/플롭의 출력이다. 이 플립/플롭의 상태는 L-COUNT 및 H-COUNT의 출럭을 디코딩함으로써 결정된다.H-COUNT는 수평 위치 카운터이다. L-COUNT 카운터는 COMP-SYNC 신호를 수평 동기 펄스, 등화 펄스 및 수직 동기 펄스에 상응하는 세 개의 세그먼트로 분할하는데 이용된다. 과주사 없는(실제로는 공칭 6% 과주사에 대응) 수직 편향 전류는 수직 블랭킹 신호에 대응하는 것으로서 제4도에 파선으로 도시되어 있다. 과주사 없는 수직 블랭킹 펄스의 폭은 C이다. 수직 동기 펄스는 수직 리세트 펄스와 동상이다. 과주사 모드에서 수직 편향 전류는 제4도에 실선으로 도시되어 있고, 이는 수직 블랭킹 펄스에 대응하는 것으로서 펄스폭 D를 갖는다. 하부 과주사 A가 상부 과주사 B와 일치하는 경우, 디스플레이는 제5a도에 도시된 바와 같이 중앙 집중된다. 수직 리세트 펄스가 수직 동기 펄스를 지연시키도록 발생되는 경우, 하부 과주사 A는 상부 과주사 B보다 작아지고, 그결과 제5b도에 도시된 디스플레이가 되는데, 여기에서 상부의 보다 많은 부분이 블랭킹되는 반면에 화상 하부의 보다 많은 부분이 디스플레이된다. 반대로, 수직 리세트 펄스가 수직 동기 펄스에 선행하도록 발생되는 경우, 하부 과주사 A는 상부 과주사 B보다 커지고, 그 결과 제5c도에 도시된 디스플레이가 된다. 화상의 보다 많은 상부가 디스플레이 되고 보다 많은 하부가 블랭킹된다. 수직 동기 신호 및 수직 리세트 신호의 관련 위상은 과주사 동작 모드 중에 수직 패닝을 인에이블하도록 와이드 스크린 프로세서(30)의 마이크로프로세서(WSP μP)에 의해 제어할 수 있다. 상기 과주사된 라스터가 수직 패닝 중에서 상기 화상 튜브 또는 스크린상에 수직으로 중앙집중되거나 또는 좌우 대칭으로 유지된다는 것을 알게될 것이다. 이것은 하부보다 상부에서 화상의 보다 많은 부분들이 블랭킹되도록, 또는 그 반대로 블랭킹되도록, 상기 라스터에 대해 비대칭적으로 위치되거나, 또는 수직으로 이동될 수 있는 블랭킹 구간이다.

VCR 재생의 특수 효과 모드 중에서 수직 패닝이 이용되는 경우에 한가지 문제점이 발생된다. 미량의 라인(예컨대, 4 또는 5 라인)으로 비디오 신호를 팬 업 하는 것(디스플레이된 이미지를 스크롤 다운하는 것으로 간주할 수 있음)은 바람직하고, 수직 리세트 펄스는 팬 값의 라인수보다 적은 262.5 라인만큼 수직 동기 신호로부터 실제로 지연된다. VCR의 고속 전진 모드에서, 선형 테이프 속도의 비표준 성질에 기인하여 필드의 라인수는 기록 모드(예컨대, SP 또는 SLP) 및 선형 테이프 속도에 의존하는 수만큼 감소된다. VCR 재생의 고속 전진 모드(SP 모드)에 포함된 필드당 라인들의 공칭수는 253.5 라인일 수 있다. 원하는 패닝 값이 5 라인만큼 다운되면, 257.5 라인에 대해 지연 세팅이 발생될 수 있다. 그러나, 새로운 VSYNC가

253.5 라인마다 발생되어 원하는 패닝 지연 카운트에 도달할 때 수직 리세트를 발생하는 하프 라인 카운터를 리세트한다. 상기 모드 중에, 수직 리세트는 하프 라인 카운터가 원하는 값에 도달함이 없이도 반복적으로 리세트되어 수직 라스터의 일시 정지 및 가능한 튜브 손상을 야기하기 때문에 발생되지 않는다. 따라서, VSYNC의 위상과 수직 리세트에 대한 지연 세팅에 관계없이 수직 리세트 펄스를 발생할 수 있게 하는 것이 필요하다.

제8도에는 강제 수직 리세트를 발생하는 회로가 도시되어 있다. 기본 회로(1100)는 복수의 D형 플립/플롭(1102, 1104, 1106, 1108, 1110), J-K 플립/플롭(1112) 및 카운터(1114) 뿐만 아니라 다수의 AND 게이트, NOR 게이트 및 인버터를 포함하고 있다. 상기 회로(1100)는 클록 신호와 동기하여 동작하며, 예를 들어 $1024f_H$에서 비디오 신호와 동기화될 수 있다. 기본 동작은 다음과 같다. 수직 동기 신호는 수평 라인 주기당 2회 발생하는 1 클록 와이드 펄스인 SOL_X_S로 표시된 신호에 의해 샘플링된다. 수직 동기 신호는 SOL_X_S로부터 예컨대, 1 라인 주기의 1/16 또는 1/8만큼 오프셋되는 방식으로 처리되어 왔다. SOL_X_S로 수직 동기 신호를 샘플링함으로써 SOL_X_S에 의해 수직 동기 신호가 재정렬된다. STR_RST 신호는 1 라인 주기의 1/2동안 존재하는 정(+)의 진행 펄스이다. 상기 펄스의 선행 에지는 원하는 수직 리세트 간격의 시작점을 나타낸다. 한 필드의 라인수가 STR_RST 신호를 발생하는데 이용된 지연 세팅에 비해 크거나 같으면, STR_RST의 선행 에지는 카운터(1114)를 클리어하는데 이용된 후, 상기 카운터는 원하는 수직 리세트 길이를 카운트한 다음에 디스에이블한다. 수직 리세트 신호(V_{RST})는 카운터(1114)의 출력에 결합된 게이트에 의해 발생되고, V_{RST}는 수직 리세트 펄스 중에서 하이 상태(카운터를 인에이블하는 상태)로 존재한다. 이 실시예에 있어서, 바람직한 수직 리세트 길이는 6개의 하프 라인 이외의 수직 리세트 길이는 출력을 디코딩하는데 필요한 임의의 게이트들과 함께 요구되는 카운터 출력을 사용함으로써 선택될 수 있다.

한 필드의 라인수가 STR_RST 신호를 발생하는데 이용된 지연 세팅보다 적은 경우에, 상기 회로는 수직 리세트 신호가 생성되는 것을 확실하게 한다. 샘플링된 수직 동기 신호의 선행 에지상에서, J-K 플립/플롭(1112)이 세팅된다. 상기 플립/플롭의 출력은 다음 샘플링된 수직 동기 신호 VSYNC의 수직 리세트에 대한 트리거 신호를 통해 게이팅하는 인에이블 신호로서 이용되는데, 즉 J-K 플립플롭(1112)이 STR_RST 신호의 발생에 의해 그동안 리세트되지 않았던 경우이다. 플립/플롭(1112)이 세팅되었을 때 STR_RST 펄스가 발생되지 않았던 경우에는, 다음 샘플링된 수직 신호의 선행 에지는 V_{RST} 신호를 발생하는데 이용된 카운터(1114)를 클리어한다. 카운터의 출력상에서 게이트로부터 발생된 신호 V_{RST}는 그후 카운터(1114)가 SOL-X-2로부터 요구된 하프 라인들의 카운터를 누산할 때까지 하이 상태로 된다. 이와 같은 방식으로, VSYNC 신호가 존재하는 한, V_{RST}펄스는 한 필드의 라인수 및 STR-RST 신호에 대해 원하는 지연 세팅에 관계없이 정확한 길이로 발생된다. STR-RST 펄스가 발생되지 않는 경우, 상기 신호의 선행에지는 J-K 플립/플롭을 클리어하고 STR-RST 펄스에 기초하여 V_{RST} 신호를 발생한다.

표준 NTSC 신호(필드당 262.5 라인, 즉 525 하프 라인을 갖는)에 대해, 패닝업 및 패닝 다운은 한 필드 이하의 양만큼 수직 리세트 신호를 지연시킴으로써 수행될 수 있다. NTSC에 대해, 패닝 다운은 지연 또는 0~262.5 하프 라인들을 카운팅함으로써 수행되고 패닝업은 262.5~525 하프 라인 사이의 지연을 카운팅함으로써 수행된다. 이와 같은 방식의 문제점은 비표준 신호에 대해 필드 길이가 동일하지 않을 수 있다는 것이다. 한가지 예로는 이중 애지머스 4 헤드 VCR 용 일시 정지 모드가 있다. 필드 길이가 동일하지 않기 때문에 패닝업(스크롤링 다운)에 대한 한 필드의 1/2보다 큰 카운팅은 프레임의 두 필드를 필드 길이의 차와 동일한 다수의 라인들만큼 오조정되게 한다. 이로써 여러 라인간 플리커가 발생한다.

제9도 및 제10도에 도시된 회로(1200, 1300)는 개별적으로 이와 같은 문제를 극복한다. 상기 회로는 거의 하나의 전체 필드만큼 수직 리세트를 지연시키는 대신 거의 하나의 전체 프레임, 즉, 두 필드만큼 수직 리세트를 지연시킨다. 상기 회로는 라인간 플리커를 방지한다. 제7도에는 타이밍 장치가 도시되어 있다.

패닝 다운은 통상의 방식, 즉 0~262.5 하프 라인 사이에서 지연함으로써 달성된다. 그러나, 패닝 업은 한 프레이보다 약간 적게, 즉 787.5~1050 하프 라인 사이에 지연함으로써 달성된다. 이와 같은 방식으로 패닝은 달성되고, 라인간 플리커는 수직 리세트 펄스에서 비디오 필드의 시작점까지의 거리가 일정하기 때문에 제거된다.

본 발명에 따르면, 패닝 업 시에 하나의 전체 프레임에 대해 지연시키는 것이 필요하고, 프레임의 각 필드에 대해 패닝 지연을 처리하는 것이 필요하며, 카운터(1202:U3, 1204:U4)가 제공되어, 각각의 카운터는 각 필드중 한 필드에 대해 패닝 지연의 하프 라인수를 카운트하도록 동작된다. 상기 두 카운터들은 수평 라인당 2 회 발생하는 신호 SOL_X_2 상의 펄스들의 카운트를 누산한다. VSYNC와 SOL_X_2에 결합된 2개의 플립/플롭(U1, U2)과 도시된 게이팅은 현행 필드를 나타내는 카운터(1202, 1204)중 하나의 카운터를 선택하는 토글링 회로를 형성한다. 비디오 신호에서 검출된 수직 동기 펄스(VSYNC)를 교대로 발생시키는 방식으로, 상기 2개의 카운터(1202, 1204)의 출력은 비교기(1212:U5, 1214:U6)에 입력으로서 각각 결합되고, 다른 입력은 원하는 지연의 라인 카운트인 VPHASE이다.

카운터(1202 또는 1204)중 하나에서 지연 라인 카운트가 VSYNC에 의해 표시되는 요구되는 지연과 동일한 경우에, 각 비교기(1212, 1214)의 출력은 시스템 클록(CLK)과 함께 동기적으로 참(true)으로 수행되고, 그 결과 각 D형 플립/플롭(U7 또는 U8)으로 로딩되어 신호 STR-RST를 생성하기 위해 D형 플립/플롭(1218: U9)을 통해 시프트된다. STR-RST는 제10도에 상세히 도시된 바와 같이 회로(1300)에 결합된다. SOL_X_2, VSYNC 및 CLK 신호 뿐만 아니라 시스템 전체 리세트 신호 RSTn도 회로(1300)에 결합된다.

신호 STR-RST의 발생은 라인 카운트가 원하는 지연에 도달되어 수직 리세트가 요구된다는 것을 의미한다. 그러나, 전술한 바와 같이, VSYNC가 발생될 수 있는 어떠한 동작 모드에서 지연이 경과하기 전에 라인 카운트를 리세팅시켜 수직 리세트의 발생을 방지하는 것은 가능하다. 이와 같은 발생을 방지하고 수직 리세트가 각 경우마다 발생하게 하기 위해서, VSYNC 신호는 VSYNC 의 선행 에지에서 1-클록 와이드 펄스 VSYNC_E를 통해 인에이블 J-K 플립/플롭(1312: U12)을 세트시키는 D형 플립/플롭(1310: U10)에 결합된다. 신호 STR-RST도 인에이블 J-K 플립/플롭(1312)을 리세팅하도록 D형 플립/플롭(1314: U11)에 결합된다. 플립/플롭(1312, 1314)은 VSYNC와 STR-RST의 발생 시에, 개별적으로 클록과 함께 동기적으로 짧은 펄스를 제공하며, 상기 펄스들은 인에이블 플립/플롭(1312)의 J 및 K 입력에 결합되다. 이로써, STR-RST가 발생

되는 경우에, 또는 STR-RST 전에 VSYNC가 다시 발생하는 경우에, 인에이블 플립/플롭(1312)은 클리어되고 출력 펄스는 5 비트 카운터(1316: U0)를 클리어하도록 게이팅된다. 다음에 VRST는 하이 상태가 되고 원하는 카운트에 도달할 때까지 하이 상태(카운터가 인에이블되는 상태)를 유지한다. 상기 예에 있어서, VRST는 16 하프 라인의 펄스폭을 한정하는 카운터 출력의 최상위 비트에 결합된다.

본 발명에 따르면, 패닝 지연의 증가는 각 필드의 시작점에서 다음 발생된 동일 필드에 참조된 포인트까지 카운트된다. 따라서, 필드 길이가 일치하지 않는 문제점이 없게 되고, 라인간 플리커가 발생하지 않고, 라스터가 수직으로 붕괴되는 가능성이 없게 된다.

수직 리세트 펄스(VRST)의 발생에 관한 전술한 설명은 수직 블랭킹 펄스의 발생에 응용 가능하다. 수직 블랭킹 펄스는 지연되어야 하고, 이는 동일 방식으로 수행될 수 있다. 그러나, 패닝 지연 카운트 및 블랭킹 펄스의 폭은 제4도에 도시된 바와 같이 수직 리세트의 폭 및 지연 카운트와 다르다. 블랭킹 펄스에 응용 가능한 패닝 지연은 VRST에 응용 가능한 패닝 지연을 보충하는 와이드 스크린 프로세서에 의해 결정된다. 블랭킹 펄스폭은 마찬가지로 결정되고 수직 리세트 펄스에 대해 상세히 설명된 바와 같이 동일한 방식으로 카운터를 사용하여 발생될 수 있다.

(57) 청구의 범위

청구항 1

연속 수평 라인 그룹들을 연속 수직 주사 간격으로 분할하는 수직 동기 성분(VSYNC)을 갖는 비디오 신호 디스플레이 수단(244)을 구비하는 텔레비전 장지에 있어서, 상기 수평 라인들을 카운팅하여 상기 비디오 신호의 상기 수직 동기 성분(VSYNC)에 관련하여 동상으로 가변적으로 위상 시프트된 수직 리세트 신호(V_{RST})를 발생하는 패닝 제어 수단(1200)을 포함하고, 상기 위상 시프트는 상기 비디오 신호를 수직으로 패닝 다운하기 위한 제1 범위내에서 변화하고 상기 비디오 신호를 수직으로 패닝 업하기 위한 제2 범위내에서 변화하며, 상기 제1 및 제2 범위는 각각의 상기 수직 동기 성분에 대해 상기 수직 주사 간격들중 다른 간격으로 존재하는 것을 특징으로 하는 텔레비전 장치.

청구항 2

제1항에 있어서, 상기 수직 동기 성분(VSYNC)중 임의로 정해진 성분은 상기 수직 동기 성분에 후속하는 제1 수직 주사 간격과 이 제1 수직 주사 간격에 후속하는 제2 수직 주사 간격을 한정하고, 상기 제1 범위는 상기 제1 수직 주사 간격의 대략 제1 절반을 초과하여 연장되고 상기 제2 범위는 상기 제2 수직 주사 간격의 대략 제2 절반을 초과하여 연장되는 것을 특징으로 하는 텔레비전 장치.

청구항 3

제1항에 있어서, 수지 크기에서 상기 디스플레이 수단(244)를 초과하도록 상기 비디오 신호를 확대하는 수단(500)을 추가로 포함하고, 상기 패닝 제어 수단(1200)은 상기 비디오 신호의 수직으로 한정된 부분이 상기 디스플레이 수단(244)상에 나타나는지를 결정하는 것을 특징으로 하는 텔레비전 장치.

청구항 4

제1항에 있어서, 상기 패닝 제어 수단(1200)은 사용자 명령에 응답하는 것을 특징으로 하는 텔레비전 장치.

청구항 5

제1항에 있어서, 상기 패닝 제어 수단(1200)은 상기 수직 동기 성분으로부터 수평 하프 라인을 카운팅하며, 상기 제1 범위는 0과 262.5 하프 라인 사이에 존재하고 상기 제2 범위는 787.5와 1050 하프 라인 사이에 존재하는 것을 특징으로 하는 텔레비전 장치.

청구항 6

제1항에 있어서, 상기 비디오 디스플레이 수단(244)은 4:3 보다 큰 수평 대 수직 종횡비를 갖는 와이드 스크린 비디오 디스플레이 유닛을 포함하는 것을 특징으로 하는 텔레비전 장치.

청구항 7

제1항에 있어서, AC 결합 수직 편향 시스템(50)을 추가로 포함하는 것을 특징으로 하는 텔레비전 장치.

청구항 8

제1항에 있어서, 상기 패닝 제어 수단은 수평 라인들을 표시하는 라인 신호(SOLX2)를 발생하고 패닝 지연 라인 카운트(VPHASE)를 설정하는 수단(30)과; 상기 라인 신호 발생 수단(30)에 응답하여 각 라인 카운트를 누산하는 제1 및 제2 카운터(1202, 1204)와; 상기 수직 동기 성분(VSYNC)에 응답하여 교번하는 방식으로 상기 제1 및 제2 카운터(1202, 1204)를 리세팅하는 수단(U1, U2)과; 상기 라인 카운트중 하나의 라인 카운트가 상기 패닝 지연 라인 카운트(VPHASE)와 일치할 때 상기 수직 리세트 신호(V_{RST})를 발생하는 하나 이상의 비교기(1212 또는 1214)를 포함하는 것을 특징으로 하는 텔레비전 장치.

청구항 9

제8항에 있어서, 상기 리세팅 수단(U1, U2)은 상기 수직 동기 성분(VSYNC)에 응답하여 상기 필드 중 현행 필드에 상당하는 상기 카운터(1202, 1204) 중 하나의 카운터의 카운트 입력에 상기 라인 신호(SOLX2)를 게이팅하도록 동작할 수 있는 토글링 회로인 것을 특징으로 하는 텔레비전 장치.

청구항 10

연속하는 수평 라인 그룹들을 연속하는 필드들로 분할하는 수직 동기 성분(VSYNC)을 가진 비디오 신호 디스플레이 수단을 구비하며 연속하는 수의 상기 필드들에 의해 연속하는 프레임을 형성하는 텔레비전 장치에 있어서, 상기 비디오 신호를 상기 비디오 디스플레이 수단(244)상에 수직으로 패닝업하도록 상기 비디오 신호의 상기 수직 동기 성분(VSYNC)에 관련하여 가변 팬 지연(VPHASE)만큼 지연된 수직 리세트 신호(V_{RST})를 발생하는 수단(1200)을 포함하고, 상기 가변 팬 지연(VPHASE)은 상기 필드중 하나의 필드보다 길고 상기 프레임중 하나의 프레임보다 짧은 것을 특징으로 하는 텔레비전 장치.

청구항 11

제10항에 있어서, 상기 가변 팬 지연(VPHASE)은 상기 필드보다 대략 1.5배 더 긴것을 특징으로 하는 텔레비전 장치.

청구항 12

제10항에 있어서, 상기 수직 리세트 신호 발생 수단(1200)은 상기 수평 라인용 카운터(1202 또는 1204)를 포함하는 것을 특징으로 하는 텔레비전 장치.

청구항 13

제10항에 있어서, 상기 수직 리세트 신호(V_{RST}) 발생 수단(1200)은 상기 비디오 신호를 수직으로 패닝하는 하나의 필드보다 적은 상기 가변 팬 지연(VPHASE)을 발생하는 것을 특징으로 하는 텔레비전 장치.

청구항 14

제3항에 있어서, 상기 가변 팬 지연(VPHASE)은 대략 1/2 필드보다 적은 것을 특징으로 하는 텔레비전 장치.

청구항 15

제3항에 있어서, 상기 업 가변 팬 지연 및 다운 가변 팬 지연은 제1 및 제2 상호 배타적인 패닝 범위를 한정하는 것을 특징으로 하는 텔레비전 장치.

청구항 16

제10항에 있어서, AC 결합 수직 편향 시스템(50)을 추가로 포함하는 것을 특징으로 하는 텔레비전 장치.

청구항 17

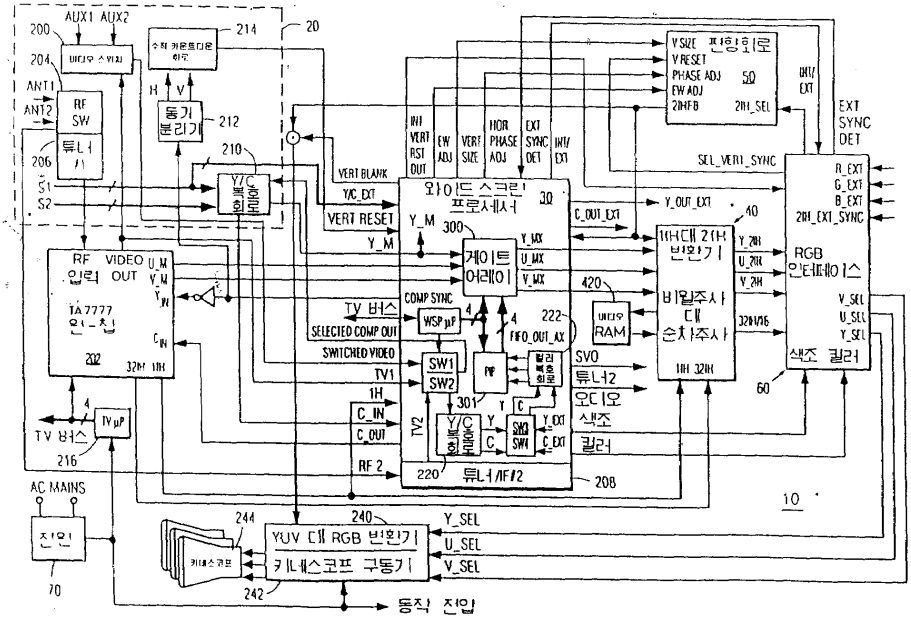
제10항에 있어서, 상기 수직 리세트 신호 발생 수단은 수령 라인들을 표시하는 라인 신호(SOLX2)를 발생하고 패닝 지연 라인 카운트(VPHASE)를 설정하는 수단(30)과; 상기 라인 신호 발생 수단(30)에 응답하여 각 라인 카운트를 누산하는 제1 및 제2 카운터(1202, 1204)와; 상기 프레임들의 상기 연속 필드의 상기 수직 동기 성분(VSYNC)에 응답하여 교번하는 방식으로 상기 제1 및 제2 카운터(1202, 1204)를 리세팅하는 수단(U1, U2)과; 상기 라인 카운트들중 하나가 상기 패닝 지연 라인 카운트(VPHSE)와 일치할 때 상기 수직 리세트 신호(V_{RST})를 발생하는 하나 이상의 비교기(1212 또는 1214)를 포함하는 것을 특징으로 하는 텔레비전 장치.

청구항 18

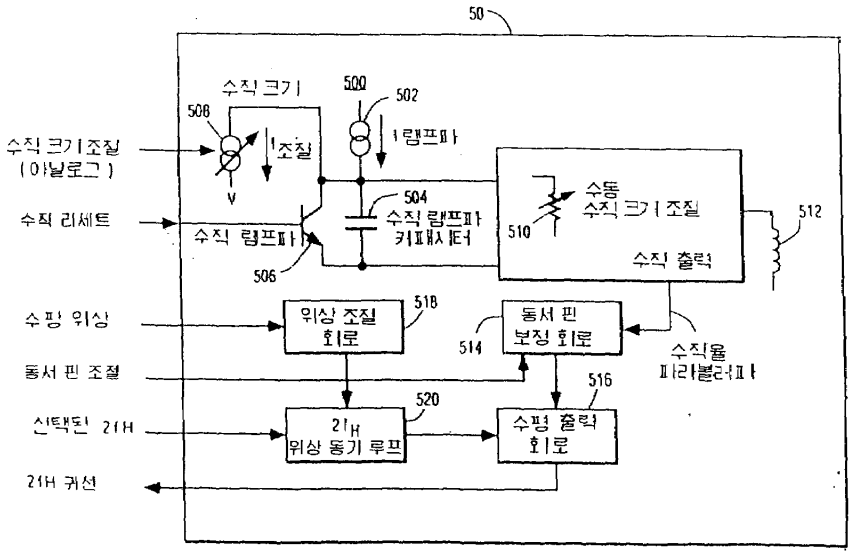
연속 수평 라인 그룹들을 연속 수직 주사 간격으로 분할하는 수직 동기 성분을 갖는 비디오 신호 디스플레이하는 수단과; 상기 수평 라인들을 카운팅하여 상기 비디오 신호의 상기 수직 동기 성분에 관련하여 동상으로 가변적으로 위상 시프트된 수직 리세트 신호를 발생하는 패닝 제어 수단을 포함하며 상기 위상 시프트는 상기 비디오 신호를 수직으로 패닝 다운하기 위한 제1 범위내에서 변화하고 상기 비디오 신호를 수직으로 패닝 업하기 위한 제2 범위내에서 변화하며, 상기 제1 및 제2 범위는 각각의 상기 동기 성분에 대해 상기 수직 주사 간격들중 다른 간격으로 존재하는 것을 특징으로 하는 텔레비전 장치.

도면

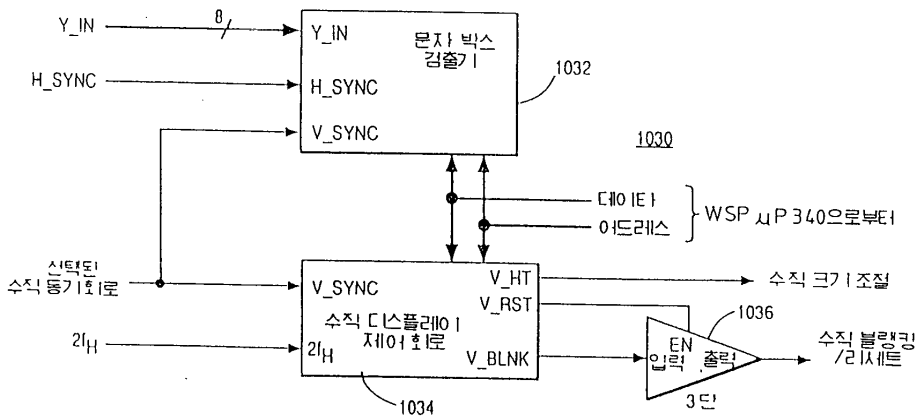
도면1


AUX1 AUX2
200
204
ANT1
ANT2
RF SW
튜너 #1
206
S1
S2
214
20
동기 분리기
212
210
Y/C 복호 회로
VERT BLANK
Y/C_EXT
VERT RESET
Y_M
와이드 스크린 프로세서
30
300
게이트 어레이
Y_MX
U_MX
V_MX
COMP SYNC
WSP μP
4
222
FIFO_OUT_AX
TV 버스
SELECTED COMP OUT
SWITCHED VIDEO
SW1
SW2
PIP
TV1
1H
C_IN
C_OUT
TV2
301
Y/C 복호 회로
RF 2
220
튜너/IF#2
208
RF VIDEO 입력 OUT
TA7777 인-칩
202
32H 1H
TV 버스
TV μP
216
AC MAINS
전원
70
244
240
YUV 대 RGB 변환기
키네스코프 구동기
242
Y_SEL
U_SEL
V_SEL
동작 전압
V SIZE 편향회로
V RESET
PHASE ADJ
EW ADJ
2IHFB
50
2IH_SEL
INT/EXT
EXT SYNC DET
SEL_VERT_SYNC
C_OUT_EXT
Y_OUT_EXT
40
1H대 2H 변환기
비월주사 대 순차주사
1H 32H
420
RAM
SVO
튜너2
오디오
색조
킬러
R_EXT
G_EXT
B_EXT
2IH_EXT_SYNC
RGB 인터페이스
V_SEL
U_SEL
Y_SEL
색조 킬러
60
10

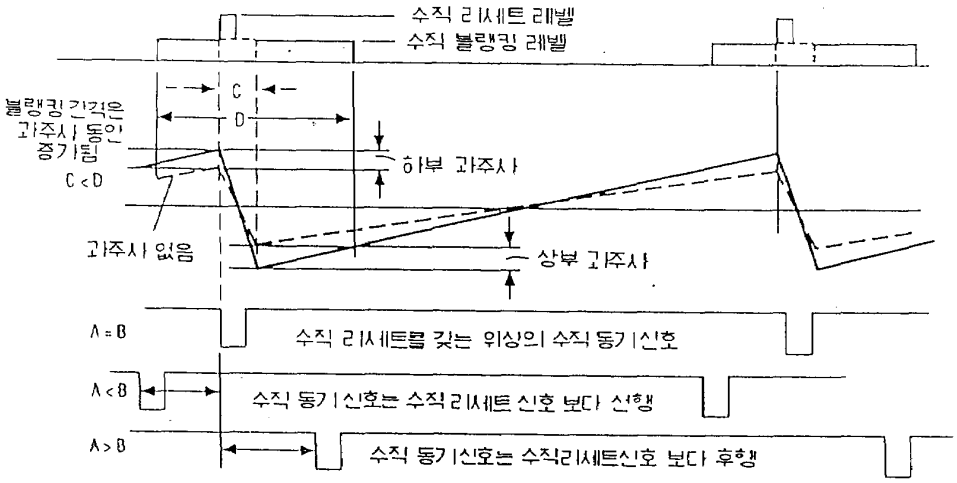
도면2


50
수직 크기
500
502
508
1조절
1램프파
수직 크기조절 (아날로그)
V
504
수직 램프파 커패시터
수동 수직 크기 조절
510
512
수직 리세트
수직 램프파
506
수직 출력
수평 위상
위상 조절 회로
518
동서 핀 보정 회로
514
수직율 파라볼러파
동서 핀 조절
516
520
신택된 2H
2H 위상 동기 루프
수평 출력 회로
2H 귀선

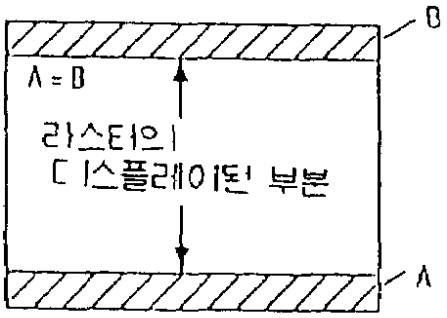
도면3


Y_IN
8
H_SYNC
V_SYNC
Y_IN
문자 박스 검출기
H_SYNC
V_SYNC
1032
1030
데이터
어드레스
WSP 시P 340으로부터
선택된 수직 동기회로
2fH
V_SYNC
V_HT
V_RST
수직 디스플레이 제어회로
2fH
V_BLNK
수직 크기 조절
1036
EN
입력 출력
수직 블랭킹 /리세트
3단
1034

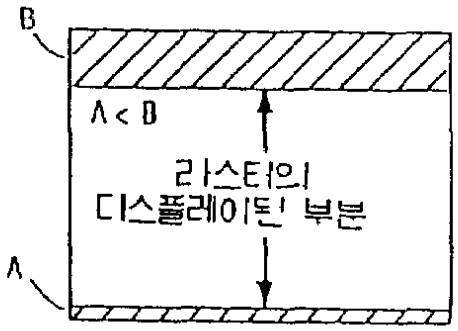
도면4


수직 리세트 레벨
수직 블랭킹 레벨
블랭킹 간격은 과주사 동안 증가됨
C < D
C
D
하부 과주사
과주사 없음
상부 과주사
A = B
수직 리세트를 갖는 위상의 수직 동기신호
A < B
수직 동기신호는 수직리세트 신호 보다 선행
A > B
수직 동기신호는 수직리세트신호 보다 후행

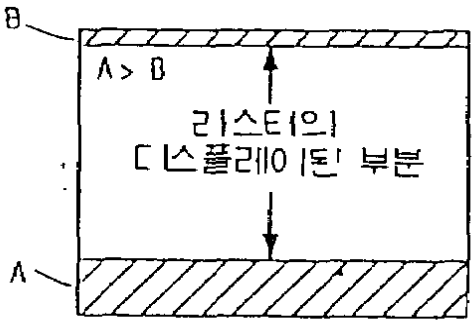
도면5a


B
A = B
라스터의
디스플레이된 부분
A

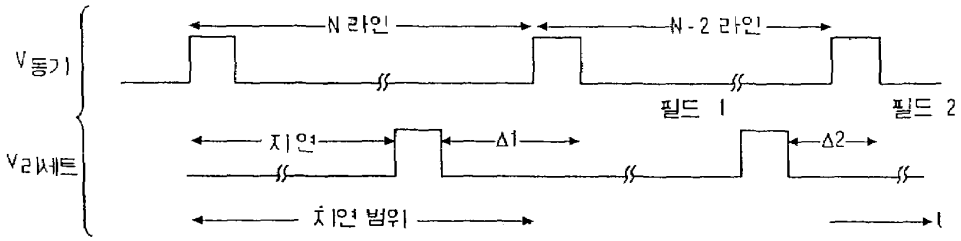
도면5b



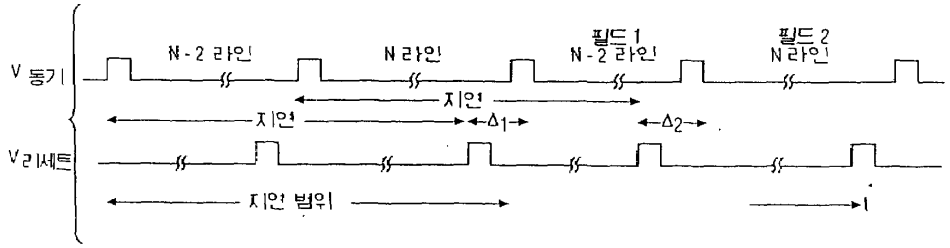
도면5c



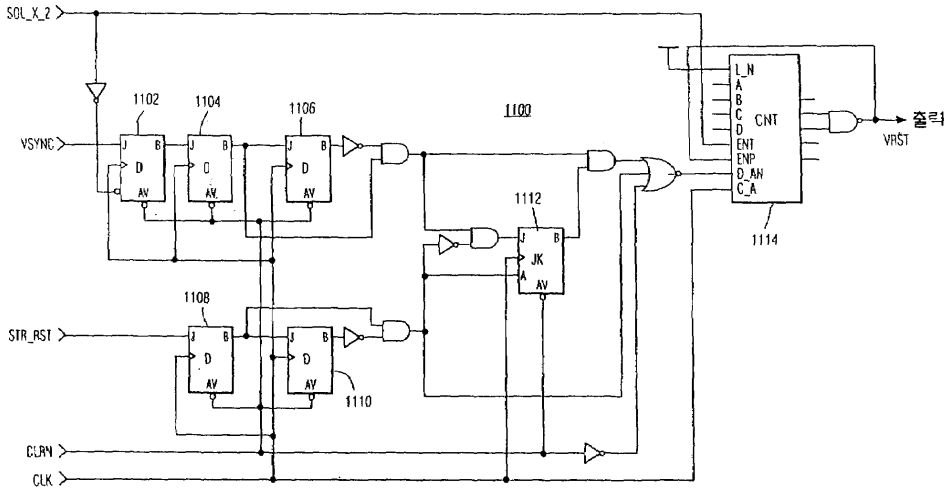
도면6



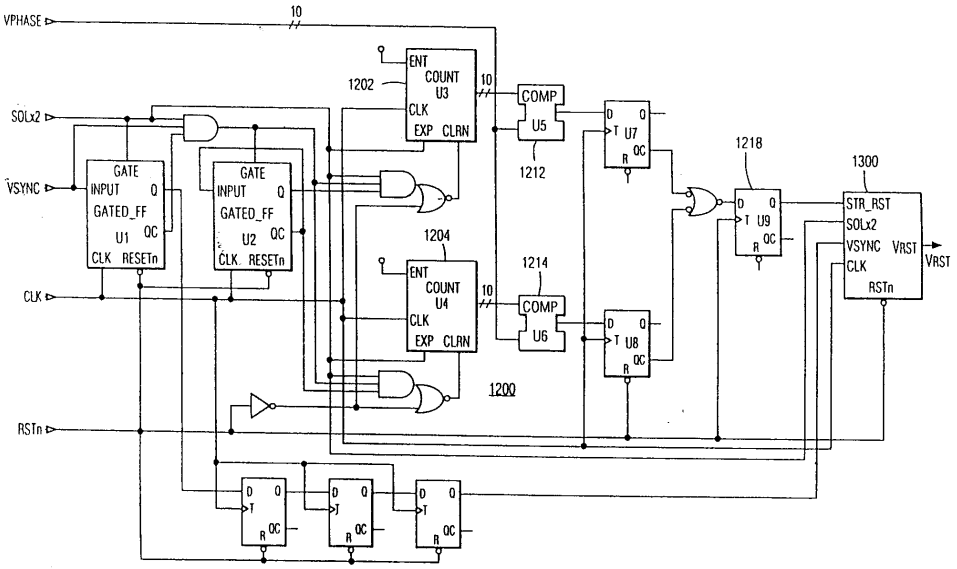
도면7



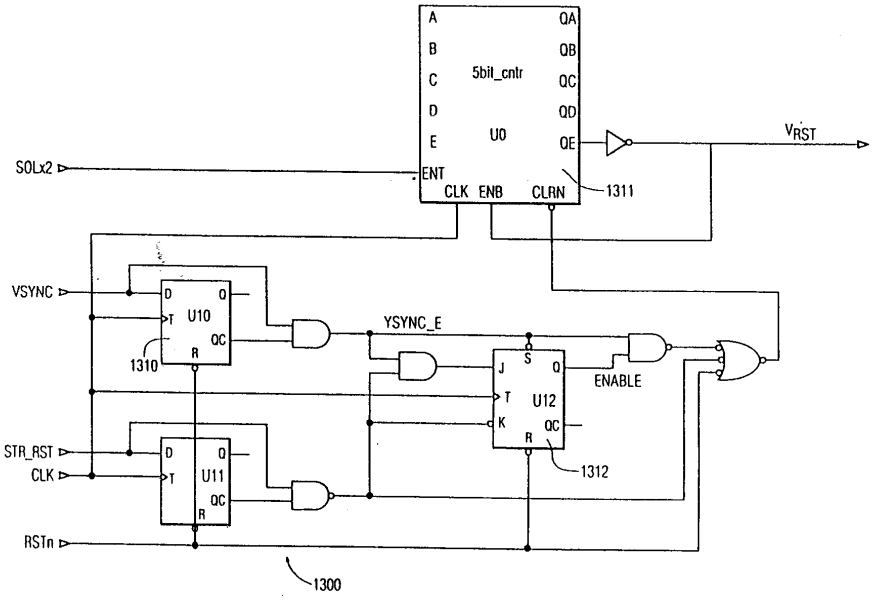
도면8


SOL_X_2
VSYNC
STR_RST
CLRN
CLK
1102
1104
1106
1100
1108
1110
1112
1114
L_N
A
B
C
D
CNT
ENT
ENP
D_AN
C_A
VRST
출력
J
B
D
AV
JK
A

도면9


VPHASE
10
SOLx2
VSYNC
CLK
RSTn
ENT
COUNT
U3
CLK
EXP
CLRN
1202
COMP
U5
1212
GATE
INPUT
Q
GATED_FF
U1
QC
CLK
RESETn
U2
1204
U4
1214
U6
1200
D
T
R
U7
U8
1218
U9
1300
STR_RST
SOLx2
VSYNC
VRST
CLK
RSTn

도면10


A
B
C
D
E
ENT
5bit_cntr
U0
QA
QB
QC
QD
QE
CLK ENB CLRN
1311
VRST
SOLx2
VSYNC
D
T
U10
QC
R
Q
1310
YSYNC_E
S
J
K
U12
ENABLE
1312
STR_RST
CLK
U11
RSTn
1300