(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H03K 17/00

(45) 공고일자 2003년09월13일
(11) 등록번호 10-0389465
(24) 등록일자 2003년06월17일

(21) 출원번호 10-1996-0001194
(22) 출원일자 1996년01월20일

(65) 공개번호 특1996-0030546
(43) 공개일자 1996년08월17일

(30) 우선권주장 1995-27308 1995년01월23일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 고하마 가즈마사
일본국 도쿄도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시기가이샤내

(74) 대리인 박종길

심사관 : 박재일

(54) 스위치회로및복합스위치회로

요약

본 발명은 스위치회로에 있어서, 삽입손실을 한층 저하시킨다. 전계효과트랜지스터의 드레인단자와 그라운드와의 사이, 및 또는 전계효과트랜지스터의 소스단자와 그라운드와의 사이에 제1의 용량 및 또는 제2의 용량을 접속하고, 제1 및 또는 제2의 용량의 용량치를 신호특성에 따라서 설정한다. 이로써, 원하는 주파수에 있어서의 삽입손실이 낮은 스위치회로를 용이하게 얻을 수 있다. 또한, 전계효과트랜지스터를 사용한 스위치회로에 2개의 제어단자에 인가되는 제어전압으로부터 바이어스전압을 발생하는 바이어스회로를 배선함으로써, 전용의 바이어스단자를 없앨 수 있는 아이솔레이션특성이 우수한 스위치회로를 실현할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 본 발명에 의한 스위치회로의 일실시예를 나타낸 접속도.
제2도는 2개의 제어단자에 상이한 전위가 인가된 상태에 있어서의 바이어스회로부의 등가회로를 나타낸 접속도.
제3도는 스위치회로가 온상태로 제어되어 있는 상태에 있어서의 신호선로의 등가회로를 나타낸 접속도.
제4도는 매칭회로부에 의한 삽입손실의 개선의 설명을 위한 특성곡선도.
제5도는 복합스위치회로의 설명을 위한 접속도.
제6도는 기생(寄生)인덕턴스에 의한 삽입손실의 설명을 위한 특성곡선도.
* 도면의 주요부분에 대한 부호의 설명
(1) : 스위치회로. (2) : 바이어스회로부. (3) : 매칭회로부.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스위치회로 및 복합스위치회로에 관한 것이며, 특히 고주파신호의 입출력을 전환하는 것에 적용하여 적합한 것이다.

현재, 자동차전화나 휴대전화 등의 이동체통신시스템이 비지니스로서 크게 발전하여 오고 있다. 그런데, 도시부에서는 통신회선의 부족이 심각하게 되어 오고 있어서, 각국에서 다양한 이동체통신시스템의 실용화가 진행되고 있다. 이들의 통신시스템에서는 아날로그통신방식이 아니고 디지탈통신방식이 많은 경우 채용되고 있고, 또 통신대역도 현재의 이동체통신시스템보다 고주파측의 준마이크로파대가 사용되고 있다.

그리고 준마이크로파대의 신호를 송수신하는 이들 통신시스템에서는 휴대단말의 신호처리부에 반도체전계효과트랜지스터(FET)가 많은 경우 사용되고 잇다. 특히, 휴대성이 중시되는 휴대단말의 경우, 소형화, 저전압구동화, 및 저소비전력화를 실현할 수 있는 GaAs FET를 사용한 모놀리식 마이크로웨이브 IC (이하, MMIC (Monolithic Microwave IC)라고 함)의 개발이 중요시되고 있다. 그중에서도 휴대단말내에서 고주파신호를 전환하는 고주파스위치가 키디바이스의 하나로 되어 오고 있다.

여기서 FET를 스위칭디바이스로서 사용할 경우의 동작을 설명한다. 먼저, 온상태로 사용할 때에는 게이트에 FET의 핀치오프전압보다 충분히 높은 바이어스를 인가하고 또 오프상태로 사용할 경우에는 게이트에 FET의 핀치오프전압보다 충분히 낮은 바이어스를 인가한다. 이 상태에서 게이트에 FET의 핀치오프전압보다 충분히 높은 바이어스를 인가함으로써 드레인-소스간을 저임피던스의 상태로 제어할 수 있어 FET를 온할 수있다. 또 이 상태에서 게이트에 FET의 핀치오프전압보다 충분히 낮은 바이어스를 인가함으로써 드레인 -소스간을 고임피던스의 상태로 제어할 수 있어 FET를 오프할 수 있다.

그런데, 현재 시판되고 있는 GaAs FET의 경우, 온상태일 때 드레인 -소스간에 접속된 저항성분과 근사(近似)시킬 수 있고, 또 오프상태일 때 드레인 -소스간에 접속된 용량성분과 근사시킬 수 있다. 이 때, FET의 저항치 및 용량치는 각각, FET의 단위게이트폭 Wg당 수 [Ω/mm] 및 수백 [fF/mm]로 할 수 있다. 예를 들면, 저항 Ron은 2 [Ω/mm] 용량 Coff은 300 [fF/mm]로 된다.

상기와 같은 FET를 사용하여 FET스위치를 구성할 경우, 게이트폭 Wg으로서 1[mm]정도의 FET를 사용하면, 수 [GHz] 이하의 신호를 취급할 경우, 온상태에서의 손실을 0.2 [dB]정도로 작게 억제할 수 있을 것이다.

그러나, 전술한 바와 같이 FET스위치를 휴대전화단말 등에 사용할 경우, 코스트를 내리기 위하여 FET 또는 FET를 사용한 스위치 IC를 플라스틱몰드패키지 등의 염가의 패키지에 실장하는 수가 많다.

이와 같은 플라스틱몰드패키지는 준마이크로파대 이상의 주파수로 되면, 삽입손실에 주는 영향을 무시할 수 없게 된다.

특히, 반도체칩과 패키지의 신호핀을 금 등의 본딩와이어 등으로 접속할 경우, 이 본딩와이어의 인덕턴스가 스위치의 삽입손실에 크게 영향을 미치는 문제가 있었다. 이 손실은 실제로는 임피던스 부정합(不整合)에 의한 반사손실이다. 예를 들면 게이트폭 Wg이 1 [mm]의 FET (Ron=2 [Ω])의 입출력단자에, 각각 본딩와이어 등에 의한 Z [nH]의 인덕턴스를 부가한 경우, 제6도에 있어서 파선으로 나타낸 바와 같이, 손실은 예를 들면 주파수 2 [GHz]에 있어서 0.2 [dB]에서 1.1 [dB]로 증대하고 있다. 따라서, 스위치 IC의 저삽입손실화를 고려한 경우, 본딩와 이어 등의 인덕턴스의 저감이 필요하게 된다.

그러나 몰드패키지에서는, 실장조건의 자유도가 작아 인덕턴스의 저감은 그만큼 간단하지는 않다. 또, 신호단자의 반도체칩과 패키지의 접속에 본딩와이어를 다수개 병렬로 사용하는 등 하면 인덕턴스를 어느 정도 저감할 수 있으나, 칩면적이 증대하는 등의 디메리트도 크므로 득책이라고는 말하기 어렵다.

그래서 상기와 같은 문제를 회피하는 방책으로서 본딩와이어의 인덕턴스와, 신호경로 및 그라운드간에 존재하는 기생용량과의 공진(共振)을 이용하여 와이어본딩에 의한 손실을 작게 하려고 하는 시도가 있다.

그러나 이 경우, 기생용량 및 본딩와이어의 각 기생인덕턴스는 또두 부차적인 것으로 용이하게 콘트롤할 수 있는 파라미터는 아니다. 예를 들면, 기생용량을 IC칩상에 형성되는 FET의 게이트폭으로 콘트롤하는 것이 고려되지만, 이와 같은 콘트롤을 행함으로써 스위치회로로서의 최적의 구성을 취할 수 있다고는 한정할 수 없고, 결국 삽입손실이나 아이솔레이션(isolation)특성의 열화에 이어질 수도 있다.

이와 같이, 삽입손실저감을 위하여 최적으로 되도록 본딩와이어의 인덕턴스치와 기생용량치를 취하는 것은 매우 어렵다는 문제가 있었다.

또 앞에서도 설명한 바와 같이, FET를 스위치용으로서 사용할 경우에는, 핀치오프 전압보다 충분히 크고, 온저항을 충분히 작게 할 수 있는 온바이어스와, FET를 완전히 오프시킬 수 있는 오프바이어스와를 게이트단자에 인가하지 않으면 안되지만, 일반적으로 오프바이어스에는 부(負)전위가 필요하게 된다. 이것은 핀치 오프전압 Vp이 0 [V] 이하로 설정되는 경우가 많기 때문이다. 그러나, 부전원은 DC - DC 콘버터 등을 필요로 하므로 코스트, 사이즈, 소비전력의 점에서 바람직하지 않다.

이것을 회피하는데는 정(正)전원만에 의하여 스위치회로가 동작하면 된다. 실제로, FET의 드레인단자 및 소스단자에 정의 바이어스 V_{bias} 를 인가하고, 또한 게이트에 0[V] 이상(일반적으로 0 [V])의 전위를 인가할 경우에도 드레인

및 소스에 대한 게이트의 상대적인 전위를 부로 할 수 있고, 이 경우에는 FET를 오프상태(핀치오프상태)로 제어할 수 있다.
그러나, 이 경우에는 바이어스 V_{bias} 단자가 여분으로 필요하게 되는 문제가 생긴다. 또, 바이어 V_{bias} 단자로부터 뻗는 바이어스선의 인회(引回)는 회로의 점유면직의 증대, 또한 IC의 반도체칩사이즈 및 IC패키지사이즈의 증대에 이어질 수 있다. 또, 바이어스단자의 존재는 아이솔레이션특성의 열화 등의 원인으로 된다.
또 이것에 더하여, 바이어스 V_{bias} 를 인가할 경우 충분히 낮은 온저항을 얻기 위하여는 바이어스 V_{biss} 를 게이트의 온바이어스에 대하여 빌트인(built - in)전압 V_{bi} 정도 낮은 전위에 설정할 필요가 있다. 그러므로 바이어스 V_{bias} 전위는 FET의 제어전위(온바이어스)에 따라서 변동시키지 않으면 안된다. 그러나, 이것은 정전원제어스위치 IC 등을 사용하는 사용자에 있어서 번거롭다.
본 발명의 목적은 이상의 점을 고려하여 이루어진 것이며, 종래에 비하여 고 주파신호에 대한 삽입손실이 적은 스위치회로를 제안하려고 하는 것이다. 또, 높은 아이솔레이션특성을 실현할 수 있는 정전원구동의 스위치회로 및 이것을 사용한 복합스위치회로를 제안하려고 하는 것이다.
이러한 과제를 해결하기 위하여 본 발명의 스위치회로에 있어서는, 드레인 -소스간을 신호통로로 하는 전계효과트랜지스터와, 전계효과트랜지스터의 게이트단자에 접속된 고임피던스소자와, 전계효과트랜지스터의 드레인단자와 그라운드와의 사이에 접속된 제1의 용량 및 또는 전계효과트랜지스터의 소스단자와 그라운드와의 사이에 접속된 제2의 용량을 배설한다.
또, 본 발명의 스위치회로에 있어서는, 크기가 상이한 제1 및 제2의 전압이 각각 교호로 인가되는 제1 및 제2의 제어단자와, 당해 제1 및 제2의 제어단자에 인가된 제1및 제2의 전압에 따라서 바이어스전압을 생성하는 바이어스전압발생수단과, 드레인 -소스간을 신호통로로 하는 전계효과트랜지스터와 전계효과트랜지스터의 게이트단자와 제1의 제어단자와의 사이에 접속된 고임피던스소자를 배설한다.
또한, 본 발명의 복합스위치회로에 있어서는, 전술한 스위치회로를 복수개 조합하여 이루어진다.
전계효과트랜지스터의 드레인단자와 그라운드와의 사이, 및 또는 전계효과트랜지스터의 소스단자와 그라운드와의 사이에 접속된 제1의 용량 및 또는 제2의 용량의 용량치를 가변함으로써 신호선로상에 존재하는 기생인덕턴스와의 이들 용량에 따라서 얻어지는 정합특성을 조정한다. 이로써, 원하는 주파수에서의 삽입손실을 더욱 저감할 수 있다.
제1 및 제2의 제어단자에 인가되는 2종류의 전압에 따라서 바이어스전압을 생성함으로써, 정전원을 사용할 경우에도 바이어스전용의 단자를 없앨 수 있다. 그 만큼 패키지나 칩을 한층 소형화할 수 있다. 또, 이에 따라서 바이어스라인을 통한 신호의 누출도 없앨 수 있고, 아이솔레이션특성을 향상시킬 수 있다.
다음에, 도면에 따라서 본 발명의 일실시예에 대하여 상세히 설명한다.
(1) 기본구성
제1도에 스위치회로(1)의 기본구성을 나타낸다. 이 스위치회로(1)는 2개의 제어단자 CTL1 및 CTL2에 인가되는 2종류의 전위에 따라서 바이어스전압을 발생하는 바이어스 전압발생부(2)와, 신호선로에 대하여 그라운드의 위치에 배치된 용량 C1 및 C2에 의하여 이루어지는 매칭회로부(3)를 가지는 것을 특징으로 한다.
여기서는 먼저 바이어스회로부(2)에 대하여 설명하고, 계속하여 매칭회로부(3)에 대하여 설명한다.
(2) 바이어스회로부
바이어스회로부(2)는 2개의 제어단자 CTL1 및 CTL2 사이에 접속된 다이오드 D1, D2 및 저항 R4, R5에 의하여 구성되어 있다. 여기서, 제어단자 CTL1 및 DTL2에는 교호로 2종류의 전위 V(High) 및 V(Low) (V(Higy) > V(Low))가 인가되도록 되어 있다. 예를 들면, 제어단자 CTL1에 3 [V]/0 [V]가 인가될 때, 다른쪽의 제어단자 CTL2에는 0 [V]/3 [V]가 인가된다고 하는 양태이다.
여기서는 제어단자 CTL1의 전위 V_{CTL1} 가 다른쪽의 제어단자 CTL2의 전위 V_{CTL2} 보다 크다고 하고 (즉 $V_{CTL1} > V_{CTL2}$ 로 하고), 바이어스회로부(2)가 바이어스전압을 발생하는 양태를 설명한다. 이 때, 다이오드 D1는 순방향으로 바이어스되고, 다이오드 D2는 역방향으로 바이어스된다. 그 결과 다이오드 D1는 저임피던스 Zd(Low)의 상태로 되고 다이오드 D2는 고임피던스 Zd(High)의 상태로 된다.
여기서 다음 식

$$|Zd(Low)| \ll |R4|,\ |R5| \ll |Zd(High)| \qquad \cdots (1)$$

이 성립한다고 하면, 바이어스회로부(2)의 등가회로른 제2도와 같이 된다. 따라서 다이오드 D1와 저항 R5의 접속중점에 해당하는 바이어스단자 V_{bias} 에는, 다이오드의 접합빌트인전압 V_{bi} 분만큼 V(High)보다 전압강하한 전위 V(High)-V_{bi} 가 인가된다.
이것은 제어단자 CTL2의 전위 V_{CTL2} 가 다른쪽의 제어단자 CTL1의 전위 V_{CTL1} 보다 클 경우 (즉 $V_{CTL2} > V_{CTL1}$ 의 경우)에도 동일하다.
그런데 제어단자 CTL1 및 바이어스단자 V_{bias} 는 고임피던스의 저항 R1 및 R2, R3을 통하여 FET1의 게이트단자 및 드레인단자, 소스단자에 접속되어 있다. 이들 제어단자 CTL1 및 바이어스단자 V_{bias} 에 인가되는 직류전방 V_{CTL1} 및 V(High) -V_{bi} 에 의하여 게이트 단자 및 드레인단자, 소스단자가 직류바이어스되어, 신호경로로부터의 고주파신호의 누출이 방지되고 있다.
결과로서, 게이트단자의 드레인단자(소스단자)에 대한 상대전위는 V_{bi} (V_{CTL1} =V(High)일 때), 또는 V(Low) - V(Hogh) + V_{bi} (V_{CTL1} + V(Low)일 때)로 된다.
일반적으로, FET의 드레인 -소스간 저항은 FET의 게이트단자에 인가되는 바이어스 전압이 빌트인전압 정도에서 포화경향으로 되므로, 스위치용 FET로서의 게이트단자에 인가하는 온바이어스전압은 빌트인전압 정도로 설정하는 것이 적당하다. 이것은 가령 게이트단자에 빌트인전압 이상의 전압을 인가하려고 해도 게이트단자에 리크전류가 흘러

서, 게이트단자에 접속한 저항에서 전압강하를 일으키므로 빌트인전압 이상의 전압은 게이트에는 걸리기 어려운 것에 의한다.
따라서 상기와 같이 어떠한 크기의 제어전압으로 콘트롤했다고 해도(단 V(Low)와 V(High)의 차는 빌트인전압 이상 필요함). 온상태에 있는 게이트단자의 드레인단자(소스단자)에 대한 상대전위는 스위치용 FET로서 최적전압의 빌트인전압 V_{bi} 으로 된다.
이상과 같이, 바이어스회로부(2)를 배설함으로써, 외부접속용의 바이어스단자를 불요로 할 수 있어서, 패키지나 칩의 소형화를 실현할 수 있다. 또, 바이어스선도 불요로 할 수 있으므로 바이어스선을 통한 신호의 누출도 없앨 수 있어서 성능의 향상을 실현할 수 있다. 또, 정전원만으로 스위치회로(1)를 제어할 수 있다. 또한 제어전압을 변화시킨 경우에 있어서도 IC중에서 사용되는 FET의 온바이어스는 최적치를 유지할 수 있다.
(3) 매칭회로부
매칭회로부(3)는 신호선로에 대하여 그라운드의 위치에 배치된 용량 C1, C2과 신호 경로상의 기생인덕턴스 L1, L2에 의하여 전송계와의 임피던스를 정합하여, 손실의 저감을 도모하고 있다.
제3도에 스위치가 온상태일 때의 등가회로를 나타낸다. 단, 도면에서는 고주파신호의 입출력단자 RF1, RF2의 부분에 존재하는 본딩와이어 등의 기생인덕턴스를 L1 및 L2로 하고, 또 간단하게 하기 위하여 FET의 온저항은 0으로 한다. 또, 용량 C_{total1} 은 용량 C1과 기생용량 C'과의 합성용량을 나타내고 있으며, 또 용량 C_{totat2} 은 용량 C2과 기생용량 C'과의 합성용량을 나타내고 있다.
제3도로부터, 기생인덕턴스 L1 및 L2를 L로 하고 합성용량 C_{total1} 및 C_{total2} C/2 로 하고, 각주파수(角周波數)를 ω, 전송계의 특성임피던스를 R로 하면, 입력임피던스 Zin는 다음 식

$$Z_{in} = j\omega L + \frac{(j\omega L + R)/j\omega C}{(1/j\omega C + j\omega L + R)} = \frac{j\omega(L - \omega^2 L^2 C + L - CR^2)}{(1 - \omega^2 LC + j\omega CR)} + R \quad \cdots (2)$$

로 된다. 따라서, 정합주파수 f는 다음 식

$$f = 1/(2\pi L)\ ((2L - CR^2)/C)^{0.5} \quad \cdots (3)$$

으로 된다. 이 식으로부터 예를 들면 L이 2 [nH], C가 1 [pF]라고 하면, 정합주파는 3.1 [GHz]로 된다.
다음에, 스위치회로(1)에 있어서의 기생인덕틴스 L를 1 [nH]로 하여 C의 값을 변화시킨 경우의 삽입손실의 주파수 특성의 시뮬레이션결과를 제4도에 나타낸다. 단, 이 시뮬레이션결과는 FET로서 게이트폭 1 [mm] 게이트길이 0.5 [㎛]의 GaAs 전계접합형 FET (JFET)를 사용한 경우의 예이다. 이 도면으로부터 C=250 [fF], 500 [fF]일 때, C=0의 경우보다 삽입손실이 작아지고 있는 주파수영역이 있어서, 이 정합용 용량의 효과가 있는 것을 알았다.
또 제1도와 앞의 정합주파수의 식으로부터, 수 [CHz] 정도의 주파수의 경우, 정합용 용량의 크기는 겨우 1 [pF] 정도로 저손실화의 효과가 있는 것을 알았다. 단. 본딩와이어 등에 의한 기생인덕턴스는 수 [nH]라고 한다. 또, 1 [pf] 정도의 용량치는 통상의 GaAs FET프로세스의 질화실리콘절연막을 사용한 MIM (Metal - Insulator - Metal)용량의 경우, 100 [㎛]각 정도의 크기로 실현할 수 있으므로 반도체칩상의 점유면적은 매우 작아도 되게 된다.
또, 매우 작은 용량을 칩상에 만들어 넣음으로써, 원하는 주파수로 삽입손실을 저감할 수 있다.
(4) 다른 실시예
그리고 전술한 실시예에 있어서는, 스위치회로(1)로서 바이어스회로부(2) 및 매칭 회로부(3)의 양쪽을 구비하는 것에 대하여 설명하였으나, 본 발명은 이것에 한하지 않고, 바이어스회로부(2)만을 구비하는 스위치회로에도 매칭회로부(3)만을 구비하는 스위치회로에도 적용할 수 있다.
또, 전술한 실시예에 있어서는, FET1의 드레인단자 및 소스단자에 각각 고임피스던스 소자를 접속하는 경우에 대하여 설명하였으나, 본 발명은 이것에 한하지 않고, 어느 한쪽에만 고임피던스소자를 접속하는 경우에도 적용할 수 있다.
또한 전술한 실시예에 있어서는, FET1의 드레인단자와 그라운드와의 사이 및 소스 단자와 그라운드와의 사이에 용량 C1 및 C2을 각각 접속하는 경우에 대하여 설명하였으나, 본 발명은 이것에 한하지 않고, 어느 한쪽에만 용량을 접속하는 경우에도 적용할수 있다.
또한, 전술한 실시예에 있어서는, FET1로서 싱글게이트 FET를 사용하는 경우에 대하여 설명하였드나, 본 발명은 이것에 한하지 않고, 듀얼게이트 FET의 경우에도 멀티게이트 FET의 경우에도 널리 적용할 수 있다.
또한, 전술한 실시예에 있어서는 FET1로서 접합형 FET를 사용하는 경우에 대하여 설명하였으나 본 발명은 이것에 한하지 않고, MBSFET의 경우에도 적용할 수 있다.
또한, 전술한 실시예에 있어서는, 기본적인 스위치회로(I)에 대하여 설명하였으나, 본 발명은 이것에 한하지 않고, 이들 스위치회로(I)를 복수개 조합하여 이루어지는 복합형의 스위치회로에도 적용할 수 있다.
예를 들면 제5도에 나타낸 바와 같이 신호선로에 대하여 시리즈의 위치와 그라운드의 위치에 각각 스위치회로(I)가 배치되는 복합형의 스위치회로에도 적용할 수 있다.
전술한 바와 같이 본 발명에 의하면 전계효과트랜지스터의 드레인단자가 그라운드와의 사이, 및 또는 전계효과트랜지스터의 소스단자와 그라운드와의 사이에 제1의 용량 및 또는 제2의 용량을 접속하고, 당해 용량치를 신호특성에 따라서 설정함으로써 원하는 주파수에 있어서의 삽입손실이 낮은 스위치회로를 실현할 수 있 다.
또, 본 발명에 의하면, 전계효과트랜지스터를 사용한 스위치회로에 2개의 제어단자에 인가되는 제어전압으로부터 바이어스전압을 발생하는 바이어스회로를 배설함으로써 정전원을 사용하는 경우에도 전용의 바이어스단자를 없앨 수 있는 아이솔레이션특성이 우수한 스위치회로를 실현할 수 있다.
전술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였으나, 이 기술 분야에 숙련된 사람은 여러가지 변

경 및 변형을 가할 수 있고 따라서 본 발명의 사상 및 범위내에서의 이러한 변경 및 변형은 다음의 특허청구의 범위에 포함되는 것은 명백하다.

(57) 청구의 범위

청구항 1.
드레인 및 소스를 가지고, 상기 트레인 -소스 사이를 신호 통로로 하는 전계 효과 트랜지스터,
대응하는 제1 및 제2 제어 단자에 순방향으로 배치된 제1 및 제2 다이오드를 포함하는 바이어스 제어 회로,
상기 전계 효과 트랜지스터의 게이트 단자에 접속된 제1 단자와 상기 바이어스 제어 회로에 접속된 제2 단자를 가지는 고임피던스 소자, 그리고
상기 전계 효과 트랜지스터의 드레인 단자와 접지 사이에 접속된 제1 용량 또한 상기 전계 효과 트랜지스터의 소스 단자와 접지의 사이에 집속된 제2 용량을 포함하는 정합 회로를 구비하는 것을 특징으로 하는 스위치 회로.

청구항 2.
제1항에 기재된 스위치 회로를 복수 개 조합하여 이루어지는 것을 특징으로 하는 복합 스위치 회로.

청구항 3.
제1항에 있어서,
상기 전계 효과 트랜지스터는 멀티게이트 전계 효과 트랜지스터로 이루어지는 것을 특징으로 하는 스위치 회로.

청구항 4.
제1항에 있어서,
상기 전계 효과 트랜지스터는 접합형 전계 효과 트렌지스터로 이루어지는 것을 특징으로 하는 스위치 회로.

청구항 5.
드레인 및 소스를 가지고, 상기 드레인 -소스 사이를 신호통로로 하는 전계효과 트랜지스터.
크기가 상이한 제1 및 제2 전압이 각각 교대로 인가되는 제1 및 제2 제거 단자를 가지고, 상기 제1 및 제2 제어 단자에 인가된 상기 제1 및 제2 전압에 따라서 상기 전계 효과 트랜지스터에 인가되는 바이어스 전압을 생성하는 바이어스 전압 발생수단, 그리고
상기 전계 효과 트랜지스터의 게이트 단자와 상기 제1 제어 단자 사이에 접속된 고임피던스
소자를 구비하는 것을 특징으로 하는 스위치 회로.

청구항 6.
제5항에 있어서,
상기 바이어스 전압 발생수단은,
상기 제1 제어 단자와 출력 단자 사이에, 상기 제1 제어 단자로부터 상기 출력 단자에의 방향이 순방향으로 되도록 접속된 제1 다이오드,
상기 제1 제어 단자와 상기 출력 단자 사이에 상기 제1 다이오드에 대하여 병렬로 접속된 제1 저항,
상기 제2 제어 단자와 상기 출력 단자 사이에, 상기 제2 제어 단자로부터 상 기 출력 단자에의 방향이 순방향으로 되도록 접속된 제2 다이오드, 그리고
상기 제2 제어 단자와 상기 출력 단자 사이에 상기 제2 다이오드에 대하여 병렬로 접속된 제2 저항을 가지는
것을 특징으로 하는 스위치 회로.

청구항 7.
제5항에 있어서,
상기 전계 효과 트랜지스터의 드레인 단자와 상기 바이어스 전압 발생수단의 출력 단자 사이에 접속된 제2 고임피던스 소자, 또는 상기 전계 효과 트랜지스터의 소스 단자와 상기 바이어스 전압 발생수단의 출력 단자 사이에 접속된 제3 고임피던스 소자
를 구비하는 것을 특징으로 하는 스위치 회로.

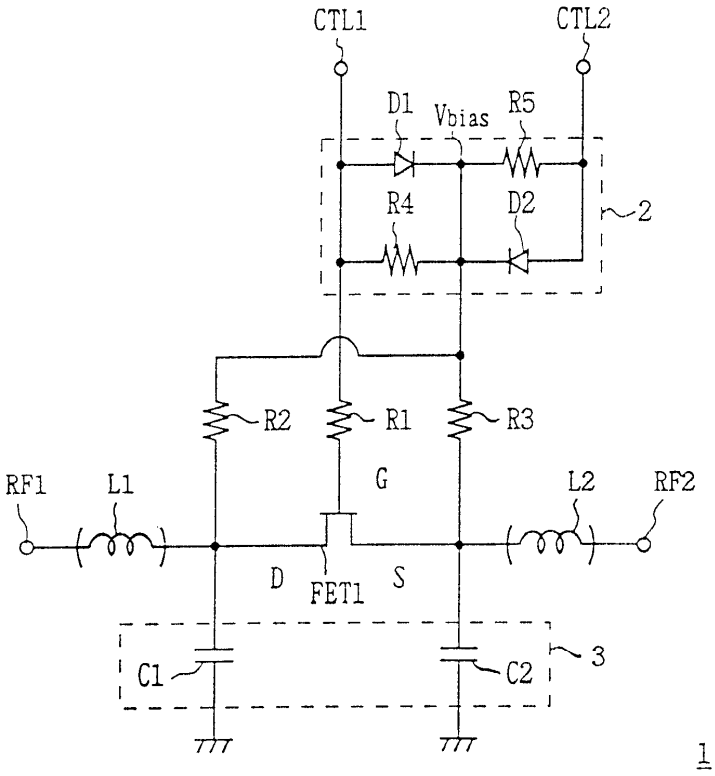
청구항 8.
제5항에 기재된 스위치 회로를 복수 개 조합하여 이루어지는 것을 특징으로하는 복합 스위치 회로.

청구항 9.
제5항에 있어서,
상기 전계 효과 트랜지스터는 멀티게이트 전계 효과 트랜지스터로 이루어지는 것을 특징으로 하는 스위치 회로.

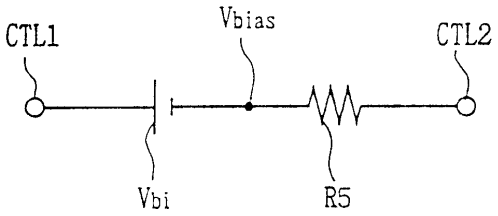
청구항 10.
제5항에 있어서,
상기 전계 효과 트랜지스터는 접합형 전계 효과 트렌지스터로 이루어지는 것을 특징으로 하는 스위치 회로.

도면

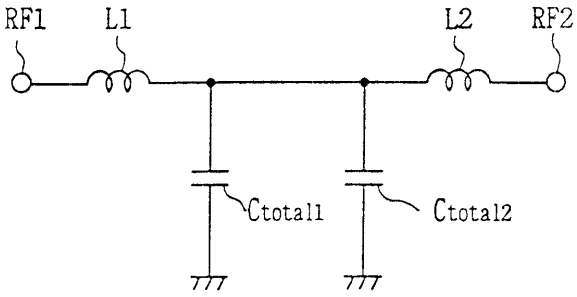
도면1


CTL1
CTL2
D1
Vbias
R5
R4
D2
2
R2
R1
R3
RF1
L1
G
L2
RF2
D
FET1
S
C1
C2
3
1

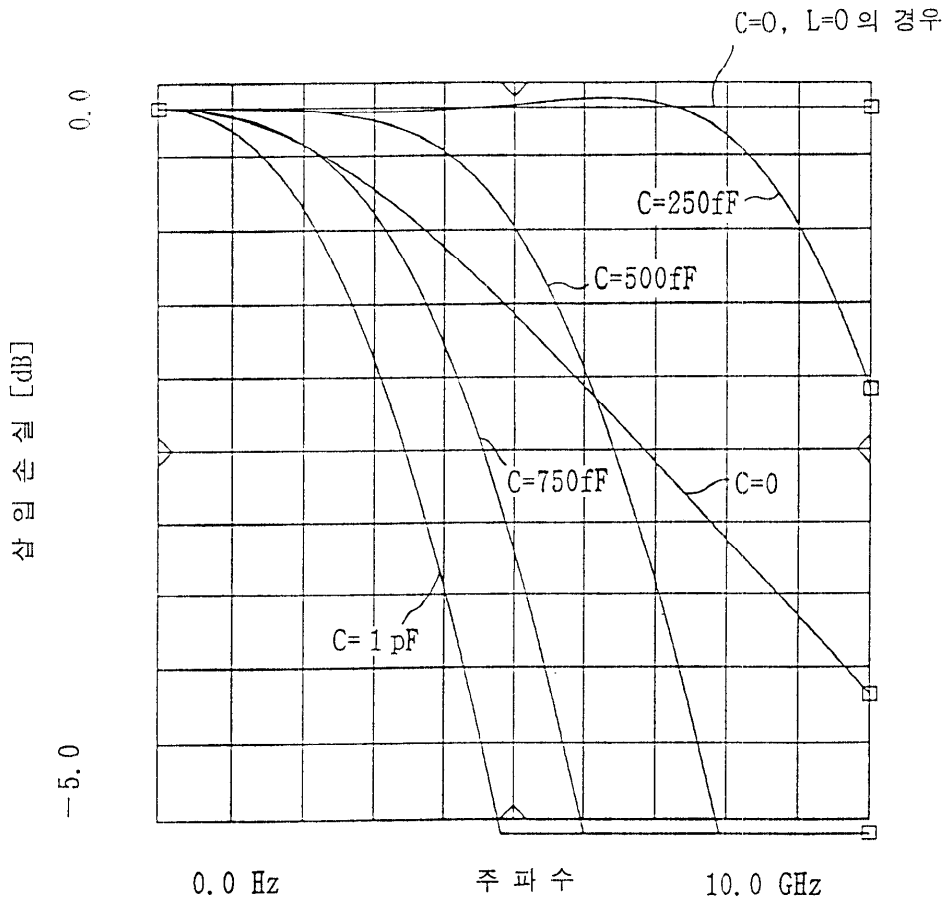
도면2


CTL1
Vbias
CTL2
Vbi
R5

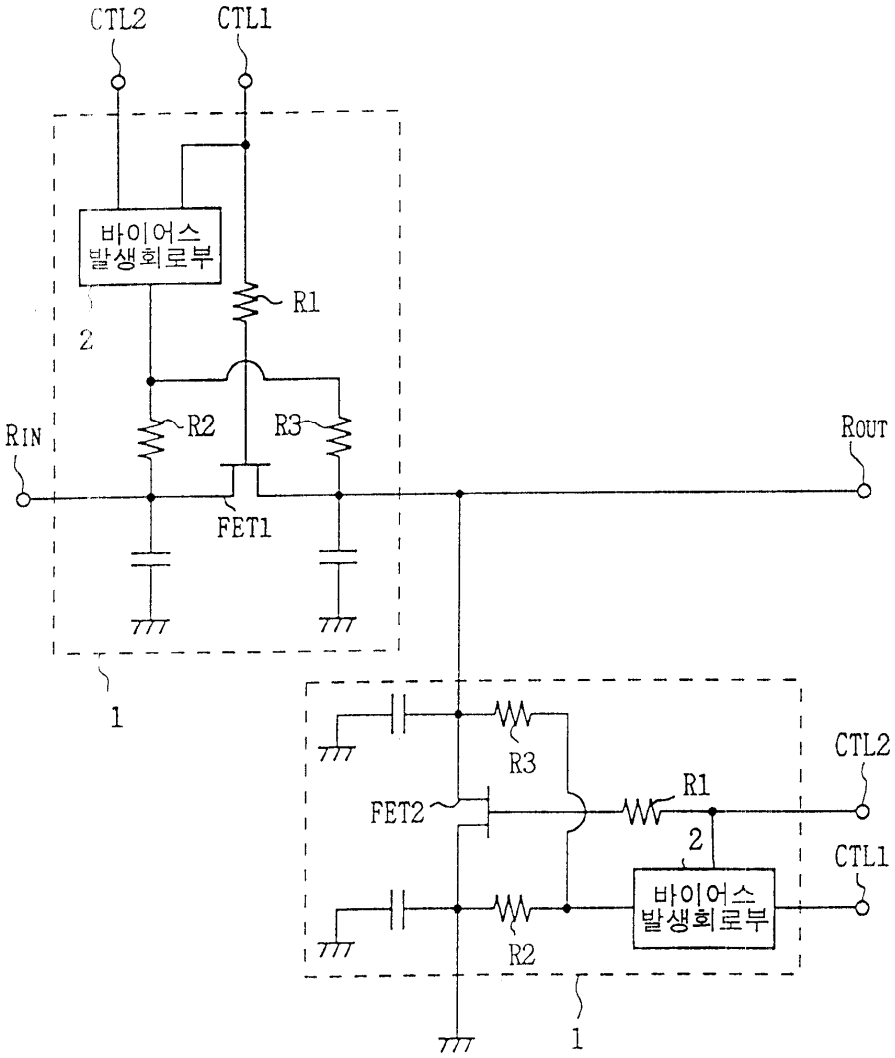
도면3


RF1
L1
L2
RF2
Ctotal1
Ctotal2

도면4


C=0, L=0 의 경우
0.0
-5.0
삽입 손실 [dB]
C=250fF
C=500fF
C=750fF
C=0
C= 1 pF
0.0 Hz
주 파 수
10.0 GHz

도면5


CTL2
CTL1
바이어스
발생회로부
R1
2
RIN
R2
R3
ROUT
FET1
1
R3
FET2
R1
CTL2
2
CTL1
바이어스
발생회로부
R2
1

도면6

