



(12) 发明专利

(10) 授权公告号 CN 113885394 B

(45) 授权公告日 2025. 01. 03

(21) 申请号 202111219953.3

(56) 对比文件

(22) 申请日 2021.10.20

CN 216210579 U, 2022.04.05

(65) 同一申请的已公布的文献号

审查员 倪彬彬

申请公布号 CN 113885394 A

(43) 申请公布日 2022.01.04

(73) 专利权人 中国人民解放军海军航空大学青岛校区

地址 266000 山东省青岛市李沧区四流南路1号

(72) 发明人 彭志刚 张洪群 赵冬梅 王思臣 刘开元

(74) 专利代理机构 山东重诺律师事务所 37228 专利代理师 孙玮

(51) Int. Cl.

G05B 19/042 (2006.01)

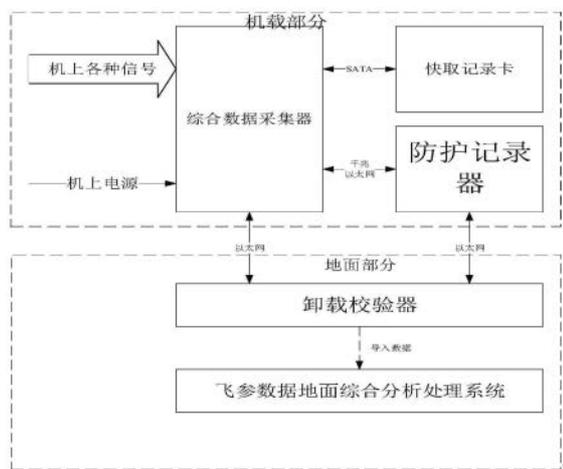
权利要求书4页 说明书11页 附图9页

(54) 发明名称

机载数据综合采集记录系统及方法

(57) 摘要

本发明涉及机载数据综合采集记录系统及方法,其包括位于机载部分上的综合数据采集器、快取记录卡及防护记录器;综合数据采集器通过以太网与防护记录器电连接;综合数据采集器,其电连接机上电源;其输入端用于采集机载部分上的机上信号,机上信号包括开关信号、频率信号、电压信号、振动信号、ARINC429总线、RS422总线、MIL-STD-155B总线、AFDX总线、音频信号及视频信号;并将采集的机上信号的数据按照IRIG-106标准进行打包,然后发送给快取记录卡和防护记录器进行记录;本发明设计合理、结构紧凑且使用方便。



1. 一种机载数据综合采集记录系统,其特征在于:包括位于机载部分上的综合数据采集器、快取记录卡及防护记录器;综合数据采集器通过以太网与防护记录器电连接;

综合数据采集器,其电连接机上电源;其输入端用于采集机载部分上的机上信号,机上信号包括开关信号、频率信号、电压信号、振动信号、ARINC429总线、RS422总线、MIL-STD-155B总线、AFDX总线、音频信号及视频信号;并将采集的机上信号的数据按照IRIG-106标准进行打包,然后发送给快取记录卡和防护记录器进行记录;

快取记录卡,采用SATA总线与综合数据采集器交联,完成所有采集数据的记录;

防护记录器,采用千兆以太网总线与综合数据采集器交联,完成重要数据的记录;重要数据包括用于事故分析的数据;

在地面上,设置有卸载校验器及飞参数据地面综合分析处理系统;

卸载校验器分别与防护记录器及综合数据采集器通过以太网交联;卸载校验器输出端与飞参数据地面综合分析处理系统输入端电连接,以导入数据;

综合数据采集器的机箱结构形式采用无背板形式,模块之间通信和供电通过板间连接器互连;

综合数据采集器,包括电源模块、采用可集成快取记录卡的主控模块、电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块;

主控模块、电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块分别具有

BIT测试能力模块;BIT测试能力模块具有三种自检模式,其包括PBIT上电自检、CBIT周期自检及IBIT维护自检;

故障登陆模块,每个模块通过LAN总线提供故障登陆手段,故障信息存储在非易失性存储器中,每一条故障记录信息必须包含时间戳信息;

时间同步模块,每个模块使用IRIG-B码实现时间同步,使用硬件打时标,时间同步精度100ns;

快取记录卡,集成在可控模块上,采用SATA总线与可控模块之间通信;快取记录卡使用加固型FLASH硬盘,快取记录卡通过带有DMU连接器的转接板与外界连接;

防护记录器,采用固定存储器,记录方式采用循环记录,带有千兆以太网接口;

快取记录卡,集成在可控模块上,采用SATA总线与可控模块之间通信;快取记录卡使用加固型FLASH硬盘,快取记录卡通过带有DMU连接器的转接板与外界连接;

防护记录器,采用固定存储器,记录方式采用循环记录,带有千兆以太网接口。

2. 根据权利要求1所述的机载数据综合采集记录系统,其特征在于:在综合数据采集器中,电源模块,包括PCU电源转换单元,将正常电源及应急电源合并输入,将直流28V输入电压转换成直流24Vd底板电压;

正常电源的电压范围为22V~30V;应急电源的电压范围为18V~30V;

PSA电源,具有与NIU模块交联的输出电压监视和开关控制模块;在NIU模块控制下工作,输出电压监视和开关控制模块负责接通、断开和监测到机架中其它模块的不同电源输出;

NIU模块,通过内部MII信号交联的CPU模块与PHY模块,用于管理机架内的电源、检测电

源配送故障;CPU模块根据从系统所收到的信息控制PSA,以给所期望的模块提供电源;PHY模块通过LAN通道与系统通信。

3. 根据权利要求2所述的机载数据综合采集记录系统,其特征在于:PCU电源转换单元包括储能电容、保持模块、滤波模块、DC-DC模块I;滤波模块其输入端接外接电源,保持模块输入端分别接储能电容及滤波模块的输出端;保持模块的输出端接DC-DC模块I的输入端;DC-DC模块I输出+24V电压;

输入32路电压信号的电压信号采集模块I、输入32路电压信号的电压信号采集模块II、输入开关信号与频率信号的开关信号采集模块、输入振动信号的振动信号采集模块、输入ARINC429、RS422、MIL-STD-1553B和/或AFDX信号的总线采集模块及输入音频信号与视频信号的音视频采集模块通过PCIe总线与主控模块完成采集数据的交换且通过LAN总线与主控模块完成维护信息的交换,维护信息包括自检信息、软件升级、日志信息及参数监视;

主控模块内部集成FPGA集成电路、LAN交换机芯片、PCIe交换机芯片、CPU、同步信号模块、RTC芯片;其中,PCIe交换机芯片通过PCIe总线及同步信号模块的输入端通过IRIG-B通道分别与电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块交换;

LAN交换机芯片将维护信息通过LAN与卸载校验器交联;维护日志信息存放在主控模块上集成的SATA硬盘;LAN交换机芯片与CPU通过LAN交联;

PCIe交换机芯片与CPU通过PCIe总线交换;CPU通过SATA通道与快取记录卡电连接;

同步信号模块接收RTC芯片的RTC授时信号;

在PCIe总线的物理链路中,PCIe链路使用端到端的数据传送方式,发送端和接收端中都含有TX发送逻辑和RX接收逻辑;PCIe链路包括多个数据通路Lane;在数据通路Lane中,包括发送端的发送链路和接收端的接收链路;

接收端的发送链路,即接收端的接收链路,发送端的TX部件与接收端的RX部件使用一组差分信号连接;

发送端的RX部件与接收端的TX部件使用另一组差分信号连接,该链路也被称为发送端的接收链路,即接收端的发送链路;

PCIe链路通过差分信号进行数据传送,差分信号包括D+和D-,信号接收端通过比较D+和D-信号的差值,判断发送端发送的是逻辑1还是逻辑0;

电压信号采集模块具有电压信号调理模块、AD采样模块、自检电路、FPGA集成电路I、CPU1、端口PHYI;

电压信号调理模块,其输入端输入32路电压信号;AD采样模块,其输入端与电压信号调理模块输出端电连接,AD采样模块输出电连接FPGA集成电路I的输入端,FPGA集成电路I与CPU1电连接;自检电路分别电连接电压信号调理模块、AD采样模块、FPGA集成电路I及CPU1;

FPGA集成电路I,接收IRIG-B同步信号并交联PCIe总线;

CPU1通过端口PHYI交联LAN信号;

开关信号采集模块,包括开关信号调理模块、频率信号调理模块、开关信号自检电路、开关信号CPU、开关信号端口及开关信号集成电路;

开关信号调理模块,其输入端接收96路开关信号输入,其输出端电连接开关信号集成电路;

频率信号调理模块,其接收6路频率信号输入,并与开关信号调理模块交联,其输出端电连接开关信号集成电路。

4. 根据权利要求3所述的机载数据综合采集记录系统,其特征在于:开关信号集成电路,接收IRIG-B同步信号,交联PCIe总线;

开关信号CPU,与开关信号集成电路交联,通过开关信号端口接LAN端口;

开关信号自检电路,自检开关信号调理模块、频率信号调理模块及开关信号CPU;

振动数据采集模块,接收振动信号的振动信号调理模块、接收方位角信号的方位角信号调理模块、振动数据AD采样模块、振动数据自检电路、振动电路FPGA模块、振荡数据CPU及振动数据PHY端口;

振动信号调理模块通过振动数据AD采样模块接振动电路FPGA模块输入端,方位角信号调理模块输出端接振动电路FPGA模块输入端;

振荡数据CPU与振动电路FPGA模块交联,并通过振动数据PHY端口接LAN通道;振动电路FPGA模块接收,接收IRIG-B同步信号,交联PCIe总线;振动数据自检电路自检振动信号调理模块、方位角信号调理模块、振动数据AD采样模块及振荡数据CPU。

5. 根据权利要求4所述的机载数据综合采集记录系统,其特征在于:总线采集模块,包括RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块、总线FPGA模块、总线自检电路、总线CPU、总线PHY;

RS422接口调理模块输入端接RS422总线,ARINC429接口调理模块接ARINC429总线,MIL-STD-1553B接口调理模块接MIL-STD-1553B总线,AFDX总线接口调理模块接AFDX总线;

RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块输出端接总线FPGA模块输入端;

总线FPGA模块接IRIG-B同步信号、PCIe总线及总线CPU;总线CPU通过总线PHY接LAN通道;

总线自检电路自检RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块及总线CPU;

音视频数据采集模块包括接收视频信号的视频信号调理模块、接收音频信号的音频信号调理模块、视频采集模块、音视频AD采样模块、音视频自检电路、音视频FPGA模块、音视频自检电路、音视频CPU及音视频PHY;

音视频FPGA模块,通过视频采集模块接收视频信号调理模块的输出信号;通过音视频AD采样模块接收音频信号调理模块;音视频FPGA模块接IRIG-B同步信号、PCIe总线及总线CPU;音视频CPU通过音视频PHY接LAN通道;

音视频自检电路自检视频信号调理模块、音频信号调理模块及音视频CPU。

6. 根据权利要求1所述的机载数据综合采集记录系统,其特征在于:采集器包括若干箱体;在箱体上的穿孔,箱体分开可拆卸连接;其包括以下方案之一;

方案一,在穿孔中贯穿有连杆,连杆上套有垫圈,垫圈在箱体之间;在连杆端部设置有螺母及垫圈;

方案二,在箱体两侧外侧壁上下部分别横向设置有横向卡槽,在相邻箱体侧壁之间设置有横向连接块,横向连接块两侧分别穿插在对应的横向卡槽中,在横向卡槽上设置有卡槽孔,以螺纹连接定位螺栓;定位螺栓下端连接在横向连接块上;

方案三,在穿孔中贯穿有连杆,连杆上套有垫圈,垫圈在盒体之间;在连杆端部设置有螺母及垫圈;在盒体两侧外侧壁上下部分别横向设置有横向卡槽,在相邻盒体侧壁之间设置有横向连接块,横向连接块两侧分别穿插在对应的横向卡槽中,在横向卡槽上设置有卡槽孔,以螺纹连接定位螺栓;定位螺栓下端连接在横向连接块上;

方案四,在盒体两侧外侧壁上下部分别横向设置有横向卡槽,在相邻盒体侧壁之间设置有横向连接块,横向连接块两侧分别穿插在对应的横向卡槽中,在横向卡槽上设置有卡槽孔,以螺纹连接定位螺栓;定位螺栓下端连接在横向连接块上,还备用有若干替代双面横向卡槽,其与盒体等宽,当某个采集器被取下后,通过双面横向卡槽安装到该位置,从而保证整体模块的位置不变。

7. 一种机载数据综合采集记录方法,其特征在于:借助于权利要求1所述的机载数据综合采集记录系统,

首先,机上信号发送给综合数据采集器;然后,采集器将信号存于快取记录卡并与卸载校验器交联;再次,卸载校验器将数据导入飞参数据地面综合分析处理系统。

8. 根据权利要求7所述的机载数据综合采集记录方法,其特征在于:在综合数据采集器工作中,主控模块执行PCIe交换机功能进行数据交换,进行LAN交换机功能,进行维护功能,实现时间同步功能模块,通过RTC或GPS授时,产生IRIG-B码输出,通过FPGA实现硬件打时标功能,通过PCIe总线与主控模块数据交换,通过LAN实现模块自检、软件升级;

电压信号采集模块执行采集电压信号,电压信号输入量程通过软件设置,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件升级;

开关信号采集模块执行如下步骤;采集开关信号,采集频率信号,通过FPGA进行硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件升级;

振动数据采集模块执行如下步骤;采集方位角信号,采集振动信号,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件在线升级;

总线采集模块执行如下步骤,采集RS422总线,采集8路ARINC429总线,采集双余度MIL-STD-1553B总线,采集双余度AFDX总线,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件在线升级;

音视频数据采集模块执行如下步骤,采集视频信号,采集4路音频信号,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件在线升级。

机载数据综合采集记录系统及方法

技术领域

[0001] 本发明涉及机载数据综合采集记录系统及方法。

背景技术

[0002] 传统飞机多以机械式飞机操纵及模拟操作系统为主,随着技术的飞速发展正逐步被全电子传控设备所取代,以往飞行员尤其是试飞员在操作飞机时,面对大量的机械仪表,面对各种复杂的数据往往需要飞行员具备丰富的个人经验来采集和记录,工作量大也不利于数据的准确采集和分析。

[0003] 综合数据采集记录系统主要采集机上开关信号、频率信号、电压信号、振动信号、ARINC429总线、RS422总线、MIL-STD-155B总线、AFDX总线、音频信号、视频信号等信号,按照IRIG-106的标准进行数据记录。

[0004] CN201120265010.X一种机载计算机数据采集记录系统虽然提供了一套系统,其包括连接在总线上的计算机采集记录器、航迹引导显示器和机载电源模块;所述计算机采集记录器包括分别与总线连接的第一嵌入式处理器模块、模拟量参数采集模块和串行数据采集模块,所述第一嵌入式处理器模块还连接有可拆卸加固电子盘;所述航迹引导显示器分别包括与总线连接的数字I/O参数采集模块和第二嵌入式处理器模块,所述数字I/O参数采集模块连接有键盘控制接口,所述第二嵌入式处理器模块连接有EL显示屏。但是,其结构复杂,测试精度低,无法实现有效记录。

发明内容

[0005] 本发明所要解决的技术问题总的来说是提供一种机载数据综合采集记录系统及方法。

[0006] 为解决上述问题,本发明所采取的技术方案是:

[0007] 一种机载数据综合采集记录系统,包括位于机载部分上的综合数据采集器、快取记录卡及防护记录器;综合数据采集器通过以太网与防护记录器电连接;

[0008] 综合数据采集器,其电连接机上电源;其输入端用于采集机载部分上的机上信号,机上信号包括开关信号、频率信号、电压信号、振动信号、ARINC429总线、RS422总线、MIL-STD-155B总线、AFDX总线、音频信号及视频信号;并将采集的机上信号的数据按照IRIG-106标准进行打包,然后发送给快取记录卡和防护记录器进行记录;

[0009] 快取记录卡,采用SATA总线与综合数据采集器交联,完成所有采集数据的记录;

[0010] 防护记录器,采用千兆以太网总线与综合数据采集器交联,完成重要数据的记录;重要数据包括用于事故分析的数据;

[0011] 在地面上,设置有卸载校验器及飞参数据地面综合分析处理系统;

[0012] 卸载校验器分别与防护记录器及综合数据采集器通过以太网交联;卸载校验器输出端与飞参数据地面综合分析处理系统输入端电连接,以导入数据。

[0013] 作为上述技术方案的进一步改进:

[0014] 综合数据采集器的机箱结构形式采用无背板形式,模块之间通信和供电通过板间连接器互连;

[0015] 综合数据采集器,包括电源模块、采用可集成快取记录卡的主控模块、电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块;

[0016] 主控模块、电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块分别具有

[0017] BIT测试能力模块;BIT测试能力模块具有三种自检模式,其包括PBIT上电自检、CBIT周期自检及IBIT维护自检;

[0018] 故障登陆模块,每个模块通过LAN总线提供故障登陆手段,故障信息存储在非易失性存储器中,每一条故障记录信息必须包含时间戳信息;

[0019] 时间同步模块,每个模块使用IRIG-B码实现时间同步,使用硬件打时标,时间同步精度100ns。

[0020] 在综合数据采集器中,电源模块,包括PCU电源转换单元,将正常电源及应急电源合并输入,将直流28V输入电压转换成直流24Vd底板电压;

[0021] 正常电源的电压范围为22V~30V;应急电源的电压范围为18V~30V;

[0022] PSA电源,具有与NIU模块交联的输出电压监视和开关控制模块;在NIU模块控制下工作,输出电压监视和开关控制模块负责接通、断开和监测到机架中其它模块的不同电源输出;

[0023] NIU模块,通过内部MII信号交联的CPU模块与PHY模块,用于管理机架内的电源、检测电源配送故障;CPU模块根据从系统所收到的信息控制PSA,以给所期望的模块提供电源;PHY模块通过LAN通道与系统通信。

[0024] PCU电源转换单元包括储能电容、保持模块、滤波模块、DC-DC模块I;滤波模块其输入端接外接电源,保持模块输入端分别接储能电容及滤波模块的输出端;保持模块的输出端接DC-DC模块I的输入端;DC-DC模块I输出+24V电压;

[0025] 输入32路电压信号的电压信号采集模块I、输入32路电压信号的电压信号采集模块II、输入开关信号与频率信号的开关信号采集模块、输入振动信号的振动信号采集模块、输入ARINC429、RS422、MIL-STD-1553B和/或AFDX信号的总线采集模块及输入音频信号与视频信号的音视频采集模块通过PCIe总线与主控模块完成采集数据的交换且通过LAN总线与主控模块完成维护信息的交换,维护信息包括自检信息、软件升级、日志信息及参数监视;

[0026] 主控模块内部集成FPGA集成电路、LAN交换机芯片、PCIe交换机芯片、CPU、同步信号模块、RTC芯片;其中,PCIe交换机芯片通过PCIe总线及同步信号模块的输入端通过IRIG-B通道分别与电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块交换;

[0027] LAN交换机芯片将维护信息通过LAN与卸载校验器交联;维护日志信息存放在主控模块上集成的SATA硬盘;LAN交换机芯片与CPU通过LAN交联;

[0028] PCIe交换机芯片与CPU通过PCIe总线交换;CPU通过SATA通道与快取记录卡电连接;

[0029] 同步信号模块接收RTC芯片的RTC授时信号;

[0030] 在PCIe总线的物理链路中,PCIe链路使用端到端的数据传送方式,发送端和接收端都含有TX发送逻辑和RX接收逻辑;PCIe链路包括多个数据通路Lane;在数据通路Lane中,包括发送端的发送链路和接收端的接收链路;

[0031] 接收端的发送链路,即接收端的接收链路,发送端的TX部件与接收端的RX部件使用一组差分信号连接;

[0032] 发送端的RX部件与接收端的TX部件使用另一组差分信号连接,该链路也被称为发送端的接收链路,即接收端的发送链路;

[0033] PCIe链路通过差分信号进行数据传送,差分信号包括D+和D-,信号接收端通过比较D+和D-信号的差值,判断发送端发送的是逻辑1还是逻辑0;

[0034] 电压信号采集模块具有电压信号调理模块、AD采样模块、自检电路、FPGA集成电路I、CPU1、端口PHYI;

[0035] 电压信号调理模块,其输入端输入32路电压信号;AD采样模块,其输入端与电压信号调理模块输出端电连接,AD采样模块输出电连接FPGA集成电路I的输入端,FPGA集成电路I与CPU1电连接;自检电路分别电连接电压信号调理模块、AD采样模块、FPGA集成电路I及CPU1;

[0036] FPGA集成电路I,接收IRIG-B同步信号并交联PCIe总线;

[0037] CPU1通过端口PHYI交联LAN信号;

[0038] 开关信号采集模块,包括开关信号调理模块、频率信号调理模块、开关信号自检电路、开关信号CPU、开关信号CPU、开关信号端口及开关信号集成电路;

[0039] 开关信号调理模块,其输入端接收96路开关信号输入,其输出端电连接开关信号集成电路;

[0040] 频率信号调理模块,其接收6路频率信号输入,并与开关信号调理模块交联,其输出端电连接开关信号集成电路。

[0041] 开关信号集成电路,接收IRIG-B同步信号,交联PCIe总线;

[0042] 开关信号CPU,与开关信号集成电路交联,通过开关信号端口接LAN端口;

[0043] 开关信号自检电路,自检开关信号调理模块、频率信号调理模块及开关信号CPU;

[0044] 振动数据采集模块,接收振动信号的振动信号调理模块、接收方位角信号的方位角信号调理模块、振动数据AD采样模块、振动数据自检电路、振动电路FPGA模块、振荡数据CPU及振动数据PHY端口;

[0045] 振动信号调理模块通过振动数据AD采样模块接振动电路FPGA模块输入端,方位角信号调理模块输出端接振动电路FPGA模块输入端;

[0046] 振荡数据CPU与振动电路FPGA模块交联,并通过振动数据PHY端口接LAN通道;振动电路FPGA模块接收,接收IRIG-B同步信号,交联PCIe总线;振动数据自检电路自检振动信号调理模块、方位角信号调理模块、振动数据AD采样模块及振荡数据CPU。

[0047] 总线采集模块,包括RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块、总线FPGA模块、总线自检电路、总线CPU、总线PHY;

[0048] RS422接口调理模块输入端接RS422总线,ARINC429接口调理模块接ARINC429总线,MIL-STD-1553B接口调理模块接MIL-STD-1553B总线,AFDX总线接口调理模块接AFDX总线;

[0049] RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块输出端接总线FPGA模块输入端；

[0050] 总线FPGA模块接IRIG-B同步信号、PCIe总线及总线CPU；总线CPU通过总线PHY接LAN通道；

[0051] 总线自检电路自检RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块及总线CPU；

[0052] 音视频数据采集模块包括接收视频信号的视频信号调理模块、接收音频信号的音频信号调理模块、视频采集模块、音视频AD采样模块、音视频自检电路、音视频FPGA模块、音视频自检电路、音视频CPU及音视频PHY；

[0053] 音视频FPGA模块，通过视频采集模块接收视频信号调理模块的输出信号；通过音视频AD采样模块接收音频信号调理模块；音视频FPGA模块接IRIG-B同步信号、PCIe总线及总线CPU；音视频CPU通过音视频PHY接LAN通道；

[0054] 音视频自检电路自检视频信号调理模块、音频信号调理模块及音视频CPU。

[0055] 快取记录卡，集成在主控模块上，采用SATA总线与主控模块之间通信；快取记录卡使用加固型FLASH硬盘，快取记录卡通过带有DMU连接器的转接板与外界连接；

[0056] 防护记录器，采用固定存储器，记录方式采用循环记录，带有千兆以太网接口；

[0057] 快取记录卡，集成在主控模块上，采用SATA总线与主控模块之间通信；快取记录卡使用加固型FLASH硬盘，快取记录卡通过带有DMU连接器的转接板与外界连接；

[0058] 防护记录器，采用固定存储器，记录方式采用循环记录，带有千兆以太网接口。

[0059] 采集器包括若干箱体；在箱体上的穿孔，箱体分开可拆卸连接；其包括以下方案之一；

[0060] 方案一，在穿孔中贯穿有连杆，连杆上套有垫圈，垫圈在箱体之间；在连杆端部设置有螺母及垫圈；

[0061] 方案二，在箱体两侧外侧壁上下部分别横向设置有横向卡槽，在相邻箱体侧壁之间设置有横向连接块，横向连接块两侧分别穿插在对应的横向卡槽中，在横向卡槽上设置有卡槽孔，以螺纹连接定位螺栓；定位螺栓下端连接在横向连接块上；

[0062] 方案三，在穿孔中贯穿有连杆，连杆上套有垫圈，垫圈在箱体之间；在连杆端部设置有螺母及垫圈；在箱体两侧外侧壁上下部分别横向设置有横向卡槽，在相邻箱体侧壁之间设置有横向连接块，横向连接块两侧分别穿插在对应的横向卡槽中，在横向卡槽上设置有卡槽孔，以螺纹连接定位螺栓；定位螺栓下端连接在横向连接块上；

[0063] 方案四，在箱体两侧外侧壁上下部分别横向设置有横向卡槽，在相邻箱体侧壁之间设置有横向连接块，横向连接块两侧分别穿插在对应的横向卡槽中，在横向卡槽上设置有卡槽孔，以螺纹连接定位螺栓；定位螺栓下端连接在横向连接块上，还备用有若干替代双面横向卡槽，其与箱体等宽，当某个采集器被取下后，通过双面横向卡槽安装到该位置，从而保证整体模块的位置不变。

[0064] 一种机载数据综合采集记录方法，借助于机载数据综合采集记录系统，

[0065] 首先，机上信号发送给综合数据采集器；然后，采集器将信号存于快取记录卡并与卸载校验器交联；再次，卸载校验器将数据导入飞参数据地面综合分析处理系统。

[0066] 作为上述技术方案的进一步改进：

[0067] 在综合数据采集器工作中,主控模块执行PCIe交换机功能进行数据交换,进行LAN交换机功能,进行维护功能,实现时间同步功能模块,通过RTC或GPS授时,产生IRIG-B码输出,通过FPGA实现硬件打时标功能,通过PCIe总线与主控模块数据交换,通过LAN实现模块自检、软件升级;

[0068] 电压信号采集模块执行采集电压信号,电压信号输入量程通过软件设置,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件升级;

[0069] 开关信号采集模块执行如下步骤;采集开关信号,采集频率信号,通过FPGA进行硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件升级;

[0070] 振动数据采集模块执行如下步骤;采集方位角信号,采集振动信号,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件在线升级;

[0071] 总线采集模块执行如下步骤,采集RS422总线,采集8路ARINC429总线,采集双余度MIL-STD-1553B总线,采集双余度AFDX总线,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件在线升级;

[0072] 音视频数据采集模块执行如下步骤,采集视频信号,采集4路音频信号,通过FPGA实现硬件打时标功能,通过PCIe总线实现与主控模块数据交换,通过LAN实现模块自检、软件在线升级。

[0073] 本发明设计合理、成本低廉、结实耐用、安全可靠、操作简单、省时省力、节约资金、结构紧凑且使用方便。

附图说明

[0074] 图1是本发明的系统组成框图。

[0075] 图2是本发明的采集器内部模块交联框图。

[0076] 图3是本发明的PCIe总线的物理链路图。

[0077] 图4是本发明的PCIe总线规范与总线频率和编码的关系图。

[0078] 图5是本发明的PCIe总线的峰值带宽图。

[0079] 图6是本发明的IRIG B码图。

[0080] 图7是本发明的采集器内部维护总线交联图。

[0081] 图8是本发明的电压信号采集模块原理框图。

[0082] 图9是本发明的电源转换模块原理框图。

[0083] 图10是本发明的主控模块原理框图。

[0084] 图11是本发明的开关信号采集模块示意图。

[0085] 图12是本发明的振动数据采集模块原理框图。

[0086] 图13是本发明的总线采集模块原理框图。

[0087] 图14是本发明的音视频数据采集模块原理框图。

[0088] 图15是本发明的快取记录卡原理框图。

[0089] 图16是本发明的飞行参数记录系统表图。

[0090] 图17是本发明的在研综合数据采集系统以及振动监测系统表图。

- [0091] 图18是本发明的采集器结构示意图。
- [0092] 图19是本发明的采集器连接结构示意图。
- [0093] 其中:1、箱体;2、穿孔;3、连杆;4、横向卡槽;5、横向连接块;6、定位螺栓;7、卡槽孔。

具体实施方式

[0094] 如图1-19,本实施例的综合数据采集记录系统包括位于机载部分上的综合数据采集器、快取记录卡及防护记录器;综合数据采集器通过以太网与防护记录器电连接;

[0095] 综合数据采集器,其电连接机上电源;其输入端用于采集机载部分上的机上信号,机上信号包括开关信号、频率信号、电压信号、振动信号、ARINC429总线、RS422总线、MIL-STD-155B总线、AFDX总线、音频信号及视频信号;并将采集的机上信号的数据按照IRIG-106标准进行打包,然后发送给快取记录卡和防护记录器进行记录;

[0096] 快取记录卡,采用SATA总线与综合数据采集器交联,完成所有采集数据的记录;

[0097] 防护记录器,采用千兆以太网总线与综合数据采集器交联,完成重要数据的记录;重要数据包括用于事故分析的数据;

[0098] 在地面上,设置有卸载校验器及飞参数据地面综合分析处理系统;

[0099] 卸载校验器分别与防护记录器及综合数据采集器通过以太网交联;卸载校验器输出端与飞参数据地面综合分析处理系统输入端电连接,以导入数据;

[0100] 综合数据采集器的机箱结构形式采用无背板形式,模块之间通信和供电通过板间连接器互连。这种方式对于高速总线带来挑战,高速总线从主控板到最远端的采集板卡需要通过多个连接器,信号完整性存在一定的难度。

[0101] 本发明一个实施例采用长螺钉进行相互固定,这种模式维修性比较好。每个模块都采用结构密封设计,EMC性能相对较好。

[0102] 综合数据采集器基于模块化的机箱,包括电源模块、采用可集成快取记录卡的主控模块、电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块;

[0103] 主控模块、电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块分别具有

[0104] BIT测试能力模块;BIT测试能力模块具有三种自检模式,其包括PBIT上电自检、CBIT周期自检及IBIT维护自检;

[0105] 故障登陆模块,每个模块通过LAN总线提供故障登陆手段,故障信息存储在非易失性存储器中,每一条故障记录信息必须包含时间戳信息;

[0106] 时间同步模块,每个模块使用IRIG-B码实现时间同步,使用硬件打时标,时间同步精度100ns;

[0107] 电源模块,包括PCU电源转换单元,将正常电源及应急电源合并输入,将直流28V输入电压转换成直流24Vd底板电压;

[0108] 正常电源的电压范围为22V~30V;应急电源的电压范围为18V~30V;

[0109] PSA电源,具有与NIU模块交联的输出电压监视和开关控制模块;在NIU模块控制下工作,输出电压监视和开关控制模块负责接通、断开和监测到机架中其它模块的不同电源

输出;

[0110] NIU模块,通过内部MII信号交联的CPU模块与PHY模块,用于管理机架内的电源、检测电源配送故障;CPU模块根据从系统所收到的信息控制PSA,以给所期望的模块提供电源;PHY模块通过LAN通道与系统通信;

[0111] PCU电源转换单元包括储能电容、保持模块、滤波模块、DC-DC模块I;滤波模块其输入端接外接电源,保持模块输入端分别接储能电容及滤波模块的输出端;保持模块的输出端接DC-DC模块I的输入端;DC-DC模块I输出+24V电压;

[0112] 输入32路电压信号的电压信号采集模块I、输入32路电压信号的电压信号采集模块II、输入开关信号与频率信号的开关信号采集模块、输入振动信号的振动信号采集模块、输入ARINC429、RS422、MIL-STD-1553B和/或AFDX信号的总线采集模块及输入音频信号与视频信号的音视频采集模块通过PCIe总线与主控模块完成采集数据的交换且通过LAN总线与主控模块完成维护信息的交换,维护信息包括自检信息、软件升级、日志信息及参数监视;

[0113] 主控模块内部集成FPGA集成电路、LAN交换机芯片、PCIe交换机芯片、CPU、同步信号模块、RTC芯片;其中,PCIe交换机芯片通过PCIe总线及同步信号模块的输入端通过IRIG-B通道分别与电压信号采集模块I、电压信号采集模块II、开关信号采集模块、振动信号采集模块、总线采集模块、音视频采集模块交换;

[0114] LAN交换机芯片将维护信息通过LAN与卸载校验器交联;维护日志信息存放在主控模块上集成的SATA硬盘;LAN交换机芯片与CPU通过LAN交联;

[0115] PCIe交换机芯片与CPU通过PCIe总线交换;CPU通过SATA通道与快取记录卡电连接;

[0116] 同步信号模块接收RTC芯片的RTC授时信号;

[0117] 在PCIe总线的物理链路中,PCIe链路使用端到端的数据传送方式,发送端和接收端中都含有TX发送逻辑和RX接收逻辑;PCIe链路包括多个数据通路Lane;在数据通路Lane中,包括发送端的发送链路和接收端的接收链路;

[0118] 接收端的发送链路,即接收端的接收链路,发送端的TX部件与接收端的RX部件使用一组差分信号连接;

[0119] 发送端的RX部件与接收端的TX部件使用另一组差分信号连接,该链路也被称为发送端的接收链路,即接收端的发送链路;

[0120] PCIe链路通过差分信号进行数据传送,差分信号包括D+和D-,信号接收端通过比较D+和D-信号的差值,判断发送端发送的是逻辑“1”还是逻辑“0”。

[0121] 主控模块实现PCIe交换机功能:用于与其它功能模块进行数据交换,端口不少于7个;实现LAN交换机功能:用于实现维护功能,端口不少于8个;3) CPU采用PowerPC系列处理器,操作系统采用风河的VxWorks;实现一路千兆以太网,用于与防护记录器接口;实现两路SATA:一路用于与快取记录卡接口,另一路用于板载SATA硬盘,用于存放日志信息等;实现时间同步功能模块:通过RTC或GPS授时,产生8路IRIG-B码送给其它功能模块;通过FPGA实现硬件打时标功能,时间同步精度可达100ns;通过PCIe总线实现与主控模块数据交换;通过LAN实现模块自检、软件升级等功能。

[0122] 高速差分信号电气规范要求其发送端串接一个电容,以进行AC耦合。该电容也被称为AC耦合电容。与单端信号相比,差分信号抗干扰的能力更强,因为差分信号在布线时要

求“等长”、“等宽”、“贴近”，而且在同层。因此外部干扰噪声将被“同值”而且“同时”加载到D+和D-两根信号上，其差值在理想情况下为0，对信号的逻辑值产生的影响较小。因此差分信号可以使用更高的总线频率。

[0123] 此外使用差分信号能有效抑制电磁干扰EMI (Electro Magnetic Interference)。由于差分信号D+与D-距离很近而且信号幅值相等、极性相反。这两根线与地线间耦合电磁场的幅值相等，将相互抵消，因此差分信号对外界的电磁干扰较小。当然差分信号的缺点也是显而易见的，一是差分信号使用两根信号传送一位数据；二是差分信号的布线相对严格一些。

[0124] 不同的PCIe总线规范使用的总线频率并不相同，其使用的数据编码方式也不相同。PCIe总线V1.x和V2.0规范在物理层中使用8/10b编码，即在PCIe链路上的10bit中含有8bit的有效数据；而V3.0规范使用128/130b编码方式，即在PCIe链路上的130bit中含有128bit的有效数据。由图表所示，V3.0规范使用的总线频率虽然只有4GHz，但是其有效带宽是V2.x的两倍。以V2.x规范为例，说明不同宽度PCIe链路所能提供的峰值带宽。

[0125] PCIe总线提供的有效带宽还是远高于PCI总线。PCIe总线也有其弱点，其中最突出的问题是传送延时。PCIe链路使用串行方式进行数据传送，然而在芯片内部，数据总线仍然是并行的，因此PCIe链路接口需要进行串并转换，这种串并转换将产生较大的延时。除此之外PCIe总线的报文需要经过事务层、数据链路层和物理层，这些报文在穿越这些层次时，也将带来延时。

[0126] PCIe总线物理链路间的数据传送使用基于时钟的同步传送机制，但是在物理链路上并没有时钟线，PCIe总线的接收端含有时钟恢复模块CDR (Clock Data Recovery)，CDR将从接收报文中提取接收时钟，从而进行同步数据传递。

[0127] 由主控模块接收GPS信号或采用内置RTC时钟，形成统一的同步信号，发送给其它模块使用，同步信号采用IRIG-B码。

[0128] 由于全球定位系统 (GPS) 已经成为全球共享并具有极高精度的时间发布系统，基于GPS的对时信号在诸多领域中得到了广泛的应用。当前，很多厂商都推出了基于GPS的同步对时装置。这些装置采用了多种方式提供精确的时间信号，如脉冲同步方式、串口信息同步方式、IRIG-B码信息同步方式等，这些方式各有优缺点。而IRIG-B码作为一种国际通用的时间编码，对时精确，简化了对时回路，并包含完整的绝对时标信息，因此得到了广泛的应用。该码已广泛应用于导弹、航天、遥测等时统设备中，实施精度高，稳定性强。

[0129] IRIG码共有4种并行二进制时间码格式和6种串行二进制时间码格式，其中最常用的是IRIG-B时间码格式，其以每秒一次的频率发送时间信息，不仅包含秒脉冲信息，而且还有包括年、天、时、分、秒、二进制秒计日等在内的绝对时间信息。

[0130] 如图，其是每秒一帧的串行时间码，每个码元总宽度为10ms，一个时帧周期包括100个码元，为脉宽编码。每个码元又有3种码型：二进制0、1和位置标识符。分成3字段编码：第1字段为年时间(年、天、时、分、秒)，第2字段为控制功能函数字段，第3字段为直接用二进制秒符号表示的一天中的时间信息，每24小时循环1次。码元的“准时”参考点是其脉冲前沿，时帧的参考标志由一个位置识别标志和相邻的参考码元组成，其脉宽均为8ms；每10个码元有一个位置识别标志，因此1秒内共10个位置识别标志，即：P1, P2, P3, …, P9, P0，它们均为8ms脉宽；PR为帧参考点；二进制“1”和“0”的脉宽分别为5ms和2ms。

[0131] 电压信号采集模块具有电压信号调理模块、AD采样模块、自检电路、FPGA集成电路I、CPU1、端口PHYI；

[0132] 电压信号调理模块,其输入端输入32路电压信号;AD采样模块,其输入端与电压信号调理模块输出端电连接,AD采样模块输出电连接FPGA集成电路I的输入端,FPGA集成电路I与CPU1电连接;自检电路分别电连接电压信号调理模块、AD采样模块、FPGA集成电路I及CPU1;

[0133] FPGA集成电路I,接收IRIG-B同步信号并交联PCIe总线;

[0134] CPU1通过端口PHYI交联LAN信号;

[0135] 电压信号采集模块实现功能如下:1)采集32路电压信号;2)电压信号输入量程可软件设置;3)通过FPGA实现硬件打时标功能,时间同步精度可达100ns;4)通过PCIe总线实现与主控模块数据交换;5)通过LAN实现模块自检、软件升级等功能。

[0136] 开关信号采集模块,包括开关信号调理模块、频率信号调理模块、开关信号自检电路、开关信号CPU、开关信号CPU、开关信号端口及开关信号集成电路;

[0137] 开关信号调理模块,其输入端接收96路开关信号输入,其输出端电连接开关信号集成电路;

[0138] 频率信号调理模块,其接收6路频率信号输入,并与开关信号调理模块交联,其输出端电连接开关信号集成电路;

[0139] 开关信号集成电路,接收IRIG-B同步信号,交联PCIe总线;

[0140] 开关信号CPU,与开关信号集成电路交联,通过开关信号端口接LAN端口;

[0141] 开关信号自检电路,自检开关信号调理模块、频率信号调理模块及开关信号CPU;

[0142] 开关信号采集模块实现功能如下:1)采集96路开关信号;2)采集6路频率信号;3)通过FPGA实现硬件打时标功能,时间同步精度可达100ns;4)通过PCIe总线实现与主控模块数据交换;5)通过LAN实现模块自检、软件升级等功能。

[0143] 振动数据采集模块,接收振动信号的振动信号调理模块、接收方位角信号的方位角信号调理模块、振动数据AD采样模块、振动数据自检电路、振动电路FPGA模块、振荡数据CPU及振动数据PHY端口;

[0144] 振动信号调理模块通过振动数据AD采样模块接振动电路FPGA模块输入端,方位角信号调理模块输出端接振动电路FPGA模块输入端;

[0145] 振荡数据CPU与振动电路FPGA模块交联,并通过振动数据PHY端口接LAN通道;振动电路FPGA模块接收,接收IRIG-B同步信号,交联PCIe总线;振动数据自检电路自检振动信号调理模块、方位角信号调理模块、振动数据AD采样模块及振荡数据CPU;

[0146] 振动数据采集模块实现功能如下:1)采集4路方位角信号;2)采集16路振动信号;3)通过FPGA实现硬件打时标功能,时间同步精度可达100ns;4)通过PCIe总线实现与主控模块数据交换;5)通过LAN实现模块自检、软件在线升级等功能。

[0147] 总线采集模块,包括RS422接口调理模块、ARINC429接口调理模块、MIL-STD-1553B接口调理模块、AFDX总线接口调理模块、总线FPGA模块、总线自检电路、总线CPU、总线PHY;

[0148] RS422接口调理模块输入端接RS422总线,ARINC429接口调理模块接ARINC429总线,MIL-STD-1553B接口调理模块接MIL-STD-1553B总线,AFDX总线接口调理模块接AFDX总线;

[0164] 方案三,在穿孔2中贯穿有连杆3,连杆3上套有垫圈,垫圈在箱体1之间;在连杆3端部设置有螺母及垫圈;在箱体1两侧外侧壁上下部分别横向设置有横向卡槽4,在相邻箱体1侧壁之间设置有横向连接块5,横向连接块5两侧分别穿插在对应的横向卡槽4中,在横向卡槽4上设置有卡槽孔7,以螺纹连接定位螺栓6;定位螺栓6下端连接在横向连接块5上。针对空间足够,当针对稳定性要求比较高时候,将方案一与方案二组合使用,从而使得箱体整体稳定性增强,同时保持了方便可拆卸性。

[0165] 方案四,在箱体1两侧外侧壁上下部分别横向设置有横向卡槽4,在相邻箱体1侧壁之间设置有横向连接块5,横向连接块5两侧分别穿插在对应的横向卡槽4中,在横向卡槽4上设置有卡槽孔7,以螺纹连接定位螺栓6;定位螺栓6下端连接在横向连接块5上,还备用有若干替代双面横向卡槽,其与箱体1等宽,当某个采集器被取下后,通过双面横向卡槽安装到该位置,从而保证整体模块的位置不变。

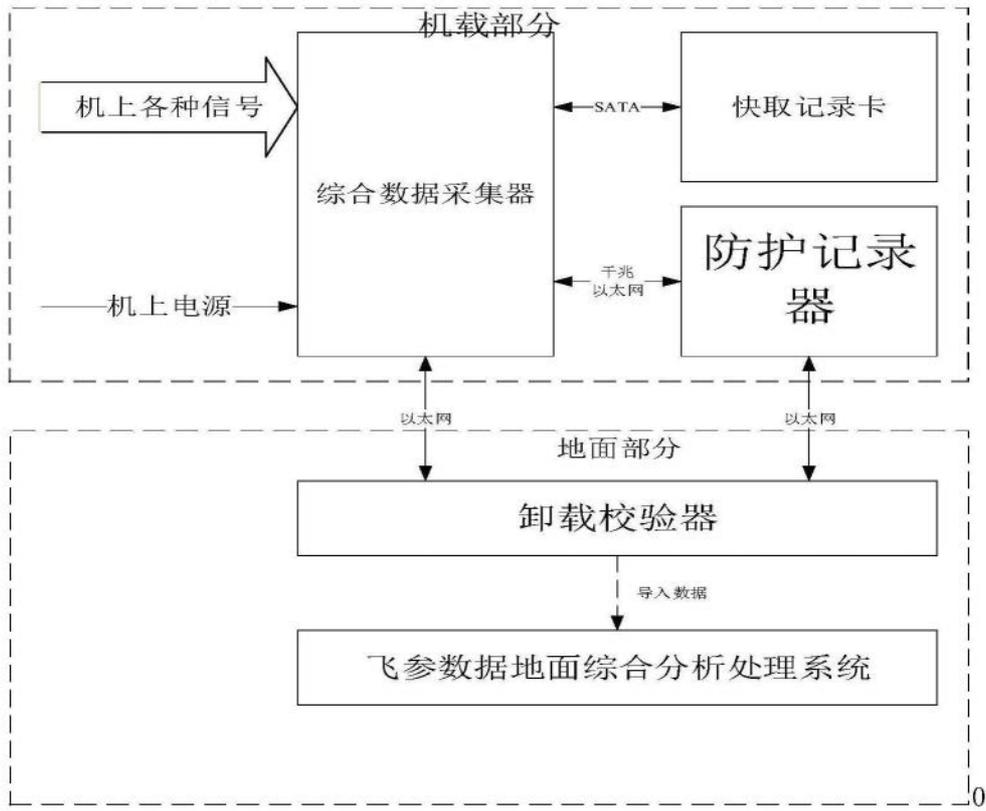


图1

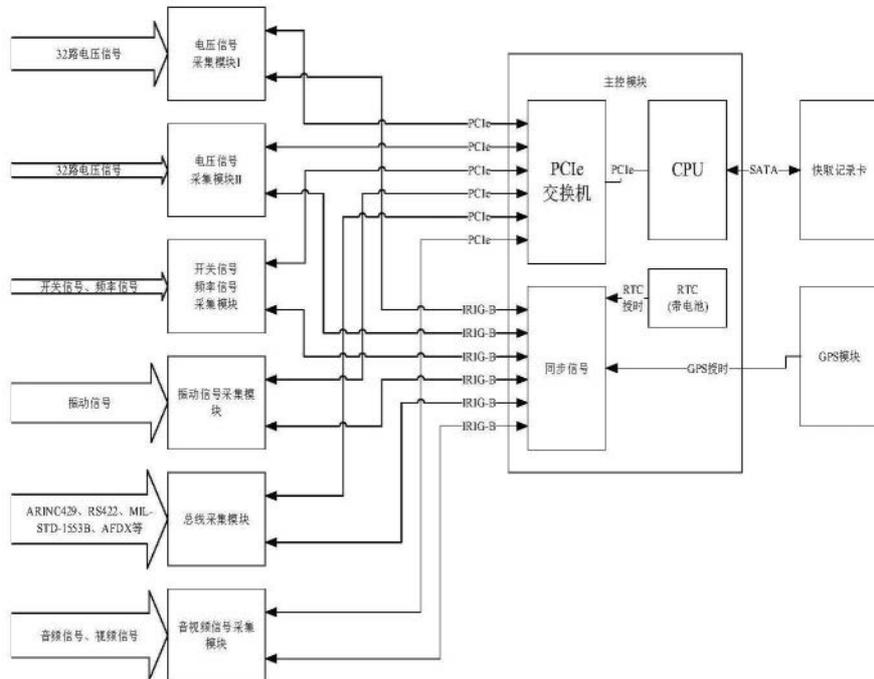


图2

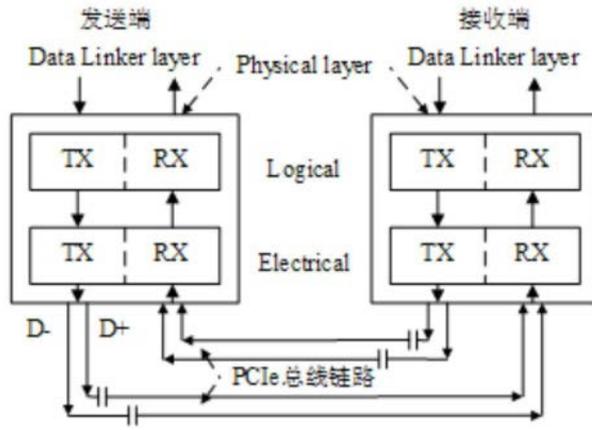


图3

PCIe 总线规范	总线频率	单 Lane 的峰值带宽	编码方式
1.x	1.25GHz	2.5GT/s	8/10b 编码
2.x	2.5GHz	5GT/s	8/10b 编码
3.0	4GHz	8GT/s	128/130b 编码

图4

PCIe 总线的数据位宽	×1	×2	×4	×8	×12	×16	×32
峰值带宽(GT/s)	5	10	20	40	60	80	160

图5

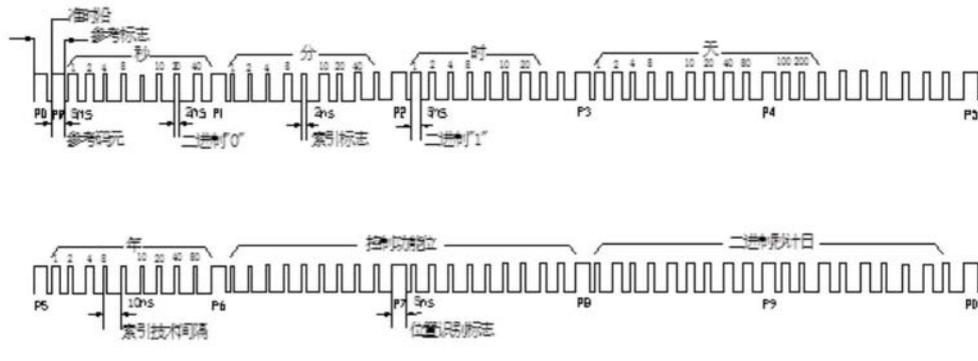


图6

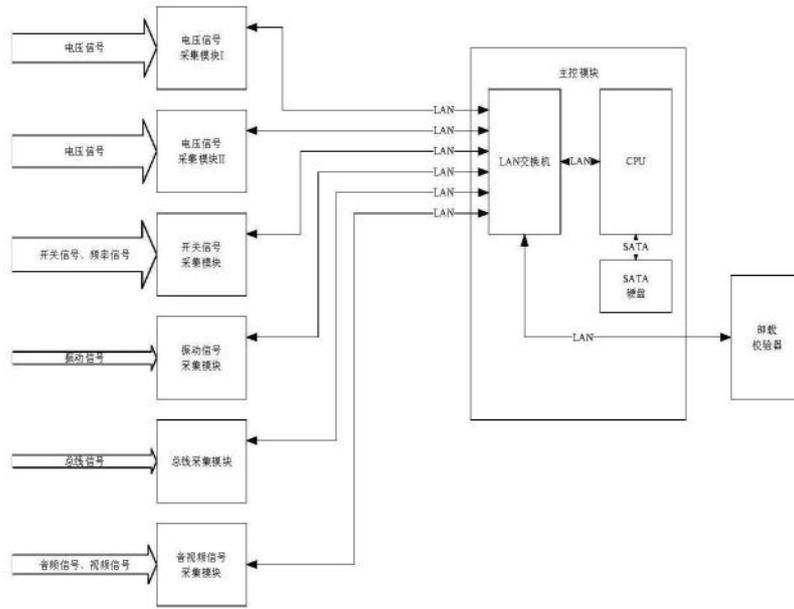


图7

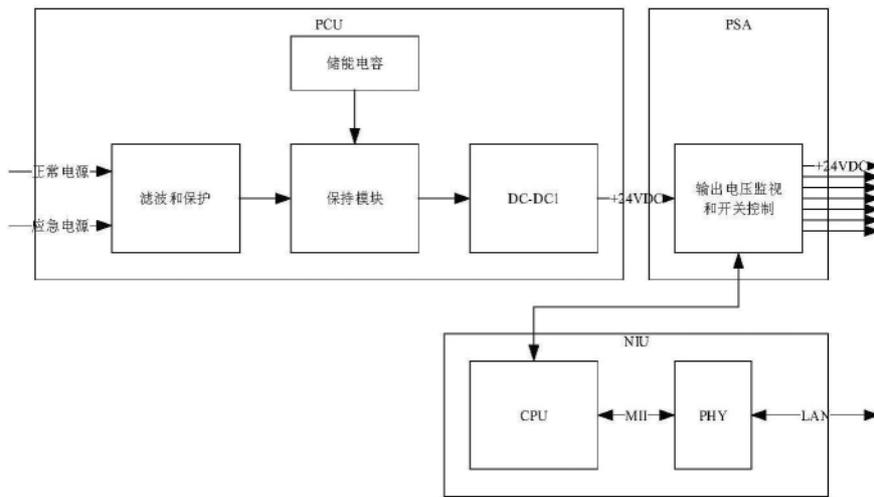


图8

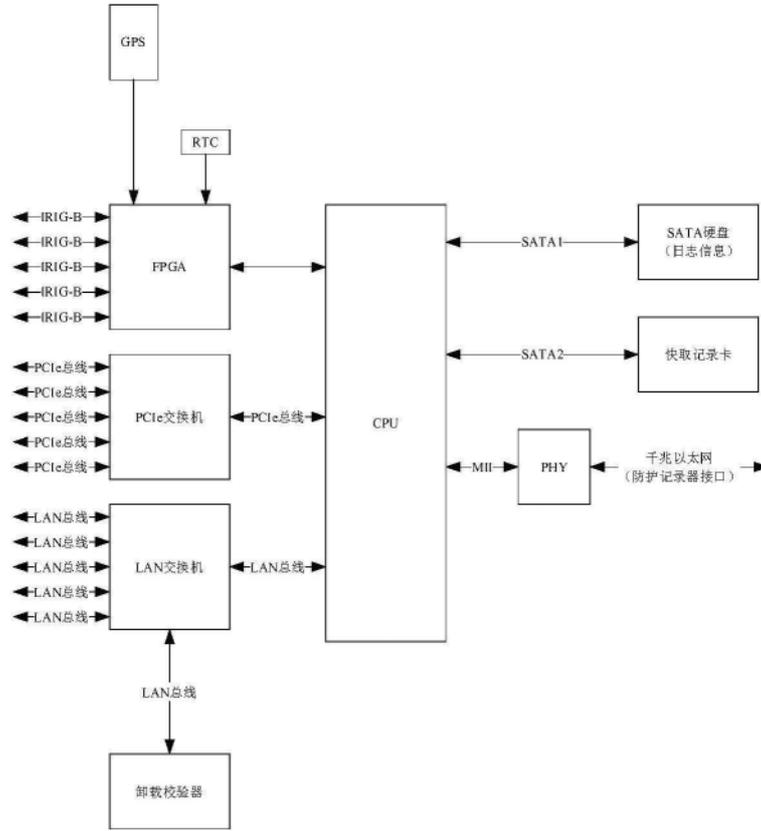


图9

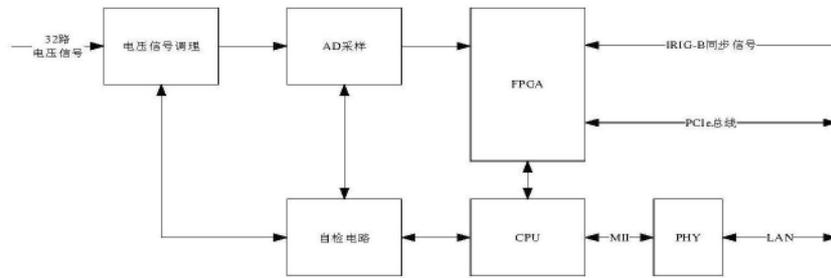


图10

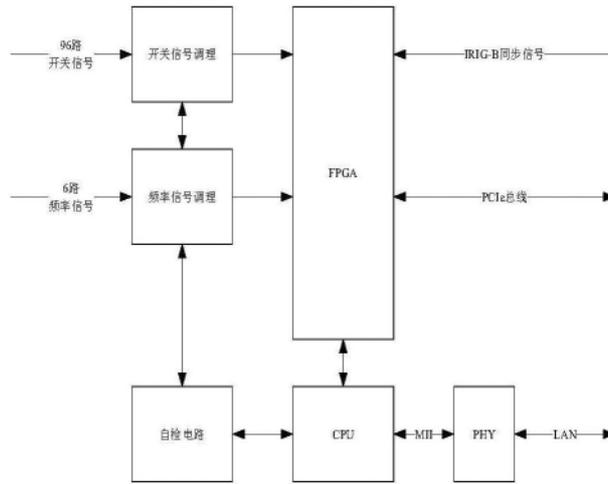


图11

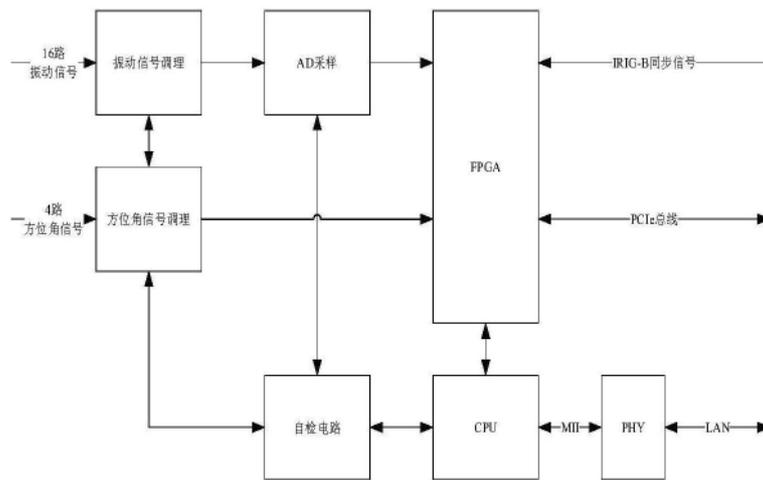


图12

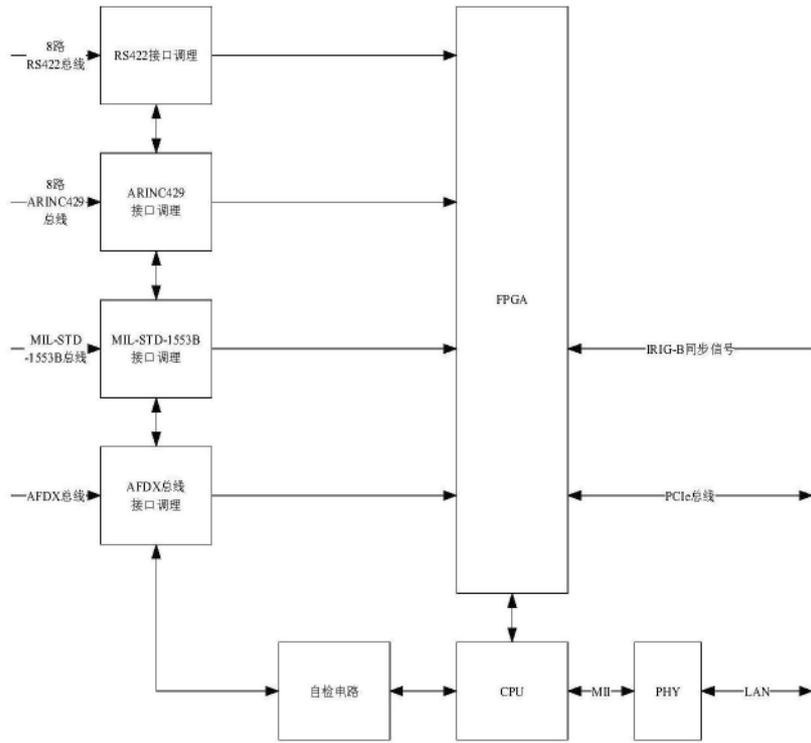


图13

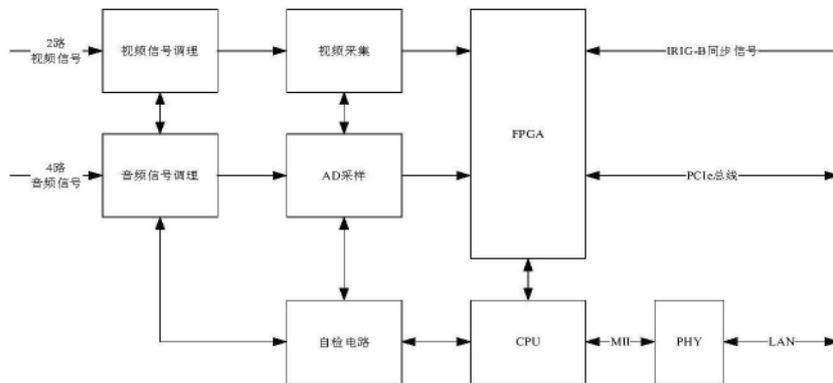


图14

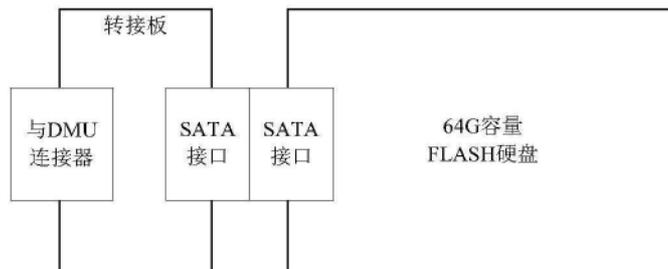


图15

序号	用户	产品名称	机型
1	LH	XFS-4A 飞行参数及音频记录系统	ZX9
2		XFS-4B 飞行参数及音频记录系统	Z8B
3		XFS-4C 飞行参数记录系统	M17系列
4		XFS-4D 飞行参数记录系统	Z9WA/WZ、S70C、Z8A
5		XFS-4H 飞行参数记录系统	Z11、小羚羊、小松鼠、Z9
6	HJ	XFS-4E 飞行参数记录系统	初教-6
7	WJ	XFS-4B 飞行参数及音频记录系统	Z8BWJ
8		XFS-4G 飞行参数记录系统	Z9WJ
9	HJ/YZ	XFS-4D1 飞行参数及音频记录系统	AC312

图16

序号	用户	产品名称	机型
1	LH	XFS-6综合数据采集系统	Z-TA
2		XFS-7振动监测系统	ZXG
3	HJ	XFS-6A 振动监测系统	ZXC
4		HJ 航行记录仪	舰载

图17

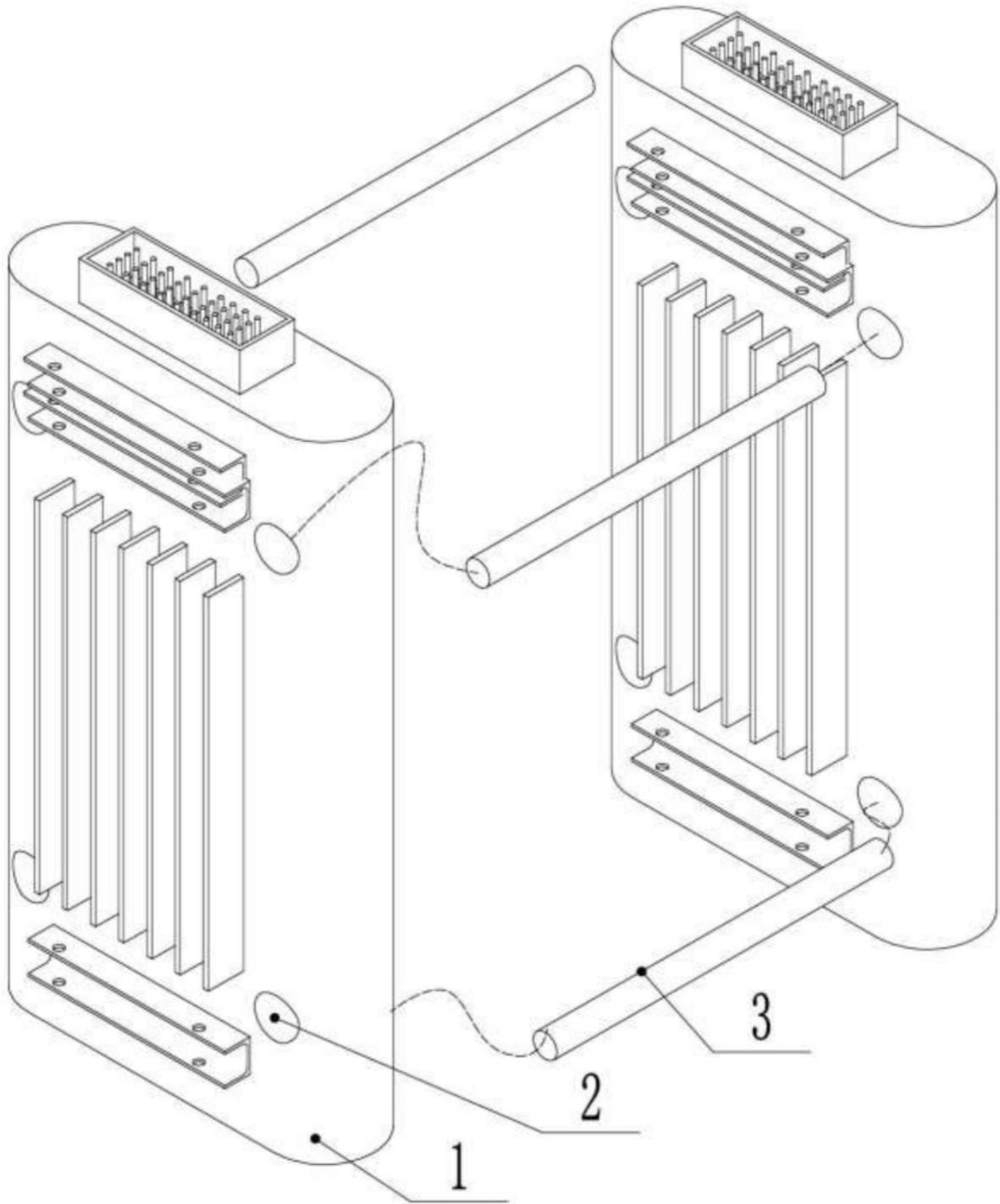


图18

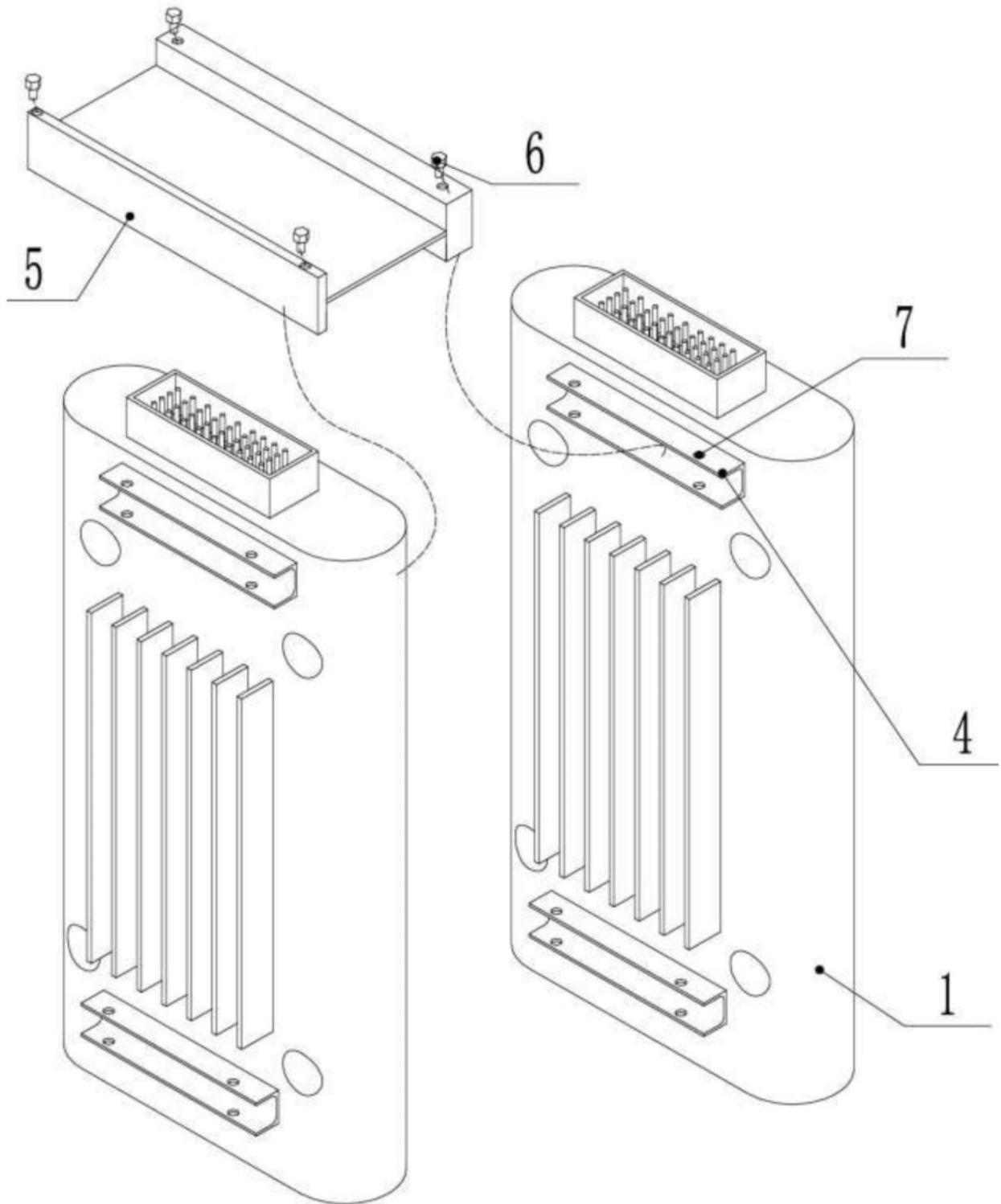


图19