[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 29/00

[12] 发明专利说明书

[21] ZL 专利号 97103193.2

[45] 授权公告日 2004 年 7 月 21 日

[11] 授权公告号 CN 1158671C

[22] 申请日 1997.1.30 [21] 申请号 97103193.2

[30] 优先权

[32] 1996. 1.30 [33] JP [31] 014232/1996

[71] 专利权人 冲电气工业株式会社

地址 日本东京

[72] 发明人 本田隆 高桥信也

审查员 蔡 萍

[74] 专利代理机构 中国专利代理(香港)有限公司

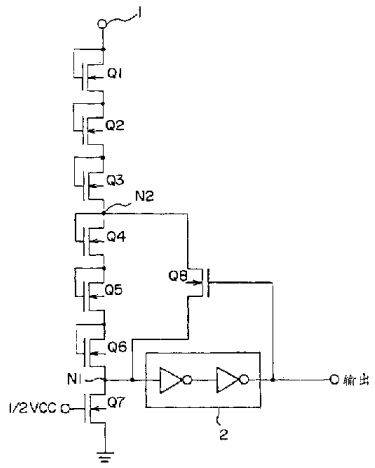
代理人 董江雄 邹光新

权利要求书 3 页 说明书 9 页 附图 4 页

[54] 发明名称 信号发生器

[57] 摘要

本发明涉及一种信号发生器，用于当任何高于引入的输入高电压的电压提供给一预定输入插针脚时，产生试验模式信号，和用于响应该试验模式信号，将正常模式转换为试验模式。 本发明的信号发生器包括：一输入插针脚；一耦合在输入抽头和第 1 结点之间的高阻抗电路，该高阻抗电路包括大量晶体管，该大量晶体管分别串联连接和分别具有与源极或漏极相耦合的一栅极；一通过第 1 结点与该高阻抗电路相耦合的信号放大器；一耦合在第 1 结点和基准电压之间的电阻器；和，耦合在第 1 结点和在大量晶体管中的预定晶体管之间的第 2 结点之间的一晶体管，该晶体管响应该信号放大器的输出状态，对从第 2 结点到第 1 结点的电流通路进行旁路和维持该第 1 结点的电势电平。




ISSN1008-4274

1、一种信号发生器包括:

一输入插针脚;

一耦合在输入插针脚和第1结点之间的电路，该电路包括多个晶体管，该多个晶体管分别串联连接和分别具有与一源极或一漏极相耦合的一栅极;

一通过第1结点与该电路相耦合的信号放大器;

一耦合在第1结点和基准电压之间的电阻器；和

一耦合在第1结点和第2结点之间的晶体管，所述第2结点位于在该多个晶体管中的预定晶体管之间，该晶体管响应该信号放大器的输出状态，对从第2结点到第1结点的电流通路进行旁路和维持第1结点的电势电平。

2、根据权利要求1的信号发生器，其中，该电路包括一高阻抗电路，该高阻抗电路在当任何高于引入的输入高电压的电压提供给输入插针脚时导通。

3、根据权利要求1的信号发生器，其中，该信号放大器包括多个反相器电路，朝向该多个反相器电路的输入侧的第1级反相器电路被设置的阀值电压低于其它反相器。

4、根据权利要求3的信号发生器，其中，该第1级反相器电路包括一个p－MOS晶体管和一个n－MOS晶体管，和，该p－MOS晶体管的栅极线宽度要比该n－MOS晶体管的栅极线宽度短。

5、根据权利要求4的信号发生器，其中，该第1级反相器电路包括一个p－MOS晶体管和一个n－MOS晶体管，和，该p－MOS晶体管的栅极线长度要比该n－MOS晶体管的栅极线长度长。

6、一种信号发生器包括:

一输入插针脚;

一耦合在输入插针脚和第1结点之间的电路，该电路包括多个晶体管，该多个晶体管分别串联连接和分别具有与一源极或一漏极相耦合的栅

极;

一通过第 1 结点与该电路相耦合的信号放大器;

一耦合在第 1 结点和基准电压之间的电阻器;

一耦合在第 1 结点和第 2 结点之间的第 1 晶体管，所述第 2 结点位于在该多个晶体管中的预定晶体管之间，该第 1 晶体管响应于一输入的控制信号和该信号放大器的输出状态，对从第 2 结点到第 1 结点的电流通路进行旁路和提供一预定电势给第 1 结点; 和

一耦合在第 1 结点和在多个晶体管中的第 2 预定晶体管之间的第 3 结点之间的一第 2 晶体管，该第 2 晶体管响应该信号放大器的输出状态，对从第 3 结点到第 1 结点的电流通路进行旁路和维持该第 1 结点的预定电势。

7 、一种信号发生器包括:

一输入插针脚;

一耦合在输入插针脚和第 1 结点之间的电路，该电路包括多个晶体管，该多个晶体管分别串联连接和分别具有与一源极或一漏极相耦合的栅极;

一通过第 1 结点与该电路相耦合的信号放大器;

一耦合在第 1 结点和基准电压之间的电阻器;

一耦合在第 1 结点和第 2 结点之间的第 1 晶体管，所述第 2 结点位于在该多个晶体管中的预定晶体管之间，该第 1 晶体管响应一输入的控制信号和该信号放大器的输出状态，对从第 2 结点到第 1 结点的电流通路进行旁路和提供一预定电势给第 1 结点; 和

一耦合在第 1 结点和第 2 结点之间的第 2 晶体管，该第 2 晶体管响应该信号放大器的输出状态，对从第 2 结点到第 1 结点的电流通路进行旁路和维持第 1 结点的该预定电势。

8 、根据权利 6 和 7 之一的信号发生器，其中，该电路包括一高阻抗电路，该高阻抗电路当在任何高于引入的输入高电压的电压提供给输入插针脚时导通。

9 、根据权利要求 6 和 7 之一的信号发生器，其中，该信号放大器包

括多个反相器电路，在朝向该多个反相器电路的输入侧的第1级反相器建立的阀值电压要低于其它反相器。

10、根据权利要求9的信号发生器，其中，第1级反相器电路包括一个p－MOS晶体管和一个n－MOS晶体管，该p－MOS晶体管的栅极线宽度要比该n－MOS晶体管的栅极线宽度短。

11、根据权利要求10的信号发生器，其中，第1级反相器电路包括一个p－MOS晶体管和一个n－MOS晶体管，该p－MOS晶体管的栅极线长度要比该n－MOS晶体管的栅极线长度长。

# 信号发生器

## 技术领域

该申请涉及１９９６年１月３０日在日本的申请号为０１４２３２/１９９６的优先权的内容，其内容作为参考。

## 背景技术

本发明涉及信号发生器，用于当将任何高于引入的输入高电压的电压提供给一预定插针脚时产生试验模式信号和用于响应该试验模式信号将一正常模式转换成一试验模式。

用于检验动态随机存取存储器（ＤＲＡＭｓ）的工作状态的通常的试验方法使用一信号发生器，用于当将任何高于引入的输入高电压的电压提供给一预定插针脚时产生试验模式信号和用于响应该试验模式信号将一正常模式转换成一试验模式。

该信号发生器包括一输入插针脚，与该输入插针脚相连接的高阻抗电路，与该高阻抗电路相连接的信号放大器，和在该高阻抗电路和ＶＳＳ之间连接的一电阻。

该信号发生器在当将高于一引入的输入高电压的电势（１２Ｖ）提供给处于电源高端的一预定输入插针脚时产生试验模式信号并利用该试验模式信号试验该ＤＲＡＭｓ。

## 发明内容

本发明的一个目的是提供一种信号发生器，它能够将正常模式转换成处于低电压的试验模式。

为实现上述目的本发明的一个方面是提供一种信号发生器包括：一输入插针脚；一耦合在输入插针脚和第１结点之间的电路，该电路包括大量晶体管，该大量晶体管分别串联连接和分别具有与一源极或一漏极相耦合的一栅极；一通过第１结点与该电路相耦合的信号放大器；一耦合在第１结点和基准电压之间的电阻器；和一耦合在第１结点和在该大量晶体

管中的预定晶体管之间的第 2 结点之间的晶体管，该晶体管响应该信号放大器的输出状态，对从第 2 结点到第 1 结点的电流通路进行旁路和维持第 1 结点的电势电平。

为实现上述目的本发明的另一方面是提供一种信号发生器，包括一输入插针脚，耦合在该输入插针脚和一第 1 结点之间的电路，该电路包括大量晶体管，该大量晶体管分别串联连接并分别具有与源极或漏极耦合的栅极，通过第 1 结点与该电路耦合的一信号放大器，耦合在第 1 结点和基准电压之间的一电阻器，耦合在第 1 结点和在大量晶体管中的第 1 预定晶体管之间的第 2 结点之间的第 1 晶体管，该第 1 晶体管响应于一控制信号的输入的和信号放大器的输出状态对于从第 2 结点到第 1 结点的电流通路进行旁路并提供一预定电势给第 1 结点，和耦合在第 1 结点和在大量晶体管中的第 2 预定晶体管之间的一第 3 结点之间的一第 2 晶体管，该第 2 晶体管响应该信号放大器的输出状态对于从第 3 结点到第 1 结点的电流通路进行旁路并维持第 1 结点的预定电势。

为实现上述目的本发明的另一方面是提供一种信号发生器，包括一输入插针脚，耦合在该输入抽头和第 1 结点之间的电路，该电路包括大量晶体管，该大量晶体管分别串联连接并分别具有与源极或漏极耦合的一栅极，通过第 1 结点与该电路耦合的信号放大器，耦合在第 1 结点和基准电压之间的一电阻，耦合在第 1 结点和在大量晶体管中的预定晶体管之间的一第 2 结点之间第 1 晶体管，该第 1 晶体管响应于一输入的控制信号和该信号放大器的输出状态对在从第 2 结点到第 1 结点的电流通路进行旁路并提供一预定电压给第 1 结点，和耦合在第 1 结点和第 2 结点之间的第 2 晶体管，该第 2 晶体管响应于该信号放大器的输出状态对从第 2 结点到第 1 结点的电流通路进行旁路并维持第 1 结点的预定电势。

为实现上述目的本发明的另一目的是提供一种信号发生器，其中的信号放大器包括大量的反相器电路，第 1 级反相器在朝向该大量反相器电路的输入侧建立低于其它反相器的阀值电压。

为实现上述目的本发明的另一方面是提供一种信号发生器，其中的第 1 级反相器电路包括－ P －ＭＯＳ晶体管和 n －ＭＯＳ晶体管，该 P －Ｍ

ＯＳ晶体管的栅极宽度短于ｎ－ＭＯＳ晶体管的栅极宽度。

为实现上述目的本发明的另一方面是提供一种信号发生器，其中的第1级反相器电路包括－Ｐ－ＭＯＳ晶体管和－ｎ－ＭＯＳ晶体管，该ｐ－ＭＯＳ晶体管的栅极长度长于ｎ－ＭＯＳ晶体管的栅极长度。

同特别阐明的权利要求作为说明书的结论，并清楚了该发明的主题，可以确信，该发明、目的、特征和优点将会随同以下附图的描述会得到更好理解。

附图说明

图1是表明本发明第1实施例的信号发生器的电路图；

图2是图1信号发生器的运行定时图；

图3是描述本发明第2实施例的信号发生器的电路图；

图4是图3所示信号发生器的运行定时图。

以下参照附图描述本发明第1实施例的信号发生器。

图1是本发明第1实施例的信号发生器电路图。

具体实施方式

图1所示信号发生器包括：一输入插针脚1；与输入抽头1相耦合的高阻抗电路，该高阻抗电路包括大量ｎ－ＭＯＳ晶体管（Ｑ1～Ｑ6），该大量ｎ－ＭＯＳ晶体管（Ｑ1～Ｑ6）分别串联连接和分别具有与源极或漏极耦合的栅极；一信号放大器2包括与朝向大量ｎ－ＭＯＳ晶体管（Ｑ1～Ｑ6）的输出侧的ｎ－ＭＯＳ晶体管Ｑ6相耦合的大量反相器电路，该反相器电路具有用于输出试验模式信号的输出端，并通过第1结点Ｎ1与高阻抗电路相耦合；耦合在ｎ－ＭＯＳ晶体管Ｑ6和通过第1结点Ｎ1的基准电压（例如ＶＳＳ）之间的一电阻；ｎ－ＭＯＳ晶体管Ｑ7恒定提供1/2ＶＣＣ给ｎ－ＭＯＳ晶体管Ｑ7的栅极，和ｎ－ＭＯＳ晶体管Ｑ8耦合在第1结点Ｎ1和在大量ｎ－ＭＯＳ晶体管（Ｑ1～Ｑ6）中的预定晶体管间的第2结点Ｎ2之间，该ｎ－ＭＯＳ晶体管Ｑ8的栅极同信号放大器2的输出端相耦合。

进而，该ｎ－ＭＯＳ晶体管Ｑ8对应信号放大器2的输出状态对从第2结点Ｎ2到第1结点Ｎ1的电流通路进行旁路并维持第1结点Ｎ1的电

势电平。

进而，由于起电阻作用的n－MOS晶体管Q7恒定提供1/2VCC给n－MOS晶体管Q7的栅极，从而在输入插针脚1和n－MOS晶体管Q1的漏极之间的结点电热与第1结点N1的电势相关联。

第1实施例的信号放大器的运行。

参照图1电路图及图2定时图现在描述第1实施例的信号发生器的运行。

表明本发明第1实施例的信号发生器在当高于引入的输入高电压（例如 6.5V）的电势12V被提供给预定输入插针脚时， 该信号发生器进入使能状态。

首先，当高于引入的输入高电压（6. 5V）的12V被提供给输入插针脚1时，大量n－MOS晶体管（Q1～Q6）（高阻抗电路）被依次打开，之后，第1结点N1的电势电平是高电平状态。

然后，当第1结点N1的电势电平是高电平状态和第1结点N1 的电势上升到高于信号放大器2的阀值电压的电势（例如1.2V）时， 该信号放大器2放大该第1结点N1的电势和该输出端上升到3.3V。

然后，响应上述操作，从输出端输出高电平信号，之后，高电平信号被用作试验模式信号。

然后，响应输出端的高电平，n－MOS晶体管Q8打开。响应该打开的n－MOS晶体管Q8，对第1结点N1和第2结点N2之间的电流通路进行旁路。从而第1结点N1和第2结点N2之间的电流通路进行导通状态。

由于第1结点N1和第2结点N2之间的电流通路进入导通状态，那么必须被提供给输入插针脚1以便维持从信号的放大器2的输出端输出试验模式信号的电压能具有低于12V的值。从而，该较低的电压具有足以维持n－MOS晶体管（Q1～Q3）处于打开状态和维持第1结点N1的电势高于信号放大器2的阀值电压。例如，在本发明第1实施例的较低电压是8V。

然后，当提供给输入插针脚1的电压变得小于6.5V时， n－MO

S晶体管（Q1～Q3）是在截止状态。响应该截止状态，信号放大器2也进入截止状态。进而，该n－MOS晶体管Q7完全使该第1结点N1置于低电平状态。从而，响应上述操作，试验模式信号的输出停止和试验模式转换为正常模式。

如上所述，图1所示第1实施例的信号发生器需要提供高于引入的输入高电压的输入电压（例如，12V）给输入插针脚1，直到n－MOS晶体管Q8进入打开状态。然而一旦n－MOS晶体管Q8进入打开，即使甚至输入电压（例如，8V）小于引入的输入高电压，也能维持试验模式信号的输出。从而，第1实施例的信号发生器不需要继续提供高于引入的输入高电压的输入电压给输入插针脚1。这样，由于第1实施例的信号发生器不需要继续提供高于引入的输入高电压的输入电压给输入插针脚1，当输出试验模式信号时就能防止晶体管栅极氧化物击穿的发生。

进而，信号放大器2包括有由n－MOS晶体管和p－MOS晶体管构成的大量反相器。由于信号放大器2的输入侧的第1级反相器具有低于该信号放大器的其它反相器的阀值电压，因此，第1实施例的信号发生器对于在结点N1处的电势变化更加敏感。

从而，构成第1级反相器的p－MOS晶体管比n－MOS晶体管具有较低的驱动能力。特别是，p－MOS晶体管的栅极宽度短于n－MOS晶体管的栅极宽度，或p－MOS晶体管的栅极长度长于n－MOS晶体管的栅极长度。从而，就可能保证以低电压提供给输入插针脚1，和防止从输入插针脚1到VSS的泄漏电流。

以下将参照附图描述本发明第2实施例的信号发生器。

图3是本发明第2实施例的信号发生器的电路图。

图3所示信号发生器包括：一输入插针脚1；与输入插针脚1相耦合的一高阻抗电路，该高阻抗电路包含有分别串联连接的大量n－MOS晶体管（Q1～Q6），大量n－MOS晶体管（Q1～Q6）和分别具有与源极或漏极耦合的栅极；信号放大器2包括与在朝向大量n－MOS晶体管（Q1～Q6）的输出侧的n－MOS晶体管Q6相耦合的大量反相器电路，该反相器电路具有用于输出试验模式信号的输出端，和通过第1

结点N 1与高阻抗电路的输出端，和通过第 1 结点N 1与高阻抗电路相耦合；耦合在n－MOS晶体管Q 6和通过第 1 结点N 1与基准电压（例如VSS）之间的一电阻器；恒定提供1/2VCC给n－MOS晶体管Q 7的栅极的－n－MOS晶体管Q 7； 耦合在第 1 结点N 1和在大量n－MOS晶体管（Q 1～Q 6）中的预定晶体管之间的第 2 结点N 2之间n－MOS晶体管Q 8，该n－MOS晶体管Q 8的栅极同信号放大器 2 的输出端相耦合；和，耦合在第 1 结点N 1和在大量n－ MOS晶体管（Q 1～Q 6）中的预定晶体管之间的第 3 结点N 3之间的n－MOS晶体管Q 9，该n－MOS晶体管Q 9的栅极同控制信号INTBB相耦合。

进而，该n－MOS晶体管Q 8响应信号放大器 2 的输出状态，对从第 2结点N 2到第 1 结点N 1的电流通路进行旁路并维持第 1 结点N 1的电势电平。

进而，该n－MOS晶体管Q 9响应控制信号INTBB的输入以及将高于引入的输入高电压的任何电压提供给预定的输入插针脚 1 的场合，对从第 3 结点N 3到第 1 结点N 1的电流通路进行旁路并提供一预定电势给第 1 结点N 1。

进而，由于起电阻作用n－MOS晶体管Q 7恒定提供1/ 2VCC给n－MOS晶体管Q 7的栅极，因此，在输入插针脚 1 和n－MOS晶体管Q 1的漏极之间的结点电势与第 1 结点N 1的电势相关联。

第 2 实施例的信号发生器的运行

现在参照图 3 所示电路图和图 4 定时图描述第 2 实施例的信号发生器的运行。

当高于引入的输入高电压（例如6． 5V）的电压12V提供给预定输入插针脚 1 时，本发明第 2 实施例的信号发生器进入使能状态。

首先，当高于引入的输入高电压（例如6． 5V）的电压（例如8V）提供给输入插针脚 1 时，n－MOS晶体管Q 1和Q 2被依次打开。在控制信号INTBB（例如3．3V）被输入到n－MOS晶体管Q 9的栅极的情况下，在第 3 结点N 3和第 1 结点N 1之间的电流通路是处于导通

状态。从而，第1结点N1的电势电平是在高电平状态。

然后，当第1结点N1的电势电平是在高电平状态和第1结点N1的电势上升到高于信号放大器2的阀值电压的电势（例如1.2V）时，该信号放大器2对第1结点N1的电势进行放大并且输出端上升到3.3V。

然后，响应上述操作，从输出端输出高电平信号，之后，该高电平信号被用作为试验模式信号。

然后，响应输出端的高电平，该n－MOS晶体管Q8打开。响应该打开的n－MOS晶体管Q8，第1结点N1和第2结点N2之间的电流通路被旁路。从而，第1结点N1和第2结点N2之间的电流通路将变成导通。

由于第1结点N1和第2结点N2之间的电流通路变成导通，这样，必须提供给输入插针脚1以便维持从信号放大器2的输出端输出试验模式信号的电压能够具有小于12V的值。从而，该较低电压具有足以维持n－MOS晶体管（Q1～Q3）的打开状态和维持高于在第1结点N1处的信号放大器2的阀值电压的电势的值。例如，在本发明第2实施例中的该较低电压是8V。

然后，当提供给输入插针脚1的电压变得少于6.5V时，第1结点N1的电势降落和信号放大器2也进入截止状态。响应该截止状态，输出端的电势也降落和该n－MOS晶体管Q8进入截止状态。进而，该n－MOS晶体管Q7完全使第1结点N1置于低电平状态。从而，响应上述操作，试验模式信号的输出停止和试验模式转换为正常模式。

进而，甚至如果n－MOS晶体管Q9响应该变成低电平的控制信号INTBB而处于截止状态，即使仅仅n－MOS晶体管Q8是处于打开状态也能维持信号放大器2的激活状态。这样，控制信号INTBB维持在高电平，直到n－MOS晶体管Q8是在打开状态。

如上所述，提供给输入插针脚1的较低电压最好是足以至少使n－MOS晶体管Q1和Q2处于打开状态和维持高于在第1结点N1处的信号放大器2的阀值的电势，直到从输出端OUT输出该试验模式信号。例如，

该较低电压是8V。

然后，如果n－MOS晶体管Q8进入打开状态，一足以使n－MOS晶体管Q1、Q2、Q3进入打开状态的电压最好提供给输入插针脚1，例如8V。

本发明第2实施例不需要提供高于引入的输入高电压的输入电压（例如，12V）给输入插针脚1。

这样，由于本发明第2实施例能提供一种信号发生器，使其从正常模式转换成比现有技术的电压要低的试验模式，因此，当输出试验模式信号时能防止晶体管栅极氧化层被击穿的发生。

进而，由于该信号的放大器2的输入侧的第1级反相器具有低于该信号放大器2的其它反相器的阀值电压，因此，第2实施例的信号发生器对在结点N1的电势变化更为敏感。从而，构成第1级反相器的p－MOS晶体管的驱动能力要低于n－MOS晶体管。特别是，p－MOS晶体管的栅极宽度要比n－MOS晶体管的栅极宽度短，或者说，p－MOS晶体管的栅极长度要比n－MOS晶体管的栅极长度长。从而，有可能保证提供给输入插针脚1的是低电压，并能防止从输入抽头1到Vss的泄漏电流。

另一实施例的信号发生器包括：一输入插针脚；一耦合在输入抽头和第1结点之间的电路，该电路包括大量晶体管，该大量晶体管分别串联连接并分别具有与源极或漏极耦合的栅极；通过第1结点与该电路耦合的一信号放大器；耦合在第1结点和基准电压之间的一电阻器；耦合在第1结点和在大量晶体管中的预定晶体管之间的第2结点之间的第1晶体管，该第1晶体管响应1输入的控制信号和信号放大器的输出状态，对从第2结点到第1结点的电流通路进行旁路和提供一预定电势到第1结点；和，耦合在第1结点和第2结点之间的一第2晶体管，该第2晶体管响应信号放大器的输出状态，对从第2结点到第1结点的电流通路进行旁路和维持第1结点的预定电势。

以上描述了各个最佳实施例。然而，本发明的信号发生器不限于该两实施例的具体构成，从中可作出各种改变。

图1、3所示n－MOS晶体管（Q1～Q6），例如，可以分别具有连接到栅极的源极。

参照实施例已经描述了本发明，这种描述并非对其范畴的限制。对于本领域的技术人员来说，参照这些描述对所述实施例和其它实施例的各种改型都在它的范围之内。所附权利要求将覆盖任何这种改型或落入本发明范围之内的各种实施例。何这种改型或落入本发明范围之内的各种实施例。

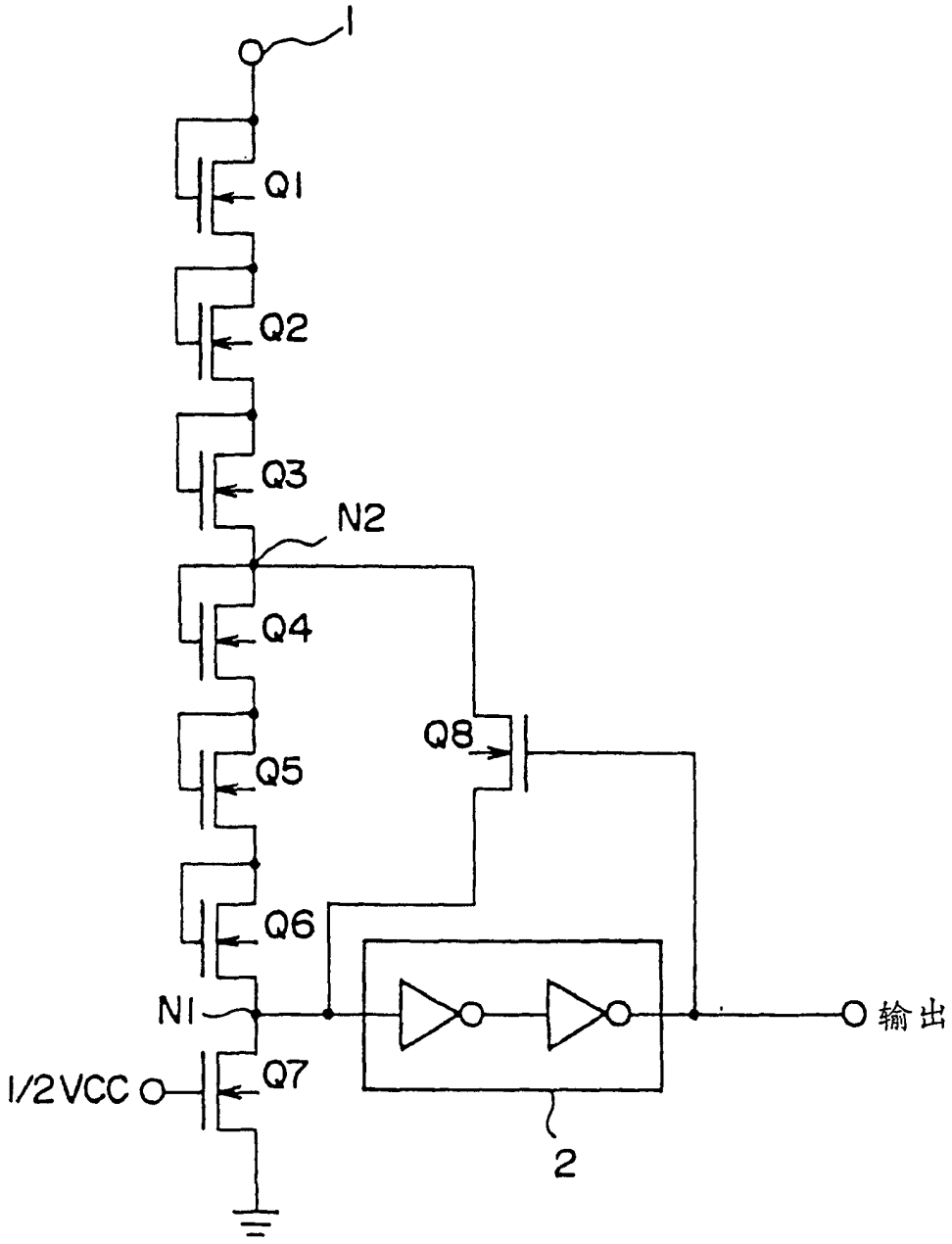



图 1

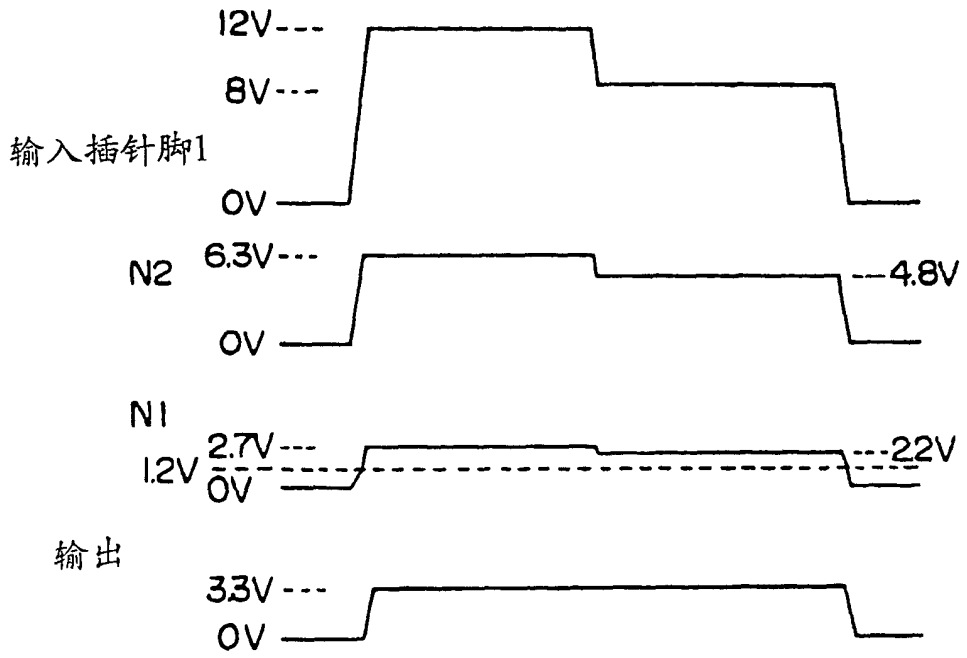



图 2

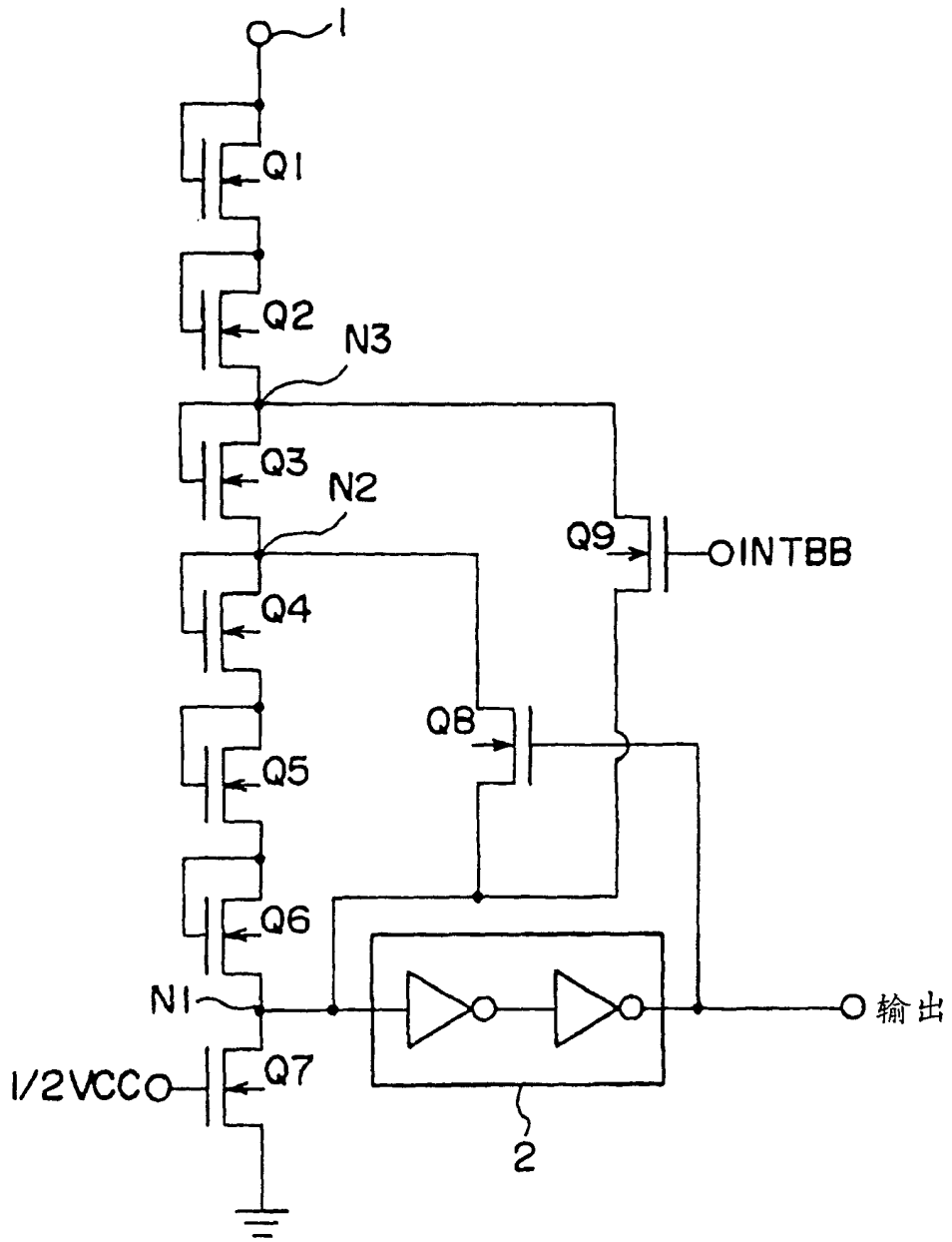



图 3

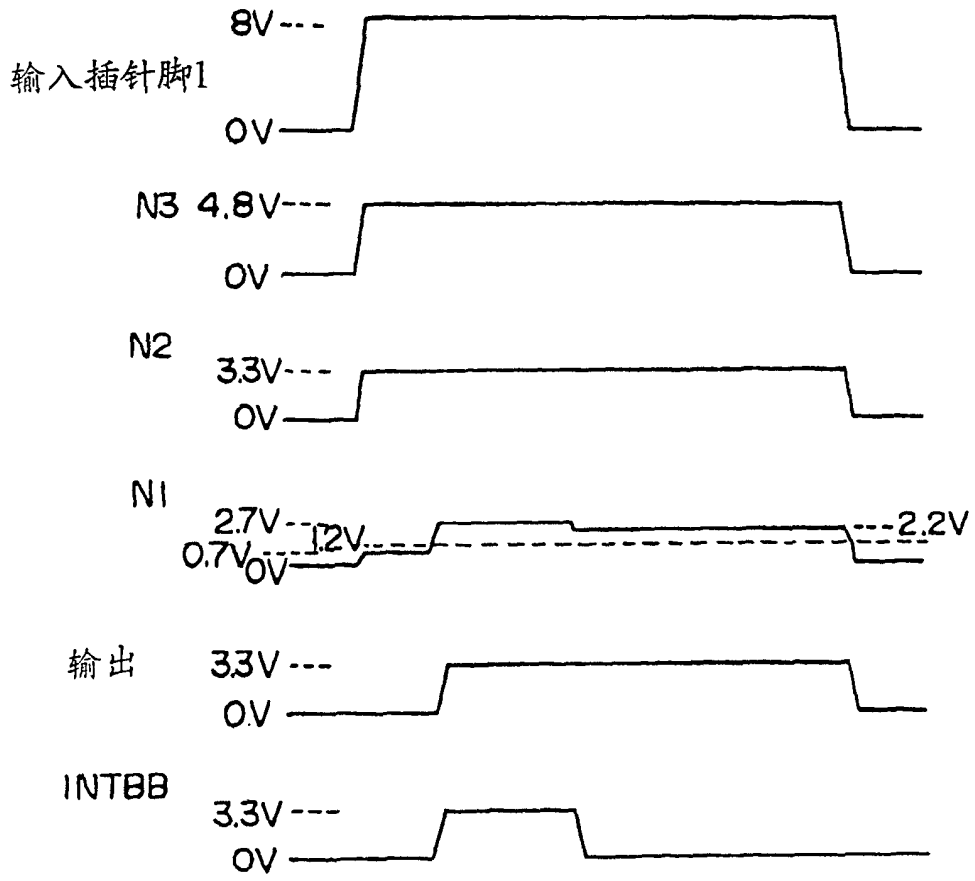

8V
输入插针脚1
0V
N3 4.8V
0V
N2
3.3V
0V
N1
2.7V
1.2V
2.2V
0.7V
0V
输出
3.3V
0V
INTBB
3.3V
0V

图 4