

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 9 月 18 日 (18.09.2008)

PCT

(10) 国際公開番号
WO 2008/111177 A1(51) 国際特許分類:
H01L 21/76 (2006.01)

(21) 国際出願番号: PCT/JP2007/054974

(22) 国際出願日: 2007 年 3 月 13 日 (13.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 渡邊 崇史 (WATANABE, Takashi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 井谷 直毅 (IDANI, Naoki) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 岡本 啓三 (OKAMOTO, Keizo); 〒1030013 東京都中央区日本橋人形町 3 丁目 1 番 7 号 山西ビル 4 階 岡本国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

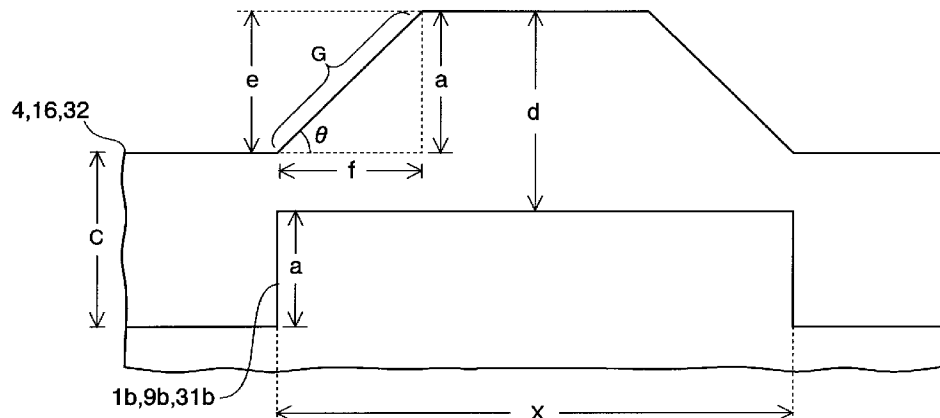
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置とその製造方法

[図21]



(57) Abstract: [PROBLEMS] To provide a semiconductor device in which the occurrence of defects such as scratches is minimized and a method of manufacturing the semiconductor device. [MEANS FOR SOLVING THE PROBLEMS] The semiconductor device has a silicon substrate (1), dummy patterns (1b, 9b, 31b) formed above or on the silicon substrate (1), and insulation films (4, 16, 32) formed on at least the side surfaces of the dummy patterns (1b, 9b, 31b). The width (X) in the shortest direction of each of the dummy patterns (1b, 9b, 31b) is 3.5 times or more of the height (a) of each of the dummy patterns (1b, 9b, 31b).

(57) 要約: 【課題】スクラッチ等の欠陥が発生するのを抑制することが可能な半導体装置とその製造方法を提供すること。【解決手段】シリコン基板 1 と、シリコン基板 1 の上方、又は該シリコン基板 1 に形成されたダミーパターン 1 b、9 b、3 1 b と、少なくともダミーパターン 1 b、9 b、3 1 b の側面に形成された絶縁膜 4、1 6、3 2 とを有し、ダミーパターン 1 b、9 b、3 1 b の最短方向の幅 X が、該ダミーパターン 1 b、9 b、3 1 b の高さ a の 3.5 倍以上である半導体装置による。

WO 2008/111177 A1

明 細 書

半導体装置とその製造方法

技術分野

[0001] 本発明は、半導体装置とその製造方法に関する。

背景技術

[0002] 近年、半導体装置の製造工程では、露光工程における露光マージンを確保する等の理由により、絶縁膜等に対してCMP(Chemical Mechanical Polishing)を行い、その上面を平坦化することが必須になりつつある。

[0003] また、半導体基板に素子分離構造を形成する場合にもCMPが行われる。例えば、素子分離構造としてSTI(Shallow Trench Isolation)を採用する場合は、半導体基板に形成されたSTI用の素子分離溝を素子分離絶縁膜で埋め込んだ後、その絶縁膜に対してCMPを行うことにより、該絶縁膜を素子分離溝の中にのみ残す。

[0004] このようにSTIを形成する場合におけるCMP工程では、通常は、素子分離絶縁膜の研磨速度が研磨停止膜の研磨速度よりも速いスラリーが使用される。しかしながら、素子分離溝の面積が大きい場合には、素子分離溝内の素子分離絶縁膜の上面が研磨によって沈み込む、いわゆるディッシングと呼ばれる凹みが生ずる。

[0005] また、ゲート電極や配線等の回路パターン上の層間絶縁膜に対するCMPでは、回路パターンの密度が高い領域と、回路パターンが存在しない領域との間で、層間絶縁膜の上面に形成された段差が解消しきれないで残存する、いわゆるグローバル段差が発生するという問題もある。

[0006] これらの問題を回避するため、通常は、素子分離溝や回路パターンの配置密度が小さい領域にダミーパターンを設け、ディッシングやグローバル段差を解消することが行われる。

[0007] また、CMP工程では、絶縁膜の上面に付着した異物によって絶縁膜にスクラッチと呼ばれる小さな傷が付くことがあり、それにより半導体装置の歩留まりが低下することがある。上記のようにダミーパターンを設ける場合であっても、スクラッチによる半導体装置の歩留まりの低下を抑制することが望まれる。

[0008] なお、本発明に関連する技術が次の特許文献1～4に開示されている。

特許文献1:特開2001－176959号公報

特許文献2:特開2004－265989号公報

特許文献3:特開2000－349145号公報

特許文献4:特開2002－198419号公報

発明の開示

[0009] CMP工程では、絶縁膜の上面に付着した異物によって絶縁膜にスクラッチと呼ばれる小さな傷が付くことがあり、それにより半導体装置の歩留まりが低下することがある。このような欠陥の発生が、特に酸化セリウムを主成分とした砥粒を含むスラリーを使用して研磨した場合に顕著に現れることを発明者らは見出した。

[0010] 図17は、二酸化ケイ素を砥粒として含むスラリーと、酸化セリウムを砥粒として含むスラリーでそれぞれ研磨した場合において発生した凹み状欠陥及びスクラッチの合計個数を調査して得られたグラフである。

[0011] 図17に示されるように、酸化セリウムを砥粒として含むスラリーを使用した場合では、欠陥とスクラッチの総数が、二酸化ケイ素を砥粒として含むスラリーを使用した場合に比べて約10倍となっていることが分かる。

[0012] 本発明は、スクラッチ等の欠陥が発生するのを抑制することが可能な半導体装置とその製造方法を提供することを目的とする。

[0013] 本発明の一観点によれば、半導体基板と、前記半導体基板の上方、又は該半導体基板に形成されたダミーパターンと、少なくとも前記ダミーパターンの側面に形成された絶縁膜とを有し、前記ダミーパターンの最短方向の幅が、該ダミーパターンの高さの3.5倍以上である半導体装置が提供される。

[0014] また、本発明の別の観点によれば、半導体基板の上方、又は該半導体基板にダミーパターンを形成する工程と、前記ダミーパターンの上に、高密度プラズマCVD法により絶縁膜を形成する工程と、前記絶縁膜の上面を研磨して平坦化する工程とを有し、前記ダミーパターンを形成する工程において、該ダミーパターンの最短方向の幅を、前記研磨の前の該ダミーパターン上の前記絶縁膜に平坦な頂面が形成されるような幅にする半導体装置の製造方法が提供される。

[0015] 次に、本発明の作用について説明する。

[0016] 本発明では、ダミーパターンの最短方向の幅を、研磨前のダミーパターン上の絶縁膜に平坦な頂面が形成されるような幅、例えばダミーパターンの高さの3.5倍以上の幅とする。これにより、研磨時に絶縁膜にかかる圧力が上記の頂面において分散するようになるので、その圧力によって絶縁膜が脆性破壊を起こして凹み形状の欠陥が発生するのを防止できる。

図面の簡単な説明

[0017] [図1]図1は、本発明の実施の形態で使用されるCMP装置の上面図である。

[図2]図2は、研磨中の第1研磨テーブルと第1研磨ヘッドの断面図である。

[図3]図3は、その目立て装置の拡大断面図である。

[図4]図4(a)、(b)は、本発明の実施の形態の第1例に係る半導体装置の製造途中の断面図(その1)である。

[図5]図5(a)、(b)は、本発明の実施の形態の第1例に係る半導体装置の製造途中の断面図(その2)である。

[図6]図6(a)、(b)は、本発明の実施の形態の第2例に係る半導体装置の製造途中の断面図(その1)である。

[図7]図7は、本発明の実施の形態の第2例に係る半導体装置の製造途中の断面図(その2)である。

[図8]図8(a)、(b)は、本発明の実施の形態の第3例に係る半導体装置の製造途中の断面図(その1)である。

[図9]図9(a)、(b)は、本発明の実施の形態の第3例に係る半導体装置の製造途中の断面図(その2)である。

[図10]図10は、ダミーパターンの設計方法について示すフローチャートである。

[図11]図11は、本発明の実施の形態におけるダミーパターンの配置例を示す平面図である。

[図12]図12は、HDPCVD法によりダミーパターン上に形成された層間絶縁膜の拡大断面図である。

[図13]図13は、ダミーパターンの幅が比較的広い場合の層間絶縁膜の拡大断面図

である。

[図14]図14は、図13の場合よりもダミーパターンの幅を狭くした場合における層間絶縁膜の拡大断面図である。

[図15]図15は、ダミーパターンの短辺がこのように狭い場合における、層間絶縁膜の斜視図(その1)である。

[図16]図16は、ダミーパターンの短辺がこのように狭い場合における、層間絶縁膜の斜視図(その2)である。

[図17]図17は、二酸化ケイ素を砥粒として含むスラリと、酸化セリウムを砥粒として含むスラリでそれぞれ研磨した場合において発生した凹み状欠陥及びスクラッチの合計個数を調査して得られたグラフである。

[図18]図18は、図17の調査で使用したサンプルの断面図である。

[図19]図19は、研磨中に絶縁膜にかかる圧力を模式的に示す断面図と平面図(その1)である。

[図20]図20は、研磨中に絶縁膜にかかる圧力を模式的に示す断面図と平面図(その2)である。

[図21]図21は、HDPCVD法により形成された絶縁膜のダミーパターン上での拡大断面図である。

[図22]図22は、ダミーパターンの平面形状を円形とした場合の平面図である。

[図23]図23は、ダミーパターンの平面形状と配置の仕方の他の例を示す平面図である。

[図24]図24(a)～(f)は、ダミーパターンの平面形状としとして採用し得る多角形の平面図である。

[図25]図25は、図26の調査において使用したサンプルの断面図である。

[図26]図26は、本発明の実施形態の効果について調査して得られたグラフである。

発明を実施するための最良の形態

[0018] 以下に、本発明の実施の形態について、添付図面を参照しながら詳細に説明する。

[0019] (1)CMP装置について

図1は、本実施形態で使用されるCMP装置の上面図である。

[0020] このCMP装置100は、第1～第3研磨テーブル111～113と、第1～第4研磨ヘッド101～104とを有する。このうち、第1研磨ヘッド101は、研磨対象であるシリコン基板をフェイスダウンの状態に把持しながら、同図において半時計周りに回転し、各テーブル111～113をこの順に移動して、これらのテーブル111～113においてシリコン基板を研磨する。残りの第2～第4研磨ヘッド102～104もこれと同様に動作してシリコン基板を研磨する。

[0021] また、第1～第3研磨テーブル111～113のそれぞれには、後述の研磨パッドの目立て装置が設けられており、研磨テーブル毎にパッドの目立てが行える構造となっている。

[0022] 図2は、研磨中の第1研磨テーブル111と第1研磨ヘッド101の断面図である。

[0023] 研磨に際しては、研磨パッド111aが表面に貼付された第1研磨テーブル111が回転している状態で、シリコン基板1を把持した第1研磨ヘッド101を軸101aを中心に回転させながら研磨パッド111aに押し付ける。そして、この状態でスラリー供給ノズル106からスラリー107を研磨パッド111aに供給することで、シリコン基板1に対する研磨が行われる。

[0024] なお、残りの第2、第3研磨テーブル112、113と第2～第4研磨ヘッド102～104も図2と同様の構造を有する。

[0025] また、目立て装置105は、研磨と研磨の間、若しくは研磨中に研磨パッド101aの目立てを行う。

[0026] 図3は、その目立て装置105の拡大断面図である。

[0027] 目立て装置105は、軸105aの先端にステンレス製の台金120を有する。その台金120の表面には、ニッケルめっき膜等の金属めっき膜121によって顆粒122が固定されている。顆粒122は、例えば150 μ m程度の粒径をもったダイヤモンド粒であって、1cm²当たり数個程度の密度で配置される。

[0028] このようなCMP装置100で採用される一般的な研磨条件の一例は次の通りである。

[0029] ・研磨ヘッド圧力:3～70kPa
・研磨ヘッド回転数:60～150回転/分

- ・研磨テーブル回転数:60～150回転／分

- ・スラリー供給量:0.05～0.3リットル／分

(2) 半導体装置の製造方法について

次に、上記したCMP装置100を用いた半導体装置の製造方法について説明する。

[0030] 第1例

本例では、STIを形成する際にCMP装置100を用いる。

[0031] 図4及び図5は、本例に係る半導体装置の製造途中の断面図である。これらの断面図では、実パターン形成領域Iとダミーパターン形成領域IIとを併記してある。なお、ダミーパターン形成領域とは、デバイスを構成する実パターンが存在しない空白領域のことをいう。

[0032] 最初に、図4(a)に示す断面構造を得るまでの工程について説明する。

[0033] まず、シリコン(半導体)基板1の上面を熱酸化して厚さ約10nmの熱酸化膜2を形成した後、その熱酸化膜2の上にCVD法により窒化シリコン膜3を厚さ約100nmに形成する。

[0034] 次に、フォトリソグラフィとドライエッチングにより窒化シリコン膜3と熱酸化膜2とをパターニングし、これらの膜に開口3aを形成する。

[0035] そして、この開口3aを通じてシリコン基板1に対して異方性エッチングを行うことにより、実パターン形成領域Iとダミーパターン形成領域IIにおけるシリコン基板1に素子分離溝1aを深さが300nm程度になるように形成する。

[0036] ここで、ダミーパターン形成領域IIでは、素子分離溝1aによって画定されたダミー活性領域によりダミーパターン1bが構成される。

[0037] 続いて、図4(b)に示すように、埋め込み性に優れたHDPCVD(High Density Plasma CVD)法を用いて、窒化シリコン膜3の上面に素子分離絶縁膜4を形成し、その素子分離絶縁膜4で素子分離溝1aを完全に埋め込む。素子分離絶縁膜4の厚さは特に限定されないが、本例では窒化シリコン膜3の上で約500nmとする。

[0038] 次に、図5(a)に示すように、図1～図3で説明したCMP装置100を用い、窒化シリコン膜3を研磨停止膜にしなが素子分離絶縁膜4を研磨する。これにより、窒化シリコン膜3の上の余分な素子分離絶縁膜4が除去され、素子分離溝1a内にのみ素子分

離絶縁膜4が残されることになる。

[0039] ここで、ダミーパターン形成領域IIでは、トランジスタの活性領域等が形成されないため本来なら大面積の素子分離溝を形成し得るが、本例ではそのように広い素子分離溝を細分化して複数のダミーパターン1bを設けたので、素子分離絶縁膜4にディッシングが発生するのを防止できる。

[0040] その後、図5(b)に示すように、ウェットエッチングにより窒化シリコン膜3を除去し、STIの基本構造を完成させる。

[0041] 第2例

本例では、既述のCMP装置100を、ゲート電極上の層間絶縁膜を平坦化する工程で使用する。

[0042] 図6及び図7は、本例に係る半導体装置の製造途中の断面図である。なお、これらの図でも、実パターン形成領域Iとダミーパターン形成領域IIとを併記する。

[0043] 最初に、図6(a)に示す断面構造を得るまでの工程について説明する。

[0044] まず、第1例で説明したSTIの形成方法を用いて、シリコン基板1の素子分離溝1aに素子分離絶縁膜4を埋め込み、該素子分離絶縁膜4によりトランジスタの活性領域を画定する。

[0045] 次いで、シリコン基板1の所定の深さにp型不純物をイオン注入してpウェル6を形成する。そして、シリコン基板1の表面を熱酸化してゲート絶縁膜8となる熱酸化膜を形成した後、そのゲート絶縁膜8上にポリシリコン膜(導電膜)を形成し、更にフォトリソグラフィとエッチングによりそのポリシリコン膜をパターニングする。

[0046] これにより、シリコン基板1の実パターン形成領域Iにゲート電極9aが形成されると共に、ダミーパターン形成領域IIにポリシリコンよりなるダミーパターン9bが形成される。

[0047] このうち、ゲート電極9aは後述のMOSTランジスタを構成するが、ダミーパターン9bは回路を構成せず、電氣的には浮遊電位又は固定電位である。

[0048] 続いて、ゲート電極9aをマスクにしてシリコン基板1にn型不純物をイオン注入し、n型のソース/ドレインエクステンション7を形成する。また、シリコン基板1の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックして絶縁性サイドウォール10として残す。その絶縁膜は、例えば、CVD法で形成された酸化シリコン膜である。

[0049] その後、ゲート電極9と絶縁性サイドウォール10とをマスクにしながらシリコン基板1にn型不純物をイオン注入することにより、n型のソース／ドレイン領域11を形成する。

[0050] 以上により、シリコン基板1の実パターン形成領域Iに、ゲート電極9aやソース／ドレイン領域11等により構成されるMOSトランジスタTRの基本構造が完成したことになる。

[0051] 次いで、図6(b)に示すように、シリコン基板1の上側全面にCVD法により窒化シリコン膜を厚さ約80nmに形成し、その窒化シリコン膜をカバー絶縁膜15とする。

[0052] 更に、そのカバー絶縁膜15の上に、HDPCVD法により層間絶縁膜16として酸化シリコン膜を700nm程度の厚さに形成する。なお、酸化シリコン膜に代えて、リン添加酸化シリコン膜を層間絶縁膜16として形成してもよい。

[0053] その後、図7に示すように、図1～図3で説明したCMP装置100を用いて、層間絶縁膜16の上面を研磨して平坦化する。その研磨により、シリコン基板1の平坦面上での層間絶縁膜16の厚さは約400nm程度となる。

[0054] 本例では、ダミーパターン形成領域IIにダミーパターン9bを形成したことで、ダミーパターン形成領域IIにおけるCMP後の層間絶縁膜16の上面が実パターン形成領域Iにおけるよりも低くなるグローバル段差を防止できる。

[0055] 以上により、本例に係る半導体装置の基本構造が完成した。

[0056] 第3例

本例では、既述のCMP装置100を、配線上の層間絶縁膜を平坦化する工程で使用する。

[0057] 図8及び図9は、本例に係る半導体装置の製造途中の断面図である。これらの断面図では、第1、第2例と同様に、実パターン形成領域Iとダミーパターン形成領域IIとを併記してある。

[0058] 最初に、図8(a)に示す断面構造を得るまでの工程について説明する。

[0059] まず、シリコン基板1の上方にCVD法により下地絶縁膜30として酸化シリコン膜を形成する。

[0060] 次いで、この下地絶縁膜30の上に、スパッタ法により金属積層膜(導電膜)31を形

成する。その金属積層膜は、例えば、チタン膜(膜厚5nm)、窒化チタン膜(膜厚50nm)、アルミニウム膜(膜厚300nm)、チタン膜(膜厚5nm)、及び窒化チタン膜(膜厚80nm)をこの順に形成してなる。

[0061] 続いて、図8(b)に示すように、フォトリソグラフィとエッチングにより金属積層膜31をパターンニングして、実パターン形成領域Iに金属配線31aを形成すると共に、ダミーパターン形成領域IIにダミーパターン31bを形成する。

[0062] このうち、金属配線31aは、例えばMOSTランジスタ等に電氣的に接続されて回路を構成する。一方、ダミーパターン31bは、回路を構成せず、浮遊電位又は固定電位とされる。

[0063] 次に、図9(a)に示すように、金属配線31a、ダミーパターン31b、及び下地絶縁膜30のそれぞれの上にHDPCVD法により層間絶縁膜32として酸化シリコン膜を形成し、金属配線31aの間のスペースをその層間絶縁膜32で埋め込む。その層間絶縁膜32は、下地絶縁膜30の上で約 $1.5\mu\text{m}$ の厚さを有する。

[0064] なお、酸化シリコン膜に代えて、リン添加酸化シリコン膜を層間絶縁膜32として形成してもよい。

[0065] その後、図9(b)に示すように、図1～図3で説明したCMP装置100を用い、層間絶縁膜32の厚さが700nm程度になるまで該層間絶縁膜32の上面をCMP法により研磨して平坦化し、本実施形態に係る半導体装置の基本構造を完成させる。

[0066] 本例でも、第2例と同様に、ダミーパターン形成領域IIにダミーパターン31bを設けたので、CMP後の層間絶縁膜32にグローバル段差が発生するのを抑止できる。

[0067] (3)ダミーパターンの配置方法について

上記の第1～第3例では、ダミーパターン形成領域IIにダミーパターン1b、9b、31bを設けることで、ディッシングの防止(第1例)や、グローバル段差の解消(第2、第3例)を図った。

[0068] これらのダミーパターン1b、9b、31bは、次のように設計される。図10は、ダミーパターンの設計方法について示すフローチャートである。

[0069] 図10の最初のステップS1では、ダミーパターン1b、9b、31bの形状と大きさを予め決定しておく。形状は、通常は正方形又は長方形である。

- [0070] 次に、ステップS2に進み、該当製品の設計基準から、実パターン形成領域Iあるいは実パターン形成領域Iに存在するRAM(Random Access Memory)領域のパターン密度を算出し、この密度とほぼ等しくなるような密度で、ステップS1で予め決定しておいた形状と大きさのダミーパターンを配置するようなピッチルールを作成する。
- [0071] なお、本明細書におけるパターン密度とは、半導体基板の一部領域において、そのパターンが占有する面積の割合のことをいう。
- [0072] その後、ステップS3に進み、該当製品のダミーパターン形成領域IIに、上記のピッチルールでダミーパターンを1b、9b、31b配置する。
- [0073] 以上により、ダミーパターン1b、9b、31bを設計するための主要ステップを終える。
- [0074] ここで、ダミーパターン1b、9b、31bの大きさが小さければ小さいほど、面積の小さなダミーパターン形成領域IIにもダミーパターンを配置することができる。
- [0075] 一方、ダミーパターン1b、9b、31bが大きい場合には、これらのダミーパターン上に形成される膜の凸部の体積が大きくなり、製品研磨に必要な研磨時間が長くなることから、ダミーパターンは小さいほうが望ましい。
- [0076] 図11は、このようなフローに従って設計されたダミーパターン31bの配置例を示す平面図である。
- [0077] 図示のように、ダミーパターン31bはダミーパターン形成領域IIに複数個形成される。そして、各ダミーパターン31bは、シリコン基板1の一部領域、すなわちダミーパターン形成領域IIの10～80%の面積を占有する。
- [0078] (4)HDPCVD法について
- 近年では、上記した第1～第3例で説明したように、素子分離絶縁膜4や層間絶縁膜16、32の成膜方法として、埋め込み性に優れたHDPCVD法を採用することが多い。
- [0079] HDPCVD法は、絶縁膜の成長とプラズマによるエッチングとが同時に進行することで特徴付けられる。また、成膜雰囲気電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上となる点で、平行平板型プラズマCVD法等の通常のCVD法と区別される。なお、HDPCVD法における成膜雰囲気電子密度の上限は、一般的には $1 \times 10^{14} \text{ cm}^{-3}$ 程度である。
- [0080] 図12は、HDPCVD法によりダミーパターン31b上に形成された層間絶縁膜32の拡

大断面図である。

- [0081] ここで、酸化セリウムを主成分とした砥粒を含むスラリーを使用して研磨した場合にスクラッチが顕著に現れるという現象について、発明者らが行った考察も交えて説明する。図12に示されるように、凸形状を有する下地の上にHDPCVD法で層間絶縁膜32を成膜すると、層間絶縁膜32の断面形状はいわゆるコンフォーマルな形状ではなく、ダミーパターン31b上に角度 θ で斜めに積みあがる形となる。
- [0082] 層間絶縁膜32の上面の形は、以下のようにダミーパターン31bの幅に依存する。
- [0083] 図13は、ダミーパターン31bの短辺Xが比較的長い場合の層間絶縁膜32の拡大断面図である。この場合は、ダミーパターン31b上の層間絶縁膜32の上面が平坦となり、層間絶縁膜32の断面形状は台形となる。
- [0084] 一方、図14は、図13の場合よりもダミーパターン31bの短辺Xを短くした場合における層間絶縁膜32の拡大断面図である。この場合は、ダミーパターン31b上の層間絶縁膜の上面に平坦な部分は形成されず、層間絶縁膜32の断面形状は三角形となる。
- [0085] 図15及び図16は、ダミーパターン31bの短辺Xがこのように短い場合における、層間絶縁膜32の斜視図である。
- [0086] 図15は、ダミーパターン31bの平面形状を正方形とした場合の図であって、この場合は層間絶縁膜32の上面は四角錐状となる。
- [0087] また、図16は、ダミーパターン31bの平面形状を長方形とした場合の図である。同図に示されるように、この場合における層間絶縁膜32の上面は、寄棟屋根のような形状となる。
- [0088] しかしながら、このように上面に四角錐状や寄棟屋根状の凸部が形成されている層間絶縁膜32をCMP法により研磨した場合、その凸部の頂点に研磨時の圧力が集中し、層間絶縁膜32が脆性破壊を起こして凹み形状の欠陥が発生しやすいのではないかと発明者らは考えた。このような欠陥は、金属配線31a上の層間絶縁膜32に対するCMP時だけでなく、ゲート電極9a上の層間絶縁膜16や素子分離絶縁膜4に対するCMPにおいても発生し得る。
- [0089] その欠陥は、上層でのゲート加工や配線加工の際にポリシリコンや配線材料の残

渣の原因となり、電氣的短絡による歩留まり低下を引き起こす。

[0090] また、層間絶縁膜32が脆性破壊を起こした際に膜の一部がシリコン基板1の表面から離脱し、シリコン基板1と研磨パッドの間を移動することで、ダミーパターン形成領域IIだけでなく実パターン形成領域Iにもスクラッチを発生させることがある。

[0091] この様な欠陥の発生が特に酸化セリウムを主成分とした砥粒を含むスラリーを使用して研磨した場合に顕著に現れるのは、二酸化ケイ素を主成分とした砥粒を含むスラリーを使用して研磨した場合に比べて、酸化セリウムを主成分とした砥粒を含むスラリーを使用して研磨した場合には、素子分離絶縁膜4と研磨パッドの間の摩擦が強くなり、素子分離絶縁膜4の表面に加わる負荷が強くなり、凸部の頂点に研磨時の圧力が集中し、層間絶縁膜32が脆性破壊を起こして凹み形状の欠陥が多く発生したものと考えられる。

[0092] なお、図17に示した調査で使用したサンプルは、ダミー活性領域1bの平面形状を一辺の幅Dが $0.87\mu\text{m}$ の正方形にし、素子分離絶縁膜4の上面の凸部の形状を四角錐状としたものである。図18にそのサンプルの断面図を示す。

[0093] (5) 本発明の原理について

図19及び図20は、研磨中に絶縁膜4、16、32にかかる圧力を模式的に示す断面図と平面図である。

[0094] ダミーパターン1b、9b、31bの大きさが所定の値より小さい場合には、図19に示すように、ダミーパターン1b、9b、31b上の絶縁膜4、16、32の凸部Pの断面形状が三角形となり、CMPを行う際にこれらの絶縁膜にかかる圧力Fが凸部Pの頂点に集中する。

[0095] これに対し、ダミーパターン1b、9b、31bの大きさが所定の値より大きい場合には、図20に示すように、ダミーパターン1b、9b、31b上の絶縁膜4、16、32の凸部Pの断面形状が台形状となり、立体的にはその凸部の頂面に平面領域Rが形成される。この場合、CMPを行う際に絶縁膜4、16、32にかかる圧力Fが凸部Pの頂面に形成された平面全体に分散されるため、圧力集中は起こらない。

[0096] 図21は、HDPCVD法により形成された各絶縁膜4、16、32のダミーパターン1b、9b、31b付近での拡大断面図である。

[0097] 段差(高さ) a を有するダミーパターン1b、9b、31bの上に絶縁膜4、16、32を成膜すると、これらの絶縁膜には傾斜角が θ (rad)となるような斜面Gが形成される。

[0098] ダミーパターン1b、9b、31bの最短方向の幅 X が十分に広い場合、パターンの横での成膜厚 c とパターン上での成膜厚 d が等しいとすると、絶縁膜4、16、32上に形成される凸部の高さ e は段差 a とほぼ等しくなる。このとき、絶縁膜4、16、32の斜面の横方向長さ f は次式で表される。

$$[0099] \quad f = e \div \tan \theta = a \div \tan \theta$$

ダミーパターン1b、9b、31b上の凸部の頂点に平面領域が形成されるためには、ダミーパターン1b、9b、31bの最短方向の幅 X が斜面Gの横方向長さ f の2倍以上になるようにすればよい。

[0100] 一般的に、HDPCVD法により成膜されたシリコン酸化膜での角度 θ の値は、 $30^\circ \sim 60^\circ$ 、すなわち $1/6 \pi \text{ rad} \sim 1/3 \pi \text{ rad}$ の範囲内である。 f が最大になるのは角度 θ が最小になる場合であり、仮に角度 θ を $1/6 \pi \text{ rad}$ と仮定すると、

$$f = a \div \tan(1/6 \pi) = \sqrt{3} \times a$$

となり、ダミーパターン1b、9b、31b上の凸部の頂点に平面領域が形成されるためのダミーパターンの最短方向の幅の下限 $X_{\min}$ は、

$$X_{\min} = 2f = 2 \times \sqrt{3} \times a \doteq 3.5 \times a$$

となる。

[0101] すなわち、ダミーパターン1b、9b、31bの最短方向の幅 X を、下地段差 a に対して3.5倍以上とすれば、ダミーパターン1b、9b、31b上の凸部の頂点に平面領域が形成される。

[0102] 一方、HDPCVD法で形成される素子分離絶縁膜絶縁膜4は、隣接するダミーパターン1bの間のスペースを完全に埋め込む必要があるため、その膜厚をダミーパターン1bの高さ a よりも厚くするのが好ましい。但し、その膜厚が厚すぎると、CMP時における各絶縁膜4の研磨量が必要以上に多くなるため、ダミーパターン1bの高さ a の2.5倍未満の厚さにこれらの絶縁膜を形成するのが好ましい。これらの点に鑑み、絶縁膜4は、300～800nm程度の厚さに形成するのが好ましい。

[0103] また、ゲート電極上の層間絶縁膜16あるいは金属配線上の層間絶縁膜32の場合

には、ゲート電極あるいは下層配線と上層配線との寄生抵抗及び容量を十分低減するため、研磨後にゲート電極あるいは下層配線上に残る各層間絶縁膜16、32の厚さをゲート電極あるいは下層配線高さの半分以上にする必要がある。そのため、各層間絶縁膜16、32の厚さは素子分離絶縁膜の場合よりも厚くする必要があり、ダミーパターン9b、31bの高さaの2倍以上にするのが好ましい。但し、その膜厚が厚すぎると、CMP時における各層間絶縁膜の研磨量が必要以上に多くなるため、ダミーパターン9b、31bの高さaの10倍未満の暑さにこれらの絶縁膜を形成するのが好ましい。これらの点に鑑み、ゲート電極上の層間絶縁膜16は200～1000nm、金属配線上の層間絶縁膜32は、500～3000nm程度の厚さに形成するのが望ましい。

[0104] ところで、ダミーパターン1b、9b、31bが大きすぎる場合には、ダミーパターン形成領域IIが狭い場合に、ダミーパターン1b、9b、31bを配置することができなくなる。

[0105] 面積の小さいダミーパターン形成領域IIにもダミーパターン1b、9b、31bを配置するためには、ダミーパターン1b、9b、31bの最長方向の幅をなるべく短くするのが望ましい。

[0106] CMP後のディッシングはダミーパターン形成領域IIの短辺の幅さあるいは面積に依存して増大し、数十 μm 以上、例えば15 μm 以上の幅を持つダミーパターン形成領域IIで特に顕著となる。このように15 μm 以上の幅を持つダミーパターン形成領域IIにもダミーパターン1b、9b、31bを配置するためには、ダミーパターン1b、9b、31bの最長方向の幅を15 μm 以下にすることが望ましい。

[0107] ダミーパターン1b、9b、31bの平面形状が正方形あるいは長方形の場合、ダミーパターン1b、9b、31bの最長方向は対角線方向となる。従って、ダミーパターン1b、9b、31bの最長方向である対角線方向の幅を15 μm 以下とすれば、数十 μm の幅を持つ空白領域にもダミーパターンを配置することができる。

[0108] ところで、絶縁膜4、16、32の凸部に平面が形成され、かつ面積の小さいダミーパターン形成領域IIにも配置し得る同一面積のダミーパターン1b、9b、31bの平面形状の候補が二以上ある場合は、最短方向の幅が長く、最長方向の幅が短くなるような平面形状が最も望ましい。

[0109] 同一面積の複数のダミーパターン1b、9b、31bの候補のうち、最短方向の幅が最

大になるのは円形のダミーパターンであり、また最長方向の幅が最小になるのも円形のダミーパターンである。

[0110] このとき、ダミーパターン1b、9b、31bの最短方向の幅、最長方向の幅は円の直径となる。このため、ダミーパターン1b、9b、31bの平面形状は図22に示すような円形であることが望ましい。

[0111] この場合、ダミーパターン1b、9b、31bの直径Yを下地段差の3.5倍以上且つ15 μm 以下にすることで、絶縁膜4、16、32の凸部に平坦な頂面を形成することができると共に、15 μm よりも広い幅を持つダミーパターン形成領域IIにもダミーパターン1b、9b、31bを配置することができる。

[0112] 図23は、ダミーパターン1b、9b、31bの平面形状と配置の仕方の他の例を示す平面図である。

[0113] これに示されるように、正方形や長方形の形状よりも5つ以上の辺を有する正多角形であるほうが、同一面積のダミーパターン1b、9b、31bの最短方向の幅Y1を長くすることができ、また最長方向の幅Y2を短くすることができることから望ましい。

[0114] 図24(a)～(f)は、このような多角形の例を示す平面図である。また、同図では正十角形までしか例示していないが、ダミーパターン1b、9b、31bの平面形状を11個以上の辺を有する正多角形としてもよい。多角形の辺の数が多いほうが同一面積を有するダミーパターン1b、9b、31bを形成する際の最短方向の幅を長くすることができる点で好ましい。

[0115] (6)調査結果についての説明

本願発明者は、上記したような本発明の原理に従った場合に、絶縁膜に形成される凹み状欠陥数がどの程度低減されるかを調査した。

[0116] 図25は、その調査で使用したサンプルの断面図である。このサンプルは、第1例で説明した図4及び図5に従って作成した。なお、熱酸化膜2の厚さは10nmとし、窒化シリコン膜3の厚さは105nmとした。更に、短辺が1800 μm で長辺が2200 μm のダミーパターン形成領域IIに、図示のように一辺の長さX1～X4が0.87 μm 、2 μm 、4 μm 、及び6 μm の正方形のダミーパターン1bを形成した。また、素子分離溝1aの深さaは380 μm とした。

- [0117] ここで、ダミーパターン1bの長さ $X1 \sim X4$ の下地段差 a に対する割合は、一辺 $0.87 \mu m$ のダミーパターン1bで2.3倍、 $2 \mu m$ のダミーパターン1bで5.3倍、 $4 \mu m$ のダミーパターン1bで10.5倍、 $6 \mu m$ のダミーパターン1bで15.8倍となる。
- [0118] 一辺の長さが $0.87 \mu m$ のダミーパターン1bでは、その上にHDPCVD法で形成された素子分離絶縁膜4の凸部の断面形状は四角錐状となっている。一方、一辺の長さが $2 \mu m$ 、 $4 \mu m$ 、 $6 \mu m$ のダミーパターン1bでは、その凸部の断面形状は台形であり、凸部の頂面は正方形の平坦面となっている。なお、その素子分離絶縁膜の厚さは $425 nm$ とした。
- [0119] その後、図1～図3で説明したCMP装置において素子分離絶縁膜4を研磨した。
- [0120] その研磨は二つのステップで行い、第一のステップでは酸化セリウムを砥粒としたスラリーを 0.135 リットル/分の供給量で研磨パッド上に供給しながら研磨を行った。研磨圧力は $27.6 Pa$ 、研磨ヘッドの回転数は 142 回転/分、研磨テーブルの回転数は 140 回転/分とした。
- [0121] また、第二のステップでは酸化セリウムを砥粒としたスラリーを 0.05 リットル/分、純水を 0.25 リットル/分の供給量で研磨パッド上に同時に供給しながら研磨を行った。研磨圧力は $17.2 kPa$ 、研磨ヘッドの回転数は 122 回転/分、研磨テーブルの回転数は 140 回転/分とした。
- [0122] 研磨パッドはロデール・ニッタ社製IC1400を使用した。
- [0123] なお、この調査では上記の研磨条件を使用したか、本発明はこれに限定されず、一般的な範囲の研磨条件を採用し得る。また、研磨パッドについても他の種類の研磨パッドを使用しても良い。
- [0124] 上記の方法により5枚のシリコン基板1に対して研磨を行い、研磨を終了したシリコン基板1についてKLA-Tencor社製欠陥検査装置AIT-XPを使用して、ダミーパターン形成領域IIに欠陥があるかどうかを調査した。
- [0125] 図26にその調査結果を示す。
- [0126] 図26に示されるように、一辺の長さが $0.87 \mu m$ の正方形のダミーパターン1bを配置した領域では、5枚中3枚のシリコン基板1で凹み状欠陥が発見された。
- [0127] これに対し、一辺の長さが $2 \mu m$ 以上の正方形のダミーパターン1bを配置した領域

では、5枚全てのシリコン基板1において、凹み状欠陥は発見されなかった。

[0128] この結果から、ダミーパターン1bの最短方向の幅Xを、下地段差aに対して3.5倍以上とすることで、シリコン基板1に発生する欠陥が抑制されることが裏付けられた。

[0129] なお、この調査はダミーパターン1bに対して行われたが、ダミーパターン9b、31bに対してもこれと同様の結果が期待される。

請求の範囲

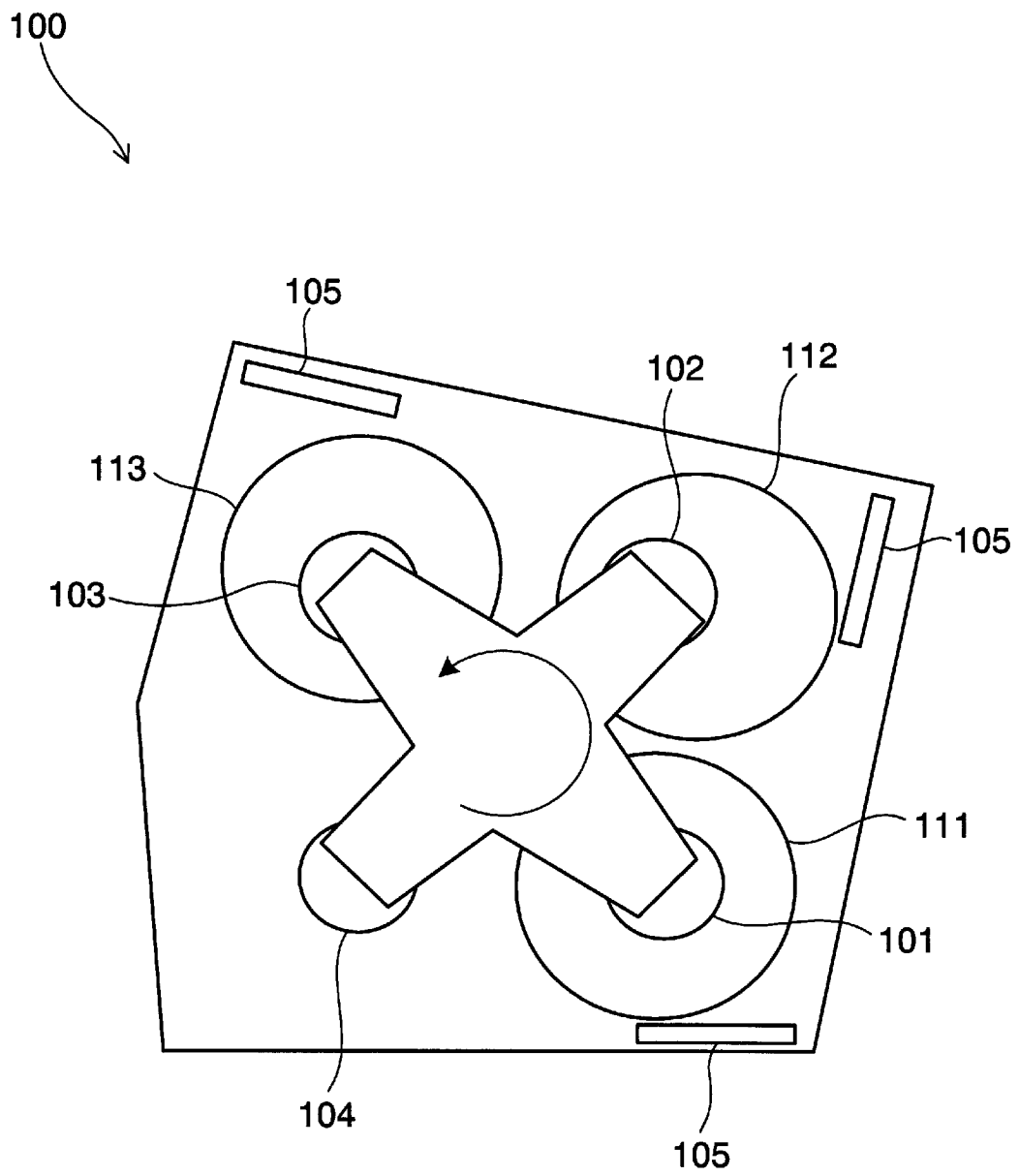
- [1] 半導体基板と、
前記半導体基板の上方、又は該半導体基板に形成されたダミーパターンと、
少なくとも前記ダミーパターンの側面に形成された絶縁膜とを有し、
前記ダミーパターンの最短方向の幅が、該ダミーパターンの高さの3.5倍以上であることを特徴とする半導体装置。
- [2] 前記ダミーパターンは、前記半導体基板に形成された素子分離溝によって画定されたダミー活性領域であり、
前記絶縁膜は、前記素子分離溝に形成された素子分離絶縁膜であることを特徴とする請求項1に記載の半導体装置。
- [3] 前記ダミーパターンは、金属配線と同じ層に形成され、且つ該金属配線と同じ材料で構成されてなり、
前記絶縁膜は、前記金属配線と前記ダミーパターンを覆う層間絶縁膜であることを特徴とする請求項1に記載の半導体装置。
- [4] 前記ダミーパターンは、ゲート電極と同じ層に形成され、且つ該ゲート電極と同じ材料で構成されてなり、
前記絶縁膜は、前記ゲート電極と前記ダミーパターンを覆う層間絶縁膜であることを特徴とする請求項1に記載の半導体装置。
- [5] 前記ダミーパターンの平面形状は、正方形又は長方形であることを特徴とする請求項1に記載の半導体装置。
- [6] 前記正方形又は長方形のダミーパターンの対角線方向の長さが $15\mu\text{m}$ 以下であることを特徴とする請求項5に記載の半導体装置。
- [7] 前記ダミーパターンの平面形状は円形であることを特徴とする請求項1に記載の半導体装置。
- [8] 前記円形のダミーパターンの直径が $15\mu\text{m}$ 以下であることを特徴とする請求項7に記載の半導体装置。
- [9] 前記ダミーパターンの平面形状は、5つ以上の辺を有する正多角形であることを特徴とする請求項1に記載の半導体装置。

- [10] 前記ダミーパターンが前記半導体基板の一部領域に複数個形成され、
前記複数個のダミーパターンが、前記一部領域の10～80%の面積を占有することを特徴とする請求項1に記載の半導体装置。
- [11] 半導体基板の上方、又は該半導体基板にダミーパターンを形成する工程と、
前記ダミーパターンの上に、CVD法により絶縁膜を形成する工程と、
前記絶縁膜の上面を研磨して平坦化する工程とを有し、
前記ダミーパターンを形成する工程において、該ダミーパターンの最短方向の幅を、
前記研磨の前の該ダミーパターン上の前記絶縁膜に平坦な頂面が形成されるような幅にすることを特徴とする半導体装置の製造方法。
- [12] 前記ダミーパターンの最短方向の前記幅として、該ダミーパターンの高さの3.5倍以上の幅とすることを特徴とする請求項11に記載の半導体装置の製造方法。
- [13] 前記絶縁膜を研磨する工程において、酸化セリウム粒子を含むスラリーを使用することを特徴とする請求項11又は請求項12に記載の半導体装置の製造方法。
- [14] 前記絶縁膜を形成する工程において、前記ダミーパターンの高さよりも厚く、且つ該高さの2.5倍未満の厚さに前記絶縁膜を形成することを特徴とする請求項11乃至請求項13いずれか一項に記載の半導体装置の製造方法。
- [15] 前記ダミーパターンを形成する工程は、前記半導体基板に該ダミーパターンとしてダミー活性領域を画定する素子分離溝を形成して行われ、
前記絶縁膜を形成する工程は、前記素子分離溝内と前記ダミー活性領域の上とにCVD法により素子分離絶縁膜を形成して行われ、
前記絶縁膜を研磨する工程は、前記ダミー活性領域上の前記素子分離絶縁膜を除去し、該素子分離絶縁膜を前記素子分離溝内にのみ残して行われることを特徴とする請求項11乃至14いずれか一項に記載の半導体装置の製造方法。
- [16] 前記素子分離絶縁膜として、前記CVD法により酸化シリコン膜を形成することを特徴とする請求項15に記載の半導体装置の製造方法。
- [17] 前記ダミーパターンを形成する工程は、前記半導体基板の上方に導電膜を形成する工程と、前記導電膜をパターンニングして前記ダミーパターンとする工程とを有し、
前記絶縁膜を形成する工程は、前記ダミーパターンの上に前記CVD法により層間

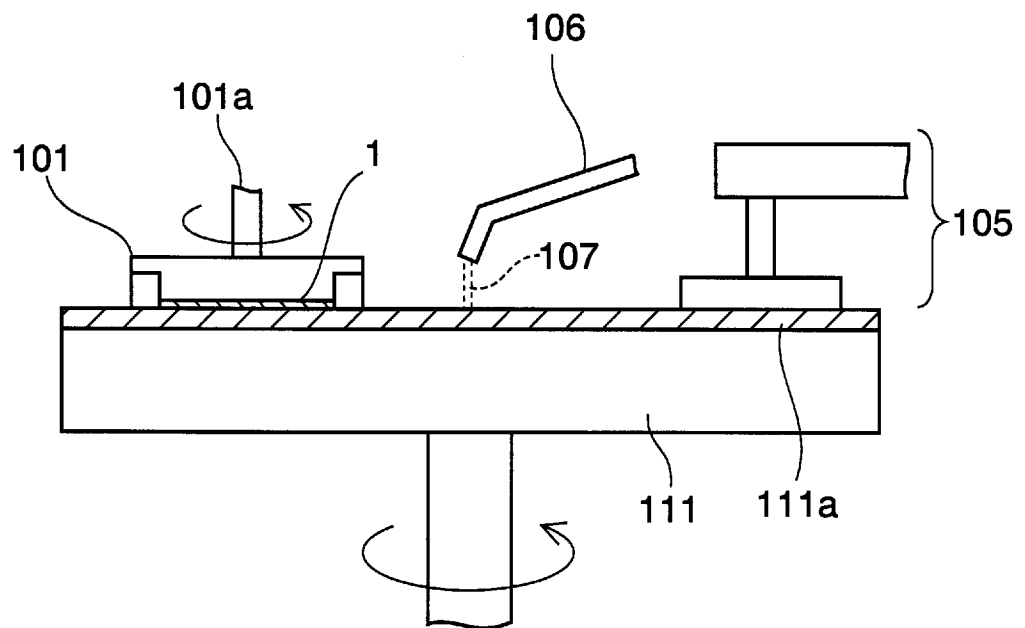
絶縁膜を形成して行われることを特徴とする請求項11に記載の半導体装置の製造方法。

- [18] 前記絶縁膜を形成する工程において、前記CVD法は電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であるプラズマCVD法であり、前記ダミーパターンの縁部における該絶縁膜に傾斜角が $30^\circ \sim 60^\circ$ の斜面が形成されることを特徴とする請求項11乃至請求項17いずれか一項に記載の半導体装置の製造方法。
- [19] 前記ダミーパターンを形成する工程において、前記導電膜をパターニングして金属配線を形成することを特徴とする請求項18に記載の半導体装置の製造方法。
- [20] 前記ダミーパターンを形成する工程において、前記導電膜をパターニングしてゲート電極を形成することを特徴とする請求項18に記載の半導体装置の製造方法。

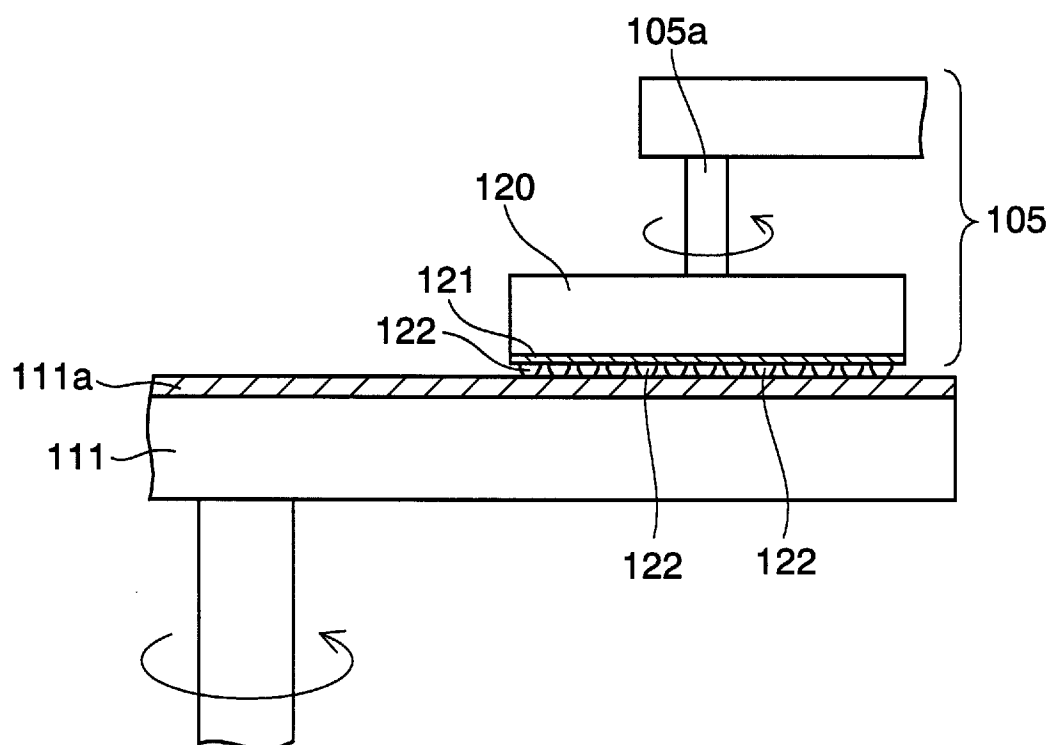
[図1]



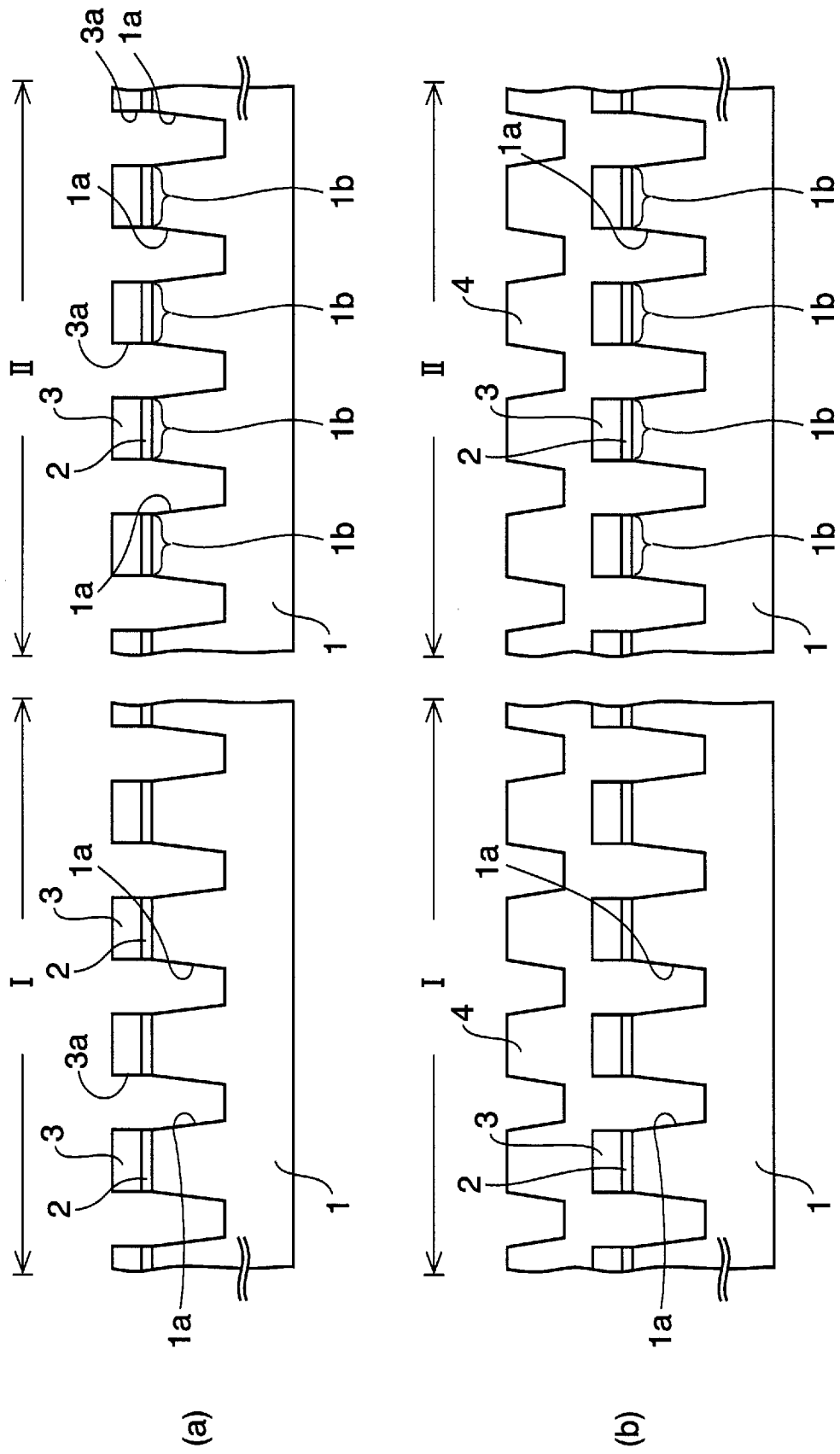
[図2]



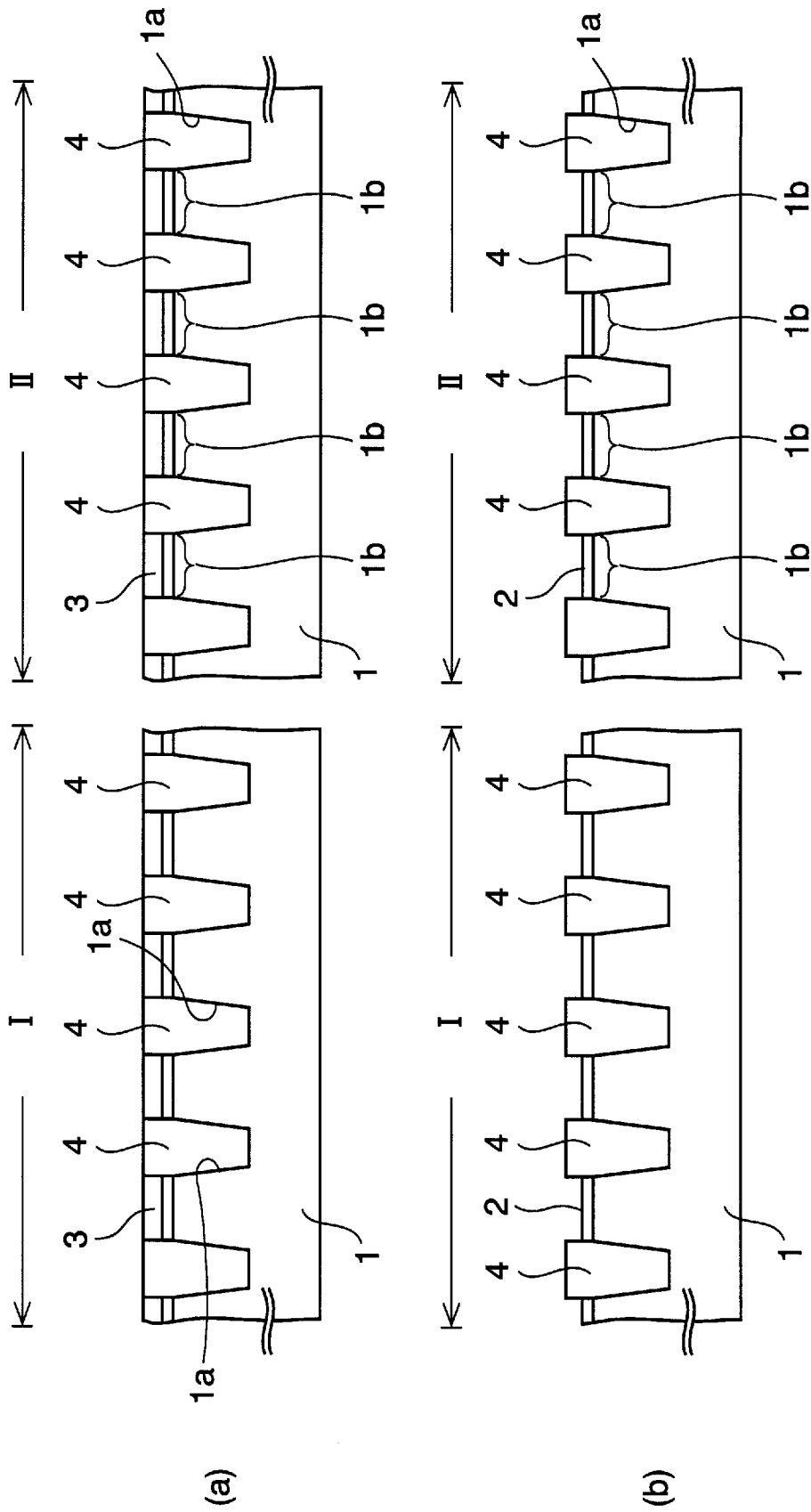
[図3]



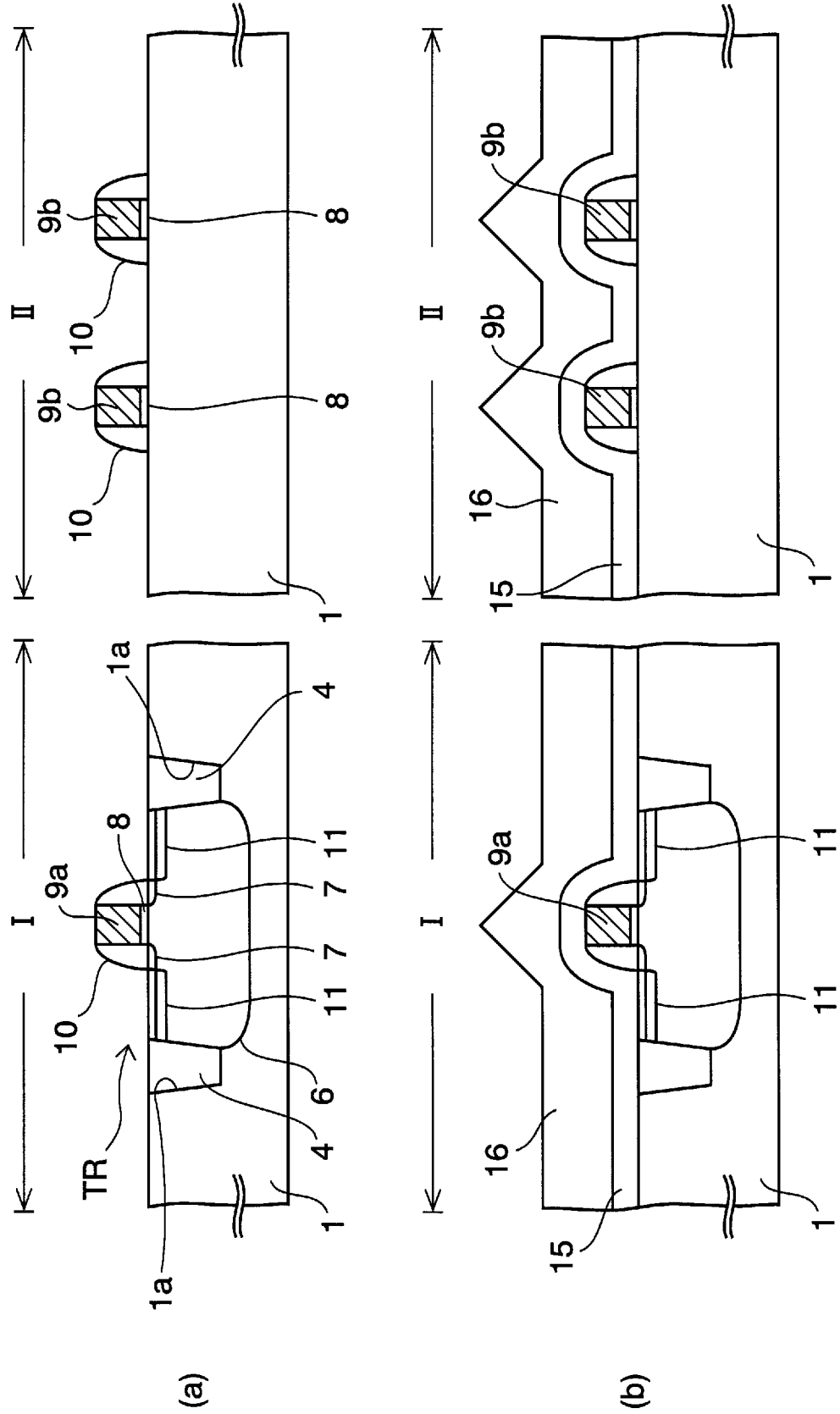
[図4]



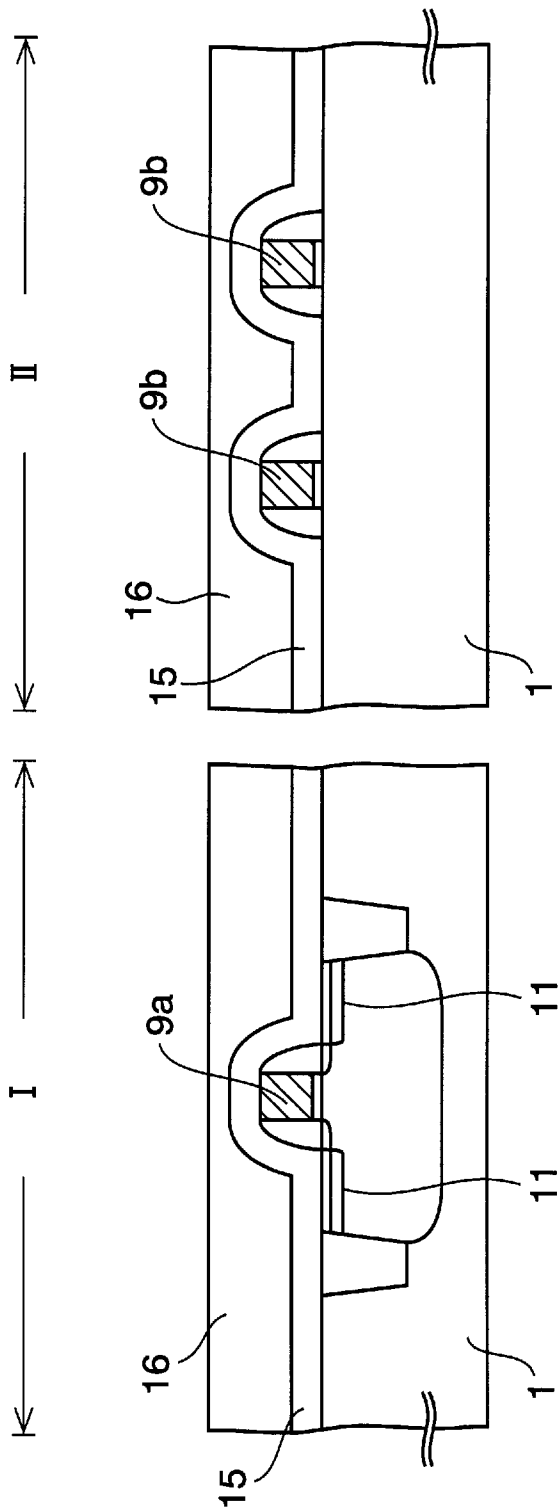
[図5]



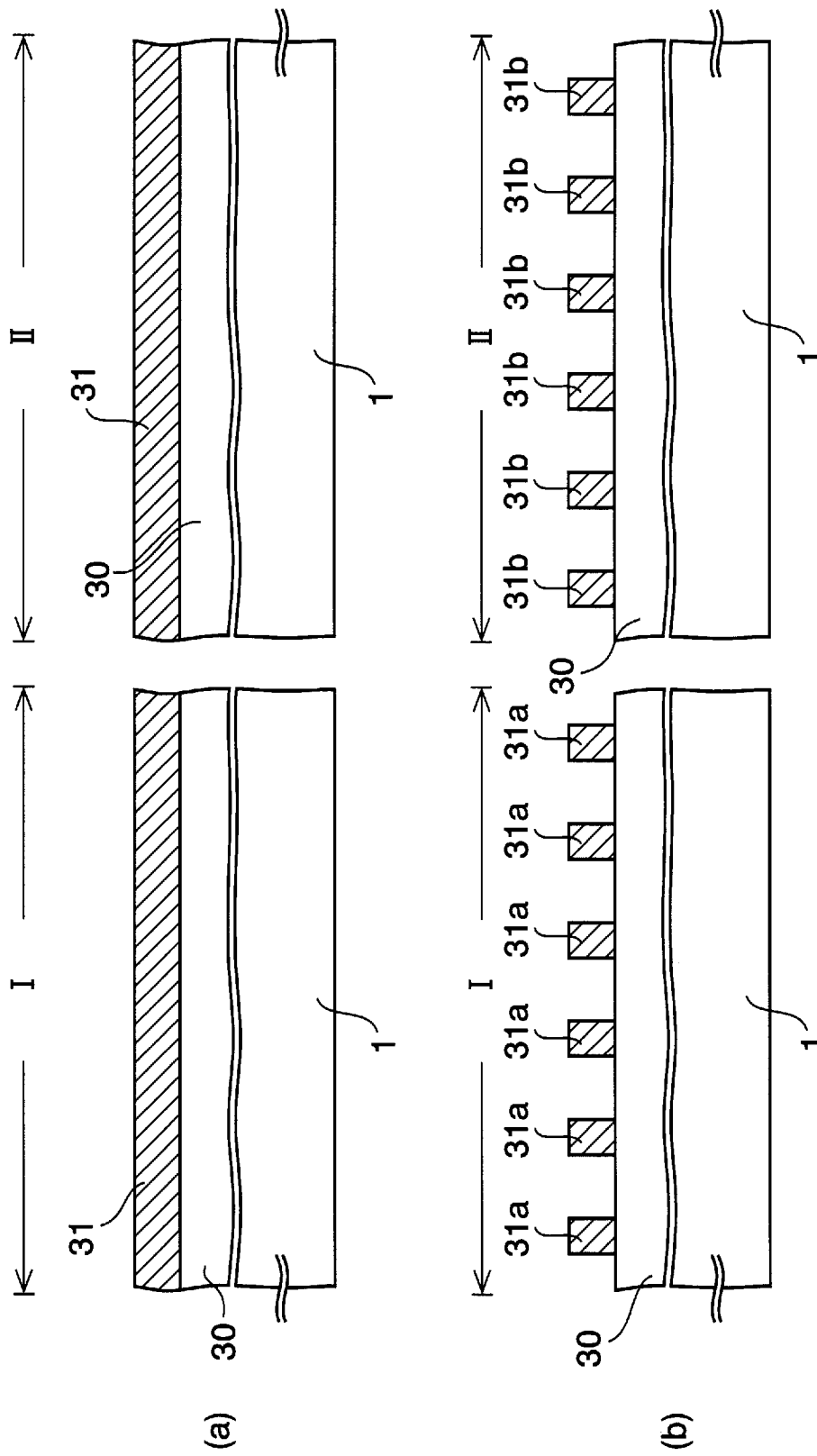
[図6]



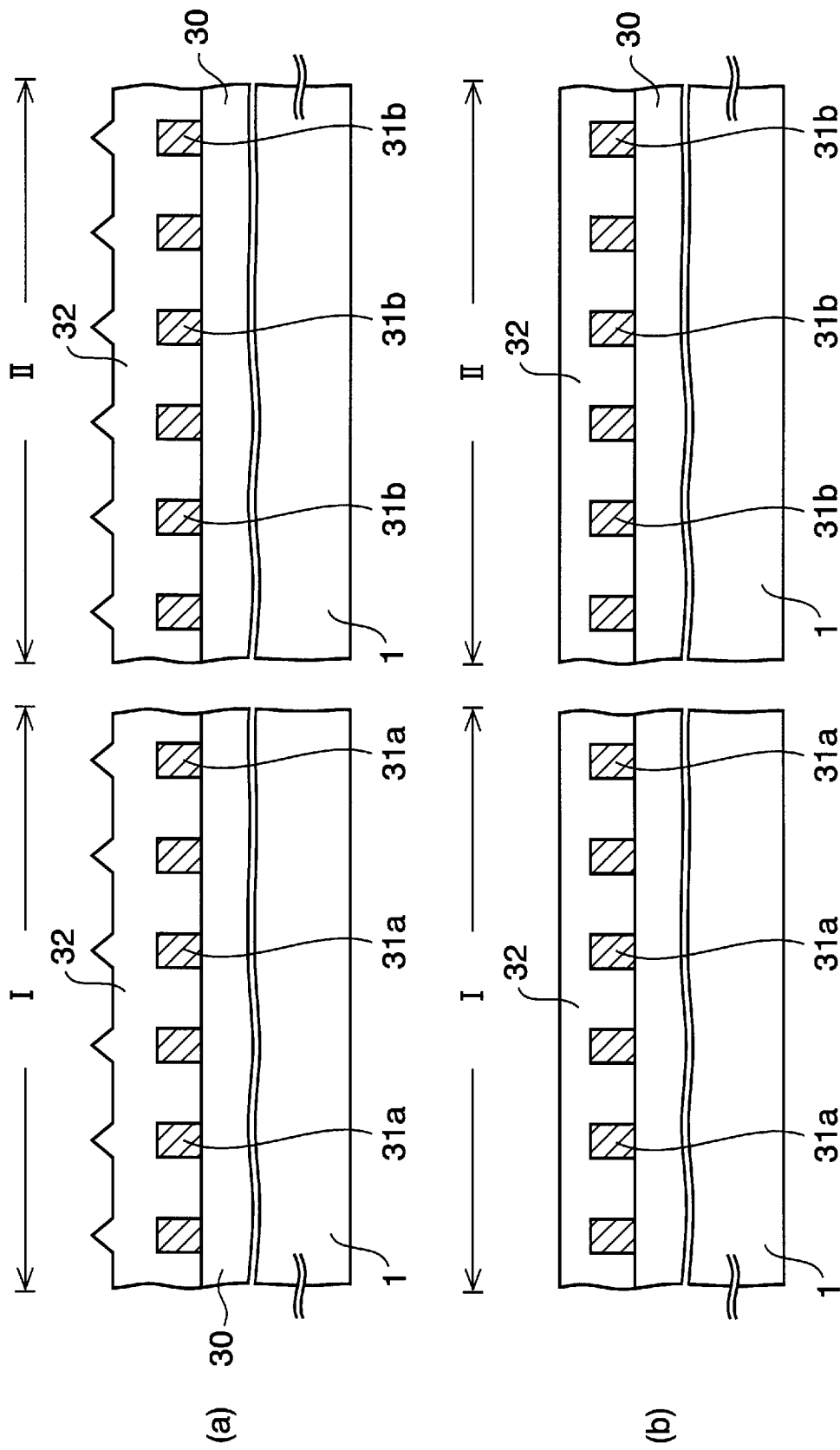
[図7]



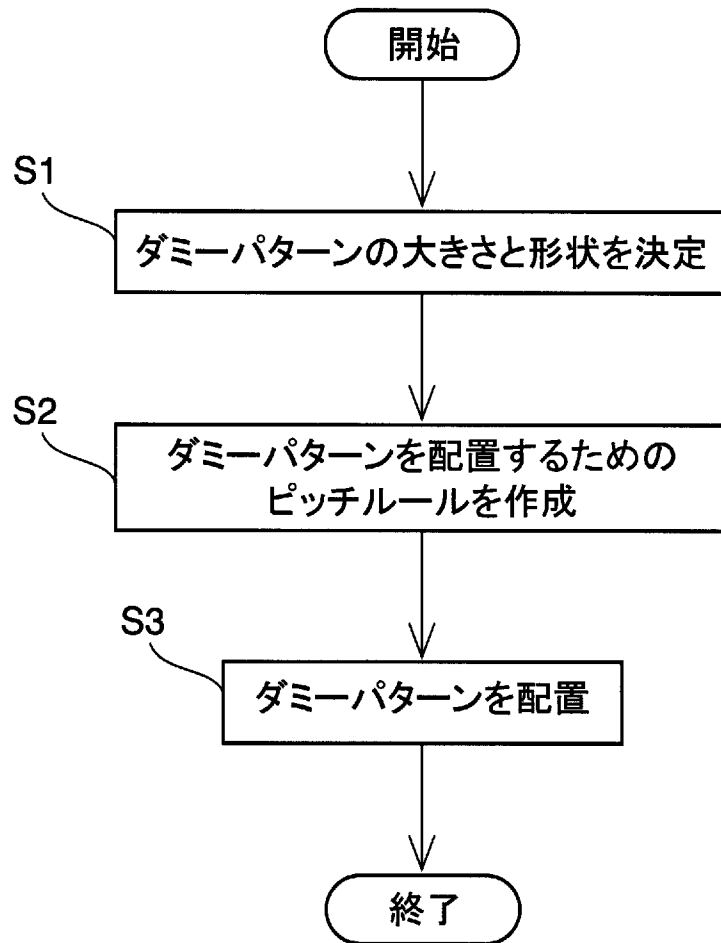
[図8]



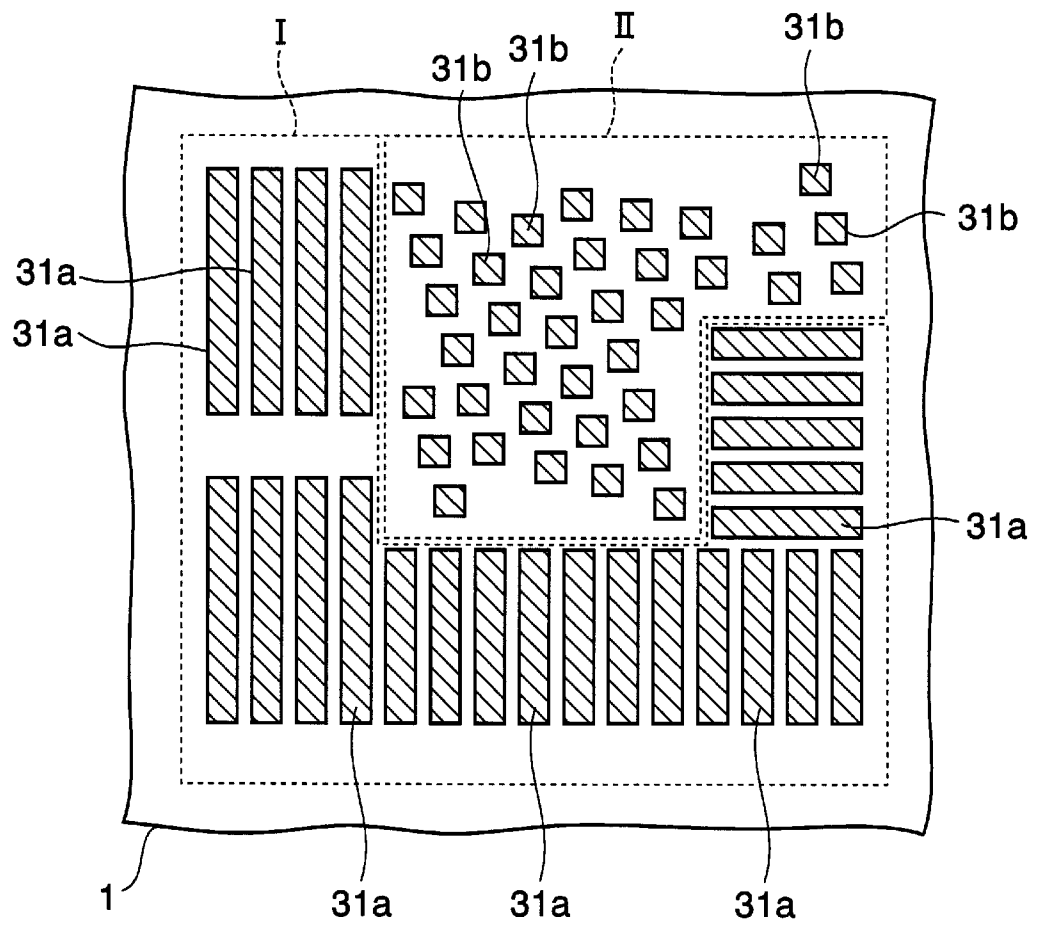
[図9]



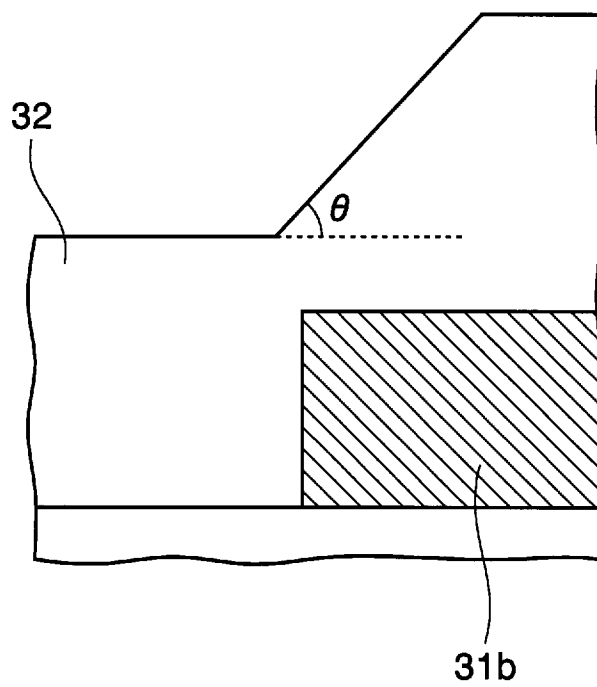
[図10]



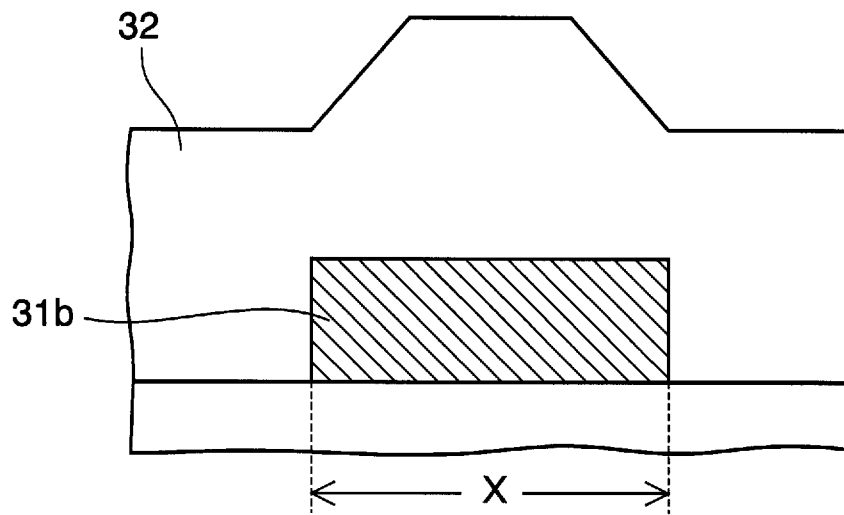
[図11]



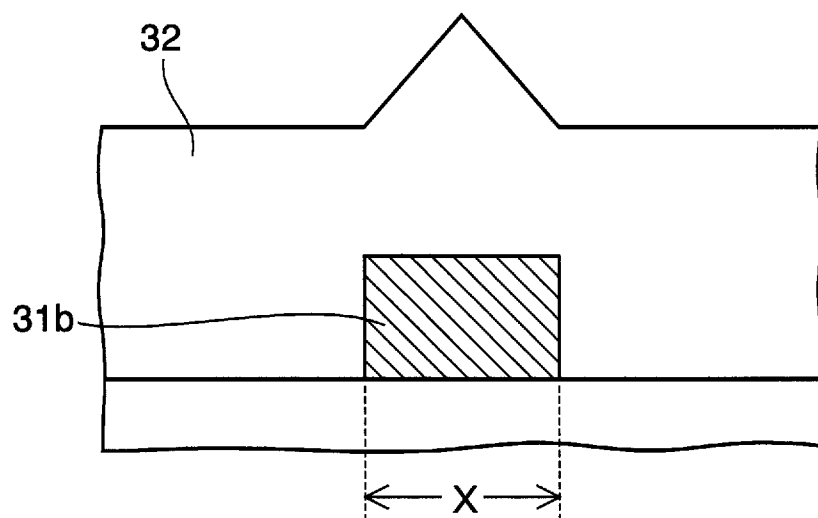
[図12]



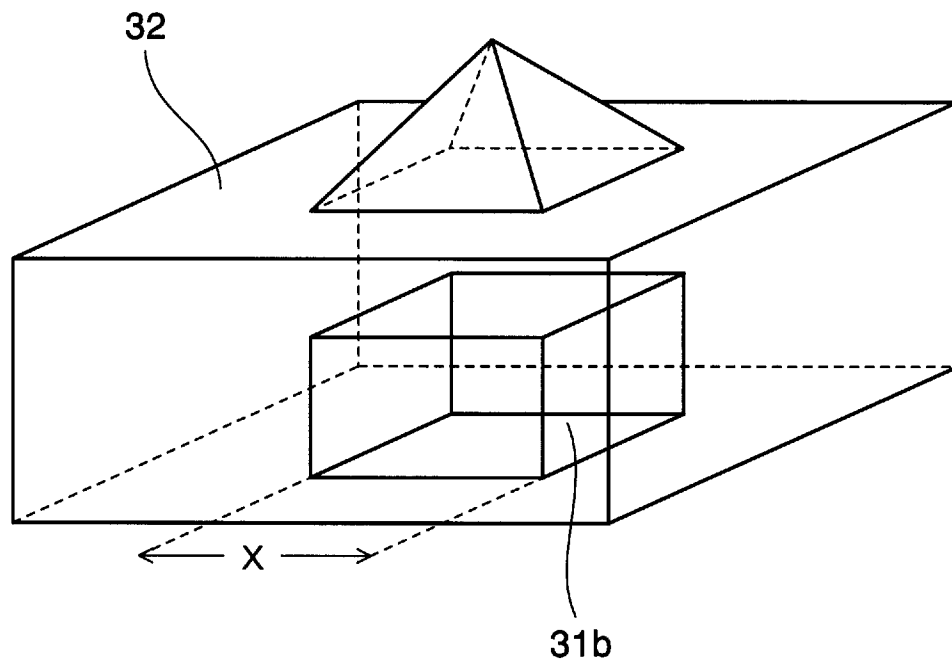
[図13]



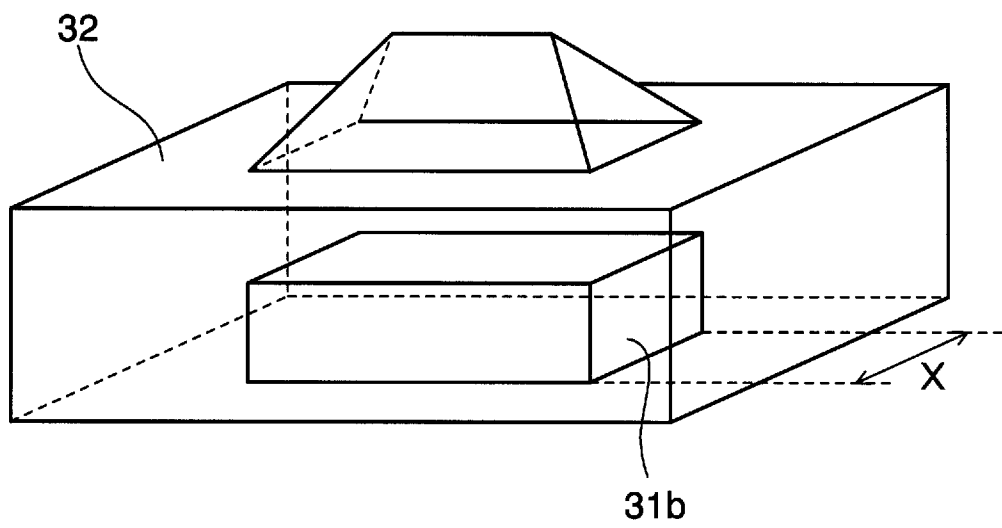
[図14]



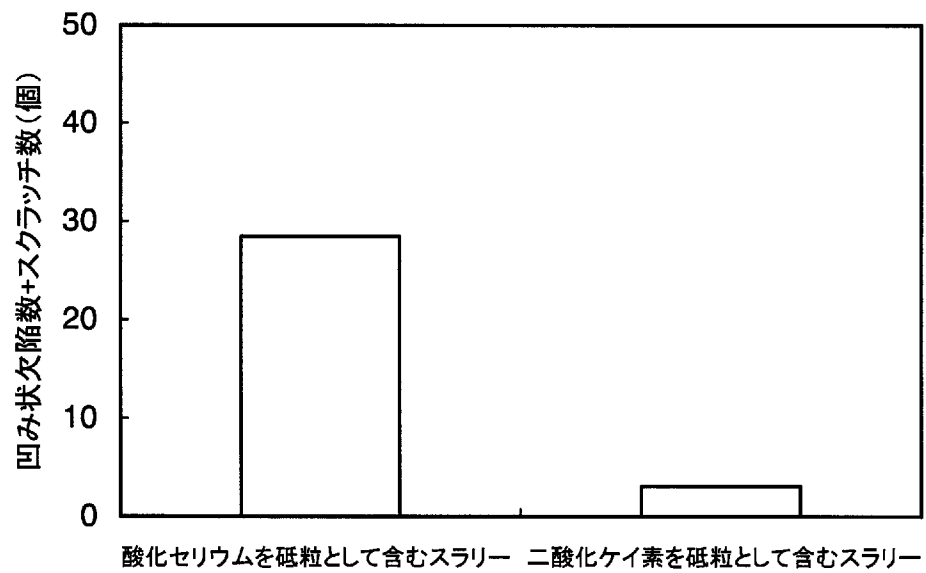
[図15]



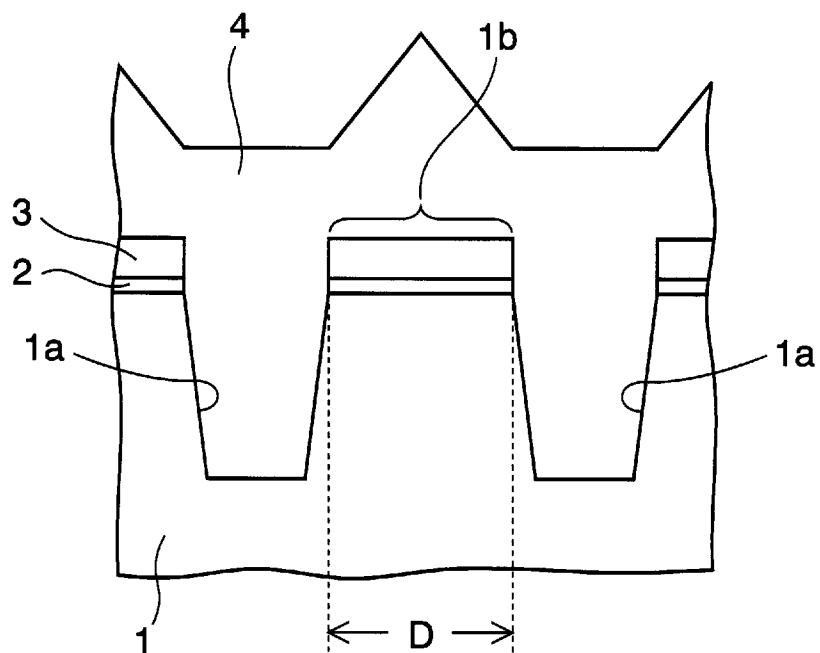
[図16]



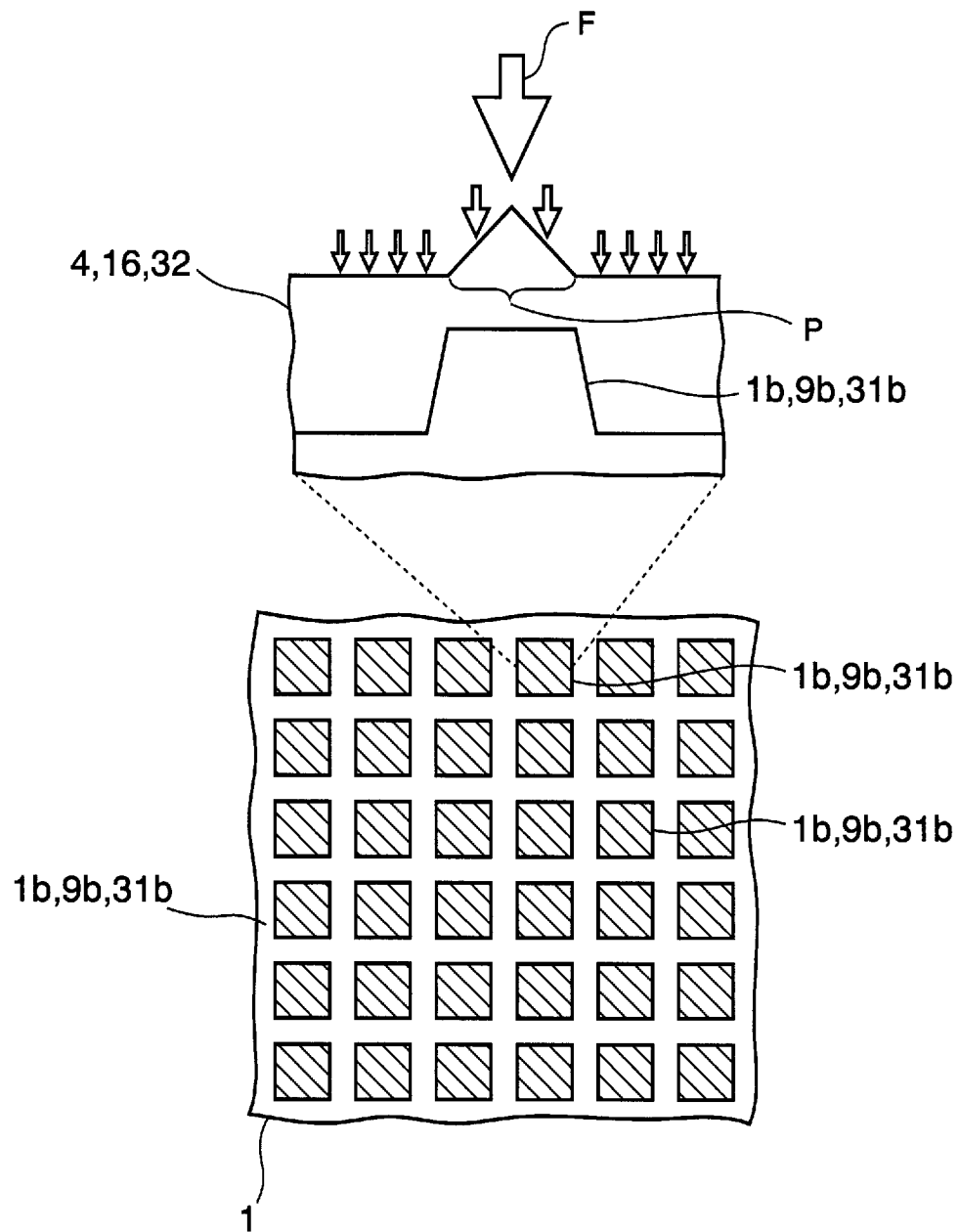
[図17]



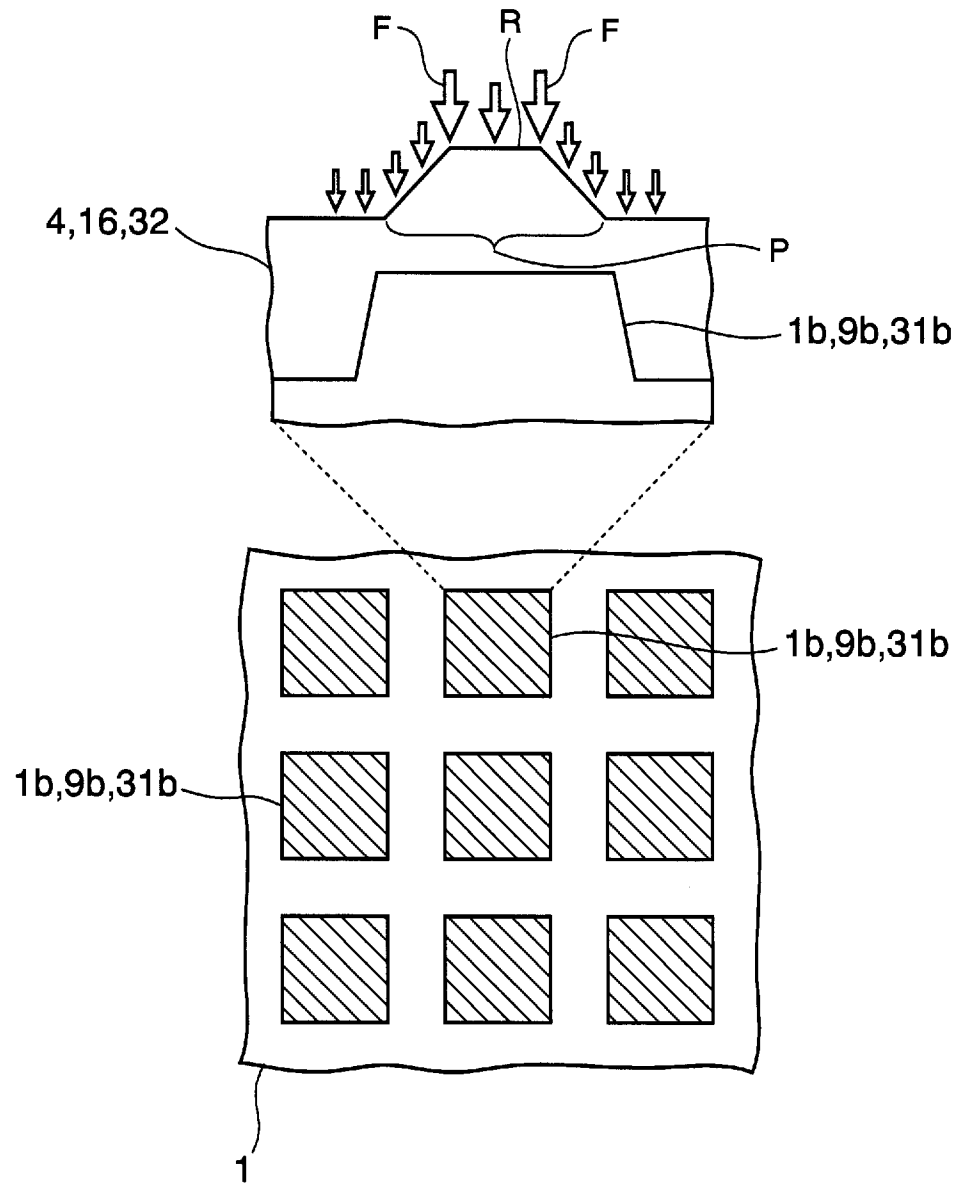
[図18]



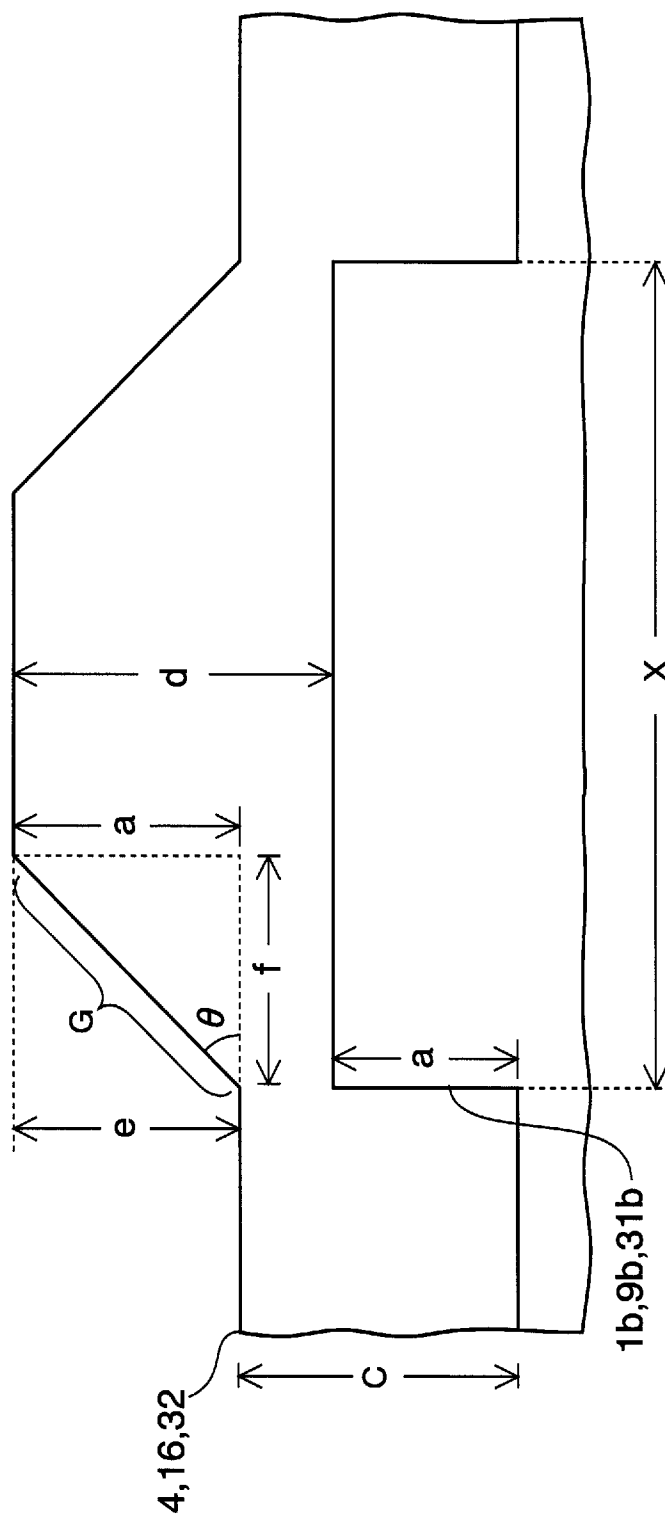
[図19]



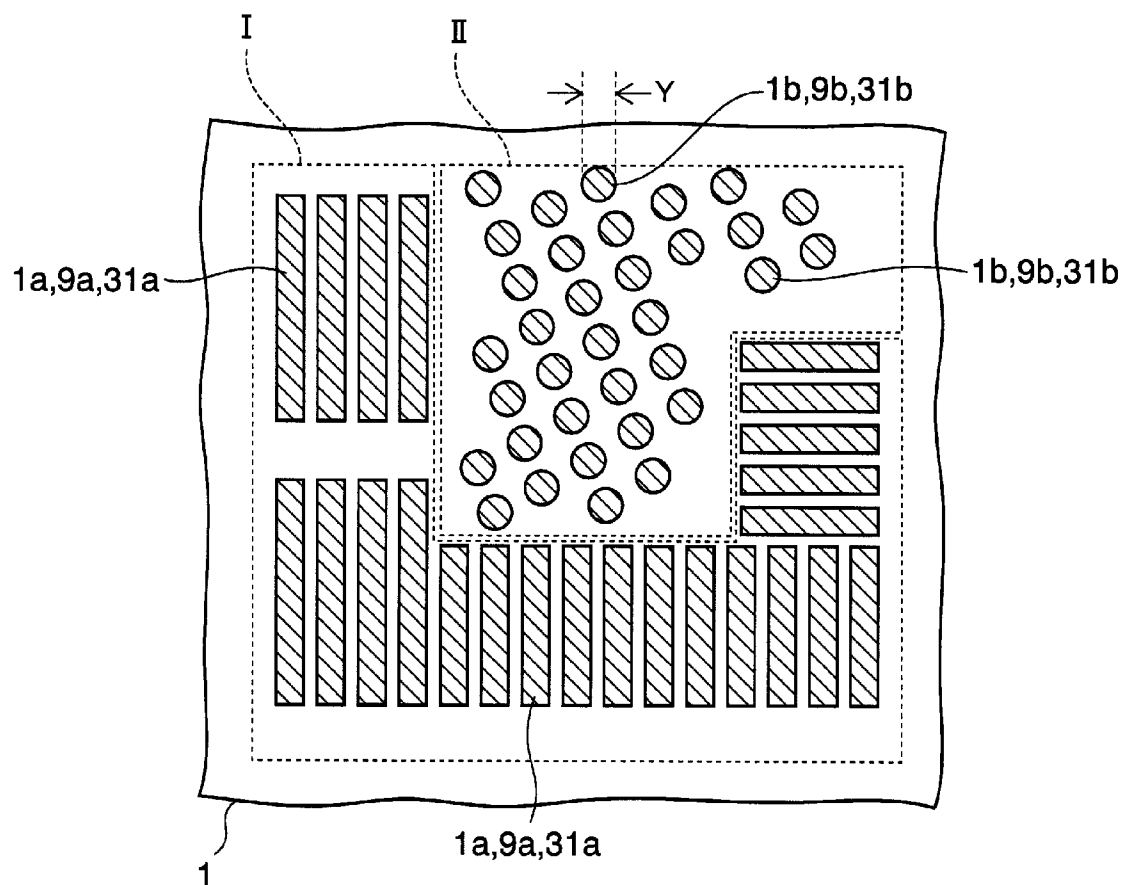
[図20]



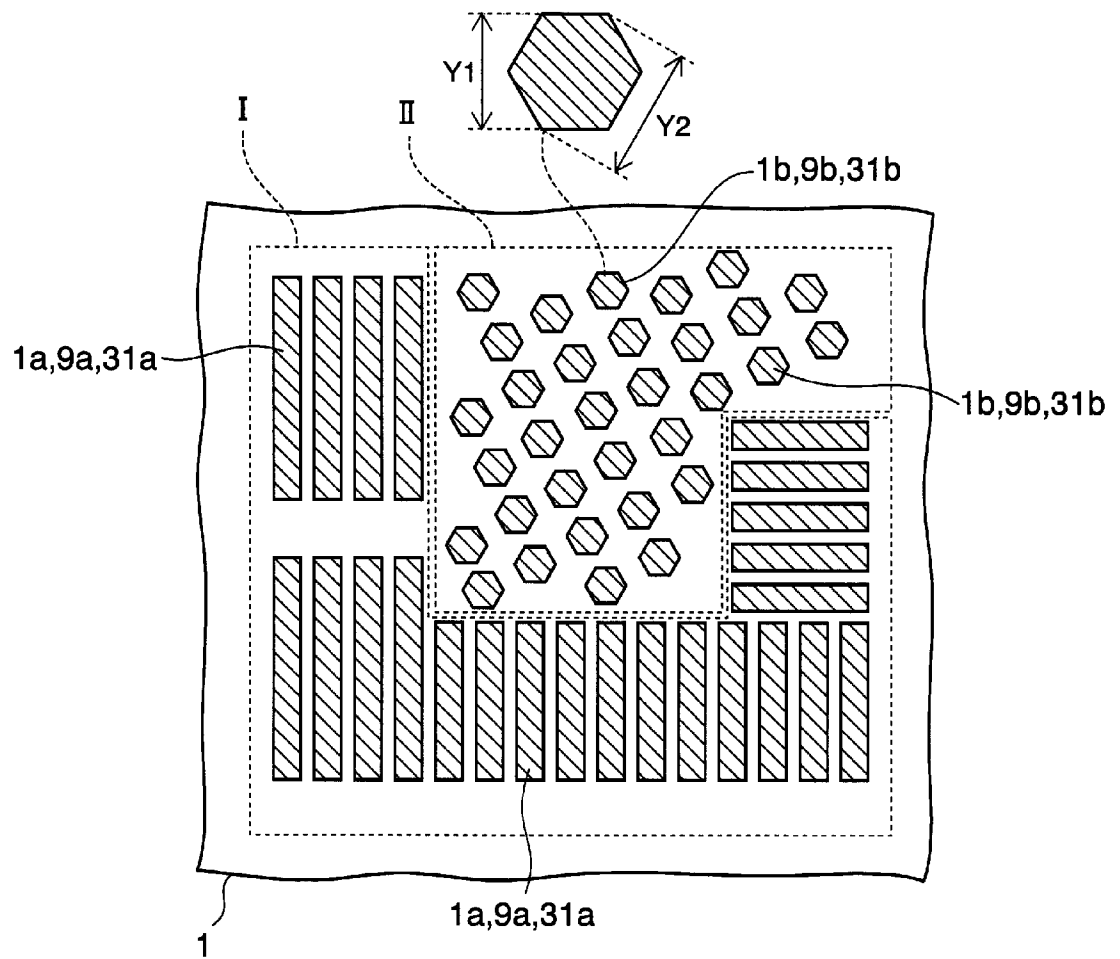
[図21]



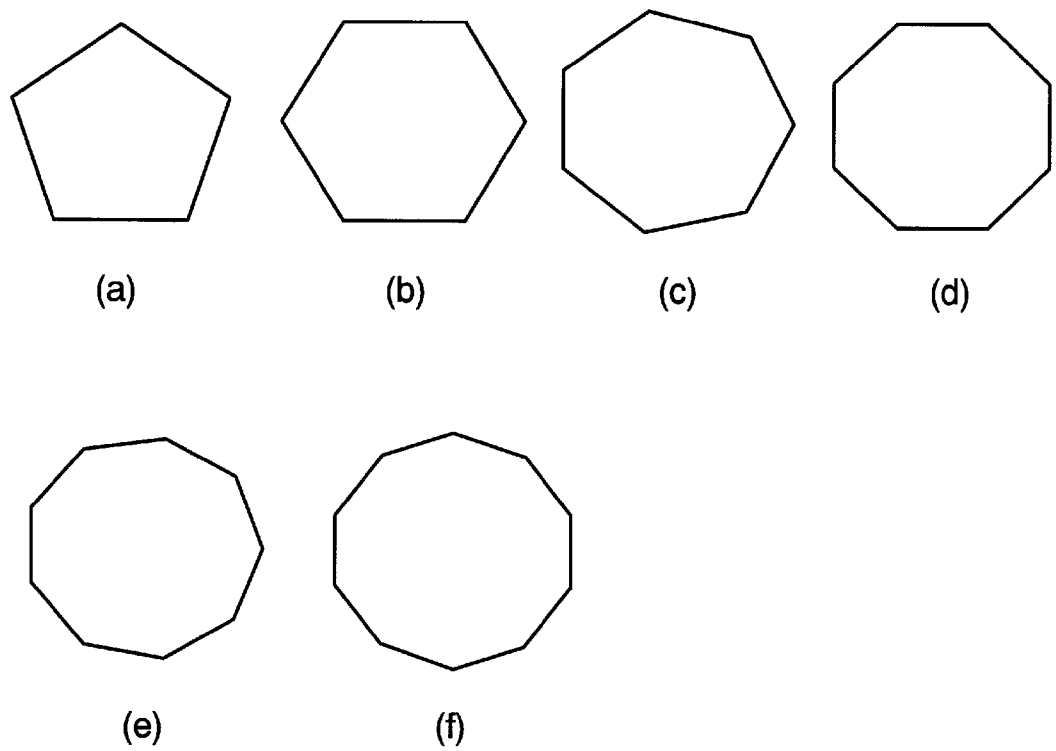
[図22]



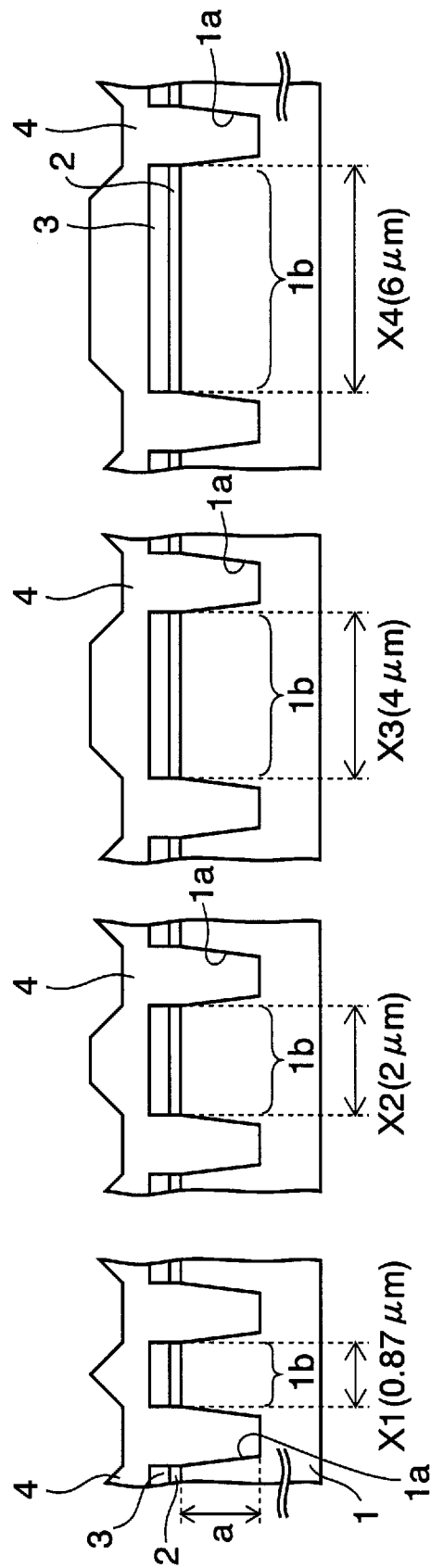
[図23]



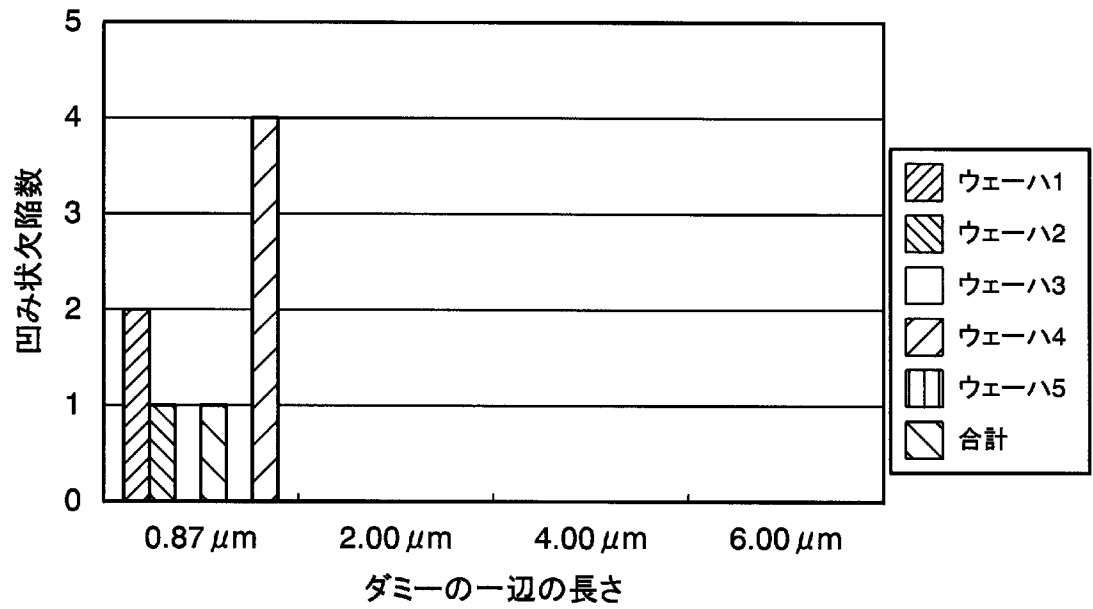
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054974

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/76(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/76

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-265989 A (Matsushita Electric Industrial Co., Ltd.), 24 September, 2004 (24.09.04), Claim 1 & US 2004/0169252 A1 & CN 1525548 A	1-2
X	JP 5-243403 A (NEC Corp.), 21 September, 1993 (21.09.93), Par. No. [0015] (Family: none)	1
X	JP 2000-294557 A (Sony Corp.), 20 October, 2000 (20.10.00), Fig. 4 (Family: none)	1

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 June, 2007 (06.06.07)

Date of mailing of the international search report
19 June, 2007 (19.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054974

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 2

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

As specified in PCT rule 13.2, the requirement of unity of invention in an international application (PCT rule 13.1) is satisfied only when there is a technical relationship involving one or more of the same or corresponding special technical features (technical features expressing the contribution made over the prior art generally by each invention) among the groups of inventions disclosed in the claims.

First, the unity of invention between claim 1 and claim 11 which are independent claims is examined.

The "special technical feature" of the invention in claim 1 is "insulation films formed on the side surfaces of dummy patterns, respectively" (considered to involve a structure such as a side wall) and "the widths of the dummy patterns in the shortest direction are 3.5 times the heights of the dummy patterns or wider, respectively".

On the other hand, the "special technical feature" of the invention in claim 11 relates to "a step of flattening the upper surfaces of the insulation films by polishing" and "the widths of the dummy patterns in the shortest direction are so set that a flat top surface can be formed on each of the insulation films on the dummy patterns before polishing in a step of forming the dummy patterns" (namely, dummy patterns the widths of which are 3.5 times the heights of the dummy patterns, respectively, are not necessarily excluded).

Since these inventions are not so technically related as to involve one or more of the same or corresponding special technical features, they are not considered to be so linked as to form a single general inventive concept.

Next, the requirement of unity of invention between the independent claims and the respective dependent claims is examined.

In this international application, the technical feature common to the inventions in the independent claims and the inventions in the dependent claims is the matter to define the invention disclosed in the independent claims.

On the other hand, the technical feature is disclosed in claim 1 of the document 1: JP 2004-265989 A (Matsushita Electric Industrial Co., Ltd.), 24 September, 2004 (24.09.04) (the invention in claim 1 of this application and the invention in claim 1 of the document 1 are overlapped with each other within the range where the width dimensions of the dummy patterns are between 3.5 and 4.0 times the heights of the dummy patterns, respectively).

Since the common technical feature is considered to be a publicly known technical feature when this international application is filed, it cannot be said to contribute to the prior art. Therefore, it cannot be considered to be a special technical feature specified in the rule.

Also, it cannot be considered that there are the other same or corresponding special technical features among these claims.

As a result, since it cannot be said that there are the same or corresponding special technical features among the inventions of this international application, the inventions in the claims of this international application do not satisfy the requirement of unity of inventions specified in PCT rule 13.1.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/76(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2004-265989 A（松下電器産業株式会社）2004.09.24, 請求項1 & US 2004/0169252 A1 & CN 1525548 A	1-2
X	JP 5-243403 A（日本電気株式会社）1993.09.21, 【0015】（ファミリーなし）	1
X	JP 2000-294557 A（ソニー株式会社）2000.10.20, 図4（ファミリーなし）	1

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技术水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.06.2007

国際調査報告の発送日

19.06.2007

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 浩一

4M

8617

電話番号 03-3581-1101 内線 3462

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

1 - 2

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

国際出願における発明の単一性の要件（特許協力条約に基づく規則 13.1）は、特許協力条約に基づく規則 13.2 に規定されるように、請求の範囲に記載された一群の発明の間に一又は二以上の同一又は対応する特別な技術的特徴（各発明が全体として先行技術に対して行う貢献を明示する技術的特徴）を含む技術的な関係にあるときに限り満たされる。

そこで、最初に独立請求項である、請求の範囲 1 と、請求の範囲 11 との単一性について検討する。

請求の範囲 1 に係る発明の「特別な技術的特徴」は、「ダミーパターンの側面に形成された絶縁膜」（例えば、サイドウォールのような構造を含むものと認められる）と「前記ダミーパターンの最短方向の幅が、該ダミーパターンの高さの 3.5 倍以上であること」である。

一方、請求の範囲 11 に係る発明の「特別な技術的特徴」は、「絶縁膜の上面を研磨して平坦化する工程」と「前記ダミーパターンを形成する工程において、該ダミーパターンの最短方向の幅を、前記研磨の前の該ダミーパターン上の前記絶縁膜に平坦な頂面が形成されるような幅にすること」（すなわち、ダミーパターンの高さの 3.5 倍未満のものを必ずしも排除しない）に関するものである。

したがって、これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

続いて、独立請求項と各従属請求項との単一性について検討する。

本件において、独立請求項に係る発明と、従属請求項に係る発明との間で共通する技術的特徴は、独立請求項に記載された発明特定事項である。

一方、文献 1：JP 2004-265989 A（松下電器産業株式会社）2004.09.24 の請求項 1 には、上記技術的特徴が記載されている。（本願の請求の範囲 1 に係る発明と、文献 1 の請求項 1 に係る発明は、ダミーパターンの幅寸法が、ダミーパターンの高さの 3.5 倍以上 4 倍未満の範囲で重複する。）

したがって、前記共通する技術的特徴は本件国際出願の出願時において、既に公知の技術的特徴であったと認められるから、従来技術に対し貢献する技術といえず、上記規則に規定される特別な技術的特徴とは認められない。

また、上記各発明の間に、他に同一又は対応する特別な技術的特徴が存在するとも認められない。

以上の理由から、本件出願は上記各発明の間に同一又は対応する特別な技術的特徴が存在するということはできず、本件国際出願の請求の範囲に係る各発明は、特許協力条約に基づく規則 13.1 に規定する発明の単一性の要件を満たすものではない。