



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2021년07월29일

(11) 등록번호 10-2282028

(24) 등록일자 2021년07월21일

(51) 국제특허분류(Int. Cl.)  
 G09G 3/20 (2006.01) G09G 3/32 (2016.01)  
 G09G 3/36 (2006.01)

(52) CPC특허분류  
 G09G 3/20 (2013.01)  
 G09G 3/3225 (2013.01)

(21) 출원번호 10-2015-0006806

(22) 출원일자 2015년01월14일

심사청구일자 2019년12월26일

(65) 공개번호 10-2016-0087950

(43) 공개일자 2016년07월25일

(56) 선행기술조사문헌

KR1020110114836 A\*

KR1020140042308 A

KR1020100119119 A

KR1020140112290 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김중희

경기도 용인시 기흥구 서천서로 27 서천마을1단지  
104-903호

김철호

경기도 수원시 영통구 센트럴타운로22번길 36  
6005동 802호

(뒷면에 계속)

(74) 대리인

특허법인 고려

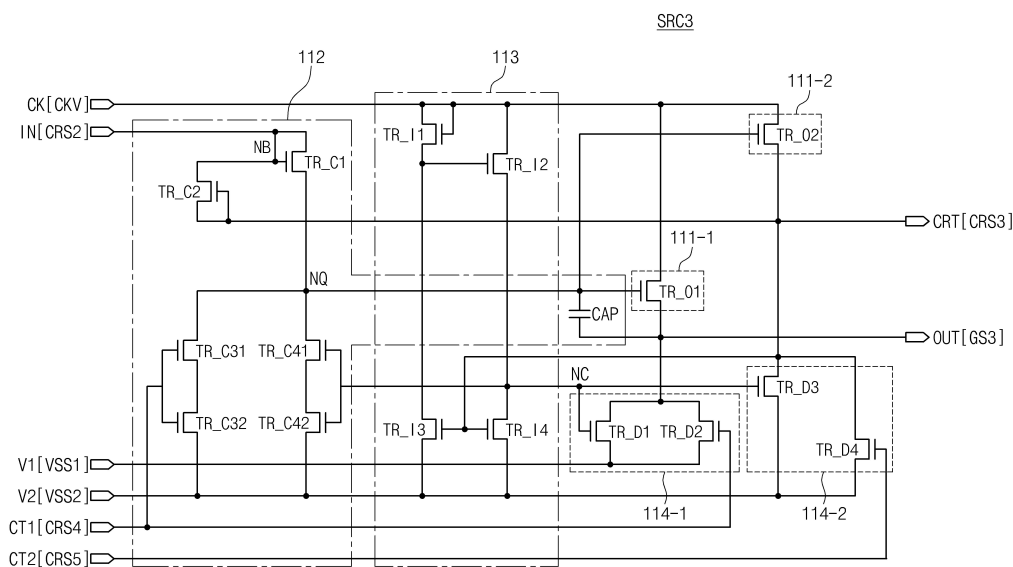
전체 청구항 수 : 총 19 항

심사관 : 윤난영

(54) 발명의 명칭 게이트 구동 회로

**(57) 요약**

게이트 구동 회로는 표시 패널에 포함된 제1 및 제2 게이트 라인들을 각각 구동하는 제1 및 제2 구동 스테이지를 포함한다. 상기 제1 구동 스테이지는 출력 트랜지스터들, 제1 게이트 신호가 출력되기 이전에, 입력 단자를 통해 상기 제2 구동 스테이지로부터 수신된 신호를 기반으로 상기 제어 노드의 전위를 제어하는 제1 제어 트랜지스터 및 상기 제1 게이트 신호가 출력되는 동안에 제1 캐리 신호를 제1 제어 트랜지스터의 상기 입력 전극에 제공하는 제2 제어 트랜지스터를 포함한다.

**대표도**

(52) CPC특허분류

**G09G 3/3648** (2013.01)

(72) 발명자

**임재근**

경기도 수원시 영통구 덕영대로1555번길 20 944동  
1512호 (영통동, 벽적골9단지아파트)

**서영완**

경기도 수원시 권선구 권광로 145 1410호 (권선동, 이오스오피스텔)

---

**채종철**

서울특별시 서초구 반포대로 275 114동 901호 (반포동, 래미안퍼스티지아파트)

## 명세서

### 청구범위

#### 청구항 1

표시 패널에 포함된 제1 및 제2 게이트 라인들을 각각 구동하는 제1 및 제2 구동 스테이지들 포함하는 게이트 구동 회로에 있어서,

상기 제1 구동 스테이지는,

제어 노드에 접속된 제어 전극, 클럭 신호를 수신하는 입력 전극, 및 상기 클럭 신호를 기반으로 생성된 제1 게이트 신호를 출력하는 출력 전극을 포함하는 제1 출력 트랜지스터;

상기 제어 노드에 접속된 제어 전극, 상기 클럭 신호를 수신하는 입력 전극, 상기 클럭 신호를 기반으로 생성된 제1 캐리 신호를 출력하는 출력 전극을 포함하는 제2 출력 트랜지스터;

상기 클럭 신호를 기반으로 생성된 스위칭 신호를 출력 노드에 출력하는 인버터부;

상기 제1 게이트 신호가 출력된 이후에, 상기 제1 출력 트랜지스터 및 상기 제2 출력 트랜지스터로부터 출력되는 상기 제1 게이트 신호 및 제1 캐리 신호의 전압들을 다운시키는 풀다운부;

상기 제1 게이트 신호가 출력되기 이전에, 상기 제1 캐리 신호에 응답하여 상기 제1 구동 스테이지의 입력 단자를 통해 상기 제2 구동 스테이지로부터 입력 전극에 수신된 제2 캐리 신호를 기반으로 상기 제어 노드의 전위를 제어하는 제1 제어 트랜지스터; 및

상기 제1 게이트 신호가 출력되는 동안에 상기 제2 캐리 신호를 상기 제1 제어 트랜지스터의 입력 전극에 제공하는 제2 제어 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 제1 제어 트랜지스터는 상기 입력 단자에 공통으로 접속된 입력 전극과 제어 전극, 및 상기 제어 노드와 접속된 출력 전극을 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 4

제 3 항에 있어서,

상기 제2 제어 트랜지스터는 상기 제1 캐리 신호를 공통으로 수신하는 입력 전극과 제어 전극, 및 상기 제1 제어 트랜지스터의 상기 입력 전극에 접속된 출력 전극을 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 5

제 1 항에 있어서,

상기 표시 패널에 포함된 제3 및 제4 게이트 라인들을 각각 구동하는 제3 및 제4 구동 스테이지들을 더 포함하고,

상기 제1 구동 스테이지는

상기 제1 출력 트랜지스터의 출력 전극 및 제1 전압 입력 단자 사이에 제공되고, 상기 출력 노드의 상기 스위칭 신호 또는 제1 제어 단자를 통해 상기 제3 구동 스테이지로부터 수신되는 신호에 응답하여 상기 제1 출력 트랜지스터의 출력 전극으로 상기 제1 전압 입력 단자를 통해 수신되는 제1 방전 전압을 제공하는 제1 풀다운부; 및

상기 제2 출력 트랜지스터의 출력 전극 및 제2 전압 입력 단자 사이에 제공되고, 상기 출력 노드의 스위칭 신호 또는 제2 제어 단자를 통해 상기 제4 구동 스테이지로부터 수신되는 신호에 응답하여 상기 제2 출력 트랜지스터의 출력 전극으로 상기 제2 전압 입력 단자를 통해 수신되는 제2 방전 전압을 제공하는 제2 풀다운부를 더 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 6

제 5 항에 있어서,

상기 제3 구동 스테이지로부터 수신되는 신호는 제3 캐리 신호이고,

상기 제4 구동 스테이지로부터 수신되는 신호는 제4 캐리 신호인 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 7

제 6 항에 있어서,

상기 제1 캐리 신호는 상기 제2 구동 스테이지의 입력 단자로 제공되고, 상기 제2 캐리 신호는 상기 제3 구동 스테이지의 입력 단자로 제공되며, 상기 제3 캐리 신호는 상기 제4 구동 스테이지의 입력 단자로 제공되는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 8

제 6 항에 있어서,

상기 제1 풀다운부는 제1 및 제2 풀다운 트랜지스터를 포함하고,

상기 제1 풀다운 트랜지스터는 상기 제1 전압 입력 단자와 접속된 입력 전극, 상기 출력 노드와 접속된 제어 전극, 및 상기 제1 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고,

상기 제2 풀다운 트랜지스터는 상기 제1 전압 입력 단자와 접속된 입력 전극, 상기 제1 제어 단자와 접속된 제어 전극, 및 상기 제1 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고,

상기 제1 풀다운 트랜지스터는 상기 스위칭 신호에 의해 구동되고, 상기 제2 풀다운 트랜지스터는 상기 제3 캐리 신호에 의해 구동되는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 9

제 6 항에 있어서,

상기 제2 풀다운부는 제1 및 제2 풀다운 트랜지스터들을 포함하고,

상기 제1 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극, 상기 출력 노드와 접속된 제어 전극, 및 상기 제2 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고,

상기 제2 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극, 상기 제2 제어 단자와 접속된 제어 전극, 및 상기 제2 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고,

상기 제1 풀다운 트랜지스터는 상기 스위칭 신호에 의해 구동되고, 상기 제2 풀다운 트랜지스터는 상기 제4 캐리 신호에 의해 구동되는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 10

제 6 항에 있어서,

상기 제1 구동 스테이지는,

상기 제어 노드 및 상기 제2 전압 입력 단자 사이에 직렬 연결되고, 상기 제1 제어 단자를 통해 수신되는 상기 제3 캐리 신호에 응답하여 상기 제어 노드로 상기 제2 방전 전압을 제공하는 적어도 하나의 제3 제어 트랜지스터; 및

상기 제어 노드 및 상기 제2 전압 입력 단자 사이에 직렬 연결되고, 상기 스위칭 신호에 응답하여 상기 제어 노드로 상기 제2 방전 전압을 제공하는 적어도 하나의 제4 제어 트랜지스터를 더 포함하는 것을 특징으로

하는 게이트 구동 회로.

#### 청구항 11

표시 패널에 포함된 제1 및 제2 게이트 라인들을 각각 구동하는 제1 및 제2 구동 스테이지들 포함하는 게이트 구동 회로에 있어서,

상기 제1 구동 스테이지는,

제어 노드의 전압에 응답하여, 클럭 신호를 기반으로 생성된 제1 게이트 신호 및 제1 캐리 신호를 출력하는 출력부;

상기 제2 구동 스테이지로부터 출력되는 제2 캐리 신호를 기반으로 상기 제어 노드의 전압을 제어하는 제어부;

상기 클럭 신호를 기반으로 생성된 스위칭 신호를 출력하는 인버터부; 및

상기 제1 게이트 신호가 출력된 이후에, 상기 출력부로부터 출력되는 상기 제1 게이트 신호 및 제1 캐리 신호의 전압들을 다운시키는 풀다운부를 포함하고,

상기 제어부는,

상기 제2 캐리 신호를 기반으로 상기 제어 노드의 전위를 제어하는 제1 제어 트랜지스터; 및

상기 제1 캐리 신호에 응답하여 상기 제2 캐리 신호를 상기 제1 제어 트랜지스터의 입력 전극에 제공하는 제2 제어 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 12

제 11 항에 있어서,

상기 제1 제어 트랜지스터는 상기 제어 노드와 접속된 출력 전극;

상기 제2 캐리 신호를 공통으로 수신하는 상기 입력 전극 및 제어 전극을 포함하고,

상기 제2 제어 트랜지스터는 상기 제1 캐리 신호를 수신하는 입력 전극, 및 상기 제1 제어 트랜지스터의 상기 입력 전극에 공통으로 접속된 입력 전극 및 제어 전극을 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 13

제 11 항에 있어서,

상기 출력부는,

상기 클럭 신호를 수신하는 입력 전극, 상기 제어 노드와 접속된 제어 전극, 및 상기 제1 게이트 신호를 출력하는 출력 전극을 포함하는 제1 출력 트랜지스터; 및

상기 클럭 신호를 수신하는 입력 전극, 상기 제어 노드와 접속된 제어 전극, 및 상기 제1 캐리 신호를 출력하는 출력 전극을 포함하는 제2 출력 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 14

제 13 항에 있어서,

상기 게이트 구동 회로는 상기 표시 패널에 포함된 제3 및 제4 게이트 라인들을 각각 구동하는 제3 및 제4 구동 스테이지들을 더 포함하고,

상기 제어부는,

상기 제어 노드 및 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 제어 전극을 통해 상기 제3 구동 스테이지로부터 수신되는 제3 캐리 신호에 응답하여 상기 제어 노드에 제1 방전 전압을 제공하는 적어도 하나의 제3 제어 트랜지스터; 및

상기 제어 노드 및 상기 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 스위칭 신호에 응답하여 상기 제어 노드에 제2 방전 전압을 제공하는 적어도 하나의 제4 제어 트랜지스터를 더 포함하는 것을 특징으로 하는

게이트 구동 회로.

#### 청구항 15

제 14 항에 있어서,

상기 풀다운부는,

상기 스위칭 신호 또는 상기 제3 구동 스테이지로부터의 상기 제3 캐리 신호에 응답하여 상기 제1 게이트 신호를 다운시키는 제1 풀다운부; 및

상기 스위칭 신호 또는 상기 제4 구동 스테이지로부터의 제4 캐리 신호에 응답하여, 상기 제1 캐리 신호를 다운시키는 제2 풀다운부를 포함하는 것으로 특징으로 하는 게이트 구동 회로.

#### 청구항 16

제 15 항에 있어서,

상기 제1 풀다운부는 제1 및 제2 풀다운 트랜지스터들을 포함하고,

상기 제1 풀다운 트랜지스터는 제2 전압 입력 단자와 접속된 입력 전극; 상기 스위칭 신호를 수신하는 제어 전극; 및 상기 제1 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함하고,

상기 제2 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극; 상기 제3 캐리 신호를 수신하는 제어 전극; 및 상기 제1 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 17

제 15 항에 있어서,

상기 제2 풀다운부는 제1 및 제2 풀다운 트랜지스터들을 포함하고,

상기 제1 풀다운 트랜지스터는 제2 전압 입력 단자와 접속된 입력 전극; 상기 스위칭 신호를 수신하는 제어 전극; 및 상기 제2 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함하고,

상기 제2 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극; 상기 제4 캐리 신호를 수신하는 제어 전극; 및 상기 제2 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 18

제 14 항에 있어서,

상기 제1 캐리 신호는 상기 제3 구동 스테이지의 입력 단자로 제공되고, 상기 제3 캐리 신호는 상기 제4 구동 스테이지의 입력 단자로 제공되는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 19

제 14 항에 있어서,

상기 제어부는,

상기 제어 노드 및 상기 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 제3 캐리 신호에 응답하여 상기 제어 노드로 제1 방전 전압을 제공하는 적어도 하나의 제1 제어 트랜지스터; 및

상기 제어 노드 및 상기 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 스위칭 신호에 응답하여 상기 제어 노드로 상기 제1 방전 전압을 제공하는 적어도 하나의 제2 제어 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동 회로.

#### 청구항 20

i-1 번째(여기서 i는 2 이상의 자연수) 게이트 라인 및 i번째 게이트 라인에 i-1번째 게이트 신호 및 i번째 게

이트 신호를 각각 출력하는 제 $i-1$ 번째 구동 스테이지 및  $i$ 번째 구동 스테이지를 포함하고,  
상기  $i$ 번째 구동 스테이지는,

제어 노드에 접속된 제어 전극, 클럭 신호를 수신하는 입력 전극, 및 상기  $i$ 번째 게이트 신호를 출력하는 출력 전극을 포함하는 제1 출력 트랜지스터;

상기 제어 노드에 접속된 제어 전극, 상기 클럭 신호를 수신하는 입력 전극,  $i$ 번째 캐리 신호를 출력하는 출력 전극을 포함하는 제2 출력 트랜지스터;

상기  $i-1$ 번째 구동 스테이지로부터 수신된  $i-1$ 번째 캐리 신호를 상기 제어 노드에 출력하는 제1 제어 트랜지스터; 및

상기  $i$ 번째 캐리 신호를 상기 제1 제어 트랜지스터의 상기 입력 전극에 출력하는 제2 제어 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동 회로.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 표시 장치의 구동 회로에 관한 것으로, 좀 더 상세하게는 표시 패널에 집적된 게이트 구동 회로에 관한 것이다.

### 배경 기술

[0002] 표시 장치는 복수의 게이트 라인들, 복수의 데이터 라인들, 및 복수의 화소들을 포함한다. 복수의 화소들 각각은 복수의 게이트 라인들 및 복수의 데이터 라인들과 각각 연결된다. 표시 장치는 복수의 게이트 라인들을 각각 제어하는 게이트 구동 회로 및 복수의 데이터 라인들을 각각 제어하는 데이터 구동 회로를 포함한다. 게이트 구동 회로는 복수의 게이트 라인들 각각에 게이트 신호를 제공하고, 데이터 구동 회로는 복수의 데이터 라인들 각각에 데이터 신호를 제공한다.

[0003] 게이트 구동 회로는 복수의 구동 스테이지 회로들(이하에서, '구동 스테이지'라 칭한다.)을 포함하는 쉬프트 레지스터를 포함한다. 복수의 구동 스테이지들 각각은 복수의 게이트 라인들 각각에 대응하는 게이트 신호를 출력한다. 복수의 구동 스테이지들 각각은 유기적으로 연결된 복수의 트랜지스터들을 포함한다.

## 발명의 내용

### 해결하려는 과제

[0004] 본 발명의 목적은 열화 및 불량률이 감소된 트랜지스터들을 포함하는 게이트 구동 회로를 제공하는데 있다.

### 과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 게이트 구동 회로는 표시 패널에 포함된 제1 및 제2 게이트 라인들을 각각 구동하는 제1 및 제2 구동 스테이지들 포함한다. 상기 제1 구동 스테이지는 제어 노드에 접속된 제어 전극, 클럭 신호를 수신하는 입력 전극, 및 상기 클럭 신호를 기반으로 생성된 제1 게이트 신호를 출력하는 출력 전극을 포함하는 제1 출력 트랜지스터; 상기 제어 노드에 접속된 제어 전극, 상기 클럭 신호를 수신하는 입력 전극, 상기 클럭 신호를 기반으로 생성된 제1 캐리 신호를 출력하는 출력 전극을 포함하는 제2 출력 트랜지스터; 상기 제1 게이트 신호가 출력되기 이전에, 입력 단자를 통해 상기 제2 구동 스테이지로부터 수신된 신호를 기반으로 상기 제어 노드의 전위를 제어하는 제1 제어 트랜지스터; 및 상기 제1 게이트 신호가 출력되는 동안에 상기 제1 캐리 신호를 상기 제1 제어 트랜지스터의 상기 입력 전극에 제공하는 제2 제어 트랜지스터를 포함한다.

[0006] 실시 예로서, 상기 제2 구동 스테이지로부터 수신된 신호는 상기 제2 구동 스테이지의 제2 캐리 신호이다.

[0007] 실시 예로서, 상기 제1 제어 트랜지스터는 상기 입력 단자에 공통으로 접속된 입력 전극과 제어 전극, 및 상기 제어 노드에 접속된 출력 전극을 포함한다.

[0008] 실시 예로서, 상기 제2 제어 트랜지스터는 상기 제1 캐리 신호를 공통으로 수신하는 입력 전극과 제어 전극, 및 상기 제1 제어 트랜지스터의 상기 입력 전극에 접속된 출력 전극을 포함한다.

- [0009] 실시 예로서, 상기 게이트 구동 회로는 상기 표시 패널에 포함된 제3 및 제4 게이트 라인들을 각각 구동하는 제3 및 제4 구동 스테이지들을 더 포함하고, 상기 제1 구동 스테이지는 상기 클럭 신호를 수신하고, 수신된 클럭 신호를 기반으로 출력 노드의 스위칭 신호를 출력하는 인버터부; 상기 제1 출력 트랜지스터의 출력 전극 및 제1 전압 입력 단자 사이에 제공되고, 상기 출력 노드의 상기 스위칭 신호 또는 제1 제어 단자를 통해 상기 제3 구동 스테이지로부터 수신되는 신호에 응답하여 상기 제1 출력 트랜지스터의 출력 단자로 상기 제1 전압 입력 단자를 통해 수신되는 제1 방전 전압을 제공하는 제1 풀다운부; 및 상기 제2 출력 트랜지스터의 출력 전극 및 제2 전압 입력 단자 사이에 제공되고, 상기 출력 노드의 스위칭 신호 또는 제2 제어 단자를 통해 상기 제4 구동 스테이지로부터 수신되는 신호에 응답하여 상기 제2 출력 트랜지스터의 출력 단자로 상기 제2 전압 입력 단자를 통해 수신되는 제2 방전 전압을 제공하는 제2 풀다운부를 더 포함한다.
- [0010] 실시 예로서, 상기 제3 구동 스테이지로부터 수신되는 신호는 제3 캐리 신호이고, 상기 제4 구동 스테이지로부터 수신되는 신호는 제4 캐리 신호이다.
- [0011] 실시 예로서, 상기 제1 캐리 신호는 상기 제2 구동 스테이지의 입력 단자로 제공되고, 상기 제2 캐리 신호는 상기 제3 구동 스테이지의 입력 단자로 제공되며, 상기 제3 캐리 신호는 상기 제4 구동 스테이지의 입력 단자로 제공된다.
- [0012] 실시 예로서, 상기 제1 풀다운부는 제1 및 제2 풀다운 트랜지스터를 포함한다. 상기 제1 풀다운 트랜지스터는 상기 제1 전압 입력 단자와 접속된 입력 전극; 상기 출력 노드와 접속된 제어 전극; 및 상기 제1 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고, 상기 제2 풀다운 트랜지스터는 상기 제1 전압 입력 단자와 접속된 입력 전극; 상기 제1 제어 단자와 접속된 제어 전극; 및 상기 제1 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고, 상기 제1 풀다운 트랜지스터는 상기 스위칭 신호에 의해 구동되고, 상기 제2 풀다운 트랜지스터는 상기 제3 캐리 신호에 의해 구동된다.
- [0013] 실시 예로서, 상기 제2 풀다운부는 제1 및 제2 풀다운 트랜지스터들을 포함하고, 상기 제1 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극; 상기 출력 노드와 접속된 제어 전극; 및 상기 제2 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고, 상기 제2 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극; 상기 제2 제어 단자와 접속된 제어 전극; 및 상기 제2 출력 트랜지스터의 출력 전극과 접속된 출력 전극을 포함하고, 상기 제1 풀다운 트랜지스터는 상기 스위칭 신호에 의해 구동되고, 상기 제2 풀다운 트랜지스터는 상기 제4 캐리 신호에 의해 구동된다.
- [0014] 실시 예로서, 상기 제1 구동 스테이지는 상기 제어 노드 및 상기 제2 전압 입력 단자 사이에 직렬 연결되고, 상기 제1 제어 단자를 통해 수신되는 상기 제3 캐리 신호에 응답하여 상기 제어 노드로 상기 제2 방전 전압을 제공하는 적어도 하나의 제3 제어 트랜지스터; 및 상기 제어 노드 및 상기 제2 전압 입력 단자 사이에 직렬 연결되고, 상기 스위칭 신호에 응답하여 상기 제어 노드로 상기 제2 방전 전압을 제공하는 적어도 하나의 제4 제어 트랜지스터를 더 포함한다.
- [0015] 본 발명의 다른 실시 예에 따른 게이트 구동 회로는 표시 패널에 포함된 제1 및 제2 게이트 라인들을 각각 구동하는 제1 및 제2 구동 스테이지들을 포함한다. 상기 제1 구동 스테이지는 제어 노드의 전압에 응답하여, 클럭 신호를 기반으로 생성된 제1 게이트 신호 및 제1 캐리 신호를 출력하는 출력부; 상기 제2 구동 스테이지로부터 출력되는 제2 캐리 신호를 기반으로 상기 제어 노드의 전압을 제어하는 제어부; 상기 클럭 신호를 기반으로 생성된 스위칭 신호를 출력하는 인버터부; 및 상기 제1 게이트 신호가 출력된 이후에, 상기 출력부로부터 출력되는 상기 제1 게이트 신호 및 제1 캐리 신호의 전압들을 다운시키는 풀다운부를 포함하고, 상기 제어부는 상기 제1 게이트 신호가 출력되는 동안 상기 제1 캐리 신호에 응답하여 상기 제2 캐리 신호를 소정의 레벨만큼 상승시킨다.
- [0016] 실시 예로서, 상기 제어부는 상기 제2 캐리 신호를 기반으로 상기 제어 노드의 전위를 제어하는 제1 제어 트랜지스터; 및 상기 제1 캐리 신호에 응답하여 상기 제2 캐리 신호를 상기 소정의 레벨만큼 상승시키는 제2 제어 트랜지스터를 포함한다.
- [0017] 실시 예로서, 상기 제1 제어 트랜지스터는 상기 제어 노드와 접속된 출력 전극; 상기 제2 캐리 신호를 공통으로 수신하는 입력 전극 및 제어 전극을 포함하고, 상기 제2 제어 트랜지스터는 상기 제1 캐리 신호를 수신하는 입력 전극, 및 상기 제1 제어 트랜지스터의 입력 전극에 공통으로 접속된 입력 전극 및 제어 전극을 포함한다.
- [0018] 실시 예로서, 상기 출력부는 상기 클럭 신호를 수신하는 입력 전극; 상기 제어 노드와 접속된 제어 전극; 및 상기 제1 게이트 신호를 출력하는 출력 전극을 포함하는 제1 출력 트랜지스터; 및 상기 클럭 신호를 수신하는 입



력 전극; 상기 제어 노드와 접속된 제어 전극; 및 상기 제1 캐리 신호를 출력하는 출력 전극을 포함하는 제2 출력 트랜지스터를 포함한다.

[0019] 실시 예로서, 상기 게이트 구동 회로는 상기 표시 패널에 포함된 제3 및 제4 게이트 라인들을 각각 구동하는 제3 및 제4 구동 스테이지들을 더 포함하고, 상기 제어부는, 상기 제어 노드 및 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 제1 제어 단자를 통해 상기 제3 구동 스테이지로부터 수신되는 제3 캐리 신호에 응답하여 상기 제어 노드로 제1 방전 전압을 제공하는 적어도 하나의 제3 제어 트랜지스터; 및 상기 제어 노드 및 상기 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 스위칭 신호에 응답하여 상기 제어 노드로 상기 제2 방전 전압을 제공하는 적어도 하나의 제4 제어 트랜지스터를 더 포함한다.

[0020] 실시 예로서, 상기 풀다운부는 상기 스위칭 신호 또는 상기 제3 구동 스테이지로부터의 상기 제3 캐리 신호에 응답하여 상기 제1 게이트 신호를 다운시키는 제1 풀다운부; 및 상기 스위칭 신호 또는 상기 제4 구동 스테이지로부터의 제4 캐리 신호에 응답하여, 상기 제1 캐리 신호를 다운시키는 제2 풀다운부를 포함한다.

[0021] 실시 예로서, 상기 제1 풀다운부는 제1 및 제2 풀다운 트랜지스터들을 포함하고, 상기 제1 풀다운 트랜지스터는 제2 전압 입력 단자와 접속된 입력 전극; 상기 스위칭 신호를 수신하는 제어 전극; 및 상기 제1 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함하고, 상기 제2 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극; 상기 제3 캐리 신호를 수신하는 제어 전극; 및 상기 제1 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함한다.

[0022] 실시 예로서, 상기 제2 풀다운부는 제1 및 제2 풀다운 트랜지스터들을 포함하고, 상기 제1 풀다운 트랜지스터는 제2 전압 입력 단자와 접속된 입력 전극; 상기 스위칭 신호를 수신하는 제어 전극; 및 상기 제2 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함하고, 상기 제2 풀다운 트랜지스터는 상기 제2 전압 입력 단자와 접속된 입력 전극; 상기 제4 캐리 신호를 수신하는 제어 전극; 및 상기 제2 출력 트랜지스터의 출력 단자와 접속된 출력 단자를 포함한다.

[0023] 실시 예로서, 상기 제1 캐리 신호는 상기 제3 구동 스테이지의 입력 단자로 제공되고, 상기 제3 캐리 신호는 상기 제4 구동 스테이지의 입력 단자로 제공된다.

[0024] 실시 예로서, 상기 제어부는 상기 제어 노드 및 상기 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 제3 캐리 신호에 응답하여 상기 제어 노드로 제1 방전 전압을 제공하는 적어도 하나의 제1 제어 트랜지스터; 및 상기 제어 노드 및 상기 제1 전압 입력 단자 사이에 직렬 연결되고, 상기 스위칭 신호에 응답하여 상기 제어 노드로 상기 제1 방전 전압을 제공하는 적어도 하나의 제2 제어 트랜지스터를 포함한다.

[0025] 본 발명의 일 실시예에 따른 게이트 구동 회로는  $i-1$  번째(여기서  $i$ 는 이상의 자연수) 게이트 라인 및  $i$ 번째 게이트 라인에  $i-1$ 번째 게이트 신호 및  $i$ 번째 게이트 신호를 각각 출력하는 제 $i-1$ 번째 구동 스테이지 및  $i$ 번째 구동 스테이지를 포함한다. 상기  $i$ 번째 구동 스테이지는, 제어 노드에 접속된 제어 전극, 클럭 신호를 수신하는 입력 전극, 및 상기  $i$ 번째 게이트 신호를 출력하는 출력 전극을 포함하는 제1 출력 트랜지스터; 상기 제어 노드에 접속된 제어 전극, 상기 클럭 신호를 수신하는 입력 전극,  $i$ 번째 캐리 신호를 출력하는 출력 전극을 포함하는 제2 출력 트랜지스터; 상기 제2 구동 스테이지로부터 수신된  $i-1$ 번째 캐리 신호를 상기 제어 노드에 출력하는 제1 제어 트랜지스터; 및 상기  $i$ 번째 캐리 신호를 상기 제1 제어 트랜지스터의 상기 입력 전극에 출력하는 제2 제어 트랜지스터를 포함한다.

## 발명의 효과

[0026] 본 발명에 따르면, 이전 스테이지로부터 출력된 캐리 신호가 제1 제어 트랜지스터를 통해 제어 노드에 제공된다. 상기 제어 노드는 출력 트랜지스터들의 제어 전극들이 접속된다. 해당 스테이지의 게이트 신호가 출력되는 동안에 상기 제1 제어 트랜지스터의 입력전극 및 제어전극이 접속된 출력 노드에 해당 스테이지의 캐리 신호가 인가된다. 따라서, 해당 스테이지의 게이트 신호가 출력되는 동안에 제1 제어 트랜지스터의 드레인-소스 전압이 감소된다. 따라서, 제1 제어 트랜지스터의 열화 및 불량률이 감소된다.

## 도면의 간단한 설명

[0027] 도 1은 본 발명의 실시 예에 따른 표시 장치의 평면도이다.

도 2는 본 발명의 실시 예에 따른 표시 장치에서 사용되는 신호들의 타이밍도이다.

도 3은 도 1의 복수의 화소들 중 어느 하나의 화소를 예시적으로 보여주는 등가 회로도이다.

도 4는 도 1의 복수의 화소들 중 어느 하나의 화소를 예시적으로 보여주는 단면도이다.

도 5는 도 1의 게이트 구동 회로를 상세하게 보여주는 블록도이다.

도 6은 도 5의 복수의 구동 스테이지들 중 제3 구동 스테이지를 예시적으로 보여주는 회로도이다.

도 7은 도 6의 제3 구동 스테이지의 입출력 신호의 파형도이다.

도 8은 본 발명에 따른 효과를 설명하기 위한 시뮬레이션 그래프이다.

### 발명을 실시하기 위한 구체적인 내용

- [0028] 이하에서, 본 발명이 속하는 기술 분야에서 통상의 기술을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세하게 설명하기 위하여 본 발명의 실시 예들을 첨부된 도면들을 참조하여 설명하기로 한다.
- [0029] 도 1은 본 발명의 실시 예에 따른 표시 장치의 평면도이다. 도 2는 본 발명의 실시 예에 따른 표시 장치에서 사용되는 신호들의 타이밍도이다. 도 1 및 도 2를 참조하면, 표시 장치(100)는 표시 패널(DP, Display Panel), 게이트 구동 회로(110), 및 데이터 구동 회로(120)를 포함한다.
- [0030] 표시 패널(DP)은 액정 표시 패널(liquid crystal display panel), 유기 발광 표시 패널(organic light emitting display panel), 전기 영동 표시 패널(electrophoretic display panel), 일렉트로웨팅 표시 패널(electrowetting display panel) 등과 같은 다양한 표시 패널을 포함할 수 있다.
- [0031] 이하에서, 간결한 설명을 위하여, 표시 패널(DP)은 액정 표시 패널인 것으로 가정한다. 그러나, 본 발명에 따른 표시 패널(DP)이 이에 한정되는 것은 아니며, 본 발명에 따른 표시 패널(DP)은 상술된 표시 패널들 또는 다른 표시 패널들로 구현될 수 있다. 예시적으로, 액정 표시 패널을 포함하는 액정 표시 장치는 편광자(미도시), 백라이트 유닛(미도시) 등을 더 포함할 수 있다.
- [0032] 표시 패널(DP)은 제1 기판(DS1) 및 제1 기판(DS1)과 이격된 제2 기판(DS2)을 포함한다. 예시적으로, 표시 패널(DP)은 제1 기판(DS1) 및 제2 기판(DS2) 사이에 배치된 액정층을 더 포함한다. 표시 패널(DP)의 평면상에서, 표시 패널(DP)은 복수의 화소들(PX11~PXnm)이 배치된 표시 영역(DA) 및 표시 영역을 둘러싸는 비표시영역(NDA)을 포함한다.
- [0033] 표시 패널(DP)은 제1 기판(DS1) 상에 배치된 복수의 게이트 라인들(GL1~GLn) 및 복수의 데이터 라인들(DL1~DLm)을 포함한다. 복수의 게이트 라인들(GL1~GLn) 및 복수의 데이터 라인들(DL1~DLm)은 서로 교차되어 배치된다. 복수의 게이트 라인들(GL1~GLn)은 게이트 구동 회로(110)와 연결된다. 복수의 데이터 라인들(DL1~DLm)은 데이터 구동 회로(120)와 연결된다.
- [0034] 복수의 화소들(PX11~PXnm) 각각은 복수의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인 및 복수의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 각각 연결된다. 복수 개의 화소들(PX11~PXnm)은 표시하는 컬러에 따라 복수 개의 그룹들로 구분될 수 있다. 복수 개의 화소들(PX11~PXnm)은 주요색(primary color) 중 하나를 표시할 수 있다. 주요색은 레드, 그린, 블루, 및 화이트를 포함할 수 있다. 한편, 이에 제한되는 것은 아니고, 주요색은 옐로우, 시안, 마젠타 등 다양한 색상을 더 포함할 수 있다.
- [0035] 예시적으로, 비록 도면에 도시되지는 않았으나, 표시 패널(DP)은 제1 기판(DS1)의 비표시영역(NDA)에 배치된 더미 게이트 라인을 더 포함할 수 있다. 예시적으로, 더미 게이트 라인에는 화소들이 연결되지 않을 수 있다. 더미 게이트 라인은 게이트 구동 회로(110)와 연결될 수 있다.
- [0036] 게이트 구동 회로(110) 및 데이터 구동 회로(120)는 신호 제어부(SC, 예를 들어, 타이밍 컨트롤러)로부터 제어 신호를 수신한다. 신호 제어부(SC)는 메인 회로 기판(MCB)에 실장될 수 있다. 신호 제어부(SC)는 외부 그래픽 제어부(미도시)로부터 영상 데이터 및 제어 신호를 수신한다. 제어 신호는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 데이터 인에이블 신호 및 클럭 신호들을 포함할 수 있다.
- [0037] 수직 동기 신호(Vsync)는 프레임 구간들(Fn-1, Fn, Fn+1)을 구별하는 신호이다. 수평 동기 신호(Hsync)는 수평 구간들(HP)을 구별하는 신호, 즉 행 구별 신호이다. 데이터 인에이블 신호는 데이터가 들어오는 구역을 표시하기 위한 신호로써, 데이터가 출력되는 구간 동안만 하이 레벨이다. 클럭 신호는 일정 주기 간격으로 토글하는 신호이다.

- [0038] 게이트 구동 회로(110)는 프레임 구간들(Fn-1, Fn, Fn+1) 동안에 신호 제어부(SC)로부터 수신한 제어 신호(이하, 게이트 제어 신호)에 기초하여 게이트 신호들(GS1~GSn)을 생성하고, 게이트 신호들(GS1~GSn)을 복수 개의 게이트 라인들(GL1~GLn)에 출력한다. 게이트 신호들(GS1~GSn)은 수평 구간들(HP)에 대응하게 순차적으로 출력될 수 있다. 게이트 구동 회로(110)는 박막 공정을 통해 화소들(PX11~PXnm)과 함께 형성될 수 있다. 예시적으로, 게이트 구동 회로(110)는 비표시영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태 또는 OSG(Oxide Semiconductor TFT Gate driver circuit) 형태로 실장될 수 있다.
- [0039] 예시적으로, 표시 장치(100)는 적어도 2개 이상의 게이트 구동 회로들을 포함할 수 있다. 적어도 2개 이상의 게이트 구동 회로들 중 일부는 복수 개의 게이트 라인들(GL1~GLn)의 좌측 말단들(즉, 제1 방향의 말단)에 연결되고, 나머지는 복수 개의 게이트 라인들(GL1~GLn)의 우측 말단들(즉, 제2 방향의 말단)에 연결될 수 있다. 또한, 적어도 2개 이상의 게이트 구동 회로들 중 일부는 홀수 번째 게이트 라인들에 연결되고, 나머지는 짝수 번째 게이트 라인들에 연결될 수 있다.
- [0040] 데이터 구동 회로(120)는 신호 제어부(SC)로부터 수신된 제어 신호(이하에서, '데이터 신호'라 칭한다.)를 응답하여 신호 제어부(SC)로부터 제공된 영상 데이터를 기반으로 계조 전압들을 생성한다. 데이터 구동 회로(120)는 계조 전압들을 데이터 전압들(DS)으로써 복수의 데이터 라인들(DL1~DLm)에 제공한다.
- [0041] 데이터 전압들(DS)은 공통 전압에 대하여 양의 값을 갖는 정극성 데이터 전압들 및/또는 음의 값을 갖는 부극성 데이터 전압들을 포함할 수 있다. 각각의 수평 구간들(HP) 동안에 데이터 라인들(DL1~DLm)에 인가되는 데이터 전압들 일부는 정극성을 갖고, 다른 일부는 부극성을 가질 수 있다. 데이터 전압들(DS)의 극성은 액정의 열화를 방지하기 위하여 프레임 구간들(Fn-1, Fn, Fn+1)에 따라 반전될 수 있다. 데이터 구동 회로(120)는 반전 신호에 응답하여 프레임 구간 단위로 반전된 데이터 전압들을 생성할 수 있다.
- [0042] 데이터 구동 회로(120)는 구동 칩(121) 및 구동 칩(121)이 실장된 연성 회로 기판(122)을 포함할 수 있다. 데이터 구동 회로(120)는 복수의 구동 칩들(121) 및 복수의 연성 회로 기판들(122)을 포함할 수 있다. 연성 회로 기판(122)은 메인 회로 기판(MCB)과 제1 기판(DS1)을 전기적으로 연결한다. 복수의 구동 칩들(121)은 복수의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들을 구동할 수 있다. 예를 들어, 복수의 구동 칩들(121)은 복수의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 대응하는 데이터 신호(또는 데이터 전압)를 제공할 수 있다. 예시적으로, 복수의 구동 칩들(121) 중 어느 하나는 복수의 데이터 라인들(DL1~DLm) 중 적어도 두 개의 데이터 라인을 구동할 수 있다.
- [0043] 도 1은 테이프 캐리어 패키지(TCP; Tape Carrier Package) 타입의 데이터 구동 회로(120)를 예시적으로 도시하였다. 예시적으로, 데이터 구동 회로(120)는 칩 온 글래스(COG; Chip on Glass) 방식으로 제1 기판(DS1)의 비표시영역(NDA) 상에 배치될 수 있다.
- [0044] 도 3은 도 1의 복수의 화소들 중 어느 하나의 화소를 예시적으로 보여주는 등가 회로도이다. 도 4는 도 1의 복수의 화소들 중 어느 하나의 화소를 예시적으로 보여주는 단면도이다. 예시적으로, 도 1의 복수의 화소들(PX11~PXnm) 각각은 도 3 및 도 4에 도시된 화소(PXij)와 유사한 구조를 가질 수 있다.
- [0045] 도 3 및 도 4를 참조하면, 화소(PXij)는 화소 박막 트랜지스터(TR, 이하에서, '화소 트랜지스터'라 칭한다.), 액정 커패시터(C1c), 및 스토리지 커패시터(Cst)를 포함한다. 이하에서 기재되는 트랜지스터는 박막 트랜지스터를 의미한다. 예시적으로, 스토리지 커패시터(Cst)는 생략될 수 있다.
- [0046] 화소 트랜지스터(TR)는 제i 게이트 라인(GLi) 및 제j 데이터 라인(DLj)과 전기적으로 연결된다. 예를 들어, 화소 트랜지스터(TR)의 제어 전극은 제i 게이트 라인(GLi)과 전기적으로 연결되고, 입력 전극은 제j 데이터 라인(DLj)과 전기적으로 연결된다. 화소 트랜지스터(TR)는 제i 게이트 라인(GLi)으로부터 수신한 게이트 신호에 응답하여, 제j 데이터 라인(DLj)으로부터 수신한 데이터 신호에 대응하는 화소 전압을 출력한다.
- [0047] 액정 커패시터(C1c)는 화소 트랜지스터(TR)의 출력 전극과 전기적으로 연결되고, 화소 트랜지스터(TR)로부터 출력된 화소 전압을 충전한다. 액정 커패시터(C1c)에 충전된 전하량에 따라 액정층(LCL)에 포함된 액정 방향자의 배열이 변화된다. 액정 방향자의 배열에 따라 액정층으로 입사된 광은 투과되거나 차단된다.
- [0048] 스토리지 커패시터(Cst)는 액정 커패시터(C1c)에 병렬로 연결된다. 스토리지 커패시터(Cst)는 액정 방향자의 배열을 일정한 구간 동안 유지시킨다.
- [0049] 도 4에 도시된 바와 같이, 화소 트랜지스터(TR)는 제i 게이트 라인(GLi)에 연결된 제어 전극(GE), 제어 전극(GE)에 중첩하는 활성화부(AL), 제j 데이터 라인(DLj)에 연결된 입력 전극(SE), 및 입력 전극(SE)과 이격되어

배치된 출력 전극(DE)을 포함한다.

- [0050] 액정 커패시터(C1c)는 화소전극(PE)과 공통전극(CE)을 포함한다. 스토리지 커패시터(Cst)는 화소전극(PE)과 스토리지 라인(STL)의 일부분을 포함한다.
- [0051] 제1 기관(DS1)의 상부 면에 제i 게이트 라인(GLi) 및 스토리지 라인(STL)이 배치된다. 제어 전극(GE)은 제i 게이트 라인(GLi)으로부터 분기된다. 제i 게이트 라인(GLi) 및 스토리지 라인(STL)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다. 제i 게이트 라인(GLi) 및 스토리지 라인(STL)은 다층 구조, 예컨대 티타늄 층과 구리 층을 포함할 수 있다.
- [0052] 제1 기관(DS1)의 에 제어 전극(GE) 및 스토리지 라인(STL)을 커버하는 제1 절연층(10)이 배치된다. 제1 절연층(10)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 제1 절연층(10)은 유기막이거나, 무기막일 수 있다. 제1 절연층(10)은 다층 구조, 예컨대 실리콘 나이트라이드층과 실리콘 옥사이드층을 포함할 수 있다.
- [0053] 제1 절연층(10) 상에 제어 전극(GE)과 중첩하는 활성화부(AL)가 배치된다. 활성화부(AL)는 반도체층과 오믹 콘택층을 포함할 수 있다. 제1 절연층(10) 상에 반도체층이 배치되고, 반도체층 상에 오믹 콘택층이 배치된다.
- [0054] 반도체층은 아몰포스 실리콘 또는 폴리 실리콘을 포함할 수 있다. 또한, 반도체층은 금속 산화물 반도체를 포함할 수 있다. 오믹 콘택층은 반도체층보다 고밀도로 도핑된 도펀트를 포함할 수 있다. 오믹 콘택층은 이격된 2개의 부분을 포함할 수 있다. 본 발명의 일 실시예에서 오믹 콘택층은 일체의 형상을 가질 수 있다.
- [0055] 활성화부(AL) 상에 출력 전극(DE)과 입력 전극(SE)이 배치된다. 출력 전극(DE)과 입력 전극(SE)은 서로 이격되어 배치된다. 출력 전극(DE)과 입력 전극(SE) 각각은 제어 전극(GE)에 부분적으로 중첩한다.
- [0056] 좀 더 구체적으로, 출력 전극(DE)과 입력 전극(SE)은 활성화부(AL) 상에 배치된다. 평면상에서, 출력 전극(DE)은 활성화부(AL)의 하나의 부분에 완전히 중첩하고, 입력 전극(SE)은 활성화부(AL)의 다른 하나의 부분에 완전히 중첩할 수 있다.
- [0057] 제1 절연층(10) 상에 활성화부(AL), 출력 전극(DE), 및 입력 전극(SE)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 제2 절연층(20)은 유기막이거나, 무기막일 수 있다. 제2 절연층(20)은 다층 구조, 예컨대 실리콘 나이트라이드층과 실리콘 옥사이드층을 포함할 수 있다.
- [0058] 도 1에는 스텝거 구조를 갖는 화소 트랜지스터(TR)를 예시적으로 도시하였으나, 화소 트랜지스터(TR)의 구조는 이에 제한되지 않는다. 화소 트랜지스터(TR)는 플레너 구조를 가질 수도 있다.
- [0059] 제2 절연층(20) 상에 제3 절연층(30)이 배치된다. 제3 절연층(30)은 평탄면을 제공한다. 제3 절연층(30)은 유기물을 포함할 수 있다.
- [0060] 제3 절연층(30) 상에 화소전극(PE)이 배치된다. 화소전극(PE)은 제2 절연층(20) 및 제3 절연층(30)을 관통하는 콘택홀(CH)을 통해 출력 전극(DE)에 연결된다. 제3 절연층(30) 상에 화소전극(PE)을 커버하는 배향막(미 도시)이 배치될 수 있다.
- [0061] 제2 기관(DS2)의 일면 상에 컬러필터층(CF)이 배치된다. 컬러필터층(CF) 상에 공통전극(CE)이 배치된다. 공통전극(CE)에는 공통 전압이 인가된다. 공통 전압과 화소 전압과 다른 값을 갖는다. 공통전극(CE) 상에 공통전극(CE)을 커버하는 배향막(미 도시)이 배치될 수 있다. 컬러필터층(CF)과 공통전극(CE) 사이에 또 다른 절연층이 배치될 수 있다.
- [0062] 액정층(LCL)을 사이에 두고 배치된 화소전극(PE)과 공통전극(CE)은 액정 커패시터(C1c)를 형성한다. 또한, 제1 절연층(10), 제2 절연층(20), 및 제3 절연층(30)을 사이에 두고 배치된 화소전극(PE)과 스토리지 라인(STL)의 일부분은 스토리지 커패시터(Cst)를 형성한다. 스토리지 라인(STL)은 화소 전압과 다른 값의 스토리지 전압을 수신한다. 스토리지 전압은 공통 전압과 동일한 값을 가질 수 있다.
- [0063] 한편, 도 3에 도시된 화소(PXij)의 단면은 하나의 예시에 불과하다. 도 3에 도시된 것과 달리, 컬러필터층(CF) 및 공통전극(CE) 중 적어도 어느 하나는 제1 기관(DS1) 상에 배치될 수 있다. 다시 말해, 본 실시예에 따른 액정 표시패널은 VA(Vertical Alignment)모드, PVA(Patterned Vertical Alignment) 모드, IPS(in-plane switching) 모드 또는 FFS(fringe-field switching) 모드, PLS(Plane to Line Switching) 모드 등의 화소를 포함할 수 있다.



- [0064] 도 5는 도 1의 게이트 구동 회로를 상세하게 보여주는 블록도이다. 도 5를 참조하면, 게이트 구동 회로(110)는 복수의 구동 스테이지들(SRC1~SRCn)을 포함한다. 복수의 구동 스테이지들(SRC1~SRCn)은 서로 종속적으로(또는 직렬로) 연결된다. 이하에서, 간결한 설명을 위하여, 제1 구동 스테이지(SRC1)는 복수의 구동 스테이지들(SRC1~SRCn) 중 첫번째 구동 스테이지이고, 제1 내지 제n 구동 스테이지들(SRC1~SRCn)은 순차적으로 직렬 연결된 것으로 가정한다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0065] 복수의 구동 스테이지들(SRC1~SRCn)은 복수의 게이트 라인들(GL1~GLn)에 각각 연결된다. 복수의 구동 스테이지들(SRC1~SRCn) 각각은 연결된 게이트 라인에 게이트 신호들(GS1~GSn)을 제공한다. 예시적으로, 복수의 구동 스테이지들(SRC1~SRCn)에 연결된 게이트 라인들은 전체의 게이트 라인들 중 홀수 번째 게이트 라인들이거나, 짝수 번째 게이트 라인들일 수 있다.
- [0066] 게이트 구동 회로(110)는 복수 개의 구동 스테이지들(SRC1~SRCn) 중 말단에 배치된 구동 스테이지(SRCn)에 연결된 더미 스테이지들(SRC-D1, SRC-D2)을 더 포함할 수 있다. 더미 스테이지들(SRC-D1, SRC-D2)는 더미 게이트 라인들(GL-D1, GL-D2)에 연결된다. 예시적으로, 더미 스테이지들(SRC-D1, SRC-D2)의 개수는 증가 또는 감소할 수 있다. 더미 스테이지들(SRC-D1, SRC-D2)의 개수가 변화함에 따라 더미 게이트 라인들(GL-D1, GL-D2)의 개수 또한 변화할 수 있다. 더미 스테이지들(SRC-D1, SRC-D2)은 복수의 구동 스테이지들(SRC1~SRCn)과 유사한 구조를 가질 수 있다. 또는 더미 스테이지들(SRC-D1, SRC-D2)은 복수의 구동 스테이지들(SRC1~SRCn)과 다른 구조를 가질 수 있다.
- [0067] 복수의 구동 스테이지들(SRC1~SRCn) 각각은 출력 단자(OUT), 캐리 단자(CRT), 입력 단자(IN), 제1 제어 단자(CT1), 제2 제어 단자(CT2), 클럭 단자(CK), 제1 전압 입력 단자(V1), 및 제2 전압 입력 단자(V2)를 포함한다.
- [0068] 복수의 구동 스테이지들(SRC1~SRCn) 각각의 출력 단자(OUT)는 복수의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인과 연결된다. 복수의 구동 스테이지들(SRC1~SRCn)로부터 생성된 게이트 신호들(GS1~GSn)은 복수의 구동 스테이지들(SRC1~SRCn) 각각의 출력 단자(OUT)를 통해 복수의 게이트 라인들(GL1~GLn)로 제공된다.
- [0069] 복수의 구동 스테이지들(SRC1~SRCn) 각각의 캐리 단자(CRT)는 해당 구동 스테이지 다음의 구동 스테이지의 입력 단자(IN)와 전기적으로 연결된다. 예를 들어, 제3 구동 스테이지(SRC3)의 캐리 단자(CRT)는 다음의 구동 스테이지인 제4 구동 스테이지(SRC4)의 입력 단자(IN)와 전기적으로 연결된다. 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 캐리 단자(CRT)는 캐리 신호(CRS1~CRSn)를 출력한다.
- [0070] 복수의 구동 스테이지들(SRC1~SRCn) 각각의 입력 단자(IN)는 해당 구동 스테이지 이전의 구동 스테이지의 캐리 신호를 수신한다. 예를 들어, 제3 구동 스테이지(SRC3)의 입력 단자(IN)는 이전 구동 스테이지인 제2 구동 스테이지(SRC2)의 캐리 신호(CRS2, 이하 제2 캐리 신호)를 수신한다. 예시적으로, 복수의 구동 스테이지들(SRC1~SRCn) 중 첫 번째 구동 스테이지인 제1 구동 스테이지(SRC1)의 입력 단자(IN)는 게이트 구동 회로(110)의 구동을 개시하는 개시 신호(STV)를 수신한다.
- [0071] 복수의 구동 스테이지들(SRC1~SRCn) 각각의 제1 및 제2 제어 단자들(CT1, CT2)은 복수의 구동 스테이지들(SRC1~SRCn)의 캐리 신호들을 수신한다. 좀 더 상세한 예로서, 복수의 구동 스테이지들(SRC1~SRCn) 각각의 제1 제어 단자(CT1)는 해당 구동 스테이지 다음의 구동 스테이지의 캐리 신호를 수신한다. 예를 들어, 제3 구동 스테이지(SRC3)의 제1 제어 단자(CT1)는 다음 구동 스테이지인 제4 구동 스테이지(SRC4)의 제4 캐리 신호(CRS4)를 수신한다. 복수의 구동 스테이지들(SRC1~SRCn) 각각의 제2 제어 단자(CT2)는 해당 구동 스테이지의 2번째 이후의 구동 스테이지의 캐리 신호를 수신한다. 예를 들어, 제3 구동 스테이지(SRC3)의 제2 제어 단자(CT2)는 제5 구동 스테이지(SRC5)의 제5 캐리 신호(CRS5)를 수신한다. 예시적으로, 복수의 구동 스테이지들(SRC1~SRCn) 각각의 제어 단자들의 개수는 증가 또는 감소될 수 있다.
- [0072] 복수의 구동 스테이지들(SRC1~SRCn) 각각의 클럭 단자(CK)는 제1 클럭 신호(CKV) 또는 제2 클럭 신호(CKVB)를 수신할 수 있다. 예를 들어, 복수의 구동 스테이지들(SRC1~SRCn) 중 홀수 번째 구동 스테이지들(즉, SRC1, SRC3, SRC5)의 클럭 단자들(CK)은 제1 클럭 신호(CKV)를 각각 수신할 수 있다. 복수의 구동 스테이지들(SRC1~SRCn) 중 짝수 번째 구동 스테이지들(SRC2, SRC4, SRCn)의 클럭 단자들(CK)은 제2 클럭 신호(CKVB)를 각각 수신할 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 위상이 다른 신호일 수 있다. 제2 클럭 신호(CKVB)는 제1 클럭 신호(CKV)가 반전된 신호일 수 있다.
- [0073] 복수의 구동 스테이지들(SRC1~SRCn) 각각의 제1 전압 입력 단자(V1)는 제1 방전 전압(VSS1)을 수신한다. 복수 개의 구동 스테이지들(SRC1~SRCn) 각각의 제2 전압 입력 단자(V2)는 제2 방전 전압(VSS2)을 수신한다. 제2 방전 전압(VSS2)은 제1 방전 전압(VSS1)과 다른 전압을 가질 수 있다. 일 실시예에서, 제2 방전 전압(VSS2)은 제1 방

전 전압(VSS1)보다 낮은 레벨을 가질 수 있다.

- [0074] 예시적으로, 터미 스테이지들(SRC-D1, SRC-D2)의 제어 단자들(CT1, CT2) 중 적어도 어느 하나는 개시 신호(STV)를 수신할 수 있다.
- [0075] 예시적으로, 복수의 구동 스테이지들(SRC1~SRCn) 각각은 회로 구성에 따라 출력 단자(OUT), 입력 단자(IN), 캐리 단자(CR), 제1 및 제2 제어 단자들(CT1, CT2), 클럭 단자(CK), 제1 전압 입력 단자(V1), 및 제2 전압 입력 단자(V2) 중 어느 하나가 생략되거나, 다른 단자들이 더 포함될 수 있다. 예를 들어, 제1 전압 입력 단자(V1), 및 제2 전압 입력 단자(V2) 중 어느 하나는 생략될 수 있다. 또한, 복수의 구동 스테이지들(SRC1~SRCn)의 연결 관계도 변경될 수 있다.
- [0076] 도 6은 도 5의 복수의 구동 스테이지들 중 제3 구동 스테이지를 예시적으로 보여주는 회로도이다. 도 7은 도 6의 제3 구동 스테이지의 입출력 신호의 파형도이다. 예시적으로, 도 6 및 도 7을 참조하여 제3 구동 스테이지(SRC3)가 설명되나, 본 발명의 범위가 이에 한정되는 것은 아니며, 나머지 구동 스테이지들 또한 제3 구동 스테이지(SRC3)와 유사한 구조를 가질 수 있다. 예시적으로, 도 7의 파형도는 도면의 간결성을 위하여 간략화된 파형도이고, 실제 신호 레벨들과 다를 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0077] 또한, 설명의 간략화를 위하여 해당 구동 스테이지는 제3 구동 스테이지(SRC3)이고, 이전 구동 스테이지는 제2 구동 스테이지(SRC2)이고, 다음 구동 스테이지는 제4 구동 스테이지(SRC4)이고, 2번째 다음 구동 스테이지는 제5 구동 스테이지(SRC5)인 것으로 가정한다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0078] 도 6 및 도 7을 참조하면, 제3 구동 스테이지(SRC3)는 출력부(111-1, 111-2), 제어부(112), 인버터부(113), 및 풀다운부(114-1, 114-2)를 포함한다. 출력부(111-1, 111-2)는 제3 게이트 신호(GS3)를 출력하는 제1 출력부(111-1) 및 제3 캐리 신호(CRS3)를 출력하는 제2 출력부(111-2)를 포함한다. 풀다운부(114-1, 114-2)는 출력 단자(OUT)를 다운시키는 제1 풀다운부(114-1) 및 캐리 단자(CRT)를 다운시키는 제2 풀다운부(114-2)를 포함한다. 제3 구동 스테이지(SRC3)의 회로는 예시적인 것에 불과하며, 이는 변경될 수 있다.
- [0079] 제1 출력부(111-1)는 제1 출력 트랜지스터(TR\_01)를 포함한다. 제1 출력 트랜지스터(TR\_01)는 제1 클럭 신호(CKV)를 수신하는 입력 전극, 제1 노드(NQ, 또는 제어 노드)에 접속된 제어 전극, 및 제3 게이트 신호(GS3)를 출력하는 출력 전극을 포함한다.
- [0080] 제2 출력부(111-2)는 제2 출력 트랜지스터(TR\_02)를 포함한다. 제2 출력 트랜지스터(TR\_02)는 제1 클럭 신호(CKV)를 수신하는 입력 전극, 제1 노드(NQ)에 연결된 제어 전극, 및 제3 캐리 신호(CRS3)를 출력하는 출력 전극을 포함한다.
- [0081] 제어부(112)는 제1 출력부(111-1) 및 제2 출력부(111-2)의 동작을 제어한다. 제어부(112)는 제2 구동 스테이지(SRC2, 즉, 이전 구동 스테이지)로부터 출력된 제2 캐리 신호(CRS2)를 입력 단자(IN)를 통해 수신한다. 제어부(112)는 입력 단자(IN)를 통해 수신된 제2 캐리 신호(CRS2)에 응답하여 제1 출력부(111-1) 및 제2 출력부(111-2)를 턴-온 시킨다. 제어부(112)는 제4 구동 스테이지(SRC4, 즉, 다음 구동 스테이지)로부터 출력된 제4 캐리 신호(CRS4)에 응답하여, 제1 출력부(111-1) 및 제2 출력부(111-2)의 턴-오프 시킨다.
- [0082] 예시적으로, 제어부(112)는 인버터부(113)로부터 출력된 스위칭 신호에 따라 제1 출력부(111-1) 및 제2 출력부(111-2)의 턴-오프를 유지시킬 수 있다. 제어부(112)는 캐리 단자(CRT)를 통해 출력되는 제3 캐리 신호(CRS3)를 사용하여 오프 누설전류를 방지할 수 있다.
- [0083] 제어부(112)는 제1 제어 트랜지스터(TR\_C1), 제2 제어 트랜지스터(TR\_C2), 제3 제어 트랜지스터들(TR\_C31, TR\_C32), 제4 제어 트랜지스터들(TR\_C41, TR\_C42), 및 캐패시터(CAP)를 포함한다. 예시적으로, 도 6의 실시 예에서는 직렬 연결된 2개의 제3 제어 트랜지스터들(TR\_C31, TR\_C32) 및 직렬 연결된 2개의 제4 제어 트랜지스터들(TR\_C41, TR\_C42)가 예시적으로 도시되었다.
- [0084] 제1 제어 트랜지스터(TR\_C1)는 제1 노드(NQ)와 접속된 출력 전극, 및 제2 노드(NB, 또는 입력 노드)에 공통으로 접속되는 제어 전극 및 입력 전극을 포함한다. 본 실시예에 따르면, 제2 노드(NB)는 입력 단자(IN)와 연결된다. 제1 제어 트랜지스터(TR\_C1)는 제2 노드(NB)로부터 제1 노드(NQ)로 전류 패스가 형성되도록 다이오드 접속될 수 있다. 제1 제어 트랜지스터(TR\_C1)는 입력 단자(IN)로부터 수신되는 신호(즉, 제2 캐리 신호(CRS2))를 제1 노드(NQ)로 제공할 수 있다. 제1 노드(NQ)는 제1 제어 트랜지스터(TR\_C1)로부터 제공되는 제2 캐리 신호(CRS2)에 의해 전위가 상승할 수 있다. 또한, 제1 노드(NQ)의 전위는 제3 게이트 신호(GS3)가 출력될 때 한번 더 부스팅된다.

- [0085] 제2 제어 트랜지스터(TR\_C2)는 캐리 단자(CRT)에 공통으로 접속되는 제어 전극 및 입력 전극, 및 제2 노드(NB)에 접속된 출력 전극을 포함한다. 즉, 제2 제어 트랜지스터(TR\_C2)는 캐리 단자(CRT)로부터 제2 노드(NB)로 전류 패스가 형성되도록 다이오드 접속될 수 있다. 제2 제어 트랜지스터(TR\_C2)는 캐리 단자(CTR)로부터의 신호(즉, 제3 캐리 신호(CRS3))를 제2 노드(NB)로 제공할 수 있다. 제2 제어 트랜지스터(TR\_C2)로부터 제공되는 신호에 의해 제2 노드(NB)의 전위가 소정의 레벨만큼 상승할 수 있다. 예시적으로, 소정의 레벨은 제3 캐리 신호(CRS3)의 전위보다 낮은 레벨일 수 있다. 예시적으로, 소정의 레벨은 제3 캐리 신호(CRS3)의 전위보다 제2 제어 트랜지스터(TR\_C2)의 임계 전압만큼 낮은 전압일 수 있다.
- [0086] 예를 들어, 도 7에 도시된 것과 같이, 제3 수평 구간(HP3) 동안에, 제3 캐리 신호(CRS3)는 하이 전압(VH-C)일 수 있다. 제2 제어 트랜지스터(TR\_C2)는 제3 캐리 신호(CRS3)를 제2 노드(NB)로 제공하고, 제2 노드(NB)의 전위는 미들 전압(VM-C)으로 상승될 수 있다.
- [0087] 상술된 바와 같이 제2 제어 트랜지스터(TR\_C2)를 통해 제공되는 제3 캐리 신호(CRS3)에 의해 제2 노드(NB)의 전위가 상승함에 따라, 제3 수평 구간(HP3) 동안 제1 제어 트랜지스터(TR\_C1)의 드레인-소스 전압(VDS)이 낮아질 수 있다. 이에 따라, 제1 제어 트랜지스터(TR\_C1)의 불량 또는 열화를 방지할 수 있다. 또한, 제3 수평 구간(HP3) 동안 상기 제2 노드(NQ)의 오프 누설전류가 방지될 수 있다.
- [0088] 캐패시터(CAP)는 제1 출력부(111-1)의 제1 출력 트랜지스터(TR\_01)의 제어 전극 및 출력 전극 사이에 제공된다. 또는 캐패시터(CAP)는 출력 단자(OUT) 및 제1 노드(NQ) 사이에 제공된다.
- [0089] 제3 제어 트랜지스터들(TR\_C31, TR\_C32)은 제2 전압 입력 단자(V2)와 제1 노드(NQ) 사이에 직렬로 연결된다. 제3 제어 트랜지스터들(TR\_C31, TR\_C32)의 제어 전극들은 공통적으로 제1 제어 단자(CT1)에 접속된다. 제3 제어 트랜지스터들(TR\_C31, TR\_C32)은 제1 제어 단자(CT1)로부터 제공되는 제4 캐리 신호(CRS4)에 응답하여 제1 노드(NQ)에 제2 방전 전압(VSS2)을 제공한다.
- [0090] 제4 제어 트랜지스터들(TR\_C41, TR\_C42)은 제2 전압 입력 단자(V2)와 제1 노드(NQ) 사이에 직렬로 연결된다. 제4 제어 트랜지스터들(TR\_C41, TR\_C42)의 제어 전극들은 공통적으로 제3 노드(NC, 또는 출력 노드)에 접속된다. 제3 노드(NC)는 인버터부(130)의 출력 단자와 연결된다. 제4 제어 트랜지스터들(TR\_C41, TR\_C42)은 인버터부(130)로부터 출력된 스위칭 신호에 응답하여 제1 노드(NQ)에 제2 방전 전압(VSS2)을 제공한다.
- [0091] 예시적으로, 제3 제어 트랜지스터들(TR\_C31, TR\_C32) 중 어느 하나가 생략되거나, 또는, 제4 제어 트랜지스터들(TR\_C41, TR\_C42) 중 어느 하나가 생략될 수 있다. 또한, 제3 제어 트랜지스터들(TR\_C31, TR\_C32)과 제4 제어 트랜지스터들(TR\_C41, TR\_C42) 중 어느 하나는 제2 전압 입력 단자(V2)가 아닌 제1 전압 입력 단자(V1)에 접속될 수 있다.
- [0092] 계속해서, 도 6 및 도 7을 참조하면, 인버터부(113)는 제3 노드(NC)의 스위칭 신호를 출력한다. 인버터부(113)는 제1 내지 제4 인버터 트랜지스터들(TR\_I1, TR\_I2, TR\_I3, TR\_I4)을 포함한다. 제1 인버터 트랜지스터(TR\_I1)는 클럭 단자(CK)에 공통으로 연결된 입력 전극과 제어 전극, 및 제2 인버터 트랜지스터(TR\_I2)의 제어 전극에 연결된 출력 전극을 포함한다. 제2 인버터 트랜지스터(TR\_I2)는 클럭 단자(CK)에 연결된 입력 전극, 및 제3 노드(NC)에 연결된 출력 전극을 포함한다.
- [0093] 제3 인버터 트랜지스터(TR\_I3)는 제1 인버터 트랜지스터(TR\_I1)의 출력 전극에 연결된 출력 전극, 캐리 단자(CRT)에 연결된 제어 전극, 및 제2 전압 입력 단자(V2)에 연결된 입력 전극을 포함한다. 제4 인버터 트랜지스터(TR\_I4)는 제3 노드(NC)에 연결된 출력 전극, 캐리 단자(CRT)에 연결된 제어 전극, 및 제2 전압 입력 단자(V2)에 연결된 입력 전극을 포함한다.
- [0094] 예시적으로, 제3 및 제4 인버터 트랜지스터(TR\_I3, TR\_I4)의 제어 전극은 출력 단자(OUT)에 연결될 수 있고, 제3 및 제4 인버터 트랜지스터(TR\_I3, TR\_I4)의 출력 전극은 제1 전압 입력 단자(V1)에 연결될 수 있다.
- [0095] 제1 풀다운부(114-1)는 제1 풀다운 트랜지스터(TR\_D1) 및 제2 풀다운 트랜지스터(TR\_D2)를 포함한다. 제1 풀다운 트랜지스터(TR\_D1)는 제1 전압 입력 단자(V1)에 접속된 입력 전극, 제3 노드(NC)에 접속된 제어 전극, 및 출력 단자(OUT)에 접속된 출력 전극을 포함한다. 제2 풀다운 트랜지스터(TR\_D2)는 제1 전압 입력 단자(V1)에 접속된 입력 전극, 제1 제어 단자(CT1)에 접속된 제어 전극, 및 출력 단자(OUT)에 접속된 출력 전극을 포함한다. 예시적으로, 제1 풀다운 트랜지스터(TR\_D1)의 입력 전극 및 제2 풀다운 트랜지스터(TR\_D2)의 입력 전극 중 적어도 어느 하나는 제2 전압 입력 단자(V2)에 연결될 수 있다.
- [0096] 제2 풀다운부(114-2)는 제3 풀다운 트랜지스터(TR\_D3) 및 제4 풀다운 트랜지스터(TR\_D4)를 포함한다. 제3 풀다

운 트랜지스터(TR\_D3)는 제2 전압 입력 단자(V2)에 접속된 입력 전극, 제3 노드(NC)에 접속된 제어 전극, 및 캐리 단자(CRT)에 접속된 출력 전극을 포함한다. 제4 풀다운 트랜지스터(TR\_D4)는 제2 전압 입력 단자(V2)에 접속된 입력 전극, 제2 제어 단자(CT2)에 접속된 제어 전극, 및 캐리 단자(CRT)에 접속된 출력 전극을 포함한다. 예시적으로, 제3 풀다운 트랜지스터(TR\_D3)의 입력 전극 및 제4 풀다운 트랜지스터(TR\_D4)의 입력 전극 중 적어도 어느 하나는 제1 전압 입력 단자(V1)에 연결될 수도 있다.

[0097] 계속해서, 도 6 및 도 7을 참조하여 도 6의 제3 구동 스테이지(SRC3)의 동작이 더욱 상세하게 설명된다. 도 7에 도시된 바와 같이 제1 및 제2 클럭 신호들(CKV, CKVB)은 서로 위상이 반대인 신호(즉, 반전된 신호(inverting signal))일 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB)는 180도의 위상차를 가질 수 있다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 각각은 레벨이 낮은 로우 구간들(VL-C, 로우 전압)과 레벨이 상대적으로 높은 하이 구간들(VH-C, 하이 전압)을 포함한다. 제1 클럭 신호(CKV)와 제2 클럭 신호(CKVB) 각각은 교번하는 로우 구간들과 하이 구간들을 포함한다. 하이 전압(VH-C)은 약 10V 일 수 있다. 로우 전압(VL-C)은 약 -16V 일 수 있다. 로우 전압(VL-C)은 제2 방전 전압(VSS2, 도 5 참조)과 동일한 레벨일 가질 수 있다.

[0098] 제3 게이트 신호(GS3)는 레벨이 낮은 로우 구간(VL-G, 로우 전압)과 레벨이 상대적으로 높은 하이 구간(VH-G, 하이 전압)을 포함한다. 제3 게이트 신호(GS3)의 로우 전압(VL-G)은 제1 방전 전압(VSS1, 도 5 참조)과 동일한 레벨일 가질 수 있다. 로우 전압(VL-G)은 약 -13V 일 수 있다. 제3 게이트 신호(GS3)는 일부의 구간들 동안에 제1 클럭 신호(CKV)의 로우 전압(VL-C)과 동일한 레벨을 가질 수 있다. 제3 게이트 신호(GS3)의 하이 전압(VH-G)은 제1 클럭 신호(CKV)의 하이 전압(VH-C)과 동일한 레벨일 가질 수 있다.

[0099] 제3 캐리 신호(CRS3)는 레벨이 낮은 로우 구간과 레벨이 상대적으로 높은 하이 구간을 포함한다. 제3 캐리 신호(CRS3)는 서로 다른 구간들 로우 전압(VL-C)과 하이 전압(VH-C)을 갖는다. 제3 캐리 신호(CRS3)는 제1 클럭 신호(CKV)에 근거하여 생성되었기 때문에 제1 클럭 신호(CKV)와 유사한 전압 레벨을 갖는다.

[0100] 예시적으로, 도 7에 도시된 제2 내지 제 7 수평 구간들(HP2~HP7) 각각은 제2 내지 제7 구동 스테이지들(SRC2~SRC7)로부터 각각 제2 내지 제7 게이트 신호들(GS2~GS7)이 출력되는 구간을 가리킨다.

[0101] 도 7에 도시된 바와 같이, 제2 수평 구간(HP2) 동안 제2 구동 스테이지(SRC2)로부터 출력된 제2 캐리 신호(CRS2)는 하이 전압(VH-C)일 수 있다. 이때, 제1 제어 트랜지스터(TR\_C1)는 제2 캐리 신호(CRS2)에 응답하여 제1 노드(NQ)의 전위를 제1 전압(VQ1)으로 프리차지한다. 예시적으로, 제2 수평 구간(HP2) 동안 제2 구동 스테이지(SRC2)로부터 하이 전압(VG-H)의 제2 게이트 신호(GS2)가 출력된다.

[0102] 제2 수평 구간(HP2) 동안 제1 전압(VQ1)으로 프리 차지된 제1 노드(NQ)에 의해 제1 및 제2 출력 트랜지스터들(TR\_O1, TR\_O2)은 턴-온 상태될 수 있다. 이 후, 제3 수평 구간(HP3) 동안 제1 클럭 신호(CKV)가 하이 전압(VH-C)이 될 경우, 제1 출력 트랜지스터(TR\_O1)를 통해 제3 게이트 신호(GS3)이 캐패시터(CAP)로 제공된다. 이에 따라 제1 노드(NQ)는 제2 전압(VQ2)으로 상승될 수 있다. 제3 수평 구간(HP3) 동안 하이 전압(VH-C)의 제1 클럭 신호(CKV)에 의해 제3 캐리 신호(CRS3) 및 제3 게이트 신호(GS3)의 레벨들은 하이 전압들(VH-C, VH-G)로 각각 상승한다.

[0103] 제3 수평 구간(HP3) 동안, 제2 제어 트랜지스터(TR\_C2)는 캐리 단자(CRT)로부터 제2 노드(NB)로의 전류 패스를 형성한다. 즉, 캐리 단자(CRT)로부터의 제3 캐리 신호(CRS3)가 하이 전압(VH-C)으로 상승함에 따라, 제2 노드(NB)의 레벨이 상승된다. 이때, 제2 캐리 신호(CRS2)의 상승된 레벨은 제3 캐리 신호(CRS3)의 하이 전압(VH-C)보다 낮을 수 있다.

[0104] 이 후, 제4 수평 구간(HP4)에서, 제1 제어 단자(CT1)를 통해 제공되는 제4 구동 스테이지(SRC4)의 제4 캐리 신호(CRS4)가 하이 전압(VH-C)으로 상승하고, 제1 클럭 신호(CKV)가 로우 전압(VL-C)으로 하강한다. 이때, 제4 캐리 신호(CRS4)에 응답하여 제3 제어 트랜지스터들(TR5-1, TR5-2) 및 제2 풀다운 트랜지스터(TR\_D2)가 턴-온되고, 인버터부(113)로부터의 제3 노드(NC)의 스위칭 신호에 응답하여 제 4 제어 트랜지스터들(TR\_C41, TR\_C42), 제1 풀다운 트랜지스터(TR\_D1), 및 제3 풀다운 트랜지스터(TR\_D3)가 턴-온된다. 턴-온된 트랜지스터들에 의해 출력 단자(OUT)의 제3 게이트 신호(GS3) 및 캐리 단자(CRT)의 제3 캐리 신호(CRS3)는 로우 전압들(VL-G, VL-C)로 각각 하강한다.

[0105] 이때, 상술된 바와 유사하게 제3 캐리 신호(CRS3)는 제4 구동 스테이지(SRC4)의 제4 캐리 신호(CRS4)에 의해 소정의 레벨만큼 상승할 수 있다. 이후의 제5 내지 제7 수평 구간들(HP5~HP7)에서, 각 해당 구동 스테이지(예를 들어, 제5 내지 제7 구동 스테이지들(SRC5~SRC7))은 상술된 바와 유사하게 동작할 것이다.

[0106] 도 8은 본 발명에 따른 효과를 설명하기 위한 그래프이다. 예시적으로, 도 8의 그래프의 X축은 시간을



가리키고, Y축은 전압 레벨을 가리킨다. 예시적으로, 도 8의 제1 섹션은 종래 기술에 따른 제1 노드(NQ)의 전압, 제2 노드(NB)의 전압, 및 제1 노드(NQ)와 제2 노드(NB) 사이의 전압차이를 보여주는 그래프이다. 도 8의 제2 섹션은 본 발명에 따른 제1 노드(NQ)의 전압, 제2 노드(NB)의 전압, 및 제1 노드(NQ)와 제2 노드(NB) 사이의 전압차이를 보여주는 도면이다.

[0107] 도 8의 제1 섹션(1st section)을 참조하면, 제3 수평 구간(HP3) 동안 제1 노드(NQ)의 전압은 제2 전압(VQ2)으로 충전되고, 제2 캐리 신호(CRS2)는 로우 전압(VL-C)으로 하강한다. 이때, 제3 수평 구간(HP3) 동안의 제1 노드(NQ) 및 제2 노드(NB) 사이의 전압 차이(NQ-CRS2)(즉, 제1 제어 트랜지스터(TR\_C1)의 드레인-소스 전압)는 제1 전압 차이( $\Delta V1$ )를 갖는다.

[0108] 다음으로, 도 8의 제2 섹션(2nd section)을 참조하면, 제3 수평 구간(HP3) 동안 제1 노드(NQ)의 전압은 제2 전압(VQ2)으로 충전되고, 제2 캐리 신호(CRS2)는 로우 전압(VL-C)으로 하강할 수 있다. 그러나, 도 6 및 도 7을 참조하여 설명된 바와 같이, 제3 수평 구간(HP3) 동안 제3 캐리 신호(CRS3)가 하이 전압(VH-C)으로 상승함에 따라 제2 노드(NB)의 전압은 소정의 레벨만큼 증가할 수 있다. 이때, 제3 수평 구간(HP3) 동안의 제1 노드(NQ) 및 제2 노드(NB) 사이의 전압 차이(NQ-CRS2)(즉, 제1 제어 트랜지스터(TR\_C1)의 드레인-소스 전압)는 제2 전압 차이( $\Delta V2$ )를 갖는다.

[0109] 도 8에 도시된 바와 같이, 제2 전압 차이( $\Delta V2$ )는 제1 전압 차이( $\Delta V1$ )보다 작을 수 있다. 즉, 본 발명에 따르면, 제1 제어 트랜지스터(TR\_C1)의 드레인-소스 전압 차이를 낮춤으로써, 제1 제어 트랜지스터(TR\_C1)의 열화 및 불량을 방지할 수 있다. 따라서, 향상된 신뢰성을 갖는 게이트 구동 장치가 제공된다.

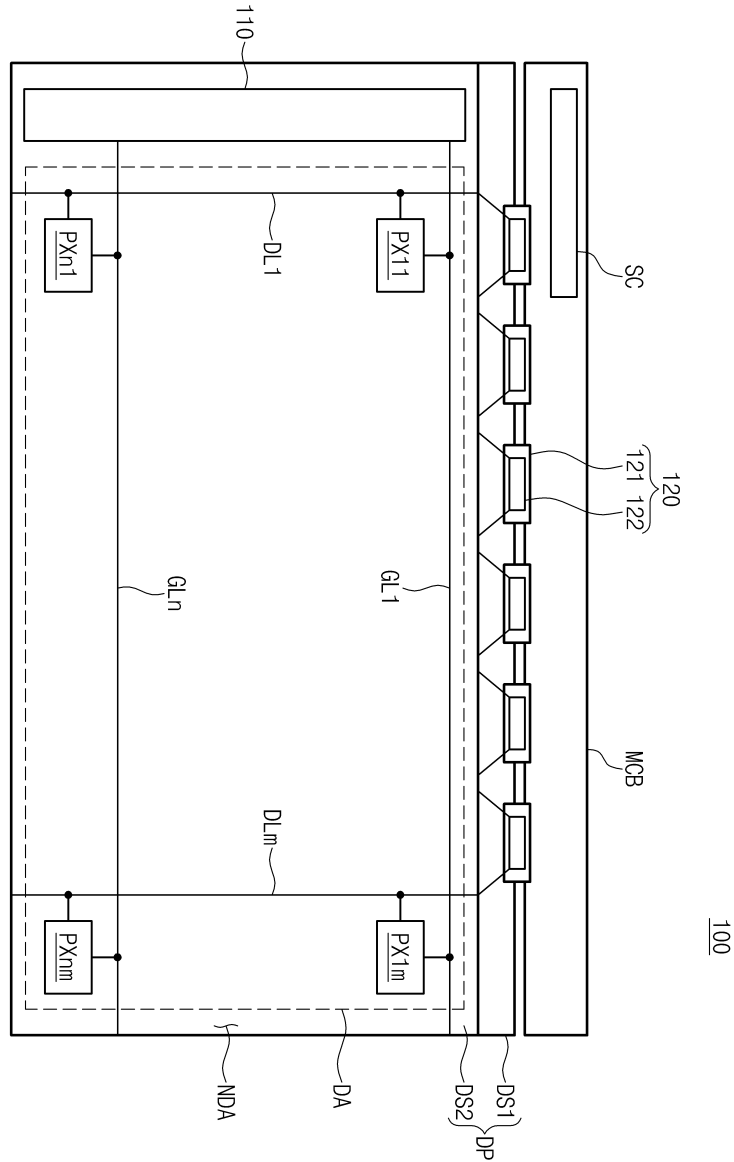
[0110] 본 발명의 상세한 설명에서는 구체적인 실시 예들에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러가지 변형이 가능하다. 그러므로, 본 발명의 범위는 상술된 실시 예들에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

### 부호의 설명

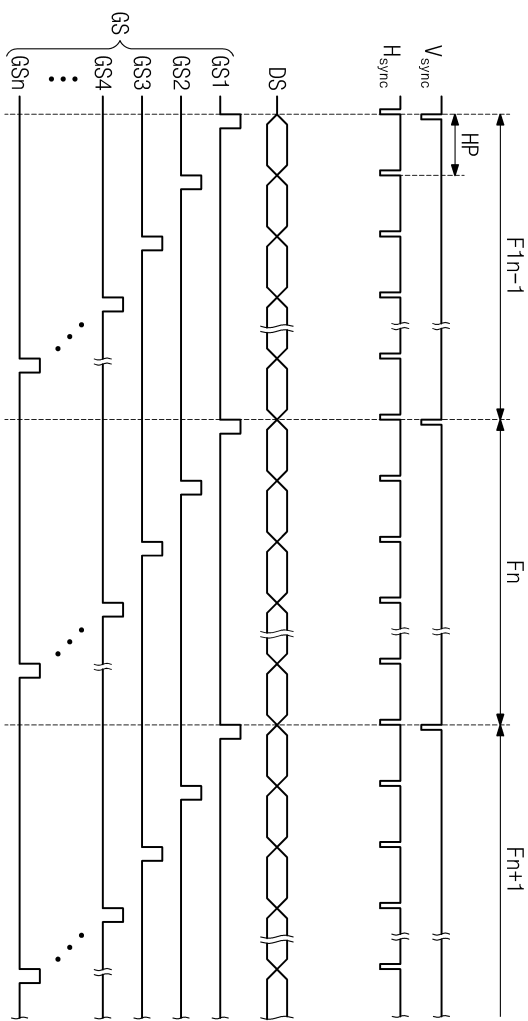
[0111]	100 : 표시 장치	DP: 표시패널
	DS1: 제1 기관	DS2: 제2 기관
	110: 게이트 구동 회로	120: 데이터 구동 회로
	MCB: 메인 회로기관	SRC1~SRCn: 구동 스테이지
	111-1: 제1 출력부	111-2: 제2 출력부
	112: 제어부	113: 인버터부
	114-1: 제1 풀다운부	114-2: 제2 풀다운부

도면

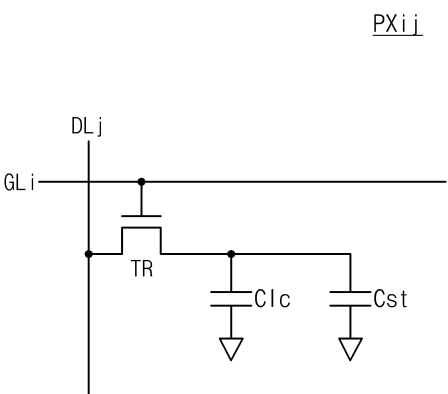
도면1



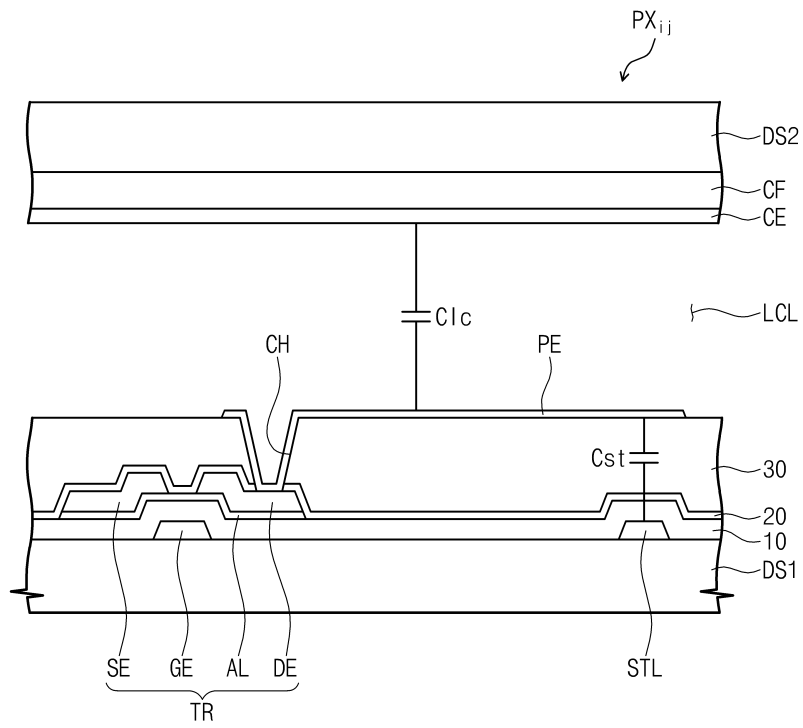
도면2



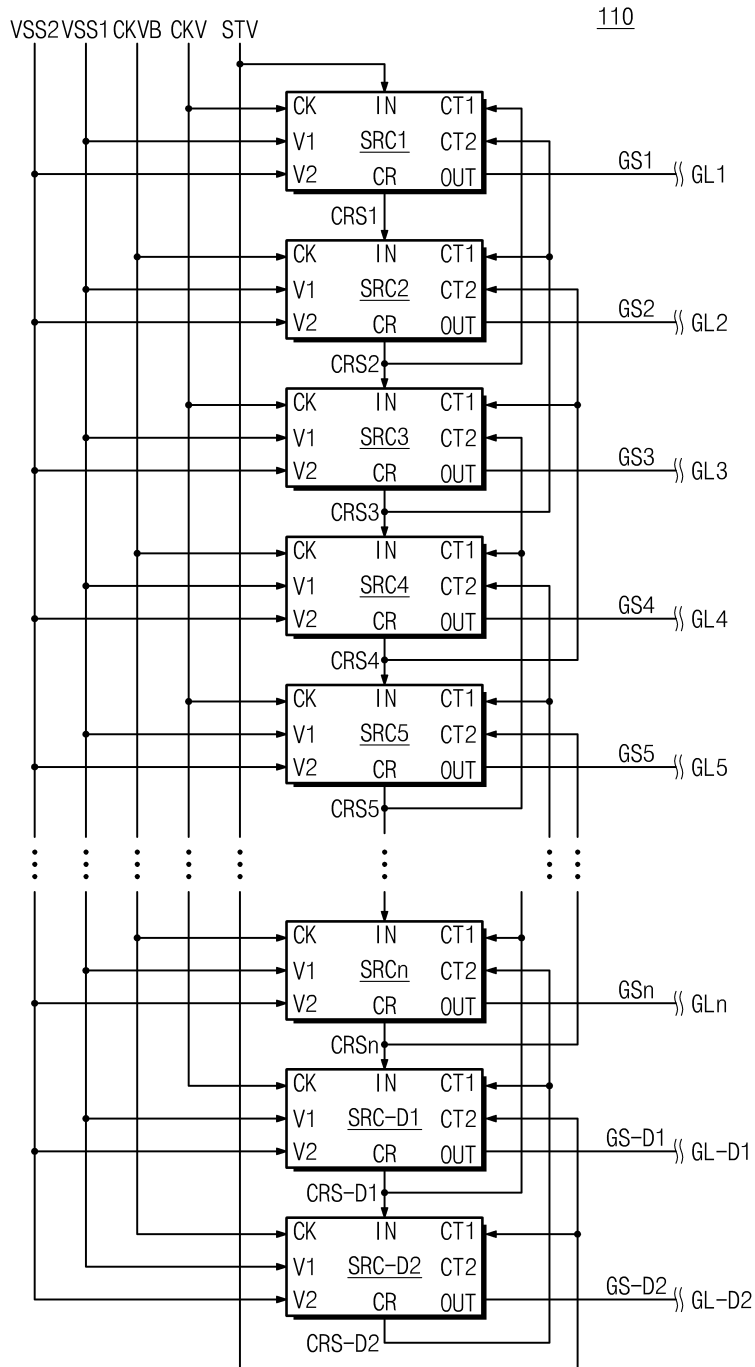
도면3



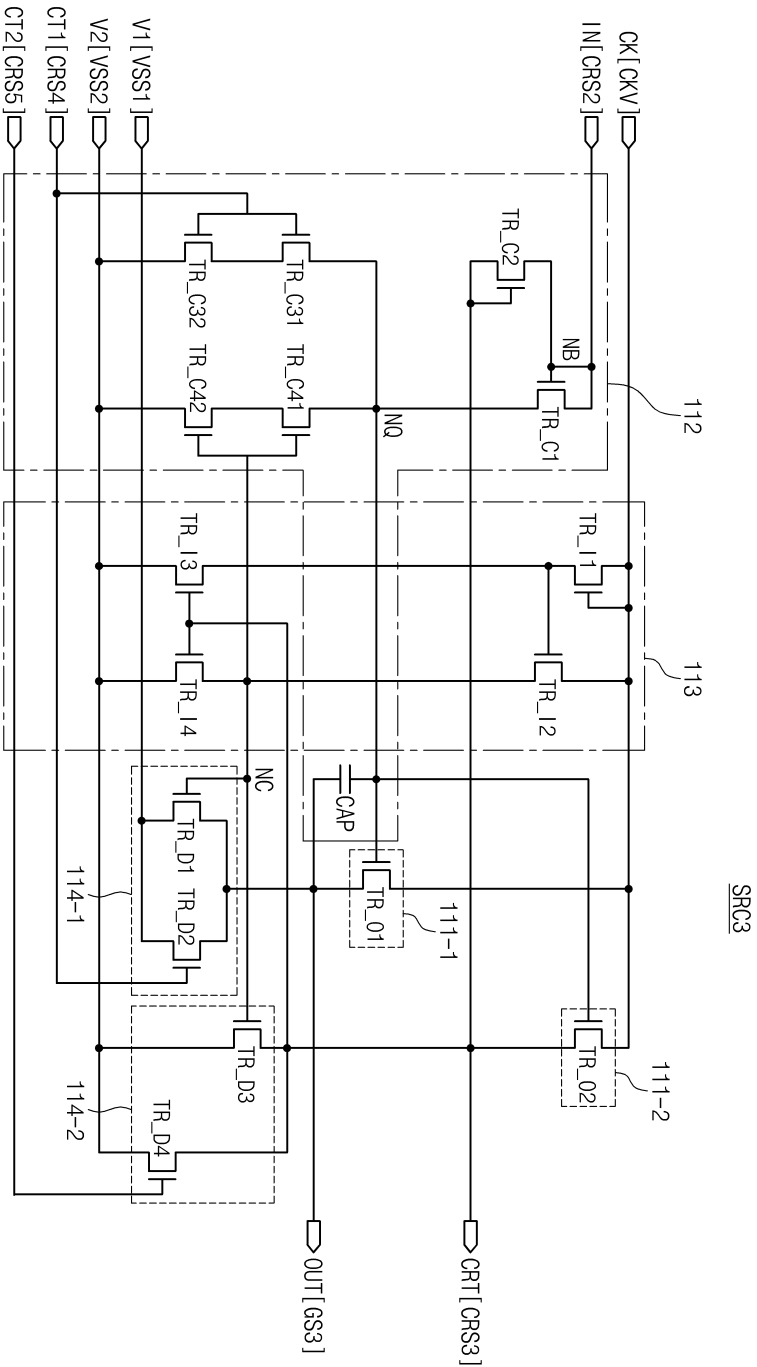
도면4



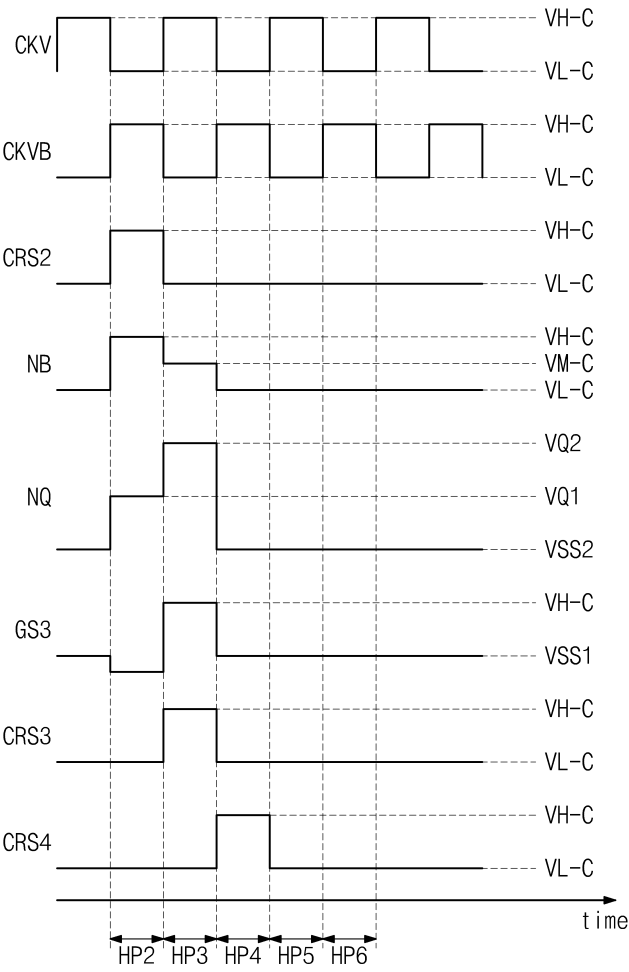
도면5



도면6



도면7



도면8

