

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 10 月 21 日 (21.10.2004)

PCT

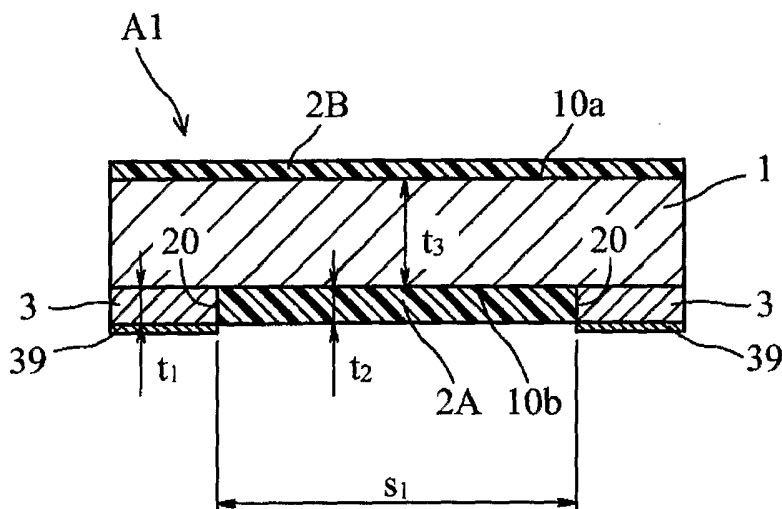
(10) 国際公開番号
WO 2004/090915 A1

- (51) 国際特許分類: H01C 7/00 都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (21) 国際出願番号: PCT/JP2004/005038
- (22) 国際出願日: 2004 年 4 月 7 日 (07.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-103843 2003 年 4 月 8 日 (08.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 塚田 虎之 (TSUKADA, Torayuki) [JP/JP]; 〒6158585 京都府京
- (74) 代理人: 吉田 稔, 外 (YOSHIDA, Minoru et al.); 〒5430014 大阪府大阪市天王寺区玉造元町 2 番 3 2 - 1 3 0 1 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

[続葉有]

(54) Title: CHIP RESISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: チップ抵抗器およびその製造方法



(57) Abstract: A chip resistor (A1) comprises a resistive element (1) having an electrode-forming surface (10b), two electrodes (3) formed on the electrode-forming surface (10b), and an insulating layer (2A) formed on the electrode-forming surface (10b). The electrode-forming surface (10b) includes an inter-electrode region which lies between the two electrodes (3) and is covered with the insulating layer (2A). The insulating layer (2A) has a thickness (t2) which is equal to or generally equal to the thickness (t1) of the electrodes (3).

(57) 要約: チップ抵抗器 (A1) は、電極形成面 (10b) を含む抵抗体 (1) と、電極形成面 (10b) に設けられた 2 つの電極 (3) と、電極形成面 (10b) に設けられた絶縁層 (2A) と、を具備している。電極形成面 (10b) は、2 つの電極 (3) の間に位置するとともに絶縁層 (2A) によって覆われた電極間領域を含んでいる。絶縁層 (2A) は、電極 (3) の厚み (t1) と同一あるいは略同一である厚み (t2) を有している。



WO 2004/090915 A1



SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明細書

チップ抵抗器およびその製造方法

5 技術分野

本発明は、チップ抵抗器およびその製造方法に関する。

背景技術

本願の図 1 1 は、日本国特許出願公開第 2 0 0 2 - 5 7 0 0 9 号公報に開示
10 された従来のチップ抵抗器を示す。この抵抗器は、金属製の抵抗体 9 0 と、この抵抗体の下面に取り付けられた一対の電極 9 1 とを含んでいる。これら電極 9 1 は、所定の距離 S 6 だけ相互に離間している。各電極 9 1 の下面には、ハンダ層 9 2 が形成されている。

上記従来のチップ抵抗器は、図 1 2 に示す方法により製造される。まず、2
15 枚の金属板 9 0' , 9 1' を準備し (S T 1)、金属板 9 0' を金属板 9 1' の上面に接合する (S T 2)。次いで、金属板 9 1' の一部を機械加工によって切削し、空隙部 9 3 を形成する (S T 3)。次いで、金属板 9 1' の下面にハンダ層 9 2' を形成する (S T 4)。これにより、金属板 9 0' , 9 1' およびハンダ層 9 2' からなる中間アセンブリが得られる。最後に、この中間ア
20 センブリを切断することにより、所望のチップ抵抗器が得られる (S T 5)。

上記チップ抵抗器には、次のような問題があった。図 1 1 に示すように、上記チップ抵抗器の抵抗体 9 0 は、相互に離間した電極 9 1 によって支持されている。このような構造のために、抵抗体 9 0 は、その中央部分に衝撃力が加わった場合に曲がったり、もしくは破断したりするおそれがあった。このような
25 衝撃力は、例えば吸着コレットを用いて上記チップ抵抗器を回路基板に自動実装する場合に発生しうる。

発明の開示

本発明は、上記した事情のもとで考え出されたものである。そこで本発明は、
30 上述したような衝撃力が抵抗体に加わった場合でも破損することのないチップ抵抗器を提供することをその課題とする。また本発明の別の課題は、そのよう

なチップ抵抗器の製造方法を提供することにある。

本発明の第1の側面により提供されるチップ抵抗器は、電極形成面を含む抵抗体と、前記電極形成面に設けられた少なくとも2つの電極と、前記電極形成面に設けられた絶縁層と、を具備している。前記電極形成面は、前記2つの電極の間に位置するとともに前記絶縁層によって覆われた電極間領域を含んでい
5 る。前記絶縁層は、前記電極の厚みと同一あるいは略同一である厚みを有している。

好ましくは、前記絶縁層の厚みは前記電極の厚みよりも小さい。前記絶縁層の厚みと前記電極の厚みとの差は、前記抵抗体が荷重を受けて撓む場合において、前記抵抗体が破損する前に、前記絶縁層が平坦な実装面に当接するように
10 設定されている。

好ましくは、前記絶縁層の厚みは前記電極の厚みよりも小さい。前記絶縁層と前記電極との厚みの差は、前記抵抗体に発生する最大曲げ応力 $\sigma_{\max}$ が前記抵抗体の弾性限度 σ_y に達するときの前記抵抗体の最大撓み $\delta_{\max}$ よりも小さくなる
15 ように設定されている。

好ましくは、前記絶縁層は、厚膜印刷により形成されたものである。

本発明の第2の側面により提供されるチップ抵抗器の製造方法は、抵抗体材料部材の電極形成面に絶縁層をパターン形成する工程と、前記電極形成面のうち、前記絶縁層が形成されていない領域に、前記絶縁層の厚みと同一あるいは
20 略同一の厚みを有する導電層を形成する工程と、前記抵抗体材料部材を複数のチップ状抵抗体に分割する工程と、を具備している。前記抵抗体材料の分割は、前記複数のチップ状抵抗体の各々が、前記絶縁層の一部と、この絶縁層の一部によって離間された電極部とを含むように行われる。

好ましくは、前記絶縁層のパターン形成は、厚膜印刷により行なわれる。

25 好ましくは、前記導電層の形成は、メッキ処理により行なわれる。

好ましくは、前記抵抗体材料部材の分割は、打ち抜き、又は、切断により行われる。

図面の簡単な説明

30 図1は、本発明の第1実施例に基づくチップ抵抗器を示す斜視図である。

図2は、図1のII-II線に沿って見た場合の断面図である。

図 3 A～3 C は、上記チップ抵抗器の製造方法の工程の一部を示す斜視図である。

図 4 A～4 B は、図 3 C の工程に続いて行われる工程を示す斜視図である。

図 5 は、上記チップ抵抗器の他の製造方法の工程の一部を示す斜視図である。

5 図 6 A～6 B は、図 5 の工程に続いて行われる工程を示す斜視図である。

図 7 は、本発明の第 2 実施例に基づくチップ抵抗器を示す断面図である。

図 8 A は、本発明の第 3 実施例に基づくチップ抵抗器を示す断面図である。

図 8 B は、第 3 実施例のチップ抵抗器を示す底面図である。

図 9 A は、本発明の第 4 実施例に基づくチップ抵抗器を示す断面図である。

10 図 9 B は、第 4 実施例のチップ抵抗器を示す底面図である。

図 10 は、本発明の第 5 実施例に基づくチップ抵抗器を示す斜視図である。

図 11 は、従来のチップ抵抗器を示す斜視図である。

図 12 は、上記従来のチップ抵抗器の製造方法を示す。

15 発明を実施するための最良の形態

以下、本発明の好適な実施例につき、添付図面を参照しつつ具体的に説明する。

図 1 および図 2 は、本発明の第 1 実施例に基づくチップ抵抗器を示している。

20 図示されたチップ抵抗器 A 1 は、抵抗体 1、第 1 絶縁層 2 A、第 2 絶縁層 2 B、および一対の電極 3 を具備している。

抵抗体 1 は、長矩形状でかつ一定の厚みを有している。抵抗体 1 は、Ni-Cu 系合金、Cu-Mn 系合金、Ni-Cr 系合金などの金属材料を用いて形成することができる。もちろん、抵抗体形成用の金属材料はこれらに限定されるものではなく、チップ抵抗器 A 1 のサイズや目標抵抗値に適する抵抗率を有する他の金属材料を用いてもよい。

25 第 1 および第 2 の絶縁層 2 A、2 B は、例えばエポキシ樹脂からなる。第 1 絶縁層 2 A は抵抗体 1 の下面（電極形成面）10 b に設けられており、第 2 絶縁層 2 B は抵抗体 1 の上面 10 a に設けられている。より詳細には、抵抗体 1 の下面 10 b は、2 つの電極 3 が形成された領域と、それ以外の領域（以下「電極間領域」という）に分けることができる。第 1 絶縁層 2 A は、この電極間領域の全体を覆っている。一方、第 2 絶縁層 2 B は、抵抗体 1 の上面 10 a 全体

を覆っている。

上記一対の電極 3 は、抵抗体 1 の長手方向に相互に離間して設けられている。各電極 3 は、例えば銅からなる。図 2 に示されるように、各電極 3 は、第 1 絶縁層 2 A の端面 2 0 に接している。従って、2 つの電極 3 の離間距離は、第 1 絶縁層 2 A の長さ s_1 と同じである。各電極 3 の下面には、ハンダ付け性を良好にするためのハンダ層 3 9 が形成されている。チップ抵抗器 A 1 の抵抗値（一対の電極 3 間の抵抗値）は、例えば $1\text{ m}\Omega \sim 100\text{ m}\Omega$ の範囲に設定される。

電極 3 の厚み t_1 と第 1 絶縁層 2 A の厚み t_2 と、同一あるいは略同一である。このような構成によれば、抵抗体 1 を 2 つの電極 3 と絶縁層 2 A とによって支持することができる。従って、従来のチップ抵抗器（図 1 1）に比べて、本発明のチップ抵抗器 A 1 は、抵抗体 1 の中央部に衝撃力が加わった場合でも破損しにくい。

次に、チップ抵抗器 A 1 の製造方法について、図 3 A ～ 3 C および図 4 A ～ 4 B を参照して説明する。

まず、図 3 A に示すように、全体にわたって均一な厚みを有する金属製のプレート 1 A を準備する。このプレート 1 A は、抵抗体 1 を複数個得ることができるほどのサイズ（長さ×幅）を有している。図 3 B に示すように、絶縁層 2 B' をプレート 1 A の上面 1 0 a 全体を覆うように形成する。絶縁層 2 B' の形成は、例えば、エポキシ樹脂の厚膜印刷により行なう。必要に応じて、形成された絶縁層 2 B' の表面に標印を施す工程を行なってもよい。次いで、図 3 C に示すように、プレート 1 A の下面 1 0 b に、相互に平行に延びる複数の絶縁ストリップ 2 A' を形成する。これら絶縁ストリップ 2 A' は、図の横方向に所定の距離だけ相互に離間している。絶縁ストリップ 2 A' の形成は、上記絶縁層 2 B' の形成に用いたのと同じ樹脂および装置を用いて厚膜印刷により行なう。厚膜印刷によれば、各絶縁ストリップ 2 A' のサイズ（特に幅）を所定の寸法に正確に仕上げることもできる。また、各絶縁ストリップ 2 A' の厚みの増減を容易に行なうことができる。

次いで、図 4 A に示すように、上記複数の絶縁ストリップ 2 A' の間の領域に導電層 3 A' を形成し、さらに各導電層 3 A' の上にハンダ層 3 9 A' を形成する。導電層 3 A' は電極 3 の原形となる部分であり、その形成は例えば銅メッキにより行なう。メッキ処理によれば、各導電層 3 A' とこれに隣接する

- 絶縁ストリップ 2 A' との間に隙間を生じさせないようにすることが可能である。従って、隣接する導電層 3 A' の間の離間距離は、絶縁ストリップ 2 A' の幅と同一となる。上述したように、絶縁ストリップ 2 A' の幅は、厚膜印刷により所定の寸法に正確に仕上げることができる。従って、隣接する導電層 3 A' の間の離間距離（延いては一对の電極 3 の離間距離）も、所定の寸法に正確に仕上げることができる。さらには、メッキ処理においては、処理時間を調整することにより、各導電層 3 A' の厚みを調節することが可能である。従って、各電極 3 と第 1 絶縁層 2 A との厚みを略同一にすることも容易に行える。ハンダ層 3 9 A' の形成もメッキ処理によって行なうことができる。
- 10 上記したメッキ処理後には、図 4 B に示すように、プレート 1 A に打ち抜き加工を繰り返して施す。好ましくは、この打ち抜きには、1 つの打ち抜き用型（図示略）を繰り返し使用する。これにより、プレート 1 A から同一の抵抗体を複数個得ることができる。打ち抜き作業は、図 4 B に示された複数の矩形領域（一点鎖線で示す）の各々に対して行われる。これらの矩形領域は、マトリクス状に配置されており、隣接する矩形領域どうしは、所定の間隔 s_2 を隔てて離間している。同図に示されるように、各矩形領域の中央部は、絶縁ストリップ 2 A' にオーバーラップしており、当該中央部に隣接する 2 つの端部は、ハンダ層 3 9 A' にオーバーラップしている。このような矩形領域に対して打ち抜きを行うことにより、所望のチップ抵抗器 A 1 を得ることができる。
- 15 上記したチップ抵抗器の製造方法は、従来の製造方法（図 1 2）に対して以下のような利点がある。すなわち、従来の方法においては、相互に離間した一对の電極 9 1 を設けるに際して、金属板 9 1' を機械的に切削していた（図 1 2 の S T 3）。2 つの電極 9 1 の離間距離（図 1 1 の S 6）は、チップ抵抗器の抵抗値に影響する。このため、当該抵抗値を所望の値に仕上げるためには、
- 25 金属板 9 1' の切削作業を精度良く行う必要がある。しかしながら、このような作業は、時間をかけて慎重に行う必要があるため、チップ抵抗器の生産性向上を妨げる原因となる。一方、本発明の製造方法においては、図 4 A を参照して上で説明したように、一对の電極 3 間の離間距離の設定は、メッキ処理により極めて容易に且つ正確に行うことができる。
- 30 本発明によれば、プレート 1 A から複数の抵抗体を得るための手段としては、上述した打ち抜き（図 4 B 参照）に代えて、せん断機やロータリ式カッターな

どの切断手段を用いてもよい。この場合には、まず、図4Aに示すプレート1Aを、図5に示す切断線C1に沿って切断する（各切断線C1は、絶縁ストリップ2A'および導電層3A'の長手方向に対して直角に延びている）。これにより、図6Aに示すバー状の抵抗器集合体A1'が複数個得られる。次に、
5 図6Bに示すように、各抵抗器集合体A1'を切断線C2に沿って切断する。これにより、1つの抵抗器集合体A1'から複数個のチップ抵抗器A1が得られる。

本発明のチップ抵抗器A1は、例えばハンダリフローの手法を用いて回路基板に面実装することができる。具体的には、回路基板に設けられた端子に各電
10 極3（ハンダ層39）が接触するように、チップ抵抗器A1を当該回路基板上に載置する。この状態で回路基板およびチップ抵抗器A1をリフロー炉内で加熱する。その後、熔融したハンダを冷却固化することにより、チップ抵抗器A1を回路基板に固定する。

一般に、ハンダリフローによるチップ抵抗器の面実装時には、抵抗器の電極
15 と回路基板との間から、熔融したハンダがはみ出すことがある。このような場合、従来のチップ抵抗器（図11）では、熔融ハンダが抵抗体90の下面（電極間領域）に付着してしまい、所期の抵抗値が得られないおそれがある。しかしながら、本発明のチップ抵抗器A1（図1、図2）においては、抵抗体1の電極間領域は、第1絶縁層2Aにより覆われている。このため、熔融ハンダが
20 電極間領域に付着することはない。

また、チップ抵抗器A1の上面10aは、第2絶縁層2Bにより覆われている。この構成により、上面10aが他の導電性部材と不当に接触することが防止される。

本発明においては、第1絶縁層2Aの厚み t_2 と電極3との厚み t_1 は、同一
25 又は略同一とされる。後者の場合には、 t_2 が t_1 よりも大きい（ $t_2 > t_1$ ）場合と、その逆の場合（ $t_2 < t_1$ ）がある。 $t_2 > t_1$ の場合において、 t_2 の大きさは、例えば、第1絶縁層2Aがハンダ層39の下面を越えて下方に突出しない程度とする。一方、 $t_2 < t_1$ の場合には、 t_2 の大きさは以下に述べる範囲内とする。まず、チップ抵抗器A1を単純支持梁とみなし（一对の電極3により抵
30 抗体1の両端が支持されている）、さらに抵抗体1が、等分布荷重を受けて弾性変形するとみなす。この場合、抗体1に生じる最大曲げ応力 $\sigma_{\max}$ および最大

撓み $\delta_{\max}$ は、以下の数式 1 および 2 により与えられる。

$$\sigma_{\max} = \frac{wl^2}{8Z} \quad \dots (1)$$

$$\delta_{\max} = \frac{5w \cdot s_1^4}{384EI} \quad \dots (2)$$

ここで、 w は抵抗体 1 に負荷される等分布荷重、 E は抵抗体 1 の縦弾性係数、
5 s_1 は電極 3 間の寸法、 Z 、 I は以下の数式 3、4 により定義される抵抗体 1 の断面係数、および断面二次モーメントである。

$$Z = \frac{1}{6} b \cdot t_3^2 \quad \dots (3)$$

$$I = \frac{1}{12} b \cdot t_3^3 \quad \dots (4)$$

ここで、 b は抵抗体 1 の幅、 t_3 は抵抗体 1 の厚みである。数式 1 ~ 4 より、
10 最大曲げ応力 $\sigma_{\max}$ が弾性限度 σ_y に達するときの最大撓み $\delta_{\max}$ を求めると数式 5 に表されるものとして得られる。

$$\delta_{\max} = \frac{5}{24} \cdot \frac{\sigma_y}{E} \cdot \frac{s_1^2}{t_3} \quad \dots (5)$$

そして、厚み t_2 が厚み t_1 よりも小さい場合には、以下の数式 6 の関係が成立すればよい。すなわち、厚み t_1 、 t_2 の差が数式 6 に示される範囲内にあれば、抵抗体 1 の電極間部分は、第 1 絶縁層 2 A の表面が電極 3 と同一高さとなるまで撓み、その後は、回路基板の実装面に支持されることとなる（回路基板の実装面がフラットであると仮定している）。したがって、抵抗体 1 に生じる最大曲げ応力 $\sigma_{\max}$ が弾性限度 σ_y に達することは無く、抵抗体 1 の損傷防止効果が得られる。
15

$$t_1 - t_2 < \frac{5}{24} \cdot \frac{\sigma_y}{E} \cdot \frac{s_1^2}{t_3} \quad \dots (6)$$

本発明という弾性限度とは、鉄鋼材料などの場合には降伏応力の意であり、また非鉄材料の場合には 0.2% 耐力を意味している。上述の実施例においては、抵抗体 1 を形成する Ni-Cu 系合金、Cu-Mn 系合金、Ni-Cr 系合金などは非鉄材料である。従って、弾性限度 σ_y としてはこれらの材料の 0.2% 耐力を用いるのが適切である。
25

上記数式 6 の右辺に代入される数値の一例は以下のとおりである。電極 3 間の寸法 $s_1 = 5 \text{ mm}$ 、抵抗体 1 の厚み $t_3 = 0.5 \text{ mm}$ 、抵抗体 1 の縦弾性係数 $E = 130 \text{ GPa}$ 、および 0.2% 耐力 $\sigma_y = 360 \text{ MPa}$ 。この場合には、数式 6 より、 $t_1 - t_2$ は約 $30 \mu\text{m}$ 未満となる。なお、ここに挙げた数値は単なる一例にすぎず、個々のチップ抵抗器について適宜設定されるべきものである。数値設定には、例えば、抵抗体 1 の材質、チップ抵抗器のサイズ、実装対象物（回路基板など）との相対的位置関係、抵抗体 1 の損傷を規定する基準量（撓み量、応力値）などが考慮される。

図 7 は、本発明の第 2 実施例に基づくチップ抵抗器 A 2 を示す。このチップ抵抗器 A 2 は、以下で述べる点を除き、上記第 1 実施例のチップ抵抗器 A 1 と同じ構成を有している。すなわち、第 1 実施例においては、第 1 絶縁層 2 A の厚みは均一とされているが、第 2 実施例においては、第 1 絶縁層 2 A の厚みは非均一である。具体的には、図 7 に示すように、第 2 実施例の第 1 絶縁層 2 A は、台形状断面を有している。台形の中央部の厚み（すなわち第 1 絶縁層の最大厚み） t_2' は、電極 3 の厚み t_1 と同一あるいは略同一である。このような構成によっても、チップ抵抗器 A 2 に加えられる衝撃力を、一対の電極 3 と第 1 絶縁層 2 A とによって負担することができる。

図 8 A および 8 B は、本発明の第 3 実施例に基づくチップ抵抗器 A 3 を示す。図 8 B から理解されるように、チップ抵抗器 A 3 においては、抵抗体 1 の下面に 4 つの電極 3 が設けられている。抵抗体 1 の下面の領域のうち、4 つの電極 3 が設けられていない領域は、第 1 絶縁層 2 A によって覆われている。その他の構成については、チップ抵抗器 A 3 は、第 1 実施例のチップ抵抗器 A 1 と実質的に同一である。

チップ抵抗器 A 3 は、例えば次のような使用が可能となる。すなわち、4 つの電極 3 のうち、2 つの電極 3 を電流用電極として用いるとともに、残りの 2 つ電極 3 を電圧用電極として用いる。電気回路の電流検出を行なう場合、一対の電流用電極 3 については電気回路の電流路に直列に接続する。一対の電圧用電極 3 には電圧計を接続する。チップ抵抗器 A 3 の抵抗値は既知であるため、このチップ抵抗器 A 3 の抵抗体 1 における電圧降下を上記電圧計を利用して測定する。この測定値をオームの式にあてはめることにより、抵抗体 1 に流れる電流の値を知ることが可能となる。

本発明のチップ抵抗器において、4つより多くの電極を設けるようにしてもよい。電極の総数を多くした場合、例えばそれらのうちの一部の電極のみを使用することも可能である。

図9 Aおよび9 Bは、本発明の第4実施例に基づくチップ抵抗器A 4を示す。

- 5 図9 Bに示すように、抵抗体1の下面には、3対の電極3 a, 3 b, 3 cが設けられている。第1対の電極3 aは、距離 s_3 だけ相互に離間している。同様に、第2対の電極3 bは距離 s_4 だけ、第3対の電極3 cは距離 s_5 だけ相互に離間している。図に示した例では、 $s_3 > s_4 > s_5$ となるように設定されているが、本発明がこれに限定されるわけではない。また、各ペアのうち、右側の電極3 a
10 ~ 3 cは、抵抗体1の右側端部に沿って配されているが、別の配置としてもよい。

- 上述したチップ抵抗器A 3, A 4も、第1実施例のチップ抵抗器A 1と同様の方法で製造することができる。同方法によれば、絶縁層2 Aの基となる絶縁層2 A'は厚膜印刷によりパターン形成される。このために、電極3の個数、
15 形状および配置などの異なるパターンに、容易に対応することができる。

- 図10は、本発明の第5実施例に基づくチップ抵抗器A 5を示す。このチップ抵抗器A 5は、抵抗体1の2つの対向する側面10 cを覆う第3絶縁層2 Cが設けられていることを除けば、第1実施例のチップ抵抗器A 1と実質的に同じ構成を有している。このような構成によれば、上記側面10 cに溶融ハンダ
20 等が付着することを防止することができる。第3絶縁層2 Cは、図6 Aに示すバー状の抵抗体材料1 A'の側面に絶縁層を形成することにより、容易に設けることができる。

- 本発明につき、以上のように説明したが、これを他の様々な態様に改変し得ることは明らかである。このような改変は、本発明の思想及び範囲から逸脱するものではなく、当業者に自明な全ての変更は、以下における請求の範囲に含まれるべきものである。
25

請求の範囲

1. 電極形成面を含む抵抗体と、
前記電極形成面に設けられた少なくとも2つの電極と、
5 前記電極形成面に設けられた絶縁層と、を具備しており、
前記電極形成面は、前記2つの電極の間に位置するとともに前記絶縁層によって覆われた電極間領域を含んでおり、前記絶縁層は、前記電極の厚みと同一あるいは略同一である厚みを有している、チップ抵抗器。
- 10 2. 前記絶縁層の厚みは前記電極の厚みよりも小さく、前記絶縁層の厚みと前記電極の厚みとの差は、前記抵抗体が荷重を受けて撓む場合において、前記抵抗体が破損する前に、前記絶縁層が平坦な実装面に当接するように設定されている、請求項1に記載のチップ抵抗器。
- 15 3. 前記絶縁層の厚みは前記電極の厚みよりも小さく、前記絶縁層と前記電極との厚みの差は、前記抵抗体に発生する最大曲げ応力 $\sigma_{\max}$ が前記抵抗体の弾性限度 σ_y に達するときの前記抵抗体の最大撓み $\delta_{\max}$ よりも小さくなるように設定されている、請求項1に記載のチップ抵抗器。
- 20 4. 前記絶縁層は、厚膜印刷により形成されたものである、請求項1に記載のチップ抵抗器。
5. 抵抗体材料部材の電極形成面に、絶縁層をパターン形成する工程と、
前記電極形成面のうち、前記絶縁層が形成されていない領域に、前記絶縁
25 層の厚みと同一あるいは略同一の厚みを有する導電層を形成する工程と、
前記抵抗体材料部材を複数のチップ状抵抗体に分割する工程と、を具備しており、
前記抵抗体材料の分割は、前記複数のチップ状抵抗体の各々が、前記絶縁層の一部と、この絶縁層の一部によって離間された電極部とを含むように行われることを特徴とする、チップ抵抗器の製造方法。
30

6. 前記絶縁層のパターン形成は、厚膜印刷により行なわれる、請求項 5 に記載の製造方法。

5 7. 前記導電層の形成は、メッキ処理により行なわれる、請求項 5 に記載の製造方法。

8. 前記抵抗体材料部材の分割は、打ち抜きにより行われる、請求項 5 に記載の製造方法。

10 9. 前記抵抗体材料部材の分割は、切断により行われる、請求項 5 に記載の製造方法。

FIG.1

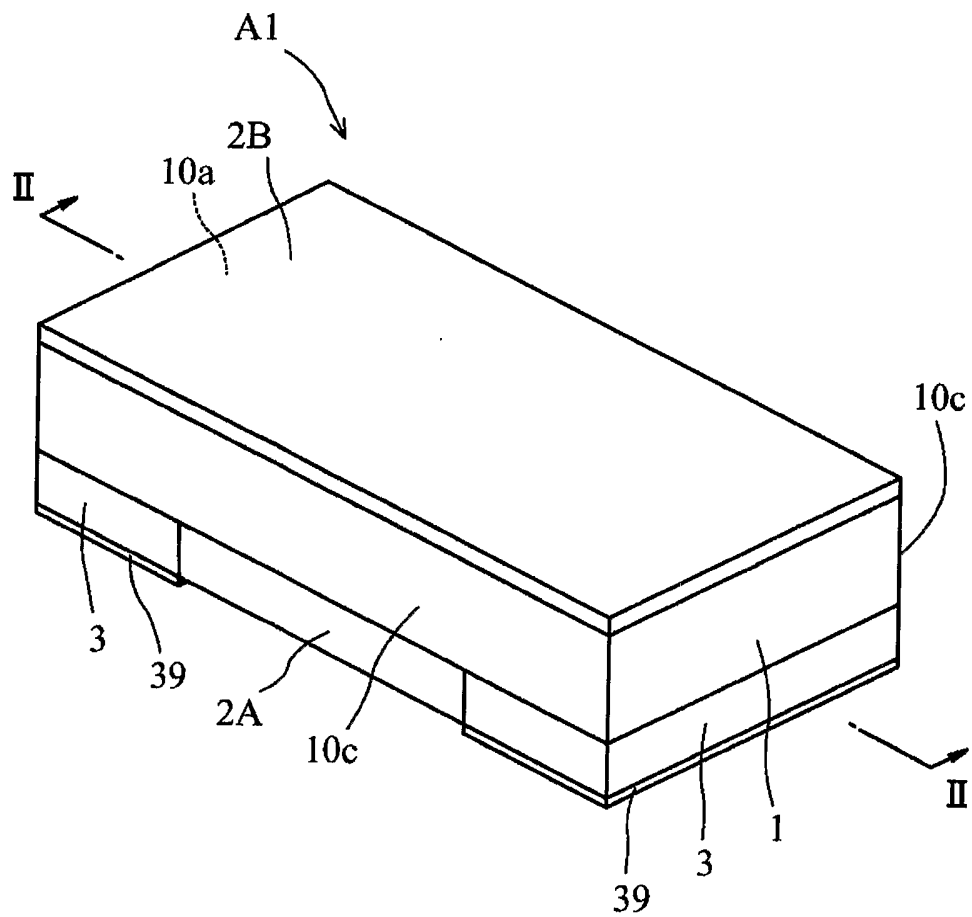


FIG.2

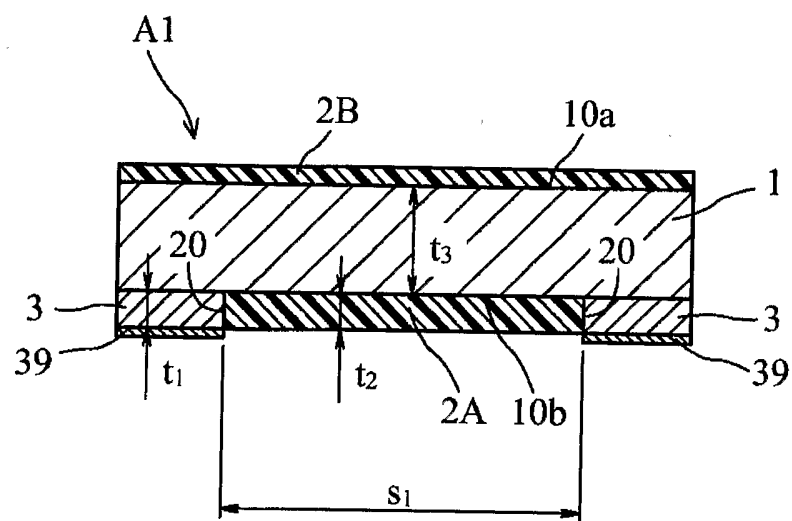


FIG.3A

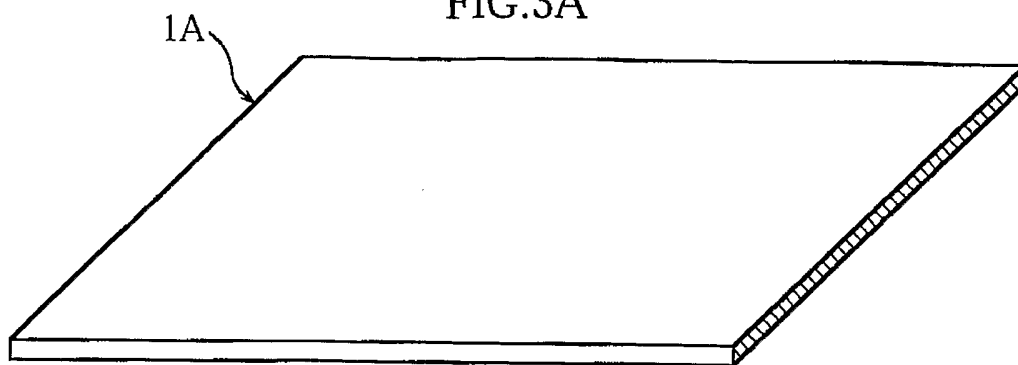


FIG.3B

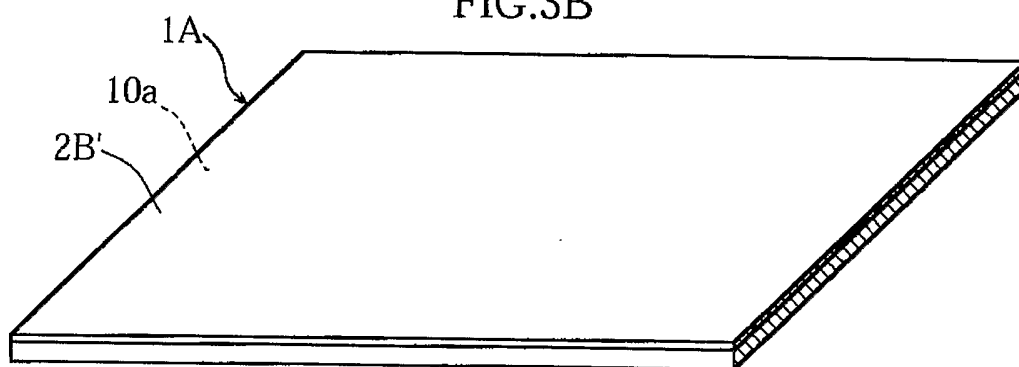


FIG.3C

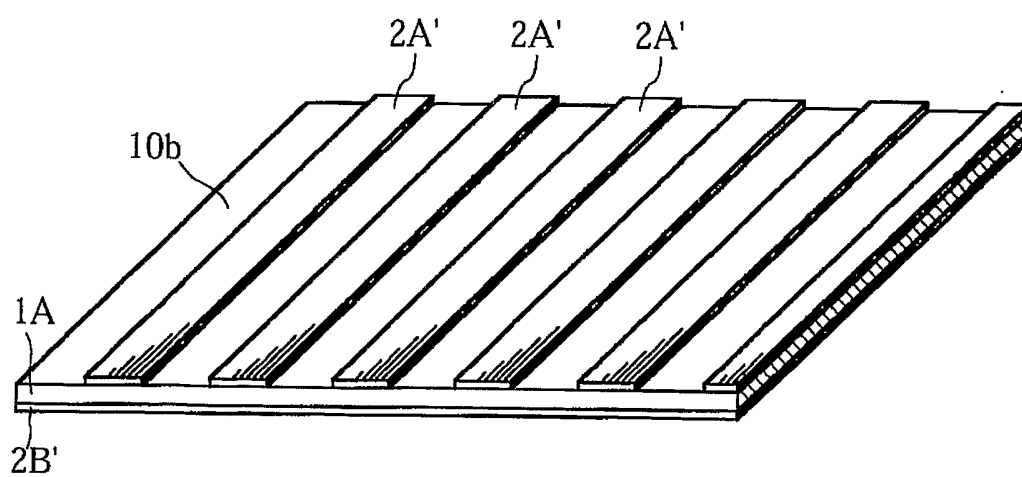


FIG.4A

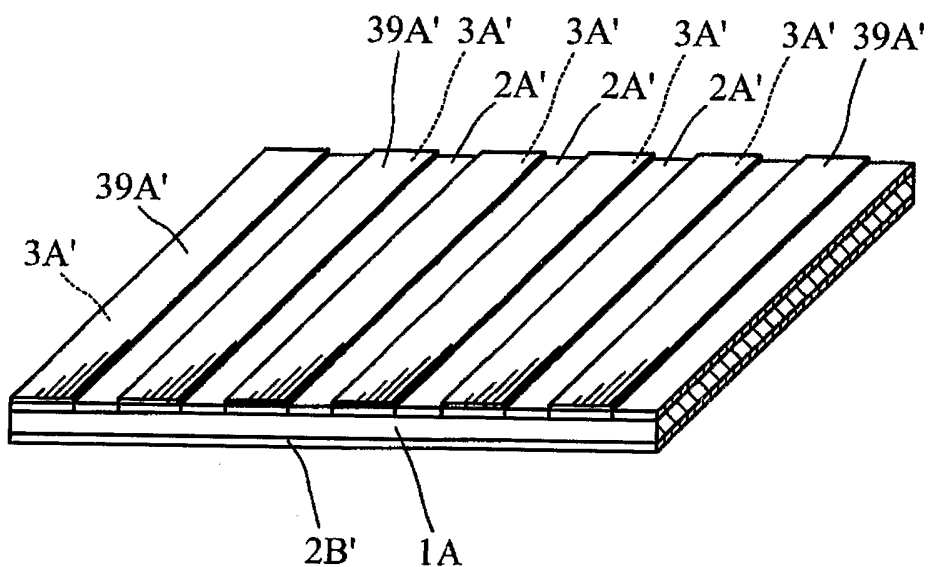
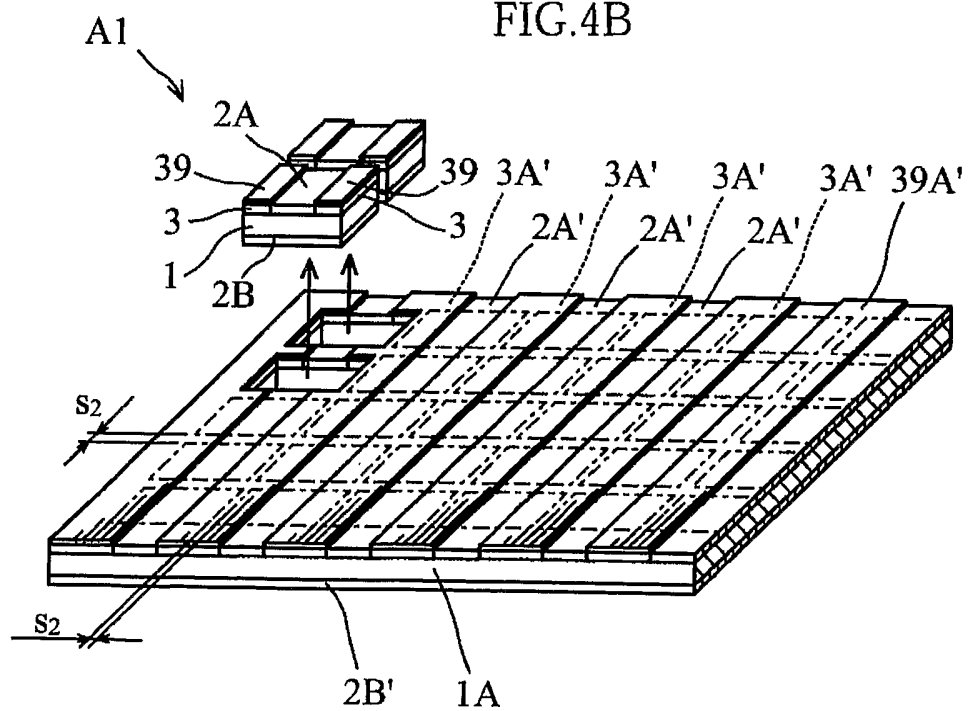


FIG.4B



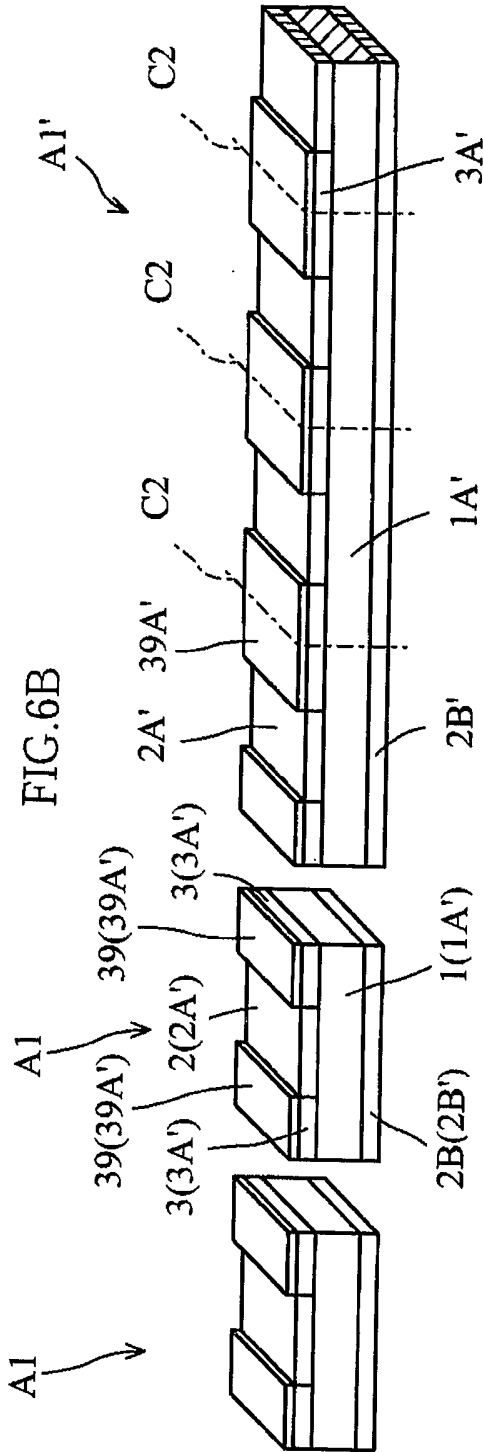
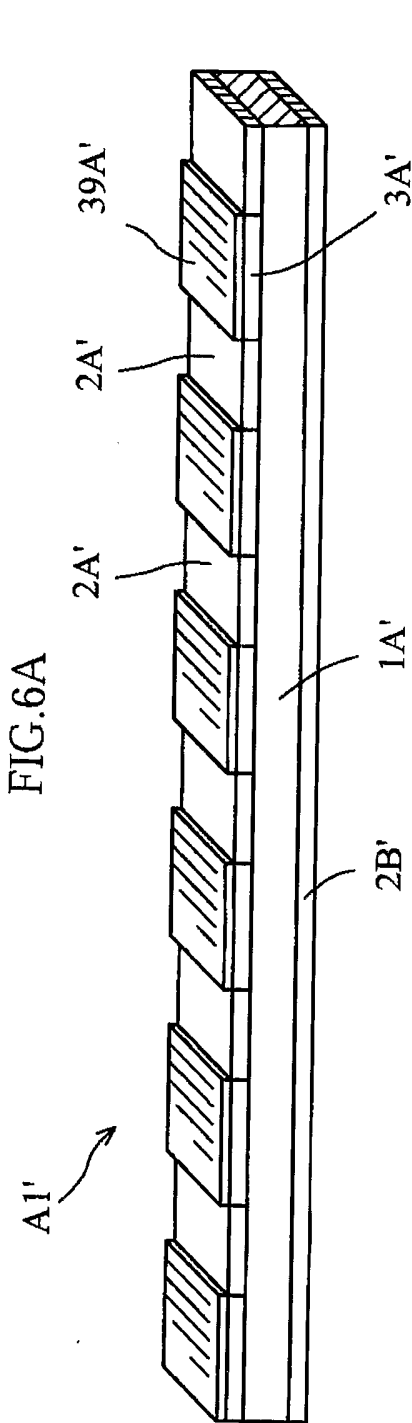


FIG.7

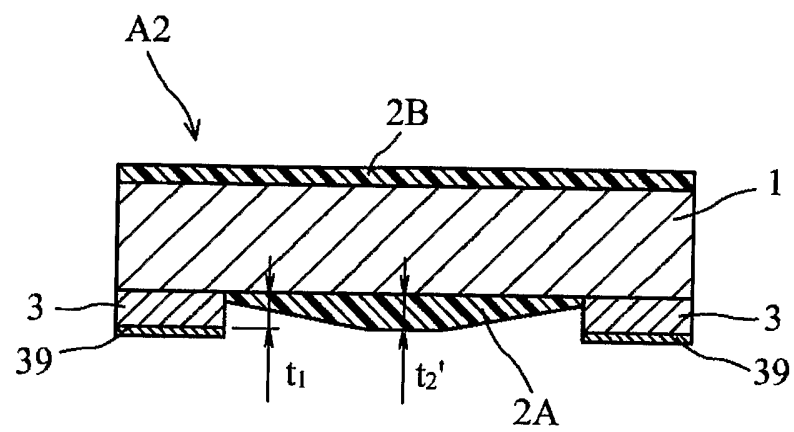


FIG.8A

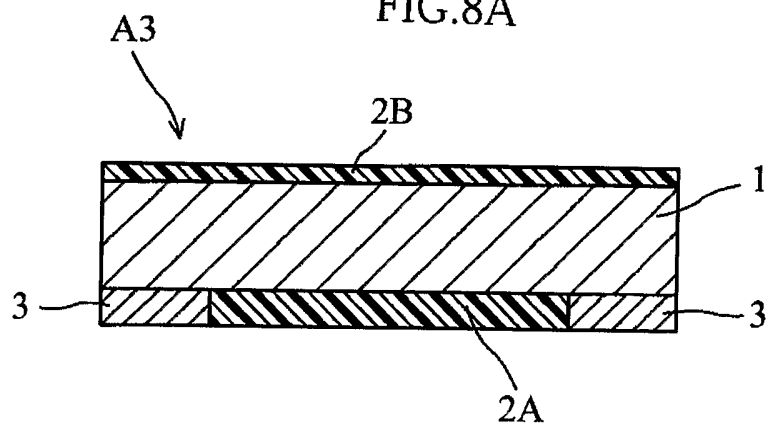


FIG.8B

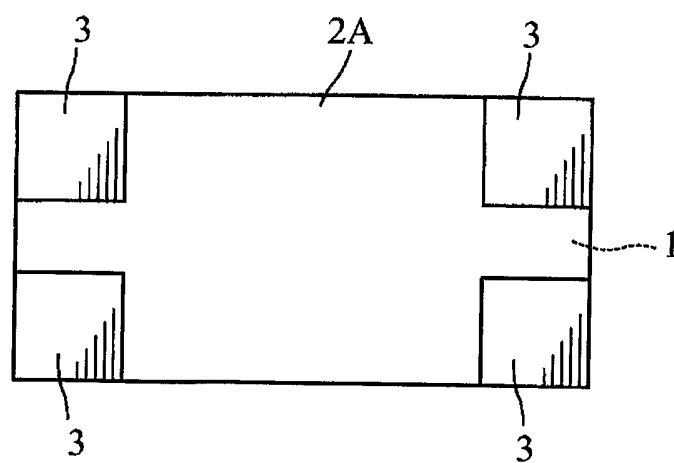


FIG.9A

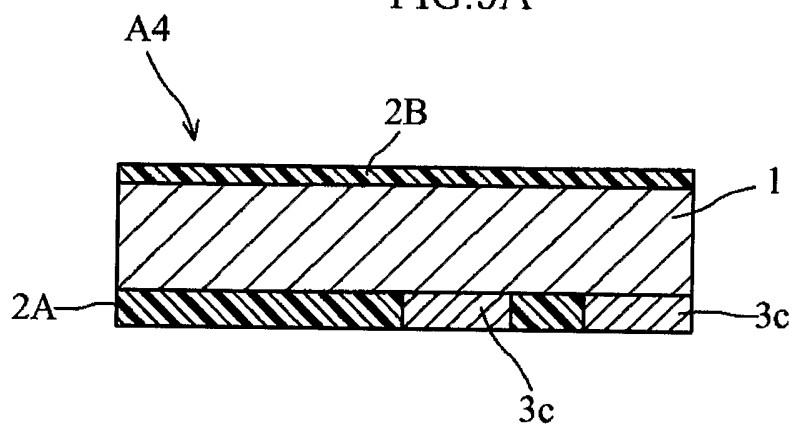


FIG.9B

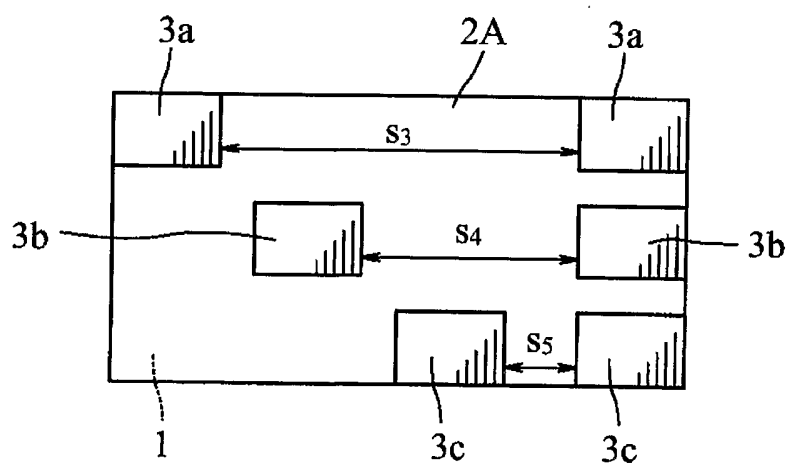


FIG.10

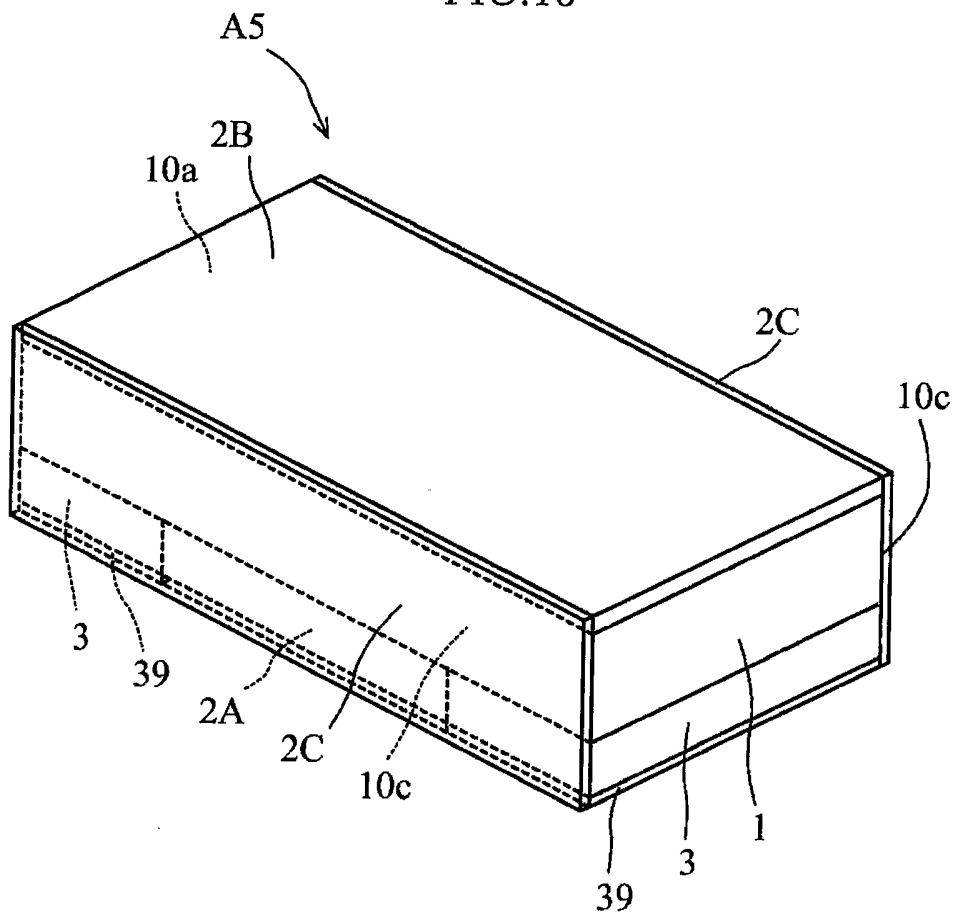


FIG.11
従来技術

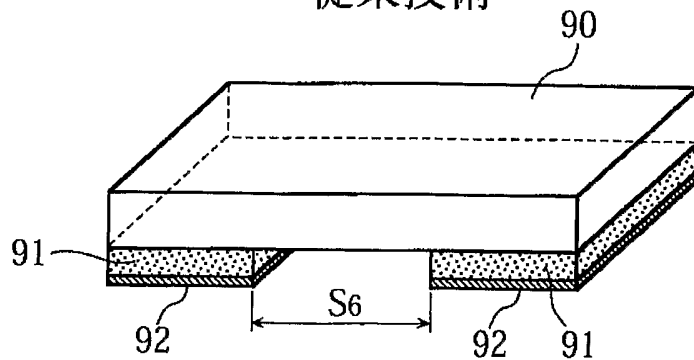
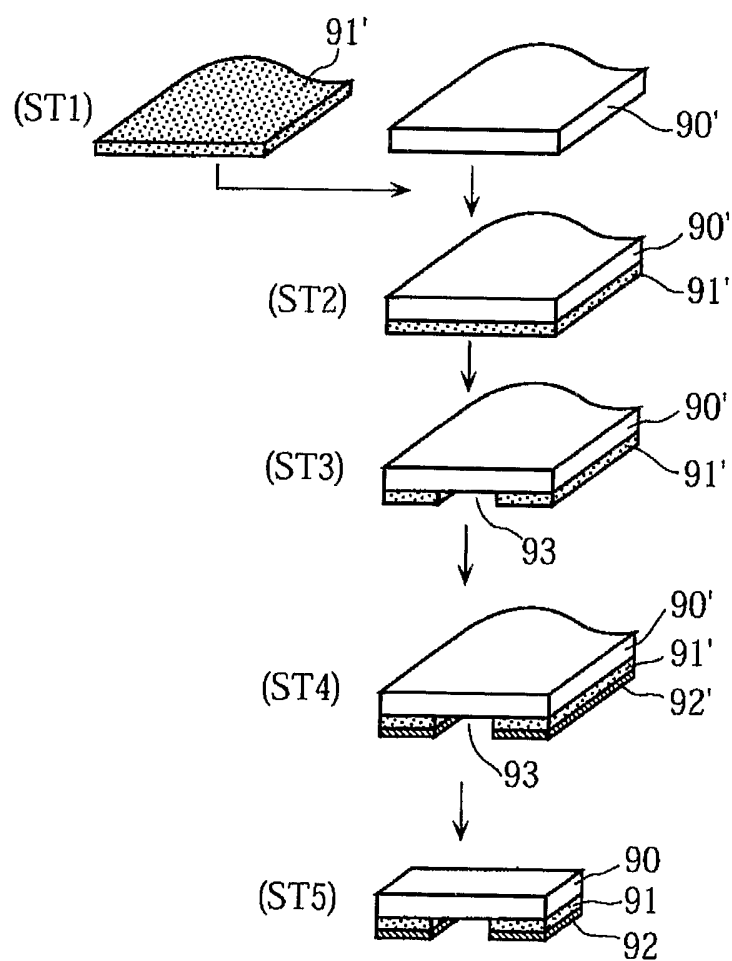


FIG.12
従来技術



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005038

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01C7/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01C7/00, 3/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-57009 A (Koa Kabushiki Kaisha), 22 February, 2002 (22.02.02), Full text; all drawings (Family: none)	1-9
Y	JP 8-64401 A (Rohm Co., Ltd.), 08 March, 1996 (08.03.96), Full text; all drawings (Family: none)	1-9
Y	JP 8-236324 A (Dale Electronics, Inc.), 13 September, 1996 (13.09.96), Full text; all drawings & US 5604477 A & EP 716427 A	1-9
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 July, 2004 (05.07.04)		Date of mailing of the international search report 20 July, 2004 (20.07.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005038

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 47-27876 Y1 (Fuji Sangyo Kabushiki Kaisha), 24 August, 1972 (24.08.72), Full text; all drawings (Family: none)	5
Y	JP 2001-118701 A (Koa Kabushiki Kaisha), 27 April, 2001 (27.04.01), Full text; all drawings (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01C 7/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01C 7/00 3/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2002-57009 A (コア株式会社) 2002. 02. 22, 全文, 全図 (ファミリーなし)	1-9
Y	J P 8-64401 A (ローム株式会社) 1996. 03. 08, 全文, 全図 (ファミリーなし)	1-9
Y	J P 8-236324 A (ディール エレクトロニクス, インコーポレイテッド) 1996. 09. 13, 全文, 全図 & US 5604477 A & EP 716427 A	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05. 07. 2004

国際調査報告の発送日

20. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

重田 尚郎

5 R

9298

電話番号 03-3581-1101 内線 3565

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 47-27876 Y1 (富士産業株式会社) 1972. 08. 24, 全文, 全図 (ファミリーなし)	5
Y	JP 2001-118701 A (コア株式会社) 2001. 04. 27, 全文, 全図 (ファミリーなし)	7