(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101471349 B
(45)授权公告日 2012.11.14

(21)申请号 200810189727.3
(22)申请日 2008.12.26
(30)优先权数据
2007-339385 2007.12.28 JP
(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川县
(72)发明人 山崎舜平 高桥秀和 山田大干 门马洋平 安达广树
(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 李玲
(51)Int.Cl.
H01L 27/12(2006.01)
H01L 21/84(2006.01)
H01L 21/78(2006.01)
H01L 21/762(2006.01)
H01L 21/20(2006.01)
H01L 21/50(2006.01)

(56)对比文件
CN 1835196 A,2006.09.20,
CN 1835196 A,2006.09.20,
CN 1391287 A,2003.01.15,
US 2006121691 A1,2006.06.08,
CN 1574236 A,2005.02.02,
CN 1825590 A,2006.08.30,

审查员 赵哲

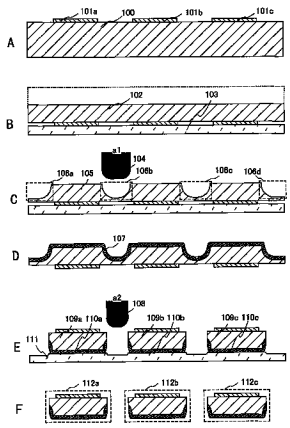
权利要求书 1 页 说明书 31 页 附图 19 页

(54)发明名称

半导体装置以及半导体装置的制造方法

(57)摘要

本发明的目的之一在于减少起因于外部压力的半导体集成电路的破损。此外，本发明还有一个目的是提高薄型化半导体集成电路的制造成品率。其方法如下：使用从单晶半导体衬底分离的单晶半导体层作为半导体集成电路所具有的半导体元件，然后以树脂层覆盖设置有半导体集成电路的被较薄地形成的衬底，在切断工序中在支撑衬底上形成用来切断半导体元件层的槽并在形成有槽的支撑衬底上设置树脂层，然后将树脂层以及支撑衬底在槽部进行切断以将其切割成多个半导体集成电路。



CN 101471349 B

1. 一种制造多个半导体集成电路的方法，包括如下步骤：

对单晶半导体衬底添加离子以在距所述单晶半导体衬底的一个面的一定的深度处形成脆化层；

提供支撑衬底；

在所述单晶半导体衬底的一个面或者所述支撑衬底上形成绝缘层；

在所述单晶半导体衬底与所述支撑衬底以夹着所述绝缘层的方式彼此重合的状态下，进行使所述脆化层中产生裂缝并使所述单晶半导体衬底沿着所述脆化层分离的热处理，以从所述单晶半导体衬底将单晶半导体层形成在所述支撑衬底上；

形成多个含有所述支撑衬底上的所述单晶半导体层的半导体元件层；

减薄所述支撑衬底的厚度；

在所述支撑衬底中在所述多个半导体元件层之间形成槽；

在形成有所述槽的所述支撑衬底上形成树脂层；以及

在所述槽中对所述支撑衬底以及所述树脂层进行切断。

2. 根据权利要求 1 所述的制造多个半导体集成电路的方法，

其中，在所述槽中对所述支撑衬底以及所述树脂层的切断是从所述支撑衬底一侧进行的。

3. 根据权利要求 1 或者 2 所述的制造多个半导体集成电路的方法，其中所述多个半导体集成电路中的至少一个安装在具有绝缘表面的衬底上。

4. 根据权利要求 3 所述的制造多个半导体集成电路的方法，其中使用玻璃衬底作为所述具有绝缘表面的衬底。

5. 根据权利要求 1 或者 2 所述的制造多个半导体集成电路的方法，其中所述多个半导体集成电路中的至少一个安装在具有绝缘表面并设置有像素部的衬底上。

6. 根据权利要求 5 所述的制造多个半导体集成电路的方法，其中使用玻璃衬底作为所述具有绝缘表面的衬底。

7. 根据权利要求 1 或者 2 所述的制造多个半导体集成电路的方法，其中在所述槽中切断所述支撑衬底以及所述树脂层的切断面的宽度窄于所述槽的宽度。

8. 根据权利要求 1 或者 2 所述的制造多个半导体集成电路的方法，其中所述槽使用切割器形成。

9. 根据权利要求 1 或者 2 所述的制造多个半导体集成电路的方法，其中使用玻璃衬底作为所述支撑衬底。

10. 一种半导体装置的制造方法，包括：

根据权利要求 1 或者 2 所述的方法制造多个半导体集成电路，其中所述的多个半导体集成电路之一采用 COG（玻璃上芯片）方式安装在所述半导体装置上。

11. 一种半导体装置的制造方法，包括：

根据权利要求 1 或者 2 所述的方法制造多个半导体集成电路，其中所述的多个半导体集成电路之一采用 TAB（载带自动键合）方式安装在所述半导体装置上。

半导体装置以及半导体装置的制造方法

技术领域

[0001] 本发明涉及安装有半导体集成电路的半导体装置以及半导体装置的制造方法。

背景技术

[0002] 作为具有矩阵型显示功能的半导体装置，现知的有无源矩阵型和有源矩阵型结构。在具有矩阵型显示功能的半导体装置中，一般需要设置有用于驱动像素矩阵的半导体集成电路。但是，因为矩阵的规模为大至数百行的大规模的缘故，需要使用用于将长方形的IC封装、半导体芯片等的集成电路的端子与衬底上的电布线连接的布线，所以相对于显示画面周围部分的面积变得不可忽视的大。

[0003] 作为解决该问题的办法，公开有一种可以进一步减小周围部分面积的半导体集成电路的安装方法（例如，参照专利文献1至3。）。例如，在专利文献1中，公开了一种将半导体集成电路形成在与像素矩阵的一边几乎相同长度的细长的衬底（称为棒(stick)、或棒晶(stickcrystal)）上，并将其与端子部相连接的方法。

[0004] [专利文献1]日本专利申请公开H7-14880号公报

[0005] [专利文献2]日本专利申请公开H8-250745号公报

[0006] [专利文献3]日本专利申请公开H8-264796号公报

[0007] 但是，在半导体装置的制造工序中，当进行半导体集成电路的安装时，有施加有如压力等的外部压力的情况。有可能发生起因于该种外部压力的半导体集成电路的破损。

发明内容

[0008] 鉴于上述问题，本发明的目的在于：减少起因于外部压力的半导体集成电路的破损；薄化设置有半导体集成电路的衬底；提高薄型化半导体集成电路的制造成品率；以及，降低薄型化半导体集成电路的制造成本。

[0009] 在本发明中，将具有另行形成在支撑衬底上的半导体元件层的半导体集成电路用作驱动电路(driver)而安装在具有绝缘表面的衬底上。半导体集成电路与形成在具有绝缘表面的衬底上的像素部电连接而用作驱动电路。半导体集成电路所含有的半导体元件使用从单晶半导体衬底分离的单晶半导层。

[0010] 在本发明中，通过对支撑衬底进行切断，可以将多个半导体集成电路以芯片（或细长的棒）状取出。在本发明中，作为切断方法，首先对支撑衬底的厚度进行减薄加工，由此缩短用于切断的工序时间以及减轻用于切断的如切割器等的加工用具的磨损。并且不是直接进行切断工序，而是首先在支撑衬底上形成用来切断半导体元件层的槽，并在形成有槽的支撑衬底上设置树脂层。然后，将树脂层以及支撑衬底在槽部进行切断，以将其切断（切割）成多个半导体集成电路。在本发明中，槽还指包括槽周围凹部区域的槽部。

[0011] 通过将对树脂层以及支撑衬底进行切断的切断面的宽度窄于槽的宽度，可以使形成在槽中的树脂层残存在支撑衬底侧面上。由此，在半导体集成电路中，没有设置半导体元件层的面以及侧面的一部分成为被树脂层覆盖的结构。

[0012] 因此，在本发明的半导体装置所包括的半导体集成电路中，支撑衬底的侧面具有台阶，且衬底的宽度尺寸与台阶相比其前端部分要小，所以也可以称为凸字形状。另外，在支撑衬底的截面上，侧面为阶梯状的梯形，并且该阶梯状的梯形其上部的厚度比下部的厚度要厚。根据槽的形状，梯形的上部变成朝向下部弯曲的形状，且树脂层接触的支撑衬底的侧面具有向下面扩展的曲面。另外，衬底的底面以及上面为四边形，且底面的面积比上面的面积大。

[0013] 如上所述，由于本发明的半导体装置的形状复杂，所以容易辨别半导体装置的上下，还可以减少机械等的自动操作时的误识。

[0014] 半导体集成电路可以通过 COG（玻璃上芯片）方式、TAB（载带自动键合）方式安装到形成有像素部的具有绝缘表面的衬底上。

[0015] 由于设置有半导体集成电路的被较薄地形成的衬底被树脂层覆盖，所以在工序上较易处理且不易发生破损等的问题。所以，可以高成品率地生产更薄型的具有高性能的半导体装置。

[0016] 在本发明中，作为安装半导体集成电路作为驱动电路 (driver) 并具有显示功能的半导体装置，既可以是无源矩阵型也可以是有源矩阵型。还可以安装半导体集成电路作为存储元件的驱动电路，从而制造具有存储功能的半导体装置。

[0017] 本发明之一的一种半导体装置，包括：设置有包括形成在支撑衬底上的单晶半导体层的半导体元件层的半导体集成电路，其中支撑衬底的与半导体元件层的形成面相反的面以及其侧面的一部分被树脂层覆盖。

[0018] 本发明之一的一种半导体装置，包括：具有绝缘表面的衬底上的像素部；与像素部电连接并且安装在具有绝缘表面的衬底上的半导体集成电路，其中，半导体集成电路具有包括设置在支撑衬底上的单晶半导体层的半导体元件层，并且支撑衬底的与半导体元件层的形成面相反的面以及其侧面的一部分被树脂层覆盖。由于支撑衬底通过磨削、研磨工序减薄了厚度，所以可以使具有绝缘表面的衬底的厚度更薄。

[0019] 本发明之一的一种半导体装置的制造方法，包括如下步骤：从单晶半导体衬底的一个面进行离子添加，以在离单晶半导体衬底的一个面有一定的深度中形成脆化层；在单晶半导体衬底的一个面上，或者在支撑衬底上形成绝缘层，在单晶半导体衬底与支撑衬底以夹着绝缘层的方式重合的状态下，使脆化层中产生裂缝，并进行使单晶半导体衬底沿着脆化层分离的热处理，从单晶半导体衬底将单晶半导体层形成在支撑衬底上；在支撑衬底上形成多个含有单晶半导体层的半导体元件层；将支撑衬底的厚度减薄；在支撑衬底的多个半导体元件层之间形成槽；在形成有槽的支撑衬底上形成树脂层；对支撑衬底的槽以及树脂层进行切断而形成多个半导体集成电路。并且，例如，将半导体集成电路安装在设置有像素部的具有绝缘表面的衬底（例如玻璃衬底）上。

[0020] 当对形成有槽的支撑衬底以及树脂层进行切断时，可以从支撑衬底或树脂层一侧进行切断。当在支撑衬底上形成对准标记的情况，若从支撑衬底一侧使用如切割器等的切割工具进行切断，则可以提高切断位置的准确性。

[0021] 根据本发明，可以高成品率地制造薄型且具有高性能的半导体装置。

[0022] 另外，还可以提供即使薄型也较易处理且可靠性高的半导体装置。

附图说明

[0023] 图 1A 至 1F 是说明本发明的半导体集成电路的制造方法的图；

[0024] 图 2 是说明本发明的半导体装置的制造方法的图；

[0025] 图 3A 至 3C 是说明本发明的半导体装置的图；

[0026] 图 4A 至 4D 是说明本发明的半导体集成电路的制造方法的图；

[0027] 图 5A 至 5C 是说明本发明的半导体集成电路的制造方法的图；

[0028] 图 6A 至 6E 是说明本发明的半导体集成电路的制造方法的图；

[0029] 图 7A 至 7D 是说明本发明的半导体集成电路的制造方法的图；

[0030] 图 8A 和 8B 是说明本发明的半导体装置的图；

[0031] 图 9A 和 9B 是说明本发明的半导体装置的图；

[0032] 图 10 是表示应用本发明的电子设备的主要结构的框图；

[0033] 图 11A 至 11D 是表示应用本发明的电子设备的图；

[0034] 图 12A 至 12D 是说明本发明的半导体集成电路的制造方法的图；

[0035] 图 13A 至 13D 是说明本发明的半导体集成电路的制造方法的图；

[0036] 图 14A 至 14C 是说明本发明的半导体集成电路的制造方法的图；

[0037] 图 15A 至 15E 是说明本发明的半导体集成电路的制造方法的图；

[0038] 图 16A 至 16D 是说明本发明的半导体集成电路的制造方法的图；

[0039] 图 17A 至 17D 是说明本发明的半导体集成电路的制造方法的图；

[0040] 图 18A 至 18E 是说明本发明的半导体集成电路的制造方法的图。

具体实施方式

[0041] 下面，关于本发明的实施方式将参照附图给予详细说明。但是，本发明不局限于下述说明，所属技术领域的普通技术人员可以很容易地理解一个事实，就是本发明的方式和详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此，本发明不应该被解释为仅限定在本实施方式所记载的内容中。注意，在以下说明的本发明的结构中，在不同附图中使用相同的附图标记来表示相同的部分或具有相同功能的部分，而省略其重复说明。

[0042] 实施方式 1

[0043] 在本实施方式中，参照图 1A 至图 5C 对以使其具有更为薄型化以及小型化为目的的半导体装置、以及高成品率地制造该半导体装置的方法进行详细说明。

[0044] 在本实施方式中，将具有另行形成在支撑衬底上的半导体元件层的半导体集成电路用作驱动电路 (driver)，而安装在具有绝缘表面的衬底上。半导体集成电路与形成在具有绝缘表面的衬底上的像素部电连接，并用作驱动电路。半导体集成电路所含有的半导体元件使用从单晶半导体衬底分离的单晶半导体层。

[0045] 图 1A 示出具有设置在支撑衬底 100 上的单晶半导体层的半导体元件层 101a、101b、101c。半导体元件层 101a、101b、101c 所含有的单晶半导体层是从单晶半导体衬底分离的单晶半导体层。

[0046] 接下来，进行通过磨削、研磨处理减薄支撑衬底 100 的厚度的工序。在用来固定进行工序时的支撑衬底 100 的固定胶带 103 上，以面向半导体元件层 101a、101b、101c 的方

式固定支撑衬底 100，并对支撑衬底 100 进行加工，以作为厚度薄的支撑衬底 102（参照图 1B）。假设支撑衬底 100 是厚度为 0.5mm 的玻璃衬底时，优选将支撑衬底 102 薄型化为其一半的 0.25mm 至 0.3mm 左右。通过进行用来减薄支撑衬底的厚度的加工，可以缩短用来切断支撑衬底的工序时间，以及减少用于切断的如切割器等的加工用具的磨损。可以适当的组合磨削处理以及研磨处理而使用，在本实施方式中，首先使用磨削设备进行磨削，然后使用研磨设备进行研磨处理而使表面平坦。作为研磨处理，还可以进行化学机械研磨。

[0047] 在本发明中，通过对支撑衬底进行切断，将多个半导体集成电路以芯片（或细长的棒）状取出。作为切断工序，不是直接进行，而是首先使用切割器 104 的切割刀片，在支撑衬底 102 上形成用来切断半导体元件层 101a、101b、101c 的槽 106a、106b、106c、106d（参照图 1C）。当在支撑衬底 105 中形成槽 106a、106b、106c、106d 时意图性地使支撑衬底 105 残留。将残留的支撑衬底 105 的厚度形成为 30μm 至 50μm 左右即可。

[0048] 接下来，在形成有槽 106a、106b、106c、106d 的支撑衬底 105 上形成树脂层 107（参照图 1D）。将树脂层 107 的膜厚度形成为 1μm 至 20μm 即可。作为树脂层的材料，在形成树脂层之后的工序中（例如，安装半导体集成电路时）进行加热处理的情况下，使用可以承受其加热温度的树脂材料。

[0049] 若形成用作吸收冲击材料的树脂层，则可以进一步使半导体集成电路赋予耐压性。例如，在本发明的设置有树脂层的半导体集成电路中，即使对其施加大约 20N 的压力也可以承受而不会发生破损。

[0050] 作为树脂层，可以使用乙烯树脂、环氧树脂、酚醛树脂、酚醛清漆树脂、丙烯酸树脂、三聚氰胺树脂、氨酯树脂、硅氧烷树脂等的树脂材料。作为树脂层的制造方法，可以使用旋涂法等的涂敷法，另外还可以使用滴喷射法、印刷法、浸渍法、分散器法、刷涂法、喷涂法、流涂法等。

[0051] 然后，将树脂层 107 以及支撑衬底 105 在槽 106a、106b、106c、106d 处进行切断以切断（切割）成多个半导体集成电路。在本实施方式中，将支撑衬底 105 以及树脂层 107 固定在固定胶带 111 上，从支撑衬底 105 一侧通过切割器 108 对槽 106a、106b、106c、106d 上残留的支撑衬底 105 以及树脂层 107 进行切断。通过切割器 108，支撑衬底 105 以及树脂层 107 被切割成支撑衬底 109a、109b、109c、树脂层 110a、110b、110c（参照图 1E）。在本实施方式中，使用切割胶带作为固定胶带 103、111。

[0052] 当对形成有槽的支撑衬底 105 以及树脂层 107 进行切断时，既可以从支撑衬底 105 一侧进行切断也可以从树脂层 107 一侧进行切断。当在支撑衬底 105 上形成对准标记的情况下，若从支撑衬底 105 一侧使用如切割器等的切割工具进行切断，则可以提高切断位置的准确性。

[0053] 根据以上工序，可以形成半导体集成电路 112a、112b、112c（参照图 1F）。通过将对树脂层 107 以及支撑衬底 105 进行切断的切断面的宽度窄于槽的宽度，可以将形成在槽上的树脂层残存在支撑衬底侧面上。

[0054] 在本实施方式中，切割器 104 以及切割器 108 的宽度是指决定处理区域（使用切割器加工的区域）的切割刀片的厚度。

[0055] 由于可以通过切割器 104 的切割刀片的宽度 a1 对槽的宽度进行控制并通过切割器 108 的切割刀片的宽度 a2 对切断面的宽度进行控制，所以使切割器 108 的切割刀片的宽

度 a2 小于切割器 104 的切割刀片的宽度 a1 即可。例如，在本实施方式中，将切割器 104 的切割刀片的宽度 a1 设定为 0.16mm，将切割器 108 的切割刀片的宽度 a2 设定为 0.1mm。

[0056] 由此，在半导体集成电路 112a、112b、112c 中，没有设置半导体元件层 101a、101b、101c 的面以及侧面的一部分成为被树脂层 110a、110b、110c 覆盖的结构。

[0057] 形成在支撑衬底上的槽的形状依据加工方法。在本实施方式中切割器 104 的略带有圆度的切割刀片的形状得到反映，槽 106a、106b、106c、106d 也在图 1C 的截面上成为带有圆度（具有曲度）的形状。当切割刀片的形状为矩形时，槽的形状也成为矩形，可以使切断后的半导体集成电路的支撑衬底的端部也成为具有矩形的形状。

[0058] 图 18A 至 18E 示出使用矩形切割刀片进行加工的例子。图 18A 对应于图 1B，在固定胶带 103 上对设置有半导体元件层 101a、101b、101c 的支撑衬底 102 进行磨削、研磨加工。

[0059] 使用切割器 124 在支撑衬底 102 上形成用来切断半导体元件层 101a、101b、101c 的槽 126a、126b、126c、126d（参照图 18B）。由于切割器 124 使用矩形的切割刀片，所以支撑衬底 125 的槽 126a、126b、126c、126d 在截面图上为矩形。

[0060] 接下来，在形成有槽 126a、126b、126c、126d 的支撑衬底 125 上形成树脂层 127（参照图 18C）。

[0061] 然后，对树脂层 127 以及支撑衬底 125 在槽 126a、126b、126c、126d 处进行切断，而切断（切割）成多个半导体集成电路。在本实施方式中，将支撑衬底 125 以及树脂层 127 固定在固定胶带 131 上，使用切割器 128 从支撑衬底 125 一侧对残留在槽 126a、126b、126c、126d 上的支撑衬底 125 以及树脂层 127 进行切断。通过切割器 128 支撑衬底 125 以及树脂层 127 被切割而成为支撑衬底 129a、129b、129c、129、树脂层 130a、130b、130c（参照图 18D）。

[0062] 可以通过上述工序形成半导体集成电路 132a、132b、132c（参照图 18E）。由于半导体集成电路 132a、132b、132c 中的支撑衬底的形状反映矩形形状的槽 126a、126b、126c、126d 的形状，所以在截面图中成为侧面具有台阶的形状。

[0063] 另外，由于与树脂层相比衬底的厚度较厚为了提高在衬底端部的覆盖性，优选将树脂层形成为厚。为了将树脂层形成为厚也可以采用叠层结构。还可以根据树脂层的结构、膜厚度、或者切断位置自由地改变（使其相异）形成的半导体集成电路的形状。图 17A 至 17D 示出层叠树脂层的例子。

[0064] 图 17A 对应于图 1D，在支撑衬底 105 的设置半导体元件层 101a、101b、101c 的相反的面上形成有树脂层 107。然后，在树脂层 107 上进一步形成树脂层，形成树脂层 113。在本实施方式中，层叠与树脂层 107 相同材料的树脂层（参照图 17B）。与图 1E 相同地，使用切割器 118 对通过设置固定胶带 111 固定的树脂层 113 以及支撑衬底 105 进行切断，成为支撑衬底 109a、109b、109c、树脂层 114a、114b、114c（参照图 17C）。由于通过上述工序形成的半导体集成电路 115a、115b、115c 比图 1F 树脂层形成得厚，所以在各半导体集成电路 115a、115b、115c 中，支撑衬底 109a、109b、109c 与树脂层 114a、114b、114c 的端部成为相一致的形状（参照图 17D）。

[0065] 当使用切割刀片的宽度窄的切割器进行切断时，可以在支撑衬底的槽的区域中将树脂较多地残留在形成的半导体集成电路中。若层叠用作吸收冲击材料的树脂层，则可以

进一步使半导体集成电路赋予耐压性。

[0066] 另外，由于在本发明中形成槽，并在槽上形成树脂层，所以可以在槽底面较厚地形成树脂层。再者由于在形成树脂层之后将树脂层和支撑衬底层叠而进行切割，所以从侧面来看树脂层的端部和支撑衬底的端部一致。由于在侧面上支撑衬底的与半导体元件层的形成面相反的一侧的端部没有露出，所以可以防止支撑衬底的端部的破损、缺口。另外，由于通过层叠将树脂层较厚地形成，可以在半导体集成电路的侧面上拉长支撑衬底的端部与树脂层的端部之间的距离，所以可以进一步减轻对支撑衬底端部的损伤。

[0067] 半导体集成电路可以通过 COG（玻璃上芯片）方式、TAB（载带自动键合）方式安装到形成有像素部的具有绝缘表面的衬底上。如本实施方式所示，由于在半导体集成电路中树脂层没有露出在半导体元件层一侧，所以还可以使其具有对当使用焊料、各向异性导电膜安装半导体集成电路时进行的加热处理的耐热性。

[0068] 图 2 示出将形成在固定胶带 111 上的半导体集成电路 112a 以 COG 方式安装在形成有像素部 156 的具有绝缘表面的衬底 155 上的例子。

[0069] 由于在半导体集成电路 112a、112b、112c 中较薄地形成的支撑衬底 109a、109b、109c 被树脂层 110a、110b、110c 覆盖，所以在工序上较易处理且不易发生破损等的问题。所以，可以高成品率地生产更薄型的具有高性能的半导体装置。

[0070] 在半导体集成电路 112a、112b、112c 中，在半导体元件层表面上设置安装时用作进行电连接的端子的导电层。

[0071] 例如，当使用丝网印刷法形成导电层时，可以通过选择性地印刷将粒径为几 nm 至几十 μm 的导电体粒子溶解或分散在有机树脂中的导电胶来设置。作为导电体粒子，可以使用银 (Ag)、金 (Au)、铜 (Cu)、镍 (Ni)、铂 (Pt)、钯 (Pd)、钽 (Ta)、钼 (Mo) 和钛 (Ti) 等中的任何一种以上的金属粒子、卤化银的微粒子。此外，作为包含在导电膏中的有机树脂可以使用选自用作金属粒子的结合剂、溶剂、分散剂和覆盖剂的有机树脂中的一种或多种。典型为诸如环氧树脂和硅树脂等的有机树脂。此外，当形成导电层时，优选在挤出导电膏之后进行焙烧。另外，也可利用以焊料或无铅焊料为主要成分的微粒子。

[0072] 另外，作为半导体集成电路和与设置在像素部上的元件电连接的布线的连接部分的结构，可以使衬底上的布线与设置在半导体集成电路的电极上的为导电突起物的凸块接触，并将衬底和半导体集成电路之间使用树脂固定。另外，还可以在衬底上的布线和半导体集成电路的电极端子之间设置分散导电粒子的树脂，使用该导电粒子进行半导体集成电路和衬底上的布线的连接，并使用分散导电粒子的有机树脂来进行粘合、固定。另外，可以使用光固化树脂或者热固化树脂或自然固化树脂等作为粘合用树脂。

[0073] 在现有的半导体装置中，扫描用、信号用分别需要 6 个至 10 个的驱动 IC。为此在半导体装置的周围有很多布线复杂地形成。但是，通过安装本实施方式所示的棒状的驱动，不但半导体装置的周围变得十分紧凑，设计上也变得洗练。

[0074] 另外，由于可以使用相同的材料形成形成有像素部的具有绝缘表面的衬底和半导体集成电路的支撑衬底，所以可以防止起因于后面的热处理的热膨胀系数的差异导致的剥离等的缺陷。再者，现有的驱动 IC 不透明并在尺寸上有限制，若是使用透光玻璃衬底的半导体集成电路，实质上为透明（虽然电路部不透明，但是肉眼无法判断），并可以较自由地设定其尺寸。

[0075] 在本发明的半导体装置中，图 3A 至 3C 示出安装半导体集成电路的其他的实例。

[0076] 如图 3A 所示，可以通过 COG（玻璃上芯片）方式将为驱动 IC 的另行形成的半导体集成电路 6013 安装到形成像素部 6012 的衬底 6011 上。另外作为其他的安装方式，可以使用如图 3B 所示的 TAB（载带自动键合）方式将半导体集成电路 6023 以与衬底 6021 上形成的像素部 6022 电连接的方式安装。在图 3A 至 3C 中，半导体集成电路 6013、6023、6033a、分别与 FPC（柔性印刷电路）6015、6025、6035 连接。注意，虽然图 3C 中没有图示半导体集成电路 6033a 和 6033b 电连接。

[0077] 由于本发明的半导体集成电路可以自由地选择形状、设置区域，所以既可以如图 3A 那样将短的多个半导体集成电路 6013 与衬底 6011 的一个边相邻地设置，也可以如图 3C 那样在衬底 6031 的两个边上一边一个地设置长的半导体集成电路 6033a、6033b。

[0078] 另外，还可以将周围驱动电路的一部分直接形成在衬底上。例如，将扫描线侧驱动电路形成在衬底上，并另行将信号线侧驱动电路用作半导体集成电路来安装。

[0079] 半导体集成电路所具有的半导体元件使用从单晶半导体衬底分离的单晶半导体层。再者由于设置有半导体集成电路的被较薄地形成的衬底被树脂层覆盖，所以在工序上较易处理且不易发生破损等的问题。所以，可以高成品率地生产更薄型的具有高性能的半导体装置。

[0080] 注意，对于另行形成的衬底的连接方法没有特别的限制，可以使用 COG 方法、引线键合方法、或 TAB 方法等。此外，若是能够电连接，则连接位置不局限于图 3A 至 3C 所示的位置。另外，也可以另行形成控制器、CPU、存储器等而连接。

[0081] 此外，在本发明中使用的半导体集成电路不局限于仅具有移位寄存器和模拟开关的方式。除了移位寄存器和模拟开关之外，也可以具有其他电路如缓冲器、电平转移器、源极跟随器等。此外，不需要一定设置移位寄存器和模拟开关，例如既可以使用如译码器电路的能够选择信号线的其他电路代替移位寄存器，又可以使用锁存器等代替模拟开关。

[0082] 在本发明中，作为安装半导体集成电路作为驱动电路 (driver) 并具有显示功能的半导体装置，既可以是无源矩阵型也可以是有源矩阵型。还可以安装半导体集成电路作为存储元件的驱动电路，从而制造具有存储功能的半导体装置。

[0083] 另外，在本发明中可以使用非晶半导体、微晶半导体、多晶半导体等作为直接形成在设置像素部的衬底上的晶体管所具有的半导体层。

[0084] 以下，使用图 4A 至 4D 及图 5A 至 5C 对将单晶半导体层从单晶半导体衬底设置在作为具有绝缘表面的衬底的支撑衬底上，以形成半导体集成电路所包括的半导体元件的方法进行说明。

[0085] 图 4A 所示的单晶半导体衬底 1108 被清洗，从其表面将在电场加速了的离子添加到预定深度处，以形成脆化层 1110。考虑到转置到支撑衬底上的单晶半导体层的厚度而进行离子的添加。通过考虑这种厚度来设定对单晶半导体衬底 1108 添加离子时的加速电压。在本发明中，将对单晶半导体衬底添加离子而形成为具有微小的空洞的脆弱化了的区域称为脆化层。

[0086] 作为单晶半导体衬底 1108 可以使用市场上出售的单晶半导体衬底，例如，可以使用单晶硅衬底、单晶锗衬底、单晶硅锗衬底等的由第 4 族元素构成的单晶半导体衬底。另外，也可以使用镓砷或铟磷等的化合物半导体衬底。作为半导体衬底也可以使用多晶半导

体衬底。当然，单晶半导体衬底不局限于圆形薄片，可以使用各种形状的单晶半导体衬底。例如，可以使用长方形、五角形、六角形等的多角形衬底。当然，也可以将市场上出售的圆形单晶半导体薄片用作单晶半导体衬底。圆形单晶半导体薄片包括硅或锗等的半导体薄片、镓砷或铟磷等的化合物半导体薄片等。单晶半导体薄片的代表例子为单晶硅薄片，可以使用直径为 5 英寸 (125mm)、直径为 6 英寸 (150mm)、直径为 8 英寸 (200mm)、直径为 12 英寸 (300mm)、直径为 400mm、直径为 450mm 的圆形薄片。另外，长方形单晶半导体衬底可以通过切断市场上出售的圆形单晶半导体薄片来形成。当切断衬底时可以使用切割器或线锯等的切断装置、激光切断、等离子体切断、电子束切断、其他任意切断单元。另外，通过以使其截面成为长方形的方式将作为衬底还没有薄片化的半导体衬底制造用锭 (ingot) 加工成长方体，并使该长方体锭薄片化，也可以制造长方形单晶半导体衬底。另外，单晶半导体衬底的厚度没有特别限定，但是，在考虑到再利用单晶半导体衬底时，厚度大的单晶半导体衬底是优选的。这是因为若厚则可以从一个原料薄片形成更多的单晶半导体层的缘故。市场上流通的单晶硅薄片的厚度和尺寸按照 SEMI 规格，例如，直径为 6 英寸的薄片的厚度为 625μm，直径为 8 英寸的薄片的厚度为 725μm，直径为 12 英寸的薄片的厚度为 775μm。注意，SEMI 规格的薄片的厚度包括公差 ±25μm。当然，作为原料的单晶半导体衬底的厚度不局限于 SEMI 规格，当切锭时可以适当地调节其厚度。当然，当使用再利用的单晶半导体衬底 1108 时，其厚度比 SEMI 规格薄。在支撑衬底上获得的单晶半导体层可以通过选择作为母体的半导体衬底而决定。

[0087] 另外，半导体衬底 1108 根据制造的半导体元件（本实施方式中的场效应晶体管）选择晶面取向即可。例如，可以使用作为晶面取向具有 {100} 面、{110} 面等的单晶半导体衬底。

[0088] 在本实施方式中采用如下离子添加剥离法，即，将氢离子、氦离子、或者氟离子添加到单晶半导体衬底的预定深度处，然后进行热处理来剥离表层的单晶半导体层。但是，也可以采用如下方法，即，在多孔硅上使单晶硅外延成长，然后通过水射流劈开多孔硅层来剥离。

[0089] 将单晶硅衬底用作单晶半导体衬底 108，使用稀氢氟酸对其表面进行处理，并且去除自然氧化膜及附着在表面的尘埃等杂质来对单晶半导体衬底 1108 表面进行清洗。

[0090] 脆化层 1110 通过离子掺杂法（简称为 ID 法）或离子注入法（简称为 II 法）添加（引入）离子来形成即可。脆化层 1110 通过添加氢离子、氦离子、或者以氟离子为代表的卤素离子而形成。在作为卤素元素添加氟离子的情况下，使用 BF_3 作为源气体即可。离子注入法是指对离子化了的气体进行质量分离并将它添加到半导体中的方法。

[0091] 例如，可以利用离子注入法对离子化了的氢气体进行质量分离并只将 H^+（或 H_2^+）选择性地加速来添加。

[0092] 离子掺杂法为如下方法，即不对离子化了的气体进行质量分离，在等离子体中生成多种离子种类，并将它们加速来掺杂到单晶半导体衬底中。例如，在使用包含 H^+、H_2^+、H_3^+ 离子的氢时，有代表性地说，H_3^+ 离子在被掺杂的离子中占 50％以上。例如，一般为，H_3^+ 离子占 80％，其他离子（H^+ 离子、H_2^+ 离子）占 20％。在此，只添加 H_3^+ 离子的离子种类的方法也视为离子掺杂法。

[0093] 此外，也可以添加由一个或多个同一原子构成的质量不同的离子。例如，当添加氢

离子时，优选在其中包含 H^+、H_2^+、H_3^+ 离子的同时提高 H_3^+ 离子的比率。当添加氢离子时，若在其中包含 H^+、H_2^+、H_3^+ 离子的同时提高 H_3^+ 离子的比率，则可以提高添加效率，而可以缩短添加时间。通过采用这种结构，可以容易进行剥离。

[0094] 在下文中，对离子掺杂法和离子注入法进行详细说明。在用于离子掺杂法的离子掺杂装置（也称为 ID 装置）中，由于等离子体空间大，所以可以将大量离子添加到单晶半导体衬底中。另一方面，用于离子注入法的离子注入装置（也称为 II 装置）的特征在于对从等离子体取出的离子进行质量分离并只将特定离子种类注入到半导体衬底中，并且通常使用扫描点光束来进行处理。

[0095] 作为等离子体产生方法，离子掺杂装置和离子注入装置都利用加热细丝而产生的热电子形成等离子体状态。然而，离子掺杂法和离子注入法的当所产生的氢离子（H^+、H_2^+、H_3^+）被添加（注入）到半导体衬底中时的氢离子种类的比率大为不同。

[0096] 从更多地注入 H_3^+ 的角度来看，与离子注入装置相比优选使用离子掺杂装置。

[0097] 在对单晶硅衬底添加氢离子、卤素离子如氟离子的情况下，通过添加了的氟等清除（驱逐）硅晶格内的硅原子来有效地形成空白部分，使得脆化层中形成微小空洞。在此情况下，通过进行比较低温度的热处理发生形成在脆化层中的微小空洞的体积变化，并且沿着脆化层劈开，来可以形成薄的单晶半导体层。也可以在添加氟离子之后添加氢离子，以使空洞内包含氢。由于为从单晶半导体衬底剥离薄的单晶半导体层而形成的脆化层是通过利用形成在脆化层中的微小空洞的体积变化而劈开，所以如上那样优选有效地利用氟离子或氢离子的作用。

[0098] 另外，也可以在单晶半导体衬底和接合到上述单晶半导体层的绝缘层之间形成保护层。保护层可以由选自氮化硅层、氧化硅层、氮氧化硅层、或氧氮化硅层中的单层或多个层的叠层结构形成。这些层可以在单晶半导体衬底中形成脆化层之前形成在单晶半导体衬底上。另外，也可以在单晶半导体衬底中形成脆化层之后形成在单晶半导体衬底上。

[0099] 当形成脆化层时需要在高剂量条件下添加离子，有时单晶半导体衬底 1108 的表面会变得粗糙。因此，也可以在添加离子的表面利用氮化硅膜、氮氧化硅膜、或者氧化硅膜等设置对于离子添加的保护层，其厚度为 50nm 至 200nm。

[0100] 例如，在单晶半导体衬底 1108 上通过等离子体 CVD 法形成氧氮化硅膜（厚度为 5nm 至 300nm，优选为 30nm 至 150nm（例如 50nm））和氮氧化硅膜（厚度为 5nm 至 150nm，优选为 10nm 至 100nm（例如 50nm））的叠层作为保护层。作为一例，在单晶半导体衬底 1108 上以 50nm 的厚度形成氧氮化硅膜，并且在该氧氮化硅膜上以 50nm 的厚度形成氮氧化硅膜来层叠。氧氮化硅膜也可以是使用有机硅烷气体通过化学气相成长法制造的氧化硅膜。

[0101] 此外，也可以对单晶半导体衬底 1108 进行脱脂清洗来去除其表面的氧化膜，然后进行热氧化。作为热氧化，虽然可以进行一般的干式氧化，但是优选在添加有卤素的氧化气氛中进行氧化。例如，在相对于氧包含 0.5 体积％至 10 体积％（优选为 3 体积％）的比率的 HCl 的气氛中，在 700℃以上的温度下进行热处理。优选在 950℃至 1100℃的温度下进行热氧化。处理时间为 0.1 小时至 6 小时，优选为 0.5 小时至 3.5 小时。所形成的氧化膜的厚度为 10nm 至 1000nm（优选为 50nm 至 200nm），例如为 100nm。

[0102] 作为包含卤素的物质，除了使用 HCl 以外，还可以使用选自 HF、NF_3、HBr、Cl_2、ClF_3、BCl_3、F_2、Br_2 等中的一种或多种。

[0103] 通过在这样的温度范围内进行热处理，可以得到由卤素元素带来的吸杂效应。吸杂具有特别去除金属杂质的效应。换言之，通过氯的作用，金属等杂质变成挥发性氯化物且脱离到气相中而被去除。这对通过化学机械研磨 (CMP) 来处理其表面的单晶半导体衬底 1108 很有效。此外，氢起到补偿单晶半导体衬底 1108 和所形成的绝缘层的界面的缺陷来降低该界面的局域态密度的作用，以使单晶半导体衬底 1108 和绝缘层的界面惰性化，从而实现电特性的稳定化。

[0104] 可以使通过所述热处理而形成的氧化膜中包含卤素。卤素元素通过以 1×10^{17}atoms/cm^3 至 5×10^{20}atoms/cm^3 的浓度包含在氧化膜中，可以使该氧化膜呈现捕获金属等杂质来防止单晶半导体衬底 1108 的污染的保护层的功能。

[0105] 当形成脆化层 1110 时，根据淀积在单晶半导体衬底上的膜的厚度、从作为目的物的单晶半导体衬底分离而转置支撑衬底上的单晶半导体层的厚度、以及所添加的离子种类，可以调整加速电压和全部离子数量。

[0106] 例如，可以通过离子掺杂法使用氢气体作为原料，以 40kV 的加速电压、2×10^{16}ions/cm^2 的全部离子数量添加离子来形成脆化层。如果形成较厚的保护层，则在以同一条件添加离子来形成脆化层的情况下，作为从目的物的单晶半导体衬底分离而转置（转载）在支撑衬底上的单晶半导体层，可以形成较薄的单晶半导体层。例如，虽然根据离子种类 (H^+、H_2^+、H_3^+ 离子）的比率，但是在以上述条件形成脆化层并且作为保护层在单晶半导体衬底上层叠氧氮化硅膜（厚度为 50nm) 和氮氧化硅膜（厚度为 50nm) 的情况下，转置在支撑衬底上的单晶半导体层的厚度大约为 120nm，而作为保护层在单晶半导体衬底上层叠氧氮化硅膜（厚度为 100nm) 和氮氧化硅膜（厚度为 50nm) 的情况下，转置在支撑衬底上的单晶半导体层的厚度大约为 70nm。

[0107] 在使用氦 (He) 或氢作为原料气体的情况下，以 10kV 至 200kV 的加速电压、1×10^{16}ions/cm^2 至 6×10^{16}ions/cm^2 的剂量进行添加，可以形成脆化层。通过使用氦作为原料气体，即使不进行质量分离也可以以 He^+ 离子作为主要离子来进行添加。此外，通过使用氢作为原料气体，可以 H_3^+ 离子或 H_2^+ 离子作为主要离子来进行添加。离子种类还根据等离子体的生成方法、压力、原料气体供应量、加速电压而改变。

[0108] 形成脆化层的例子如下所述，即，在单晶半导体衬底上层叠氧氮化硅膜（厚度为 50nm)、氮氧化硅膜（厚度为 50nm)、以及氧化硅膜（厚度为 50nm) 作为保护层，以 40kV 的加速电压、2×10^{16}ions/cm^2 的剂量添加氢而在单晶半导体衬底中形成脆化层。然后，在作为保护层的最上层的上述氧化硅膜上作为具有接合面的绝缘层形成氧化硅膜（厚度为 50nm)。形成脆化层的另一个例子如下所述，即，在单晶半导体衬底上层叠氧化硅膜（厚度为 100nm) 及氮氧化硅膜（厚度为 50nm) 作为保护层，以 40kV 的加速电压、2×10^{16}ions/cm^2 的剂量添加氢而在单晶半导体衬底中形成脆化层。然后，在作为保护层的最上层的上述氮氧化硅膜上形成氧化硅膜（厚度为 50nm) 作为具有接合面的绝缘层。上述氧氮化硅膜及氮氧化硅膜通过等离子体 CVD 法形成即可，而上述氧化硅膜通过 CVD 法使用有机硅烷气体形成即可。

[0109] 另外，还可以在支撑衬底和单晶半导体衬底之间形成绝缘层。绝缘层既可以在支撑衬底一侧或单晶半导体衬底一侧的任一方形成，又可以在双方形成。形成在形成接合的面上的绝缘层具有平滑面且形成亲水性的表面。可以使用氧化硅膜作为该绝缘层。作为氧

化硅膜，使用有机硅烷气体通过化学气相成长法来制造的氧化硅膜是优选的。另外，也可以采用使用硅烷气体通过化学气相成长法来制造的氧化硅膜。

[0110] 作为有机硅烷气体，可以使用含有硅的化合物，如正硅酸乙酯（TEOS：化学式为 $Si(OC_2H_5)_4$）、三甲基硅烷（TMS：化学式为 $(CH_3)_3SiH$）、四甲基硅烷（化学式为 $Si(CH_3)_4$）、四甲基环四硅氧烷（TMCTS）、八甲基环四硅氧烷（OMCTS）、六甲基二硅氮烷（HMDS）、三乙氧基硅烷（化学式为 $SiH(OC_2H_5)_3$）、三（二甲氨基）硅烷（化学式为 $SiH(N(CH_3)_2)_3$）等。另外，在使用有机硅烷作为原料气体通过化学气相成长法形成氧化硅层的情况下，优选混合给予氧的气体。作为给予氧的气体，可以使用氧、一氧化二氮、二氧化氮等。另外，也可以混合氩、氦、氮或氢等惰性气体。

[0111] 此外，作为形成在形成接合的面上的绝缘层，还可采用以甲硅烷、乙硅烷、或者丙硅烷等的硅烷作为原料气体通过化学气相成长法形成的氧化硅膜。在此情况下，也优选混合给予氧的气体或惰性气体等。另外，成为与单晶半导体层接合的绝缘层的氧化硅膜也可以包含氯。注意，在本说明书中，化学气相成长（CVD；Chemical Vapor Deposition）法在其范畴中包括等离子体 CVD 法、热 CVD 法、光 CVD 法。

[0112] 另外，作为形成在形成接合的面上的绝缘层，也可以使用通过在氧化性气氛中进行热处理来形成的氧化硅、通过氧自由基的反应而成长的氧化硅、由氧化性药液形成的化学氧化物等。作为绝缘层，也可以使用包含硅氧烷（Si-O-Si）键的绝缘层。此外，也可以使上述有机硅烷气体与氧自由基或氮自由基起反应来形成绝缘层。

[0113] 作为绝缘层，形成接合的面的表面优选算术平均粗度 Ra 不足 0.8nm，方均根粗度 Rms 不足 0.9nm，更优选的是，Ra 为 0.4nm 以下，Rms 为 0.5nm 以下，进一步优选的是，Ra 为 0.3nm 以下，Rms 为 0.4nm 以下。例如，Ra 为 0.27nm，Rms 为 0.34nm。在本说明书中，Ra 是算术平均粗度，Rms 是方均根粗度，测定范围是 2μm² 或 10μm²。

[0114] 也可以将支撑衬底与单晶半导体衬底接合时，通过在形成接合的面的一方或双方设置优选由以有机硅烷为原材料形成的氧化硅膜构成的绝缘层，可以形成坚固的接合。

[0115] 在本实施方式中，如图 4B 所示在与支撑衬底形成接合的面上形成氧化硅膜作为绝缘层 1104。作为氧化硅膜，使用有机硅烷气体通过化学气相成长法来制造的氧化硅膜是优选的。另外，也可以采用使用硅烷气体通过化学气相成长法来制造的氧化硅膜。在利用化学气相成长法的成膜中，使用例如 350℃以下（具体实例是 300℃）的成膜温度，该成膜温度是不从形成于单晶半导体衬底的脆化层 1110 发生脱气的温度。此外，在从单晶半导体衬底剥离单晶半导体层的热处理中，采用比成膜温度高的热处理温度。

[0116] 在支撑衬底上也可以设置防止杂质元素的扩散的氮化硅膜或氮氧化硅膜作为阻挡层。而且，也可以组合使用氧氮化硅膜作为起到缓和应力的作用的绝缘膜。

[0117] 图 4C 表示使设置在支撑衬底 1101 上的阻挡层 1109 与单晶半导体衬底 1108 的形成有绝缘层 1104 的面密接，使该两者接合的形态。对形成接合的面预先进行充分清洗。对设置在支撑衬底 1101 上的阻挡层 1109 与单晶半导体衬底 1108 的形成有绝缘层 1104 的面通过兆声清洗等进行清洗即可。此外，也可以在进行兆声清洗之后使用臭氧水清洗来去除有机物并提高表面的亲水性。

[0118] 如果使支撑衬底 1101 上的阻挡层 1109 和绝缘层 1104 相对，并且从外部按住其一部分，则由于通过接合面之间的距离局部缩短而引起的范德华力的增大和氢键的影响，使

得它们彼此吸引。而且，由于在邻接的区域中相对的支撑衬底 1101 上的阻挡层 1109 和绝缘层 1104 之间的距离也缩短，所以范德华力强烈作用的区域和氢键影响的区域扩展，藉此接合（也称为键合）发展到接合面整体。例如，按压力是 100kPa 至 5000kPa 左右即可。另外，也可以通过将支撑衬底和半导体衬底重叠地布置，而利用重叠的衬底的重量来使接合发展。

[0119] 为了形成良好的接合，也可以预先使表面活化。例如，对形成接合的面照射原子束或离子束。利用原子束或离子束时，可以使用氩等惰性气体中性原子束或惰性气体离子束。另外，进行等离子体照射或自由基处理。通过这种表面处理，即使在 200℃至 400℃的温度下，也可以容易地形成异种材料之间的接合。

[0120] 此外，为了提高支撑衬底和绝缘层之间的接合界面的接合强度，优选进行加热处理。例如，通过烘箱或炉等在 70℃至 350℃（例如，200℃、2 小时）的温度条件下进行热处理。

[0121] 在图 4D 中，在贴合支撑衬底 1101 和单晶半导体衬底 1108 之后，进行加热处理，以脆化层 1110 为劈开面从支撑衬底 1101 剥离单晶半导体衬底 1108。例如，通过进行 400℃至 700℃的热处理，发生形成在脆化层 1110 中的微小空洞的体积变化，从而可以沿着脆化层 1110 劈开。因为绝缘层 1104 隔着阻挡层 1109 与支撑衬底 1101 接合，所以在支撑衬底 1101 上残存与单晶半导体衬底 1108 相同的结晶性的单晶半导体层 1102。

[0122] 400℃至 700℃的温度区域的热处理既可在与上述为了提高接合强度的热处理相同的装置内连续地进行，又可在不同的装置内进行。例如，在炉中进行 200℃、2 小时的热处理，然后将该温度上升到 600℃附近，该状态保持 2 小时，再使温度在 400℃至室温的温度区域下降后从炉中取出。此外，当热处理时，也可以从室温上升温度。此外，也可以在炉中进行 200℃、2 小时的热处理，然后使用快热退火 (RTA) 装置在 600℃至 700℃的温度区域进行 1 分钟至 30 分钟（例如，在 600℃的温度下进行 7 分钟，在 650℃的温度下进行 7 分钟）的热处理。

[0123] 通过 400℃至 700℃的温度区域的热处理，绝缘层和支撑衬底之间的接合从氢键转移为共价键，添加到脆化层中的元素析出，压力上升，可以从单晶半导体衬底剥离单晶半导体层。在进行热处理之后，支撑衬底和单晶半导体衬底处于一方负载于另一方的状态，因此不需要很大的力量就可以分开支撑衬底和单晶半导体衬底。例如，使用真空吸盘拿起上方的衬底，藉此可以容易地分离。此时，如果通过使用真空吸盘或机械吸盘固定下侧的衬底，则可以在不向水平方向错开的状态下分开支撑衬底和单晶半导体衬底双方。

[0124] 虽然图 4A 至 4D 和图 5A 至 5C 示出单晶半导体衬底 1108 的尺寸小于支撑衬底 1101 的尺寸的例子，但是本发明不局限于此，既可以是单晶半导体衬底 1108 的尺寸和支撑衬底 1101 的尺寸彼此相同，又可以是单晶半导体衬底 1108 的尺寸大于支撑衬底 1101 的尺寸。

[0125] 图 5A 至 5C 示出通过在支撑衬底侧设置绝缘层来形成单晶半导体层的工序。图 5A 示出将在电场加速了的离子添加到形成有氧化硅膜作为保护层 1121 的单晶半导体衬底 1108 的预定深度处，以形成脆化层 1110 的工序。离子的添加与图 4A 的情况相同。通过预先在单晶半导体衬底 1108 的表面上形成保护层 1121，可以防止因离子添加而造成的表面受损及平坦性恶化。此外，保护层 1121 发挥对使用单晶半导体衬底 1108 形成的单晶半导体层 1102 的杂质扩散的防止效应。

[0126] 图 5B 示出将形成有阻挡层 1109 及绝缘层 1104 的支撑衬底 1101 和单晶半导体衬底 1108 的形成有保护层 1121 的面密接来形成接合的工序。通过使支撑衬底 1101 上的绝缘层 1104 和单晶半导体衬底 1108 的保护层 1121 密接来形成接合。

[0127] 然后，如图 5C 所示，剥离单晶半导体衬底 1108。与图 4D 的情况同样地进行剥离单晶半导体层的热处理。如此可以获得图 5C 所示的半导体衬底，该半导体衬底具有在支撑衬底上隔着绝缘层具有单晶半导体层的本发明的 SOI 结构。

[0128] 此外，从单晶半导体衬底分离，且转置到支撑衬底上的单晶半导体层有通过分离工序及离子注入工序发生结晶缺陷，而且其表面的平坦性被损坏并形成凹凸的情况。在使用单晶半导体层制造晶体管作为半导体元件的情况下，在这样具有凹凸的单晶半导体层的上表面形成厚度薄且绝缘耐压性高的栅极绝缘层是困难的。另外，当单晶半导体层具有结晶缺陷时，与栅极绝缘层的局部界面态密度提高等，导致对于晶体管的性能及可靠性的影响。

[0129] 因此，优选对单晶半导体层照射电磁波如激光，而减少结晶缺陷。通过照射电磁波，可以使单晶半导体层的至少一部分的区域溶化，并且减少单晶半导体层中的结晶缺陷。另外，优选在照射电磁波之前用稀氢氟酸去除形成在单晶半导体层的表面上的氧化膜（自然氧化膜或化学氧化膜）。

[0130] 电磁波能够将高能量供给给单晶半导体层即可，优选使用激光。

[0131] 另外，也可以主要利用热传导的方法进行能量的供给，通过将具有高能量的粒子通过照射等碰撞到单晶半导体层来实现。作为提供具有高能量的粒子的热源，可以使用等离子体如常压等离子体、高压等离子体、热等离子体喷射、煤气灶等的火焰，或者作为其他热源可以使用电子束等。

[0132] 电磁波的波长为被单晶半导体层吸收的波长。可以考虑电磁波的趋肤深度 (skin depth) 等而决定该波长。例如，电磁波波长可以为 190nm 至 600nm。另外，可以考虑电磁波的波长、电磁波的趋肤深度、照射的单晶半导体层的厚度等而决定电磁波能量。

[0133] 作为振荡激光的激光器，可以使用连续振荡激光器、准连续振荡激光器以及脉冲振荡激光器。为了实现部分熔化，而优选使用脉冲振荡激光器。例如可以举出 KrF 激光器等准分子激光器、Ar 激光器、Kr 激光器等气体激光器。另外，作为固体激光器，有 YAG 激光器、YVO_4 激光器、YLF 激光器、$YAlO_3$ 激光器、$GdVO_4$ 激光器、KGW 激光器、KYW 激光器、变石激光器、Ti：蓝宝石激光器、Y_2O_3 激光器等。虽然准分子激光器是脉冲振荡激光器，但是在 YAG 激光器等固体激光器中，也有可以用作连续振荡激光器、准连续振荡激光器、以及脉冲振荡激光器的激光器。另外，作为固体激光优选使用基波的第二高次谐波至第五高次谐波。另外，也可以使用 GaN、GaAs、GaAlAs、InGaAsP 等的半导体激光器。

[0134] 此外，只要能够将电磁波的能量照射到单晶半导体层，也可以使用灯光。例如，可以使用从紫外线灯、黑光灯、卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯、或者高压汞灯射出的光。也可以使用利用上述灯光的闪光退火。由于适当使用卤素灯或氙灯等进行的闪光退火可通过在极短时间内的处理完成，所以可以抑制支撑衬底的温度上升。

[0135] 还可以设置由挡板 (shutter)、反射镜或半反射镜等反射体、柱面透镜或凸透镜等构成的光学系统，以便调节电磁波的形状或电磁波前进的路径。

[0136] 作为电磁波照射方法，既可选择性地照射电磁波，又可将光（电磁波）在 XY 轴方

向上扫描来照射。在此情况下，优选使用多角镜（polygonmirror）或检流计镜作为光学系统。

[0137] 电磁波照射可以在大气气氛等包含氧的气氛中或氮气气氛等惰性气氛中进行。当在惰性气氛中照射电磁波时，在具有气密性的处理室内照射电磁波，并且控制该处理室内的气氛即可。在不使用处理室的情况下，通过对电磁波的被照射面喷射氮气体等惰性气体来可以形成氮气气氛。

[0138] 再者，也可以对被供应电磁波照射等的高能量而结晶缺陷减少了的单晶半导体层表面进行研磨处理。由于研磨处理而可以提高单晶半导体层表面的平坦性。

[0139] 作为研磨处理，可以使用化学机械研磨（Chemical MechanicalPolishing：CMP）法或喷液研磨法。在研磨处理之前清洗单晶半导体层表面来净化。当清洗时，使用兆声波清洗或二流体喷射清洗（two-fluid jet cleaning）等即可，通过清洗去除单晶半导体层表面的尘埃等。此外，优选的是使用稀氢氟酸去除单晶半导体层表面上的自然氧化膜等，以使单晶半导体层露出。

[0140] 另外，也可以在照射电磁波之前对单晶半导体层表面进行研磨处理（或者蚀刻处理）。

[0141] 在本实施方式中，在使用单晶硅衬底作为单晶半导体衬底 1108 的情况下，作为单晶半导体层 1102 可以得到单晶硅层。此外，在本实施方式的半导体装置的制造方法中，由于可以采用 700℃以下的处理温度，因此可以使用玻璃衬底作为支撑衬底 1101。也就是说，与现有的薄膜晶体管同样，可以在玻璃衬底上形成，并且可以使用单晶硅层作为单晶半导体层。根据上述情况，可以在玻璃衬底等支撑衬底上制造具有高性能及高可靠性的晶体管，该晶体管能够高速工作、亚阈值低、场效应迁移度高、能够以低耗电压驱动等。

[0142] 在本发明中，半导体装置指的是能够利用半导体特性来工作的装置。通过使用本发明，可以制造具有包括半导体元件（晶体管、存储器元件、二极管等）的电路的装置或具有处理器电路的芯片等半导体装置。

[0143] 另外，作为本发明的半导体集成电路，除了驱动电路之外还可以包括 CPU、缓冲电路、电源电路、放大电路、光电转换元件等而制造。此外，可以使用本发明的半导体集成电路来制造具备微处理器及能够以非接触的方式进行数据收发的运算功能的半导体装置。作为具有能够以非接触的方式进行数据收发的运算功能的半导体装置，例如可以将本发明的半导体集成电路用作具有谐振电容的谐振电路、整流电路、恒压电路、复位电路、振荡电路、解调电路、调制电路、接口、寄存器、存储器。

[0144] 本发明可以用于作为具有显示功能的装置的半导体装置（也称为显示装置）。使用本发明的半导体装置包括：在电极之间夹着包含被称为电致发光（以下也称为“EL”）的呈现发光的有机物、无机物、或者有机物和无机物的混合物的层的发光元件与晶体管彼此连接的半导体装置（发光显示装置）；以及使用具有液晶材料的液晶元件（液晶显示元件）作为显示元件的半导体装置（液晶显示装置）等。在本说明书中，显示装置是指具有显示元件的装置，并且显示装置包括在衬底上形成有包含显示元件的多个像素和驱动上述像素的外围驱动电路的显示面板主体。另外，还可以包括安装有 IC、电阻元件、电容元件、电感器、晶体管等的柔性印刷电路（FPC）或印刷线路板（PWB）。另外，也可以包括偏振片或相位差板等光学片。另外，也可以包括背光灯（也可以包括导光板、棱镜片、漫射片、反射片、或

者光源 (LED、冷阴极管等))。

[0145] 另外,显示元件或半导体装置可以采用各种方式及各种元件。例如,可以使用 EL 元件 (有机 EL 元件、无机 EL 元件或包含有机物及无机物的 EL 元件)、电子发射元件、液晶元件、电子墨水、光栅阀 (GLV)、等离子体显示器 (PDP)、数字微镜装置 (DMD)、压电陶瓷显示器、以及碳纳米管等通过电磁作用改变对比度的显示介质。另外,使用 EL 元件的半导体装置包括 EL 显示器 ;使用电子发射元件的半导体装置包括场致发射显示器 (FED)、SED 方式平面显示器 (SED ;表面传导电子发射显示器) 等 ;使用液晶元件的半导体装置包括液晶显示器 (透射型液晶显示器、半透射型液晶显示器、以及反射型液晶显示器) ;使用电子墨水的半导体装置包括电子纸张。

[0146] 像这样,可以成品率好地制造薄型的具有高性能的半导体装置。

[0147] 实施方式 2

[0148] 在本实施方式中示出在实施方式 1 中将单晶半导体层从单晶半导体衬底接合到支撑衬底上的工序的不同例子。因此,省略与实施方式 1 相同的部分或具有相同功能的部分的重复说明。

[0149] 首先,对单晶衬底一侧的处理进行说明。在本实施方式中,对单晶半导体衬底进行脱脂清洗来除去其表面的氧化膜,然后进行热氧化。作为热氧化,优选在添加有卤素的氧化气氛中进行氧化。例如,相对于氧包含 0.5 体积%至 10 体积% (优选为 3 体积%) 的比率的 HCl 的气氛中,并且在 700℃以上的温度下进行热处理。优选在 950℃至 1100℃的温度下进行热处理。处理时间为 0.1 小时至 6 小时,优选为 0.5 小时至 3.5 小时。所形成的氧化膜的厚度为 10nm 至 1000nm(优选为 50nm 至 200nm),例如为 100nm 厚。

[0150] 作为包含卤素的物质,除了使用 HCl 以外,还可以使用选自 HF、NF_3、HBr、Cl_2、ClF_3、BCl_3、F_2、Br_2 等中的一种或多种物质。

[0151] 通过在这样的温度范围内进行热处理,可以得到由卤素元素带来的吸杂效应。吸杂具有特别去除金属杂质的效应。换言之,通过氯气的作用,金属等的杂质变成挥发性氯化物且脱离到气相中而被除去。对通过化学机械研磨 (CMP) 来处理其表面的单晶半导体衬底很有效。此外,氢起到补偿单晶半导体衬底和形成在支撑衬底上的绝缘层的界面的缺陷来降低该界面的局域态密度的作用,以使单晶半导体衬底和绝缘层的界面惰性化,从而实现电特性的稳定化。

[0152] 可以使通过所述热处理而形成的氧化膜包含卤素。卤素元素通过以 1×10^{17}atoms/cm^3 至 5×10^{20}atoms/cm^3 的浓度包含在氧化膜中,可以使该氧化膜呈现捕获金属等杂质来防止单晶半导体衬底的污染的保护层的功能。

[0153] 向单晶半导体衬底引入离子而形成脆化层。形成脆化层区域的深度可以根据引入的离子的加速能量和入射角而进行调节。加速能量可以根据加速电压等进行调节。

[0154] 作为在引入离子时使用的气体,有氢气体、稀有气体等,但在本实施方式中优选使用氢气体。在通过离子掺杂法使用氢气体的情况下,生成的离子种为 H^+、H_2^+、H_3^+,但是优选引入 H_3^+ 最多。H_3^+ 与 H^+、H_2^+ 相比离子的引入效率更好,可以缩短引入时间。另外,在后面的工序中脆化层容易产生裂缝。

[0155] 下面,对支撑衬底一侧的处理进行说明。首先对支撑衬底的表面进行清洗。作为清洗,可以使用盐酸和过氧化氢以及纯水的混合液 (HPM)、硫酸和过氧化氢以及纯水的混合

液(SPM)、氨水和过氧化氢以及纯水的混合液(APM)、稀氢氟酸(DHF)等进行超声波清洗，在本实施方式中，使用盐酸和过氧化氢以及纯水的混合液进行超声波清洗。

[0156] 接下来，通过等离子体处理对通过清洗去除了表面的尘埃等的杂质的支撑衬底进行平坦化处理。在本实施方式中，等离子体处理是在真空反应室内使用如氩(Ar)等的惰性气体，对为被处理物的支撑衬底施加偏压作为等离子体状态而进行。还可以与惰性气体一起引入氧(O_2)气体、氮(N_2)气体。

[0157] 可以将支撑衬底用作阴极方向，使等离子体中的Ar的阳离子在阴极方向上加速而碰撞到支撑衬底。通过Ar的阳离子的碰撞到支撑衬底表面被溅射蚀刻，对支撑衬底的凸部进行蚀刻以使支撑衬底的表面平坦化。反应气体具有修复由于支撑衬底表面的溅射蚀刻而产生的缺陷的效果。

[0158] 接下来，在支撑衬底上形成绝缘层。在本实施方式中，使用硅基的绝缘膜以外的为绝缘膜的以氧化铝为主要成分的氧化膜。以氧化铝为主要成分的氧化膜是指，当该氧化膜所含有的成分的总和为100重量%时，包含10重量%以上的氧化铝的氧化膜。另外，作为绝缘层，还可以应用以氧化铝为主要成分，含有氧化镁和氧化锶的一方或双方的膜。另外，还可以使用含有氮的氧化铝。

[0159] 作为绝缘层，可以使用溅射法形成。作为用于溅射法的靶，可以使用例如，含有铝的金属或者氧化铝等的金属氧化物。注意，对应于形成膜适当地选择靶的材料即可。

[0160] 在使用金属作为靶的情况下，通过边引入反应气体(例如，氧)边进行溅射(反应性溅射法)来形成绝缘层。作为金属，除了铝之外，还可以使用镁(Mg)、含有铝和镁的合金、含有铝和锶(Sr)的合金、含有铝和镁和锶的合金。在该情况下，可以使用直流(DC)电源或高频(RF)电源来进行溅射。

[0161] 在使用金属氧化物作为靶的情况下，用过使用高频(RF)电源进行溅射(RF溅射法)来形成绝缘层。作为金属氧化物，除了氧化铝之外，还可以使用氧化镁、氧化锶、含有铝和镁的氧化物、含有铝和锶的氧化物、含有铝和镁和锶的氧化物。

[0162] 另外，还可以使用偏压衍射法形成绝缘层。通过使用偏压溅射法可以进行膜的堆积和表面的平坦化的双方。

[0163] 以铝为主要成分的氧化膜可以防止支撑衬底所含有的可动离子、水分等的杂质扩散到后面将形成在支撑衬底上的单晶半导体层中。

[0164] 接下来，使单晶半导体衬底的表面和支撑衬底的表面相对，并将单晶半导体衬底和绝缘层键合。通过将单晶半导体衬底和形成在支撑衬底上的绝缘层的表面密接来形成接合。

[0165] 注意，优选在键合单晶半导体衬底和支撑衬底之前对形成在支撑衬底上的绝缘层进行表面处理。

[0166] 接下来，与实施方式1同样地，可以通过进行加热处理在脆化层发生分离(劈开)，在支撑衬底上隔着绝缘层形成单晶半导体层。

[0167] 可以使用设置在支撑衬底上的单晶半导体层来形成半导体元件层。

[0168] 接下来，对反复利用分离的单晶半导体衬底的工序(半导体衬底再生处理)进行说明。

[0169] 首先，取出分离的单晶半导体衬底。由于塌边(edge roll-off)的影响，有可能发

生在单晶半导体衬底的端部与支撑衬底不能充分地进行贴合的情况。其结果，有在端部单晶半导体衬底在脆化层不被分离，而绝缘层等残留的情况。

[0170] 去除单晶半导体衬底的端部的残渣部分。可以通过进行湿蚀刻来去除残渣部分。具体而言，可以使用包含氟化氢酸和氟化铵和界面活性剂的混合溶液（例如，STELLA CHEMIFA CORPORATION 制造，商品名 LAL500）作为蚀刻剂进行湿蚀刻。

[0171] 另外，还可以通过以 TMAH（四甲基氢氧化铵，Tetra MethylAmmonium Hydroxide）为代表的有机碱性水溶液的湿蚀刻，来去除引入氢离子的脆化层。通过进行上述处理，单晶半导体衬底的端部的起因于残渣物的台阶得到缓和。

[0172] 接下来，通过在卤素气氛中对单晶半导体衬底进行氧化来形成氧化膜，然后去除该氧化膜。可以使用氯化氢（HCl）作为卤素。由此可以得到由卤素元素带来的吸杂效应。吸杂具有特别除去金属杂质的效应。换言之，通过氯的作用，金属等杂质变成挥发性氯化物且脱离到气相中而被除去。

[0173] 接下来，对单晶半导体衬底进行 CMP 处理作为研磨处理。其结果，可以去除在单晶半导体衬底的端部的台阶来使单晶半导体衬底的表面平坦。然后，将得到的单晶半导体衬底作为母体片进行再利用。

[0174] 如本实施方式所示，可以通过单晶半导体衬底的再生处理工序反复利用单晶半导体衬底来实现低成本化。另外，由于通过使用本实施方式中所示的单晶半导体衬底的再生处理工序，即使是在反复利用单晶半导体衬底的情况下，也可以将单晶半导体衬底的表面充分的平坦化，所以可以提高单晶半导体衬底和支撑衬底的密接性从而减少贴合不良。

[0175] 本实施方式可以与实施方式 1 适当地组合。

[0176] 实施方式 3

[0177] 在本实施方式中示出在实施方式 1 中将单晶半导体层从单晶半导体衬底接合到支撑衬底上的工序的不同例子。因此，省略与实施方式 1 相同的部分或具有相同功能的部分的重复说明。

[0178] 在本实施方式中，当从单晶半导体衬底转载单晶半导体层时，对单晶半导体衬底选择性地进行蚀刻，而在支撑衬底上转载其形状被加工了的多个单晶半导体层。因此，可以在支撑衬底上形成多个岛状单晶半导体层。由于先在单晶半导体衬底上加工形状并转载，所以不受单晶半导体衬底的尺寸或形状的限制。因而，可以更高效地将单晶半导体层转载到大型支撑衬底上。

[0179] 而且，可以对形成在支撑衬底上的半导体层进行蚀刻，来加工半导体层的形状并进行校正，来精密地控制。由此，可以加工为半导体元件的单晶半导体层的形状，并且可以校正如下情况导致的单晶半导体层的形成位置的误差或形状不良，即由于形成抗蚀剂掩模时曝光的周围传播引起的图像错开，或由于转载工序中的贴合时的位置不一致等。

[0180] 因此，可以在支撑衬底上高成品率地形成所希望的形状的多个单晶半导体层。因此，利用大面积衬底可以高处理量且高生产率地制造具有更精密且高性能的半导体元件及集成电路的半导体装置。

[0181] 在图 15A 中示出在单晶半导体衬底 1158 上形成保护层 1154 和氮化硅膜 1152 的状态。氮化硅膜 1152 用作对单晶半导体衬底 1158 进行蚀刻的加工时的硬质掩模。氮化硅膜 1152 通过使用硅烷和氨的气相成长法而淀积来形成即可。

[0182] 接着，添加离子在单晶半导体衬底 1158 的整个面上形成脆化层 1150（参照图 15B）。顾及转载到支撑衬底上的单晶半导体层的厚度进行离子的添加。顾及上述厚度决定添加离子时的加速电压，以使离子添加到单晶半导体衬底 1158 的深部。通过该处理在离单晶半导体衬底 1158 的表面有一定深度处形成脆化层 1150。

[0183] 顾及半导体元件的单晶半导体层的形状进行蚀刻加工。就是说，对单晶半导体衬底 1158 进行蚀刻加工，以便将半导体元件的单晶半导体层转载到支撑衬底上，并且使该部分残留为凸状部。

[0184] 使用光抗蚀剂形成掩模 1153。通过使用掩模 1153 蚀刻氮化硅膜 1152 及保护层 1154，而形成保护层 1162、以及氮化硅层 1163（参照图 15C）。

[0185] 接着，氮化硅层 1163 作为硬质掩模对单晶半导体衬底 1158 进行蚀刻，而形成具有脆化层 1165、单晶半导体层 1166 的单晶半导体衬底 1158（参照图 15D）。在本发明中，如图 15D 所示那样，将在脆化层上通过蚀刻加工被加工为凸状的单晶半导体衬底的一部分的半导体区域称为单晶半导体层 1166。

[0186] 顾及转载到支撑衬底上的单晶半导体层的厚度适当地设定蚀刻单晶半导体衬底 1158 的深度。可以根据添加氢离子的深度来设定该单晶半导体层的厚度。形成在单晶半导体衬底 1158 上的凹部的深度优选形成为深于脆化层。在该蚀刻的加工中，通过使凹部的深度比脆化层深，可以使脆化层只残留在要剥离的单晶半导体层的区域。

[0187] 去除表面的氮化硅层 1163（参照图 15E）。然后，使单晶半导体衬底 1158 上的保护层 1162 的表面和支撑衬底 1151 接合（参照图 16A）。

[0188] 在支撑衬底 1151 的表面形成有阻挡层 1159 及绝缘层 1157。为了防止钠离子等杂质从支撑衬底 1151 扩散且污染单晶半导体层，设置阻挡层 1159。在不需要考虑从支撑衬底 1151 扩散而对单晶半导体层导致不良影响的杂质时，也可以省略阻挡层 1159。另一方面，为了与保护层 1162 接合，设置绝缘层 1157。

[0189] 通过密接其表面被清洗了的单晶半导体衬底 1158 一侧的保护层 1162 和支撑衬底一侧的绝缘层 1157 而形成接合。可以在室温下进行该接合。该接合是原子级的接合，根据范德华力的作用，可以在室温下形成坚固的接合。因为单晶半导体衬底 1158 被蚀刻加工，所以形成单晶半导体层的凸状部与支撑衬底 1151 上的绝缘层 1157 接触。

[0190] 在单晶半导体衬底 1158 和支撑衬底 1151 之间形成接合之后，通过进行加热处理，如图 16B 所示那样，可以从单晶半导体衬底 1158 剥离单晶半导体层 1164，并且将它固定于支撑衬底 1151 上。单晶半导体层的剥离是通过在脆化层 1165 中形成的微小的空洞的体积变化而沿脆化层 1165 产生断裂面来进行的。然后，为了使接合更坚固，优选进行加热处理。通过上述步骤，在绝缘表面上形成单晶半导体层。图 16B 示出单晶半导体层 1164 被接合在支撑衬底 1151 上的状态。

[0191] 在本实施方式中，由于先对单晶半导体层的形状进行加工并转载，所以不受单晶半导体衬底本身的尺寸或形状的限制。因此，可以在衬底上形成各种各样的形状的单晶半导体层。例如，根据蚀刻时使用的曝光装置的掩模、为了形成该掩模图形的曝光装置所具有的分档器、断开大型衬底来获得的半导体装置的面板尺寸或芯片尺寸，可以自由地形成单晶半导体层。

[0192] 根据制造的半导体元件，在单晶半导体层 1164 上选择性地形成掩模 1167（参照图

16C)。

[0193] 使用掩模 1167 对单晶半导体层 1164 进行蚀刻形成单晶半导体层 1169。在本实施方式中，一起蚀刻单晶半导体层下方的保护层 1162 和单晶半导体层，作为保护层 1168（参照图 16D)。如此，通过在转载到支撑衬底上之后对形状进行加工，可以只使用高结晶性及平坦性高的单晶半导体层来制造半导体元件的单晶半导体层，并且可以校正单晶半导体层的在制造工序中产生的形成区域的误差或形状不良等。

[0194] 通过使用设置在支撑衬底上的单晶半导体层 1169 制造晶体管等的半导体元件，可以高成品率地制造薄型的高性能的半导体衬底及半导体装置。

[0195] 本实施方式可以与实施方式 1 或实施方式 2 适当地组合。

[0196] 实施方式 4

[0197] 在本实施方式中示出在实施方式 1 中将单晶半导体层从单晶半导体衬底接合到支撑衬底的工序不同的实例。因此，省略与实施方式 1 相同部分或具有相同功能的部分的重复说明。

[0198] 在本实施方式中，示出将单晶半导体层从单晶半导体衬底分离之后接合到支撑衬底的实例。

[0199] 在实施方式 3 中参照图 15A 至 5E 所示那样，在单晶半导体衬底中形成脆化层并形成凸部。该蚀刻加工顾及半导体元件的单晶半导体层的形状而进行。也就是，以可以将半导体元件的单晶半导体层转载到支撑衬底的方式对单晶半导体衬底 401 进行蚀刻加工，使该部位残留成为凸状部。在图 12A 中，形成有单晶半导体衬底 401、脆化层 402、单晶半导体衬底的一部分的单晶半导体层 408、绝缘膜 404。在本实施方式中，氧化硅用作绝缘膜 404。

[0200] 接下来，通过进行热处理，在脆化层 402 中相邻的微孔互相结合而微孔的体积增大。其结果，在脆化层 402 处单晶半导体衬底 401 分离，并且单晶半导体层 408 与绝缘膜 404 一起从单晶半导体衬底 401 分离。热处理可以如在 400℃至 600℃的温度范围内进行即可。

[0201] 注意，热处理可以通过利用高频率如微波等的介电加热而进行。利用上述介电加热的热处理可以通过在高频发生装置中生成的 300MHz 至 3THz 的高频率照射到单晶半导体衬底 401 而进行。具体而言，例如通过 2.45GHz 的微波以 900W 照射 14 分钟，可以使在脆化层中相邻的微孔互相结合，最终使半导体衬底 401 分离。

[0202] 如图 12B 所示那样，通过将套爪 405 固定于形成在单晶半导体层 408 上的绝缘膜 404，将单晶半导体层 408 从单晶半导体衬底 401 分离。即使在通过上述热处理的单晶半导体衬底 401 的分离不完全的情况下，利用套爪 405 施加力量，来使单晶半导体层 408 从单晶半导体衬底 401 完全分离，而获得单晶半导体层 403。作为套爪 405 使用可以选择性地固定于单晶半导体层 408 中的一个的装置，如真空吸盘或机械吸盘等的吸盘、其前端附着粘合剂的微针等。在图 12B 中示出作为套爪 405，使用真空吸盘的实例。

[0203] 另外，作为附着于微针的粘合剂，可以使用环氧类粘合剂、陶瓷类粘合剂、硅酮类粘合剂、低温凝固剂等。作为低温凝固剂可以使用如 MW-1(Eminent Supply Corporation 制造）。MW-1 的凝固点为 17℃，在该温度以下（优选为 10℃以下）具有粘合效应，在 17℃以上（优选为 25℃左右）没有粘合效应。

[0204] 注意，也可以在使单晶半导体衬底 401 分离之前对单晶半导体衬底 401 进行氢化处理。例如，在氢气气分中进行 350℃、两个小时左右的氢化处理。

[0205] 接着，如图 12C 所示那样，以由于单晶半导体层 403 的分离暴露的面朝向支撑衬底 410 一侧的方式，使单晶半导体层 403 和支撑衬底 410 贴合。在本实施方式中，在支撑衬底 410 上形成绝缘膜 411，通过绝缘膜 411 和单晶半导体层 403 接合，可以使单晶半导体层 403 和支撑衬底 410 贴合。在使单晶半导体层 403 和绝缘膜 411 接合之后，优选进行 400℃至 600℃的热处理，以便使该接合更坚固。

[0206] 利用范德华力而形成接合，由此在室温下形成强固的接合。另外，由于可以在低温下进行上述接合，所以作为支撑衬底 410 可以使用各种衬底。例如，作为支撑衬底 410，除了使用铝硅酸盐玻璃、钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等的玻璃衬底之外，还可以使用石英衬底等的衬底。

[0207] 注意，还可以进一步在绝缘膜 411 和单晶半导体层 403 之间设置绝缘层。

[0208] 注意，也可以在将单晶半导体层 403 贴合在支撑衬底 410 上之前或贴合之后，对由于单晶半导体层 403 的分离暴露的面施加利用激光束的照射的热退火。当在将单晶半导体层 403 贴合到支撑衬底 410 上之前施加热退火时，由于分离暴露的面被平坦化，可以进一步提高接合的强度。另外，当在将单晶半导体层 403 贴合到支撑衬底 410 上之后施加热退火时，单晶半导体层 403 的一部分溶解，可以进一步提高接合的强度。

[0209] 另外，不是仅通过将单晶半导体层 403 接合在支撑衬底 410 上来进行贴合，还可以通过对单晶半导体层 403 施加 10MHz 至 1THz 左右的高频率的振动，而使单晶半导体层 403 和支撑衬底 410 之间发生摩擦热，因该热使单晶半导体层 403 部分地溶解，来将单晶半导体层 403 贴合在支撑衬底 410 上。

[0210] 注意，在使用 MW-1 作为低温凝固剂的情况下，首先在低温凝固剂没有粘合效应的温度（例如 25℃左右）下，将附着于微针的前端的低温凝固剂接触于绝缘膜 404。接下来，通过将温度降低到低温凝固剂具有粘合效应的温度（例如 5℃左右），而使低温凝固剂凝固，来使微针和绝缘膜 404 固定。然后，在将从单晶半导体衬底 401 拉开的单晶半导体层 403 贴合到支撑衬底 410 上之后，再将低温凝固剂的温度提高到没有粘合效应的温度（例如 25℃左右），可以将微针从单晶半导体层 403 拉开。

[0211] 去除单晶半导体层 403 上的绝缘膜 404，在支撑衬底 410 及绝缘膜 411 上形成岛状单晶半导体层 403（参照图 12D）。也可以对单晶半导体层 403 进一步蚀刻而加工其形状。

[0212] 如图 12C 所示那样，当将由于劈开而暴露的单晶半导体层的表面朝向支撑衬底一侧时平坦性更高的一侧的表面接触于栅极绝缘膜，因此可以使单晶半导体层和栅极绝缘膜之间的界面能级密度低且均匀。从而，可以省略使接触于栅极绝缘膜的单晶半导体层的表面平坦化的研磨，或者缩短研磨时间，可以提高生产率而抑制成本。

[0213] 注意，可以以由于劈开而暴露的单晶半导体层的表面和栅极绝缘膜接触的方式，将单晶半导体层贴合到支撑衬底上。将参照图 13A 至图 14C，说明该实例。

[0214] 与图 12A 同样，在图 13A 中形成有单晶半导体衬底 421、脆化层 422、单晶半导体衬底的一部分的单晶半导体层 428、绝缘膜 424。在本实施方式中，氧化硅用作绝缘膜 424。

[0215] 接下来，如图 13B 所示那样，将单晶半导体衬底 421 固定于保持单元 425。以单晶半导体层 428 朝向保持单元 425 一侧的方式进行单晶半导体衬底 421 的固定。作为保持单元 425，可以使用大型的真空吸盘或机械吸盘，具体而言如多孔真空吸盘、非接触式真空吸盘等，这种吸盘可以耐受后面的热处理并且与多个单晶半导体层（在图 13 中单晶半导体层

428) 重叠地固定。在本实施方式中示出作为保持单元 425 使用真空吸盘的实例。

[0216] 通过进行热处理，在脆化层 422 中，相邻的微孔互相结合而微孔的体积增大。结果，如图 13C 所示那样，在脆化层 422 中单晶半导体衬底 421 劈开，单晶半导体衬底 421 的一部分的单晶半导体层 428 成为单晶半导体层 423，并且从单晶半导体衬底 421 与绝缘膜 424 一起分离。热处理在如 400℃至 600℃的温度范围内进行即可。

[0217] 注意，热处理也可以通过利用高频率如微波等的介电加热而进行。

[0218] 另外，也可以在使单晶半导体衬底 421 劈开之前，对单晶半导体衬底 421 进行氢化处理。

[0219] 如图 13D 及 14A 所示那样，通过将套爪 427 固定于由于单晶半导体层 423 的劈开而暴露的面，将单晶半导体层 423 从保持单元 425 拉开。作为套爪 427 使用可以选择性地固定于单晶半导体层 423 的装置，如真空吸盘或机械吸盘等的吸盘、其前端附着粘合剂的微针等。在图 13D 及 14A 中示出作为套爪 427，使用真空吸盘的实例。

[0220] 注意，在本实施方式中示出套爪 427 固定于由于单晶半导体层 423 的劈开而暴露的面的实例，也可以形成绝缘膜等的保护膜，以便防止由于套爪 427 受伤。注意，在将单晶半导体层 423 贴合到支撑衬底 430 之后，去除上述保护膜。

[0221] 另外，作为附着于微针的粘合剂，可以使用环氧类粘合剂、陶瓷类粘合剂、硅酮类粘合剂、低温凝固剂等。

[0222] 接着，如图 14B 所示那样，以绝缘膜 424 朝向支撑衬底 430 一侧的方式，就是说以与由于劈开而暴露的面相反一侧的面朝向支撑衬底 430 一侧的方式，使单晶半导体层 423 和支撑衬底 430 贴合。在本实施方式中，在支撑衬底 430 上形成绝缘膜 431，通过绝缘膜 424 和绝缘膜 431 接合，可以使单晶半导体层 423 和支撑衬底 430 贴合（参照图 14C）。在使绝缘膜 424 和绝缘膜 431 接合之后，优选进行 400℃至 600℃的热处理，以便使该接合更坚固。

[0223] 利用范德华力而形成接合，由此在室温下形成强固的接合。另外，由于可以在低温下进行上述接合，所以作为支撑衬底 430 可以使用各种衬底。

[0224] 注意，单晶半导体衬底有时具有翘曲或弯曲，有时其端部稍微带有圆度。另外，当为了从单晶半导体衬底剥离单晶半导体层，照射氢或稀有气体，或者添加氢离子、稀有气体离子时，对于单晶半导体衬底的端部有时不能充分地进行上述气体或离子的添加。因此，从位于单晶半导体衬底的端部的部分难以使单晶半导体层剥离，在将单晶半导体衬底贴合在支撑衬底上然后使单晶半导体衬底劈开来形成单晶半导体层的情况下，单晶半导体层之间的间隔变为几 mm 至几 cm。然而，在本实施方式中，在将单晶半导体衬底贴合在支撑衬底之前使单晶半导体衬底劈开来形成单晶半导体层。由此，当将单晶半导体衬底贴合在支撑衬底上时，可以将单晶半导体层之间的间隔控制为小约几十 μm，从而可以越过单晶半导体层之间的间隙容易地制造半导体装置。

[0225] 在本实施方式的半导体装置的制造方法中，利用多个单晶半导体衬底可以将多个单晶半导体层贴合到一个支撑衬底，因此可以高生产率地进行处理。另外，根据半导体元件所具有的极性适当地选择单晶半导体层的面方位，因此可以提高半导体元件的迁移率，而可以提供进一步高速工作的半导体装置。

[0226] 另外，因为可以通过在单晶半导体衬底的多个部分进行劈开来形成多个单晶半导体层，并将该多个单晶半导体层贴合在支撑衬底上，因此，可以根据半导体装置中的半导体

元件的极性及布置来选择贴合多个各单晶半导体层的位置。

[0227] 本实施方式可以与实施方式 1 以及实施方式 2 适当地组合而实施。

[0228] 实施方式 5

[0229] 在本实施方式中，参照图 6A 至 6E 及图 7A 至 7D 说明以高成品率地制造薄型的具有高性能的半导体元件的半导体集成电路为目的的半导体装置的制造方法，作为其一个例子说明 CMOS（互补型金属氧化物半导体；Complementary Metal Oxide Semiconductor）的制造方法。另外，这里省略与实施方式 1 相同的部分或具有相同功能的部分的重复说明。

[0230] 在图 6A 中，在支撑衬底 1101 上形成有阻挡层 1109、绝缘层 1104、保护层 1121、以及单晶半导体层 1102。单晶半导体层 1102、阻挡层 1109、绝缘层 1104、以及保护层 1121 与图 5C 对应。虽然这里示出使用图 6A 所示的结构的半导体衬底的例子，但是也可以使用本说明书所示的其他结构的半导体衬底。另外，也可以将阻挡层 1109、绝缘层 1104、保护层 1121 称为设置在支撑衬底 1101 和单晶半导体层 1102 之间的缓冲层，并且缓冲层不局限于上述结构。

[0231] 也可以根据分离了的单晶半导体衬底的导电型（衬底所包含的给予一导电型的杂质元素），对单晶半导体层 1102 以与 n 沟道型场效应晶体管及 p 沟道型场效应晶体管的形成区域对应的方式添加硼、铝、镓等给予 p 型的杂质元素；或者磷、砷等基于 n 型的杂质元素，以便控制阈值电压。杂质元素的剂量为 1×10^{12}ions/cm^2 至 1×10^{14}ions/cm^2 左右即可。

[0232] 蚀刻单晶半导体层 1102 来形成根据半导体元件的配置分离为岛状的单晶半导体层 205、206（参照图 6B）。

[0233] 去除单晶半导体层上的氧化膜，形成覆盖单晶半导体层 205、206 的栅极绝缘层 207。本实施方式中的单晶半导体层 205、206 由于平坦性高，所以即使形成在单晶半导体层 205、206 上的栅极绝缘层为薄膜栅极绝缘层的情况下，也可以高覆盖性地覆盖。因此，可以防止因为栅极绝缘层的覆盖不良而导致的特性不良，从而可以高成品率地制造具有高可靠性的半导体装置。栅极绝缘层 207 的薄膜化具有使晶体管以低电压高速工作的效应。

[0234] 栅极绝缘层 207 由氧化硅或氧化硅和氮化硅的叠层结构形成即可。栅极绝缘层 207 既可以通过利用等离子体 CVD 法或减压 CVD 法淀积绝缘膜来形成，又可以利用等离子体处理的固相氧化或固相氮化来形成。这是因为利用等离子体处理进行氧化或氮化来形成的栅极绝缘层很致密并且绝缘耐压高且优越于可靠性的缘故。例如，使用 Ar 将氧化亚氮（N_2O）稀释 1 倍至 3 倍（流量比），在 10Pa 至 30Pa 的压力下施加 3kW 至 5kW 的微波（2.45GHz）电力来使单晶半导体层 205、206 的表面氧化或氮化。通过该处理形成 1nm 至 10nm（优选为 2nm 至 6nm）的绝缘膜。再者，引入氧化亚氮（N_2O）和硅烷（SiH_4）并在 10Pa 至 30Pa 的压力下施加 3kW 至 5kW 的微波（2.45GHz）电力通过气相成长法形成氧氮化硅膜，以形成栅极绝缘层。通过组合固相反应和通过气相成长法的反应，可以形成界面态密度低且优越于绝缘耐压的栅极绝缘层。

[0235] 另外，作为栅极绝缘层 207，也可以使用高介电常数材料如二氧化锆、氧化铪、二氧化钛、五氧化钽等。通过使用高介电常数材料作为栅极绝缘层 207，可以降低栅极泄漏电流。

[0236] 在栅极绝缘层 207 上形成栅电极层 208 及栅电极层 209（参照图 6C）。栅电极层 208 及 209 可以通过溅射法、蒸镀法、CVD 法等的方法形成。栅电极层 208 及 209 由选自钽（Ta）、钨（W）、钛（Ti）、钼（Mo）、铝（Al）、铜（Cu）、铬（Cr）、钕（Nd）的元素；或者以所述元素

为主要成分的合金材料或者化合物材料形成即可。此外，作为栅电极层 208 及 209 还可以使用以掺杂有磷等杂质元素的多晶硅膜为代表的半导体膜或 AgPdCu 合金。

[0237] 形成覆盖单晶半导体层 206 的掩模 211。将掩模 211 及栅电极层 208 用作掩模添加给予 n 型的杂质元素 210 来形成第一 n 型杂质区域 212a、212b（参照图 6D）。在本实施方式中，作为包含杂质元素的掺杂气体使用磷化氢（PH_3）。这里，对第一 n 型杂质区域 212a、212b 添加给予 n 型的杂质元素，使其浓度达到 $1\times10^{17}atoms/cm^3$ 至 $5\times10^{18}atoms/cm^3$ 左右。在本实施方式中，使用磷（P）作为给予 n 型的杂质元素。

[0238] 接下来，形成覆盖单晶半导体层 205 的掩模 214。将掩模 214 及栅电极层 209 用作掩模，添加给予 p 型的杂质元素 213 来形成第一 p 型杂质区域 215a、第一 p 型杂质区域 215b（参照图 6E）。在本实施方式中，使用硼（B）作为杂质元素，因此使用乙硼烷（B_2H_6）等作为包含杂质元素的掺杂气体。

[0239] 去除掩模 214，并且在栅电极层 208、209 的侧面形成侧壁结构的侧壁绝缘层 216a 至 216d、栅极绝缘层 233a、233b（参照图 7A）。在形成覆盖栅电极层 208、209 的绝缘层之后，通过使用 RIE（反应离子刻蚀；Reactive ion etching）法的各向异性蚀刻对其进行加工，在栅电极层 208、209 的侧壁自对准地形成侧壁结构的侧壁绝缘层 216a 至 216d 即可。这里，关于绝缘层没有特别的限制，优选为使 TEOS（Tetra-Ethyl-Ortho-Silicate；四乙氧基硅烷）或硅烷等与氧或氧化亚氮等起反应来形成的台阶覆盖性良好的氧化硅。绝缘层可以通过热 CVD、等离子体 CVD、常压 CVD、偏压 ECRCVD、溅射等方法形成。栅极绝缘层 233a、233b 可以通过将栅电极层 208、209 以及侧壁绝缘层 216a 至 216d 用作掩模蚀刻栅极绝缘层 207 来形成。

[0240] 此外，虽然在本实施方式中，当蚀刻绝缘层时去除栅电极层上的绝缘层来使栅电极层暴露，但是也可以将侧壁绝缘层 216a 至 216d 形成为在栅电极层上保留有绝缘层的形状。另外，也可以在后面的工序中在栅电极层上形成保护膜。通过像这样保护栅电极层，当蚀刻加工时可以防止栅电极层减薄。此外，当在源区及漏区中形成硅化物时，由于在形成硅化物时形成的金属膜和栅电极层不接触，所以即使在金属膜的材料和栅电极层的材料都为彼此容易起反应的材料的情况下，也可以防止化学反应和扩散等不良。作为蚀刻方法，可以为干蚀刻法或湿蚀刻法，可以使用各种蚀刻方法。在本实施方式中使用干蚀刻法。作为蚀刻用气体，可以适当地使用以 Cl_2、BCl_3、$SiCl_4$ 或 CCl_4 等为代表的氯类气体；以 CF_4、SF_6 或 NF_3 等为代表的氟类气体；或 O_2。

[0241] 接下来，形成覆盖单晶半导体层 206 的掩模 218。将掩模 218、栅电极层 208、侧壁绝缘层 216a、216b 用作掩模添加给予 n 型的杂质元素 217，藉此形成第二 n 型杂质区域 219a、219b、第三 n 型杂质区域 220a、220b。在本实施方式中，作为包含杂质元素的掺杂气体使用 PH_3。这里，对第二 n 型杂质区域 219a、219b 添加给予 n 型的杂质元素，使其浓度达到 $5\times10^{19}atoms/cm^3$ 至 $5\times10^{20}atoms/cm^3$ 左右。此外，在单晶半导体层 205 中形成沟道形成区域 221（参照图 7B）。

[0242] 第二 n 型杂质区域 219a、第二 n 型杂质区域 219b 都是高浓度 n 型杂质区域，用作源极、漏极。另一方面，第三 n 型杂质区域 220a、第三 n 型杂质区域 220b 都是低浓度杂质区域，成为 LDD（Lightly DopedDrain，轻掺杂漏）区域。第三 n 型杂质区域 220a、220b 由于形成在不被栅电极层 208 覆盖的 Loff 区域中，所以具有降低截止电流的效应。结果，可以制

造可靠性更高且低耗电量的半导体装置。

[0243] 去除掩模 218，形成覆盖单晶半导体层 205 的掩模 223。将掩模 223、栅电极层 209、侧壁绝缘层 216c、216d 用作掩模添加给予 p 型的杂质元素 222，藉此形成第二 p 型杂质区域 224a、224b、第三 p 型杂质区域 225a、225b。

[0244] 对第二 p 型杂质区域 224a、224b 添加给予 p 型的杂质元素，使其浓度达到 1×10^{20}atoms/cm^3 至 5×10^{21}atoms/cm^3 左右。在本实施方式中，使用侧壁绝缘层 216c、216d 以其浓度比第二 p 型杂质区域 224a、224b 低的方式自对准地形成第三 p 型杂质区域 225a、225b。此外，在单晶半导体层 206 中形成沟道形成区域 226（参照图 7C）。

[0245] 第二 p 型杂质区域 224a、224b 都是高浓度 p 型杂质区域，用作源极、漏极。另一方面，第三 p 型杂质区域 225a、225b 都是低浓度杂质区域，成为 LDD（轻掺杂漏）区域。第三 p 型杂质区域 225a、225b 由于形成在不被栅电极层 209 覆盖的 Loff 区域中，所以具有降低截止电流的效应。结果，可以制造可靠性更高且低耗电量的半导体装置。

[0246] 去除掩模 223，为了激活杂质元素，也可以进行加热处理、强光照射或者激光照射。在与激活的同时，可以恢复对栅极绝缘层造成的等离子体损坏及对栅极绝缘层和单晶半导体层之间的界面造成的等离子体损坏。

[0247] 接下来，形成覆盖栅电极层、栅极绝缘层的层间绝缘层。在本实施方式中，采用用作保护膜的包含氢的绝缘膜 227 和绝缘层 228 的叠层结构。绝缘膜 227 和绝缘层 228 可以是通过溅射法或等离子体 CVD 法形成的氮化硅膜、氮氧化硅膜、氧氮化硅膜、或者氧化硅膜，也可以使用由其它的含硅的绝缘膜构成的单层结构或三层以上的叠层结构。

[0248] 然后，在 300℃至 550℃的氮气气氛中进行 1 小时至 12 小时的热处理，使单晶半导体层氢化。该工序是优选在 400℃至 500℃的温度下进行的。这一工序是由作为层间绝缘层的绝缘膜 227 所含的氢终止单晶半导体层中的悬空键的工序。在本实施方式中，在 410℃的温度下进行 1 小时的加热处理。

[0249] 绝缘膜 227 和绝缘层 228 还可以使用选自氮化铝 (AlN)、氧氮化铝 (AlON)、氮的含量多于氧的含量的氮氧化铝 (AlNO)、氧化铝、类金刚石碳 (DLC)、含氮碳 (CN)、聚硅氮烷、以及含有无机绝缘材料的其它物质中的材料来形成。此外，还可以使用硅氧烷树脂。硅氧烷树脂相当于包含 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 键构成。可以使用有机基（例如烷基、芳基）、氟基用作取代基。有机基也可以包含氟基。另外，也可以使用有机绝缘材料，作为有机材料，可以使用聚酰亚胺、丙烯酸、聚酰胺、聚酰亚胺酰胺、抗蚀剂或苯并环丁烯。也可以使用通过涂敷法形成的平坦性良好的涂敷膜。

[0250] 绝缘膜 227 和绝缘层 228 可以使用浸渍法、喷涂法、刮刀法、辊涂法、帘涂法、刮刀涂布法、CVD 法、或蒸镀法等来形成。也可以通过液滴喷射法形成绝缘膜 227 和绝缘层 228。当使用液滴喷射法时，可以节省材料液体。另外，还可以使用如液滴喷射法那样能够转印或描绘图形的方法，例如印刷法（诸如丝网印刷或胶版印刷等的图形形成方法）等。

[0251] 接着，通过使用由抗蚀剂构成的掩模，在绝缘膜 227 和绝缘层 228 中形成到达单晶半导体层的接触孔（开口）。根据所使用的材料的选择比，可以进行一次或多次的蚀刻。通过蚀刻去除绝缘膜 227 和绝缘层 228，形成到达作为源区或漏区的第二 n 型杂质区域 219a、219b、第二 p 型杂质区域 224a、224b 的开口。此外，蚀刻可以采用湿蚀刻及干蚀刻中的一方或双方。作为湿蚀刻的蚀刻剂，优选使用包含氟化氢铵和氟化铵的混合溶液之类的氢氟酸

类溶液。作为蚀刻用气体，可以适当使用以 Cl_2、BCl_3、$SiCl_4$ 或 CCl_4 等为代表的氯类气体；以 CF_4、SF_6 或 NF_3 等为代表的氟类气体；或者 O_2。此外，也可以将惰性气体添加到所使用的蚀刻用气体。作为所添加的惰性元素，可以使用选自 He、Ne、Ar、Kr、Xe 中的一种或多种元素。

[0252] 以覆盖开口的方式形成导电膜，并且蚀刻该导电膜来形成用作与各源区或漏区的一部分分别电连接的源电极层或漏电极层的布线层 229a、229b、230a、230b。布线层可以通过 PVD 法、CVD 法、蒸镀法等形成导电膜，然后蚀刻为所希望的形状来形成。另外，可以通过使用液滴喷射法、印刷法、电镀法等在预定的部分上选择性地形成导电层。还可以采用回流方法或镶嵌方法。布线层由 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 之类的金属、Si、Ge、其合金或其氮化物来构成。此外，也可以采用它们的叠层结构。

[0253] 通过上述工序，可以制造 CMOS 结构的半导体装置，该半导体装置包括作为 n 沟道型薄膜晶体管的晶体管 231 及作为 p 沟道型薄膜晶体管的晶体管 232（参照图 7D）。虽然未图示，但由于本实施方式采用 CMOS 结构，所以晶体管 231 和晶体管 232 电连接。

[0254] 晶体管可以是形成有一个沟道形成区域的单栅极结构、形成有两个沟道形成区域的双栅极结构或形成有三个沟道形成区域的三栅极结构，而不局限于本实施方式。

[0255] 如上所述，由于使用具有从单晶半导体衬底转载到支撑衬底上的单晶半导体层的半导体衬底，所以单晶半导体层的结晶缺陷减少而结晶性提高，并且平坦性也提高。

[0256] 由此，可以高成品率地制造薄型的具有高性能的半导体装置。

[0257] 在本实施方式中，可以与实施方式 1 至 4 适当地组合。

[0258] 实施方式 6

[0259] 接下来，以下示出本发明的半导体装置的一个方式的显示面板的结构。在本实施方式中，将对具有液晶元件作为显示元件的半导体装置的一个方式的液晶显示面板（也称为液晶面板）进行说明。

[0260] 使用图 8A 和 8B 对相当于本发明的半导体装置的一个方式的液晶显示面板的外观及截面进行说明。图 8A 是通过使用密封剂 4005 将形成在第一衬底 4001 上的晶体管 4010 及液晶元件 4013 密封在第一衬底 4001 与第二衬底 4006 之间的面板的俯视图，而图 8B 相当于沿图 8A 的 M-N 的截面图。

[0261] 以围绕设置在第一衬底 4001 上的像素部 4002 的方式设置有密封剂 4005。另外，在像素部 4002 上设置有第二衬底 4006。因此，像素部 4002 与液晶 4008 一起由第一衬底 4001、密封剂 4005、以及第二衬底 4006 密封。

[0262] 另外，在第一衬底 4001 上的与由密封剂 4005 围绕的区域不同的区域中安装有在另外准备的衬底上由单晶半导体层形成的半导体集成电路 4003。半导体集成电路 4003 是用作扫描线驱动电路、以及信号线驱动电路的周围驱动电路 (driver)。与实施方式 1 同样地制造半导体集成电路 4003，例示出的晶体管 4009 使用从单晶半导体衬底分离的单晶半导体层。再者，由于设置有半导体集成电路的被较薄地形成的衬底被树脂层覆盖，所以在工序上较易处理且不易发生破损等的问题。所以，可以高成品率地制造更薄型的具有高性能的半导体装置。

[0263] 注意，还可以将周围驱动电路的一部分，例如将扫描线驱动电路与像素部一起直接形成在第一衬底上。在这种情况下，还可以采用以围绕像素部和扫描线驱动电路的方式

形成密封剂，使用第二衬底进行密封的结构。

[0264] 设置在第一衬底 4001 上的像素部 4002 具有多个晶体管，图 8B 例示包含于像素部 4002 的晶体管 4010。在图 8A 和 8B 的半导体装置中，使用具有非晶半导体膜的沟道蚀刻型反交错晶体管作为晶体管 4010。作为反交错晶体管还可以使用沟道保护型。

[0265] 液晶元件 4013 所具有的像素电极 4030 通过布线 4040 与薄膜晶体管 4010 电连接。液晶元件 4013 的相对电极 4031 形成在第二衬底 4006 上。像素电极 4030、相对电极 4031、以及液晶 4008 重叠的部分相当于液晶元件 4013。另外，接触于像素电极 4030 形成取向膜 4037，接触于相对电极 4031 形成取向膜 4036。

[0266] 此外，作为第一衬底 4001、第二衬底 4006，可以使用玻璃、金属（代表为不锈钢）、陶瓷、塑料。作为塑料，可以使用 FRP(Fiberglass-Reinforced Plastics，即纤维增强塑料)板、PVF（聚氟乙烯）薄膜、聚酯薄膜或丙烯酸树脂薄膜。另外，也可以采用由 PVF 薄膜或聚酯薄膜夹有铝箔的薄片。但是，第一衬底 4001 以及第二衬底 4006 在透过型液晶显示装置的情况下，需要在其双方使用具有透光性的衬底，而在反射型液晶显示装置的情况下，至少要透过光的衬底需要使用具有透光性的衬底。

[0267] 另外，4035 为球状的隔离物是用来控制像素电极 4030 和相对电极 4031 之间的距离（单元间隙）而设置的。此外，也可以使用通过选择性地蚀刻绝缘膜而获得的隔离物。

[0268] 另外，另行形成的为周围驱动电路的半导体集成电路 4003、或供给给像素部 4002 的各种信号以及电位是通过连接端子 4016 和各向异性导电膜 4019 从 FPC4018 供给的。

[0269] 作为半导体集成电路和与设置在像素部上的元件电连接的布线的连接部分的结构，可以使衬底上的布线与设置在半导体集成电路的电极上的为导电突起物的凸块接触，并将衬底和半导体集成电路之间使用树脂固定。另外，还可以在衬底上的布线和半导体集成电路的电极端子之间设置分散导电粒子的树脂，使用该导电粒子进行半导体集成电路和衬底上的布线的电连接，并使用分散导电粒子的有机树脂来进行粘合、固定。另外，可以使用光固化树脂、热固化树脂或自然固化树脂等作为粘合用树脂。在本实施方式中，半导体集成电路 4003 和与像素部 4002 连接的布线 4014 是通过凸块 4015a（例如在本实施方式中使用金凸块）以及各向异性导电膜 4038 电连接。

[0270] 在本实施方式中，连接端子 4016 以及布线 4014 是由与晶体管 4010 的栅电极层同一个导电膜而形成。

[0271] 另外，在本实施方式中，半导体集成电路 4003 是通过连接端子 4016、凸块 4015b（例如在本实施方式中使用金凸块）以及各向异性导电膜 4038 与 FPC4018 电连接。

[0272] 注意，虽然未图示，本实施方式所示的半导体装置具有偏振片，进而还可以具有颜色滤光片、屏蔽膜。

[0273] 注意，图 8A 和 8B 示出另外形成半导体集成电路 4003 作为信号线驱动电路以及扫描线驱动电路并安装到第一衬底 4001 的一例，但是本实施方式不局限于该结构。既可以另外仅形成信号线驱动电路或扫描线驱动电路作为半导体集成电路并安装，又可以另外仅形成信号线驱动电路的一部分或扫描线驱动电路的一部分作为半导体集成电路并安装。

[0274] 在本发明中，作为安装半导体集成电路作为驱动电路 (driver) 并具有显示功能的半导体装置，既可以是无源矩阵型也可以是有源矩阵型。还可以安装半导体集成电路作为存储元件的驱动电路，从而制造具有存储功能的半导体装置。

[0275] 另外，在本发明中作为直接形成在设置像素部的衬底上的晶体管所具有的半导体层的材料，可以使用：以硅烷或锗烷为代表的半导体材料气体通过气相成长法、溅射法制造的非晶半导体；微晶半导体；以及利用光能、热能将非晶半导体晶化了的多晶半导体等。

[0276] 作为直接形成在设置像素部的衬底上的半导体层的非晶半导体可以典型地举出氢化非晶硅，而且作为晶体半导体可以典型地举出多晶硅等。多晶硅（polysilicon）包括如下：以通过800℃以上的处理温度而形成的多晶硅为主要材料的所谓的高温多晶硅；以通过600℃以下的处理温度而形成的多晶硅为主要材料的所谓的低温多晶硅；使用促进晶化的元素等将非晶硅晶化的多晶硅；等等。

[0277] 在将晶体半导体层用作直接形成在设置像素部的衬底上的半导体层的情况下，作为该晶体半导体层的制造方法，可以采用各种方法（激光结晶法、热结晶法或利用诸如镍之类的促进晶化的元素的热结晶法等）。

[0278] 另外，作为直接形成在设置像素部的衬底上的半导体层的半导体材料，可以使用并五苯等的有机半导体材料、氧化物半导体材料等。

[0279] 作为直接形成在像素部以及设置像素部的衬底上的晶体管，可以使用形成有一个沟道形成区域的单栅极结构、形成有两个沟道形成区域的双栅极结构或形成有三个沟道形成区域的三栅极结构。

[0280] 另外，作为直接形成在像素部以及设置像素部的衬底上的晶体管，可以使用顶栅型（例如正交错型、共面型）、底栅型（例如，反交错型、反共面型）、或者具有经由栅极绝缘膜配置在沟道区域上下的两个栅电极层的双栅型、其他结构。

[0281] 本实施方式可以适当地与其它的实施方式所记载的结构组合而实施。

[0282] 实施方式7

[0283] 接下来，以下示出本发明的半导体装置的一个方式的显示面板的结构。在本实施方式中，将对具有发光元件作为显示元件的半导体装置的一个方式的发光显示面板（也称为发光面板）进行说明。

[0284] 对相当于本发明的半导体装置的一个方式的发光显示面板的外观及截面，使用图9A和9B进行说明。图9A是安装使用本发明制造的半导体集成电路，并且通过使用密封剂将形成在第一衬底上的晶体管及发光元件密封在第一衬底与第二衬底之间的面板的俯视图，图9B相当于沿图9A的E-F的截面图。

[0285] 作为具有显示面板的发光元件，在此可以使用利用电致发光的发光元件。作为利用电致发光的发光元件，根据发光材料是有机化合物还是无机化合物被区分。一般地，前者称为有机EL元件，而后者称为无机EL元件。

[0286] 作为有机EL元件，通过对发光元件施加电压，电子及空穴从一对电极分别注入到包含发光性的有机化合物的层，由此电流流通。并且，通过那些载流子（电子和空穴）重新结合，发光有机化合物达到激发态，并且当该激发态恢复到基态时发光。由于这种机理，上述发光元件被称为电流激发型发光元件。

[0287] 无机EL元件根据其元件结构被分为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件具有将发光材料的粒子分散在粘结剂中的发光层，其发光机理为利用施主能级和受主能级的施主－受主重新结合型发光。薄膜型无机EL元件具有以电介质层夹住发光层再将它以电极夹住的结构，其发光机理为利用金属离子的内壳层电子跃迁的局部

存在型发光。

[0288] 以围绕设置在第一衬底 4501 上的像素部 4502 的方式设置有密封剂 4505。另外，在像素部 4502 上设置有第二衬底 4506。因此，像素部 4502 与填料 4507 一起由第一衬底 4501、密封剂 4505、以及第二衬底 4506 密封。

[0289] 另外，在第一衬底 4501 上的与由密封剂 4505 围绕的区域不同的区域中安装有在另外准备的衬底上由单晶半导体层形成的半导体集成电路 4503。半导体集成电路 4503 是用作扫描线驱动电路、以及信号线驱动电路的周围驱动电路 (driver)。与实施方式 1 同样地制造半导体集成电路 4503，例示出的晶体管 4509 使用从单晶半导体衬底分离的单晶半导体层。再者，由于设置有半导体集成电路的被较薄地形成的衬底被树脂层覆盖，所以在工序上较易处理且不易发生破损等的问题。所以，可以高成品率地制造更薄型的具有高性能的半导体装置。

[0290] 注意，还可以将周围驱动电路的一部分，例如将扫描线驱动电路与像素部一起直接形成在第一衬底上。在这种情况下，还可以采用以围绕像素部和扫描线驱动电路的方式形成密封剂，使用第二衬底进行密封的结构。

[0291] 设置在第一衬底 4501 上的像素部 4502 具有多个薄膜晶体管，图 9B 例示包含于像素部 4502 的晶体管 4510、4520。此外，在本实施方式中，虽然假定了晶体管 4510 为驱动 TFT，但是晶体管 4510 既可以为电流控制 TFT，又可以为擦除 TFT。在本实施方式中，示出晶体管 4510、4520 为使用有微晶半导体膜的薄膜晶体管为实例。

[0292] 晶体管 4510、4520 包含用作栅电极层、栅极绝缘层、微晶半导体膜的半导体层、缓冲层、源区或漏区、源电极或漏电极的布线。缓冲层形成在半导体层和源区或漏区之间。

[0293] 由于本实施方式的结构是在半导体层上设置缓冲层的结构，所以可以防止在进行工序时损坏半导体层（在进行蚀刻时发生的由等离子体的自由基以及蚀刻剂所导致的膜厚降低和氧化等）。因此可以提高晶体管 4510、4520 的可靠性。

[0294] 微晶半导体膜是包括具有非晶体和晶体结构（包括单晶、多晶）的中间结构的半导体的膜。该半导体是具有在自由能方面很稳定的第三状态的半导体，并且是具有短程有序且具有晶格畸变的结晶，从其膜表面看的粒径为 0.5nm 至 20nm 的柱状或针状晶体对于衬底表面以法线方向生长。另外，微晶半导体和非晶半导体混在一起。微晶半导体的典型例的微晶硅的拉曼光谱移动到比表示单晶硅的 $521cm^{-1}$ 低频率一侧。亦即，表示单晶硅的 $521cm^{-1}$ 和表示非晶硅的 $480cm^{-1}$ 之间有微晶硅的拉曼光谱的高峰。此外，使该半导体膜含有至少 1 原子％或更多的氢或卤素，以便终止悬空键。进而，通过使该半导体包含氦、氩、氪、氖等稀有气体元素而进一步助长其晶格畸变，可以获得稳定性得到提高的良好的微晶半导体膜。

[0295] 可以使用 SiH_4、Si_2H_6、SiH_2Cl_2、$SiHCl_3$、$SiCl_4$、SiF_4 等的硅气体（氢化硅气体、卤化硅气体）并通过等离子体 CVD 法形成缓冲层。此外，可以对上述硅烷使用选自氦、氩、氪、氖中的一种或多种的稀有气体元素进行稀释来形成非晶半导体膜。例如，可以使用非晶硅膜作为缓冲层。

[0296] 另外，4511 相当于发光元件，发光元件 4511 所具有的像素电极与薄膜晶体管 4510 的源电极或漏电极通过布线 4517 电连接。在本实施方式中，发光元件 4511 的共同电极与具有透光性的导电膜 4512 电连接。此外，发光元件 4511 的结构不局限于本实施方式所示的结构。根据从发光元件 4511 取出的光的方向或晶体管 4510 的极性等，可以适当地改变

发光元件 4511 的结构。

[0297] 此外，作为另外形成的周围驱动电路的半导体集成电路 4503、或供给给像素部 4502 的各种信号以及电位，虽然在图 9B 所示的截面图中未图示，但是通过连接端子 4516 从 FPC4518 供给。

[0298] 作为半导体集成电路和与设置在像素部中的元件电连接的布线的连接部分的结构，可以使衬底上的布线与设置在半导体集成电路的电极上的为导电突起物的凸块接触，并将衬底和半导体集成电路之间使用树脂固定。另外，还可以在衬底上的布线和半导体集成电路的电极端子之间设置分散导电粒子的树脂，使用该导电粒子进行半导体集成电路和衬底上的布线的电连接，并使用分散导电粒子的有机树脂来进行粘合、固定。另外，可以使用光固化树脂或者热固化树脂或自然固化树脂等作为粘合用树脂。

[0299] 另外，可以使用引线键合作为安装方法。在本实施方式中，示出以半导体集成电路 4503 的树脂层与设置有像素部的第一衬底 4501 连接的方式安装半导体集成电路 4503 的例子。半导体集成电路 4503 是与像素部 4502 连接的布线 4514 通过导电材料 4540a、4540b、导电层 4515a 并通引线键合法电连接。

[0300] 在本实施方式中，连接端子 4516、布线 4514 是由与发光元件 4511 所具有的像素电极同一个导电膜而形成。

[0301] 另外，半导体集成电路 4503 与 FPC4518 通过各异向性导电膜 4519、连接端子 4516、导电材料 4540c、4540d、导电层 4515b 并通过引线键合法电连接。

[0302] 可以通过粘合层将半导体集成电路 4503 粘合在第一衬底 4501 上。

[0303] 作为发光元件，为了取出发射的光至少一对电极中的一个是透明的即可。另外，存在通过与形成有晶体管以及发光元件的元件的衬底相反一侧的表面（相对衬底一侧）取出发射的光的顶部发射、通过元件衬底一侧的表面取出发射的光的底部发射、通过元件衬底一侧以及与衬底相反一侧的表面（相对衬底一侧）取出发射的光的双面发射结构的发光元件，本发明可以应用于任一种发射结构的发光元件。

[0304] 作为发光元件的具有反射性的电极，只要是可以反射光的导电膜，就可以使用各种材料。例如，优选使用 Ca、Al、CaF、MgAg、AlLi 等。作为发光元件的具有透光性的电极，使用至少在可见光的波长区域中具有透光性的导电性材料来形成，例如可以使用包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锡氧化物（以下，记为 ITO）、铟锌氧化物、添加有氧化硅的铟锡氧化物等。注意，在本发明中，透光性是指至少在可见光的波长区域中具有透过光的性质。

[0305] 作为被夹在一对电极间的发光层，既可以由单独层构成，又可以由多层的叠层构成。另外，还可以在发光层和电极之间设置功能层，可以使用电子注入层、电子传输层、空穴传输层、空穴注入层等作为功能层。

[0306] 位于从发光元件 4511 取出光的方向的衬底为透明。在此情况下，使用具有透光性的材料如玻璃板、塑料板、聚酯薄膜或丙烯薄膜。

[0307] 另外，作为填料 4507 除了氮或氩等惰性的气体之外，还可以使用紫外线固化树脂或热固化树脂，即可以使用 PVC（聚氯乙烯）、丙烯、聚酰亚胺、环氧树脂、硅酮树脂、PVB（聚乙烯醇缩丁醛）、或 EVA（乙烯－醋酸乙烯酯）。在本实施方式中作为填料使用氮。

[0308] 另外，若有需要，也可以在发光元件的射出表面上适当地设置诸如偏振片、圆偏振

片（包括椭圆偏振片）、相位差板（λ/4 片、λ/2 片）、以及颜色滤光片等的光学膜。另外，也可以在偏振片或圆偏振片上设置抗反射膜。例如，可以执行抗眩光处理，该处理是利用表面的凹凸来可以扩散反射光并降低眩光的。

[0309] 此外，图 9A 和 9B 示出另外形成半导体集成电路 4503 作为扫描线驱动电路以及信号线驱动电路，并安装到第一衬底 4501 的一例，但是本实施方式不局限于该结构。既可以另外形成用作扫描线驱动电路的半导体集成电路并安装，又可以仅将信号线驱动电路的一部分或扫描线驱动电路的一部分用作半导体集成电路另外仅形成并安装。

[0310] 在本发明中，作为安装半导体集成电路作为驱动电路 (driver) 并具有显示功能的半导体装置，既可以是无源矩阵型也可以是有源矩阵型。还可以安装半导体集成电路作为存储元件的驱动电路，从而制造具有存储功能的半导体装置。

[0311] 另外，在本发明中可以使用非晶半导体、微晶半导体、多晶半导体等作为直接形成在设置像素部的衬底上的晶体管所具有的半导体层。

[0312] 另外，作为直接形成在像素部以及设置像素部的衬底上的晶体管，也可以使用顶栅型（例如正交错型、共面型）、底栅型（例如，反交错型、反共面型）、或者具有经由栅极绝缘膜配置在沟道区域上下的两个栅电极层的双栅型、其他结构。

[0313] 本实施方式可以适当地与其他实施方式所记载的结构组合而实施。

[0314] 实施方式 8

[0315] 根据本发明而获得的半导体装置等可以用于显示模块（无源矩阵型 EL 模块或液晶模块、或有源矩阵型 EL 模块或液晶模块）。也就是说，其显示部分安装有上述模块的所有电子设备均可以实施本发明。

[0316] 作为这种电子设备，可以举出影像拍摄装置如摄像机或数字照相机等、头戴式显示器（护目镜型显示器）、汽车导航、投影机、汽车音响、个人计算机、便携式信息终端（移动计算机、移动电话或电子书籍等）等。图 11A 至 11D 示出了其一例。

[0317] 图 11A 表示电视装置。如图 11A 所示，可以将显示模块组装在框体中来完成电视装置。将安装了 FPC 的显示面板还称为显示模块。由显示模块形成主画面 2003，作为其他附属装置还具有扬声器部分 2009、操作开关等。如上所述，可以完成电视装置。

[0318] 如图 11A 所示，在框体 2001 中组装利用了显示元件的显示用面板 2002，并且可以由接收机 2005 接收普通的电视广播，而且通过调制解调器 2004 连接到有线或无线方式的通讯网络，从而还可以进行单向（从发送者到接收者）或双向（在发送者和接收者之间，或者在接收者之间）的信息通讯。电视装置的操作可以由组装在框体中的开关或另外提供的遥控装置 2006 进行，并且该遥控装置也可以设置有显示输出信息的显示部分 2007。

[0319] 另外，电视装置还可以附加有如下结构：除了主画面 2003 以外，使用第二显示用面板形成辅助画面 2008，并显示频道或音量等。在这种结构中，可以使用视角优良的发光显示面板形成主画面 2003，使用能够以低耗电量来显示的液晶显示面板形成辅助画面。另外，为了优先地减小耗电量，也可以采用如下结构：使用液晶显示面板形成主画面 2003，使用发光显示面板形成辅助画面，并且辅助画面能够点亮和熄灭。

[0320] 图 10 是电视装置的主要结构的框图。在显示面板上形成有像素部 901。可以采用 COG 方法将信号线驱动电路 902 和扫描线驱动电路 903 安装在本发明的半导体集成电路上而形成。

[0321] 作为其他外部电路的结构，在视频信号的输入一侧具有视频信号放大电路 905、视频信号处理电路 906、控制电路 907 等。其中，视频信号放大电路 905 放大调谐器 904 所接收信号中的视频信号，视频信号处理电路 906 将从视频信号放大电路 905 输出的信号转换成对应于红、绿和蓝各种颜色的颜色信号，控制电路 907 将该视频信号转换成驱动器 IC 的输入规格。控制电路 907 将信号输出到扫描线侧和信号线侧。在进行数字驱动的情况下，可以采用如下结构：在信号线一侧设置信号分割电路 908，并将输入数字信号划分成 m 个而供给。

[0322] 由调谐器 904 接收的信号中的音频信号被发送到音频信号放大电路 909，并经音频信号处理电路 910 供给到扬声器 913。控制电路 911 从输入部 912 接收接收站（接收频率）或音量的控制信息，并将信号传送到调谐器 904 和音频信号处理电路 910。

[0323] 当然，本发明不局限于电视装置，还可以应用于各种用途如个人计算机的监视器、铁路的车站或飞机场等中的信息显示屏、街头上的广告显示屏等大面积显示媒体。

[0324] 图 11B 表示移动电话机 2301 的一例。该移动电话机 2301 包括显示部 2302、操作部 2303 等而构成。在显示部 2302 中，应用上述实施方式所说明的半导体装置，而可以提高可靠性以及量产性。

[0325] 另外，图 11C 所示的便携型计算机包括主体 2401、显示部 2402 等。通过对显示部 2402 应用上述实施方式所示的半导体装置，可以提高可靠性以及量产性。

[0326] 图 11D 是桌照明灯，其包括照明部分 2501、灯罩 2502、可变臂 2503、支座 2504、基座 2505 和电源 2506。对于照明部分 2501，使用本发明的半导体装置来制造桌照明灯。此外，照明灯包括固定到天花板上的照明灯和壁挂照明灯等。通过应用实施方式所示的半导体装置，可以提高可靠性以及量产性。

[0327] 本说明书根据 2007 年 12 月 28 日在日本专利局受理的日本专利申请编号 2007-339385 而制作，所述申请内容包括在本说明书中。

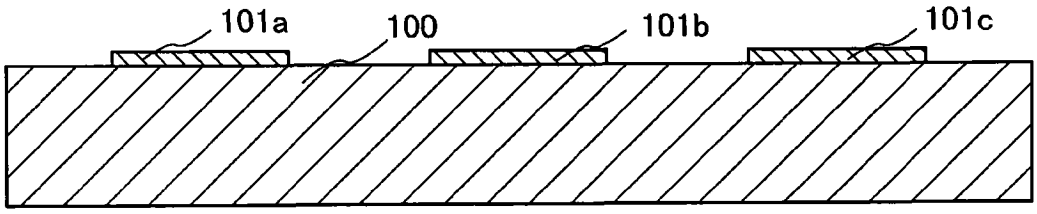


图 1A

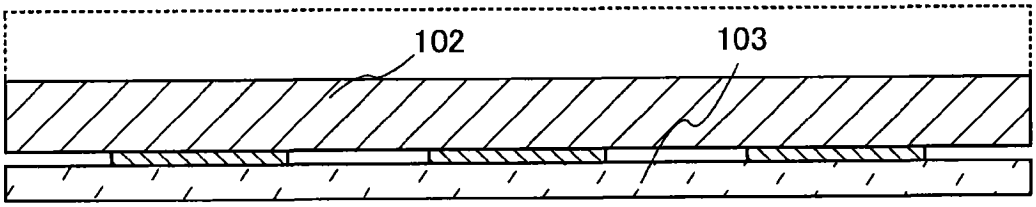


图 1B

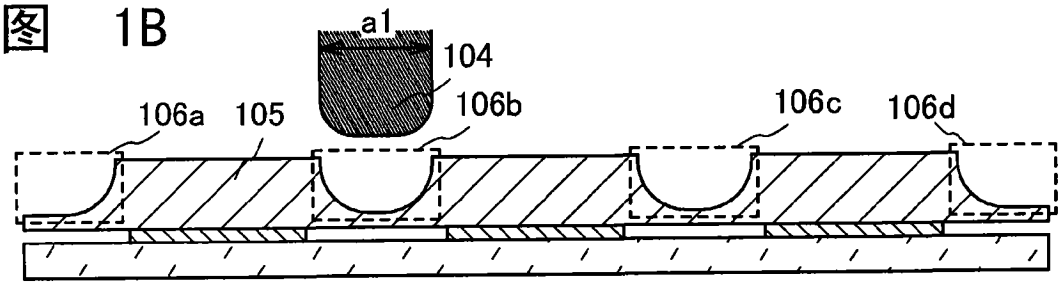


图 1C

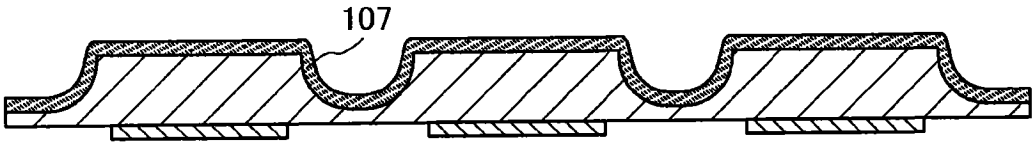


图 1D

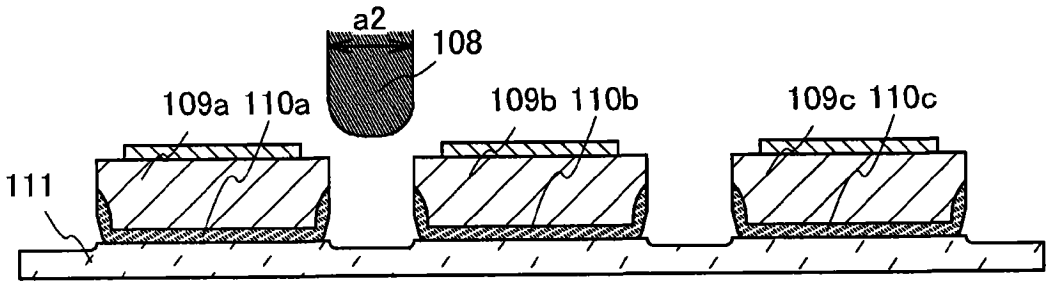


图 1E

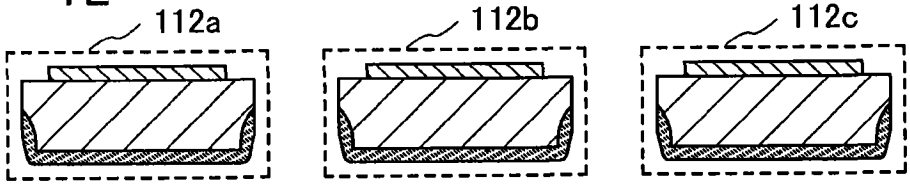


图 1F

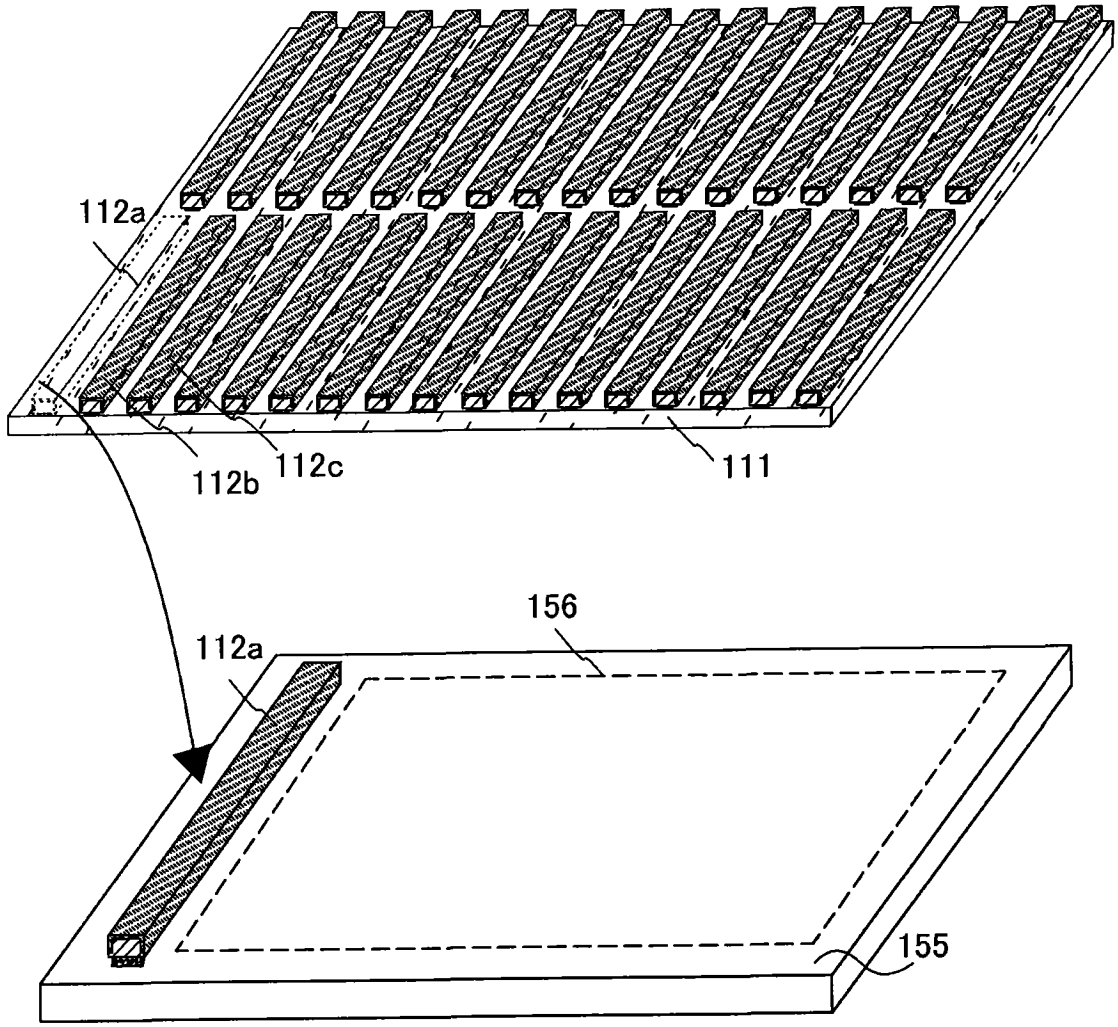


图 2

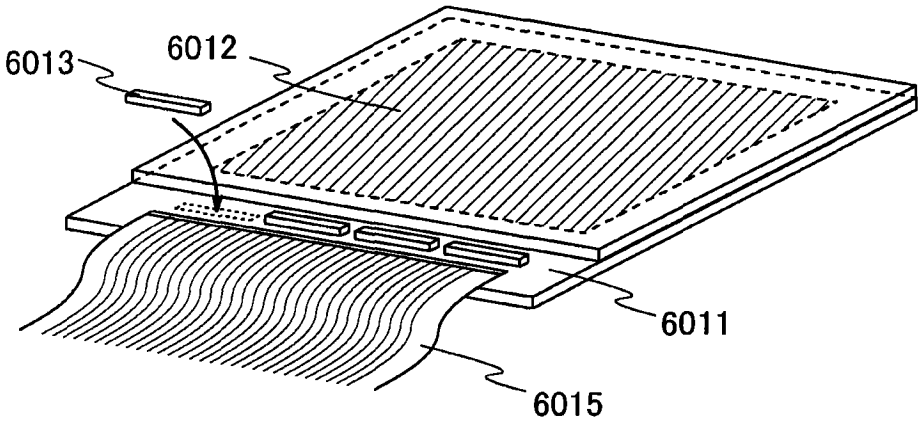

6013
6012
6011
6015

图 3A

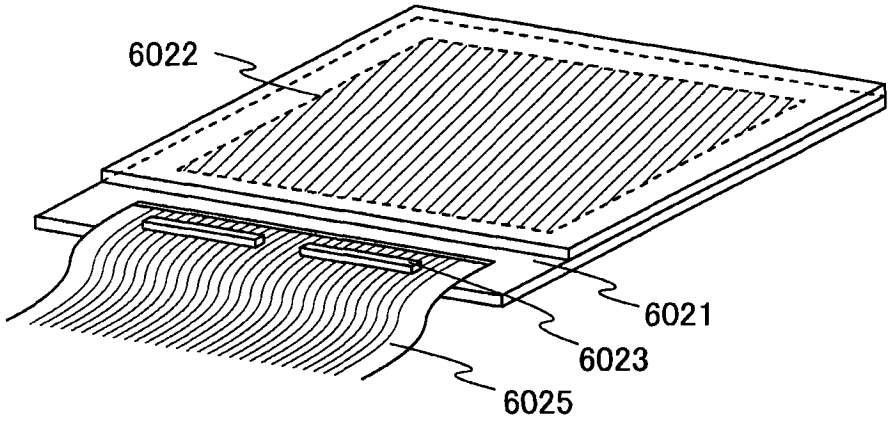

6022
6021
6023
6025

图 3B

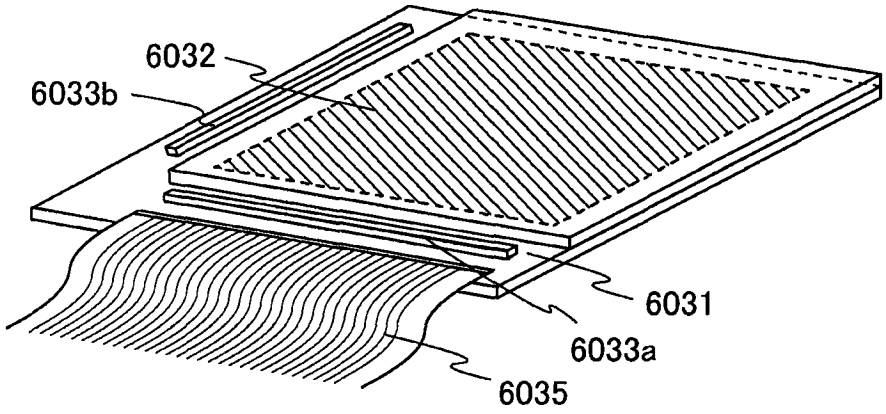

6032
6033b
6031
6033a
6035

图 3C

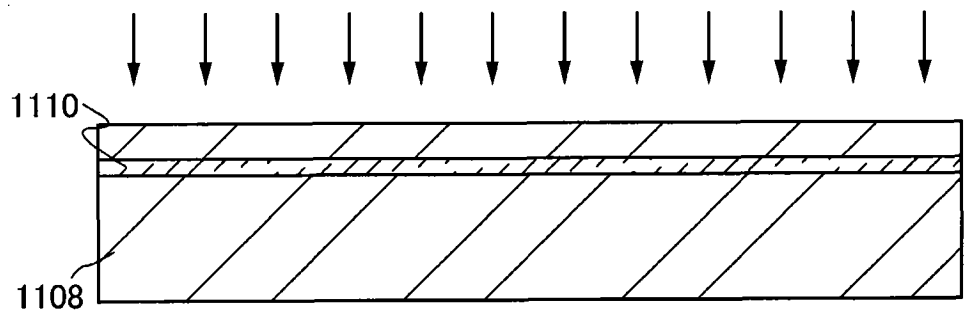


图 4A

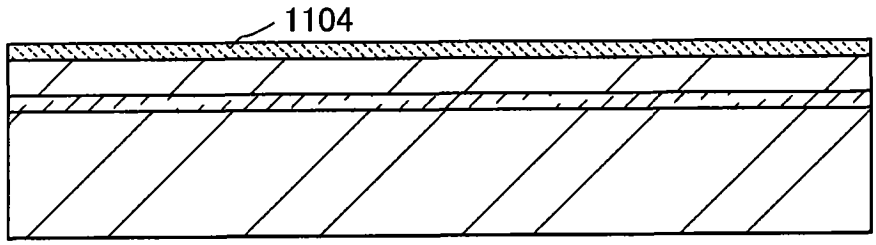


图 4B

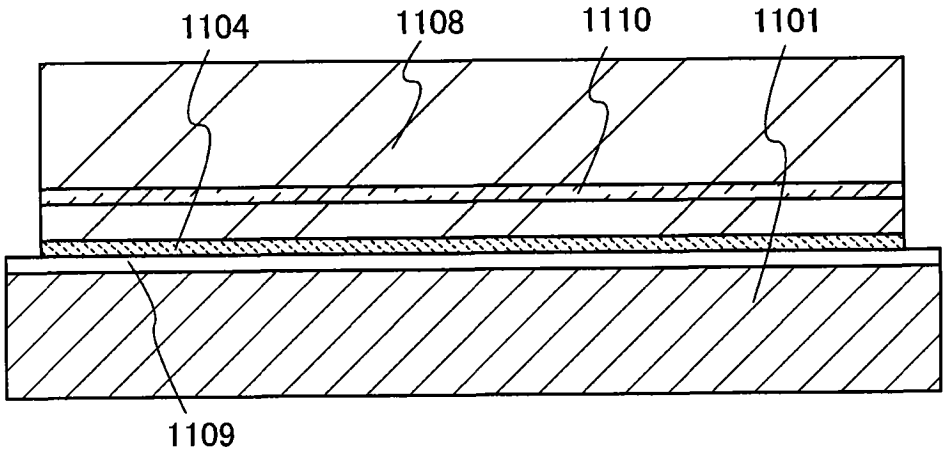


图 4C

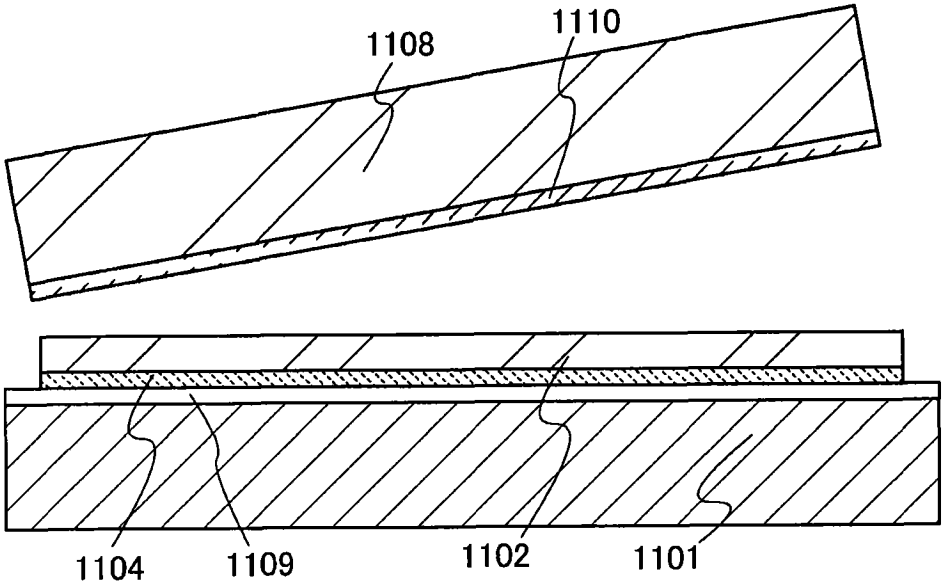

1108
1110
1104
1109
1102
1101

图 4D

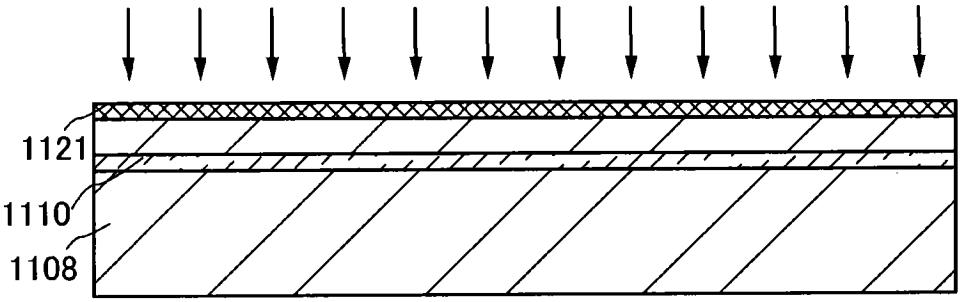

1121
1110
1108

图 5A

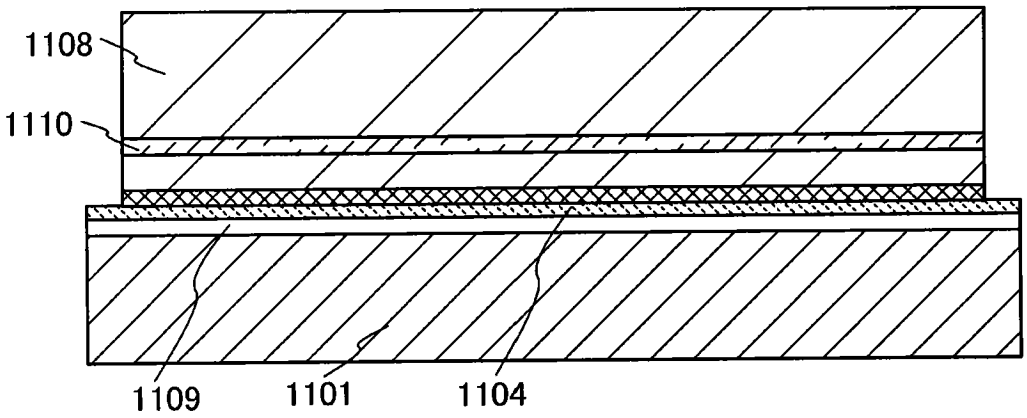

1108
1110
1109
1101
1104

图 5B

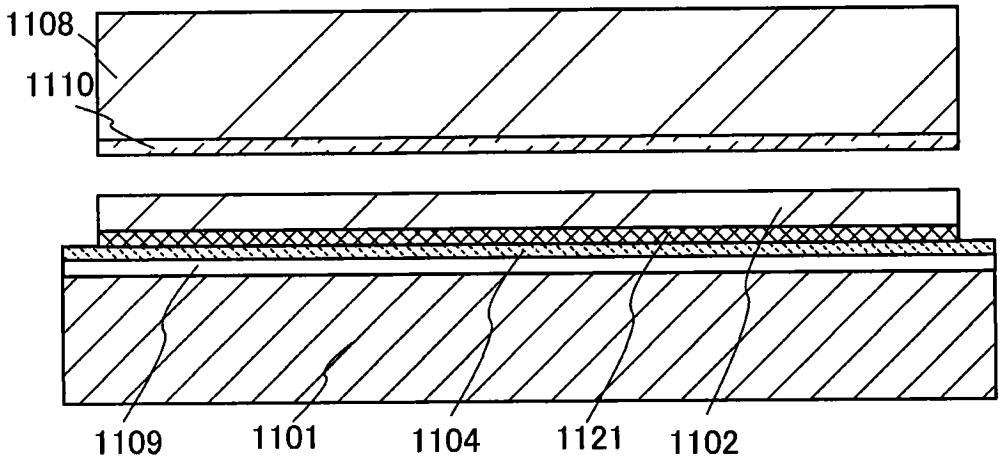


图 5C

图 6A

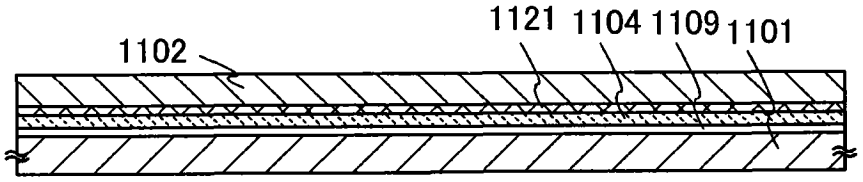


图 6B

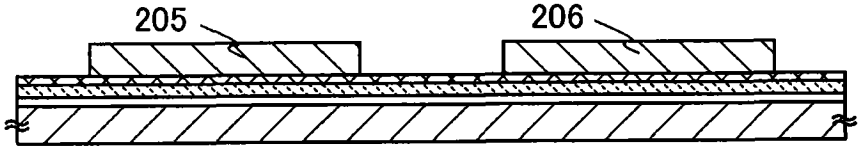


图 6C

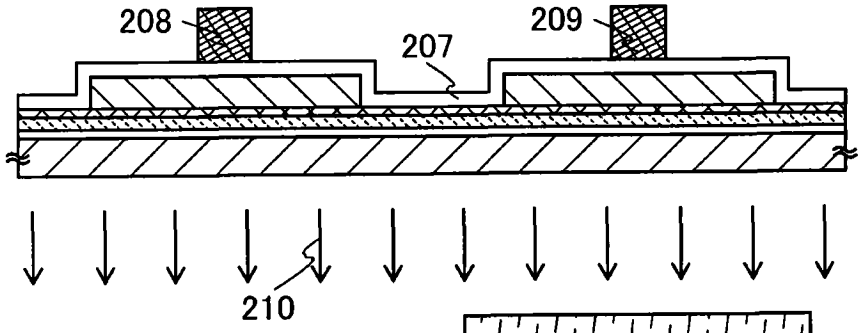


图 6D

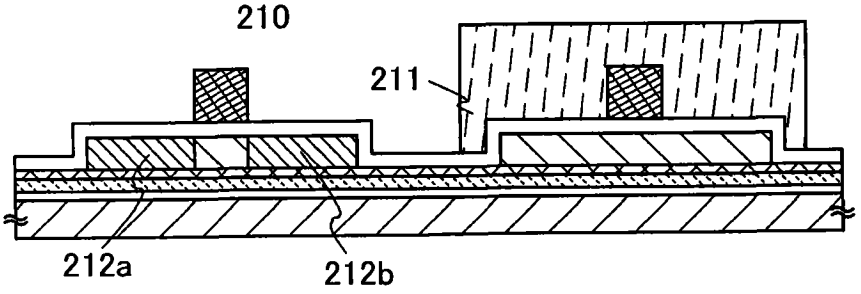


图 6E

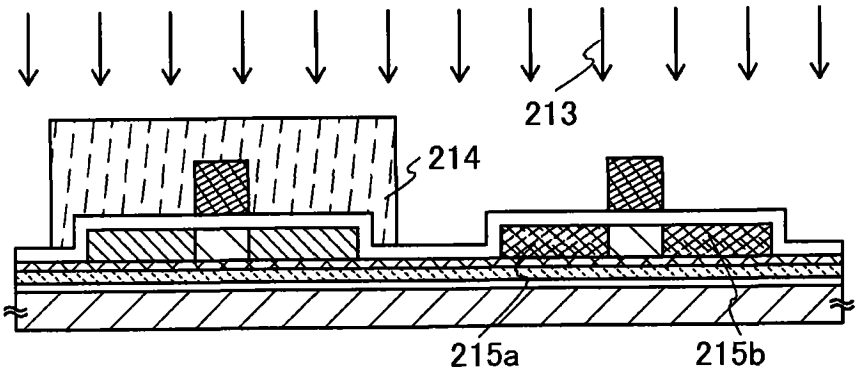


图 7A

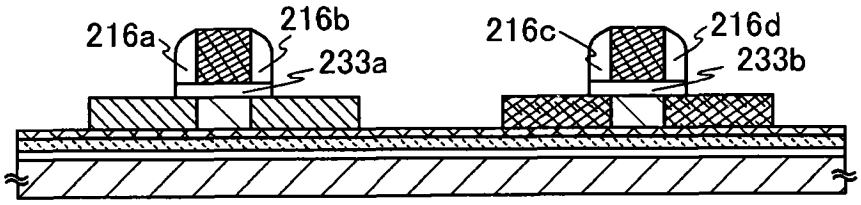


图 7B

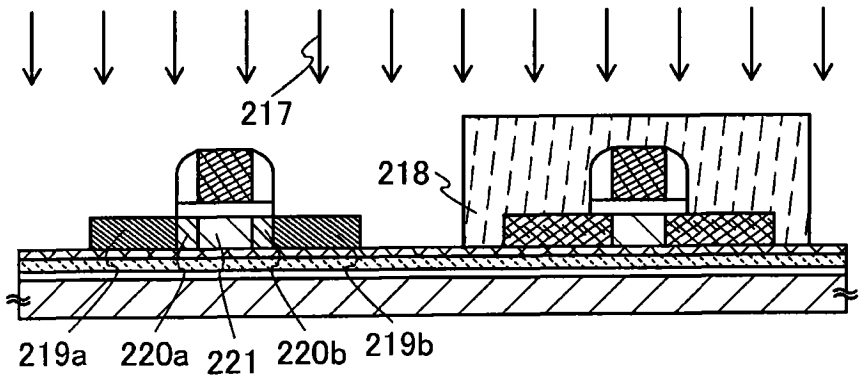


图 7C

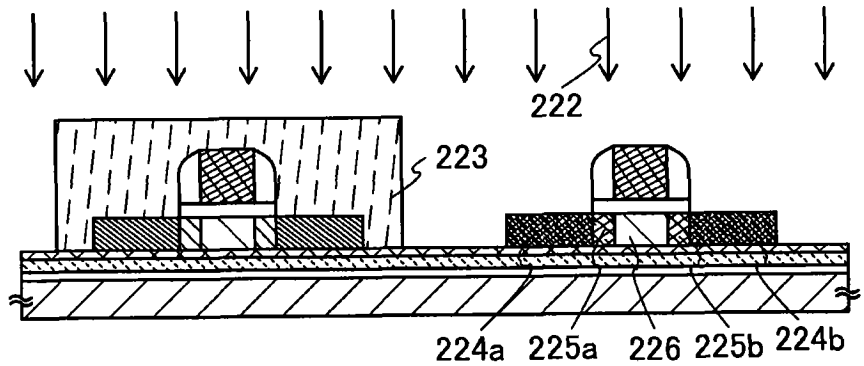
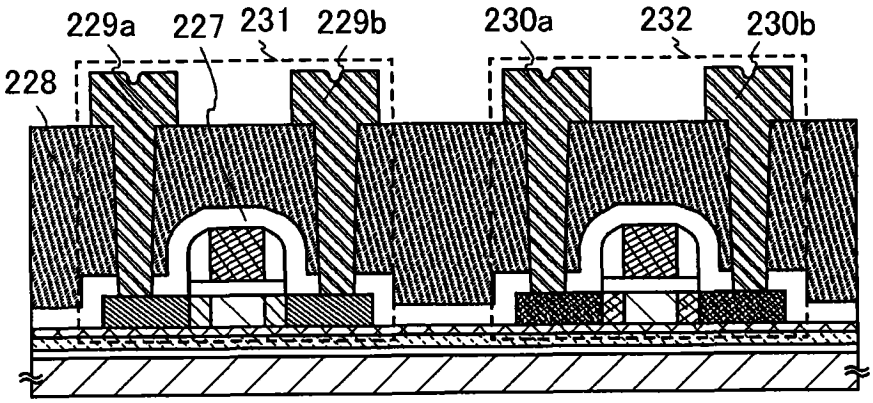


图 7D



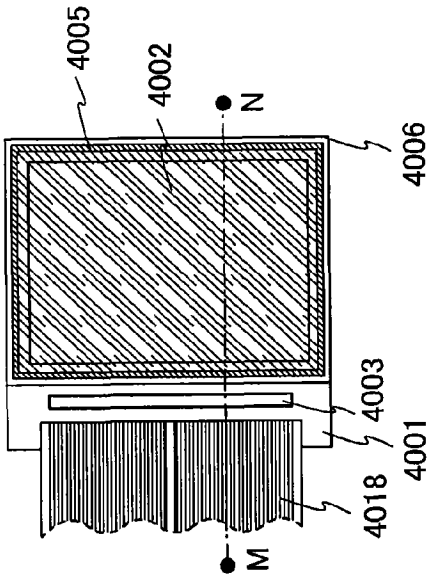

4005
4002
N
4006
4003
4001
4018
M

图 8A

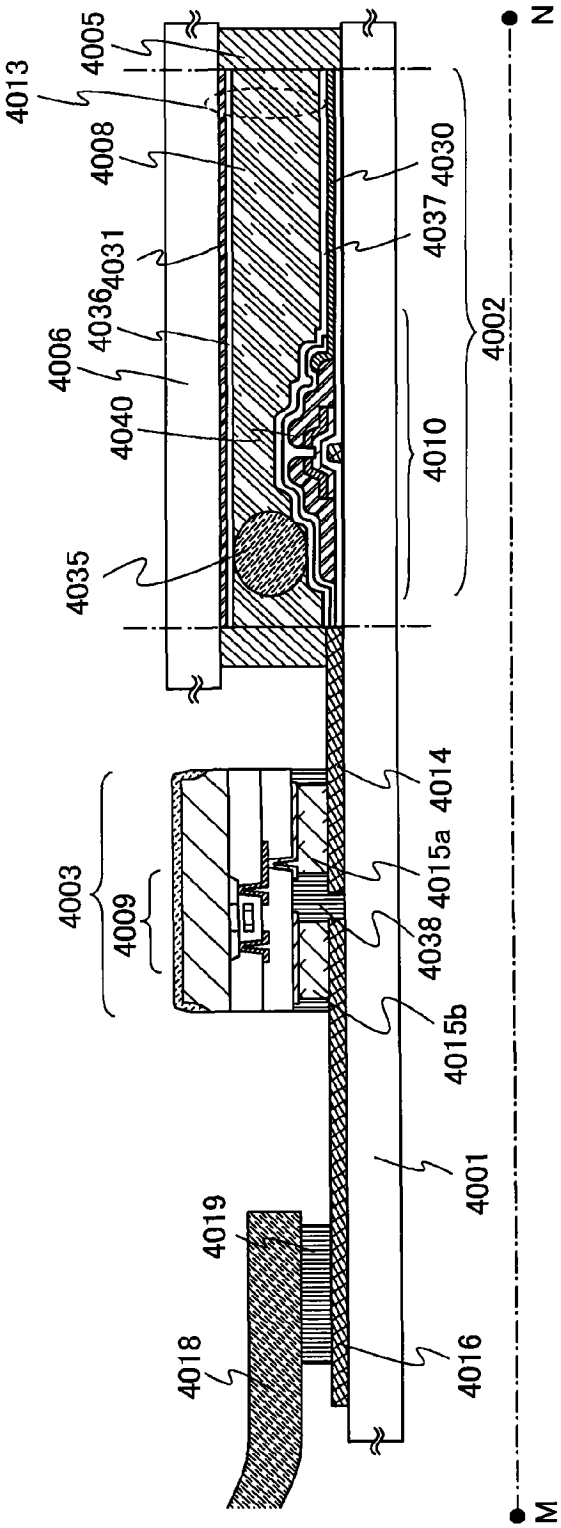

4005
4013
4008
4030
4037
4031
4036
4002
4006
4040
4010
4035
N
4014
4015a
4003
4009
4038
4015b
4001
4019
4018
4016
M

图 8B

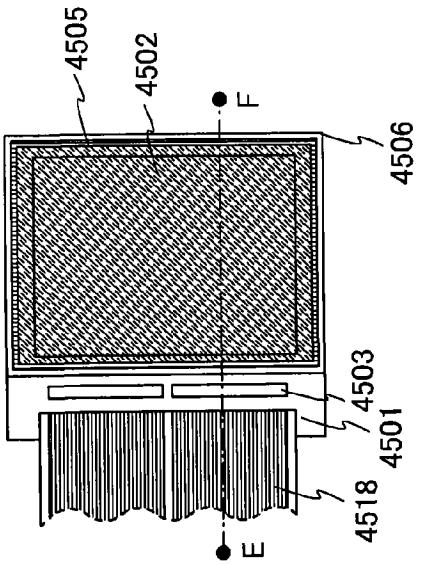

4505
4502
F
4506
4503
4501
4518
E

图 9A

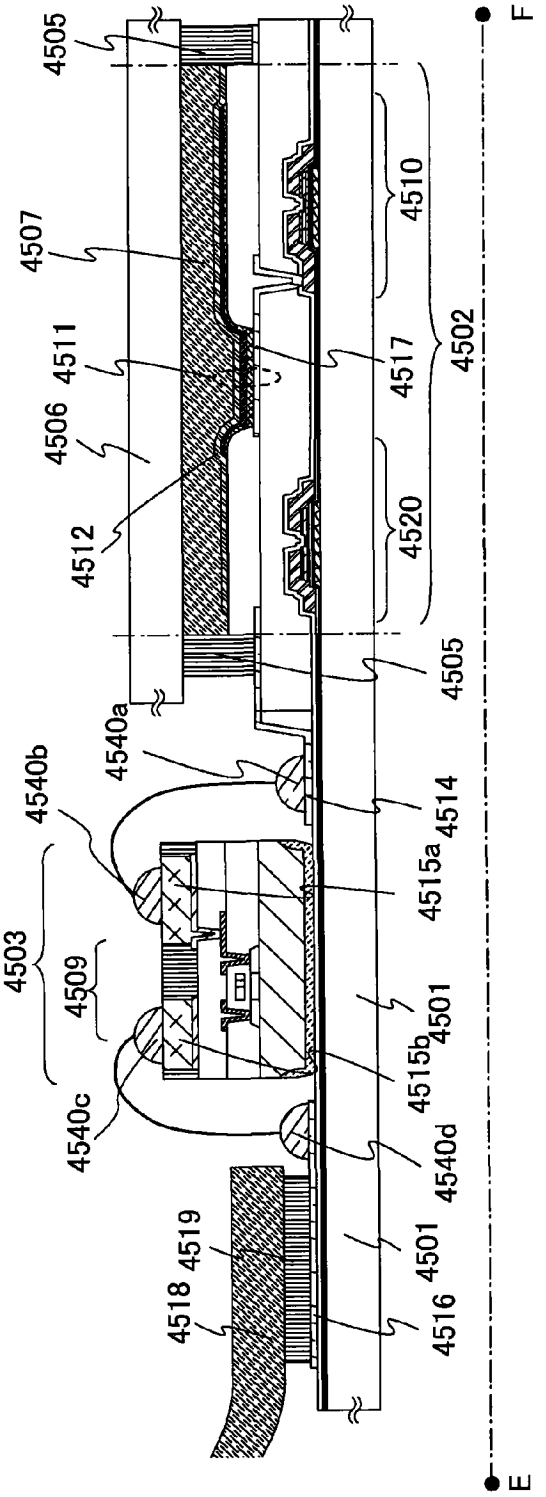

4505
F
4507
4510
4511
4517
4502
4506
4512
4520
4505
4540a
4540b
4514
4515a
4503
4509
4501
4515b
4540c
4540d
4519
4518
4501
4516
E

图 9B

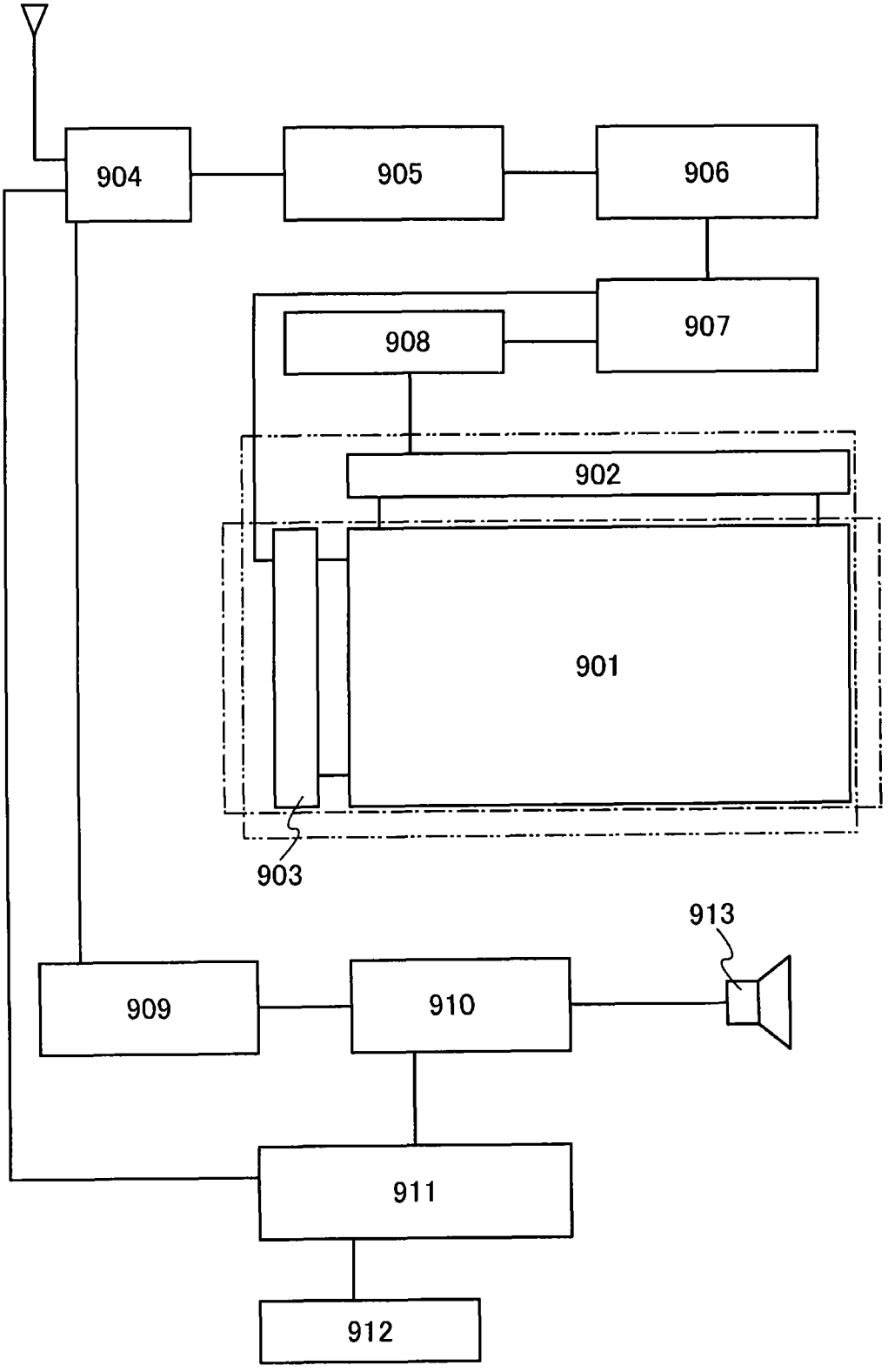


图 10

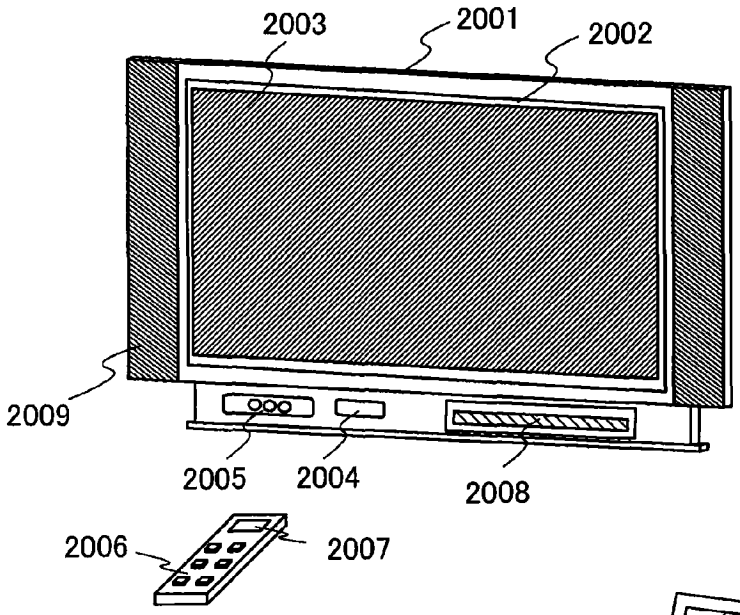


图 11A

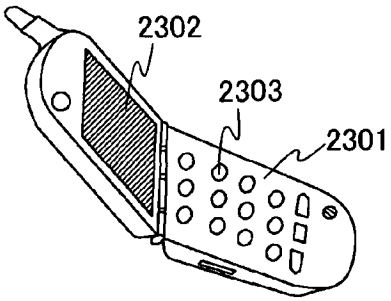


图 11B

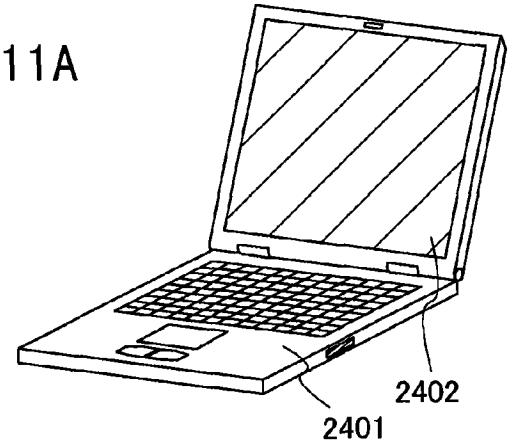


图 11C

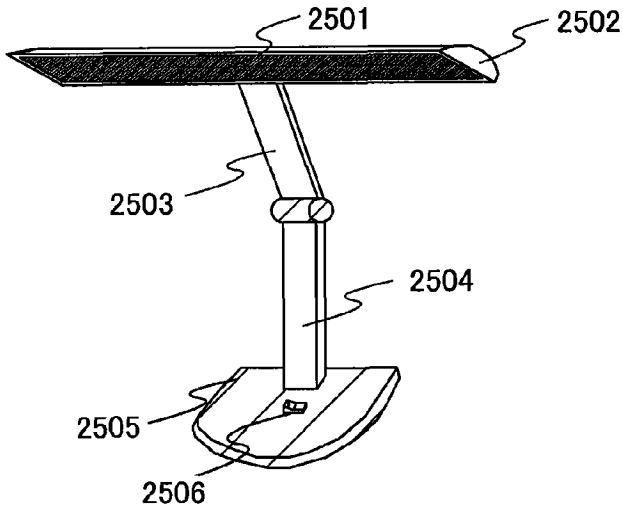


图 11D

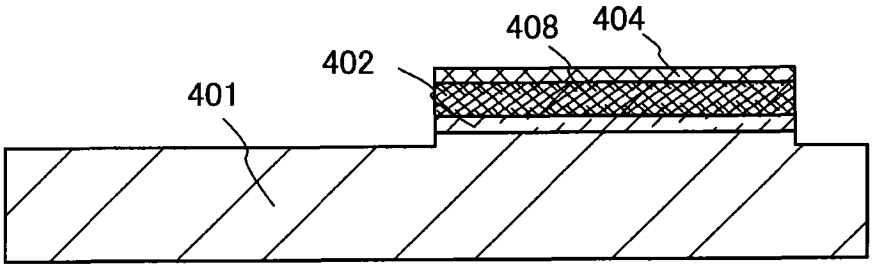


图 12A

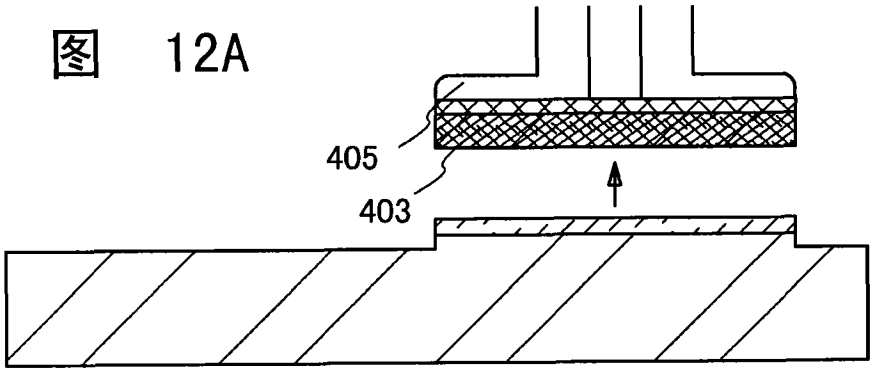


图 12B

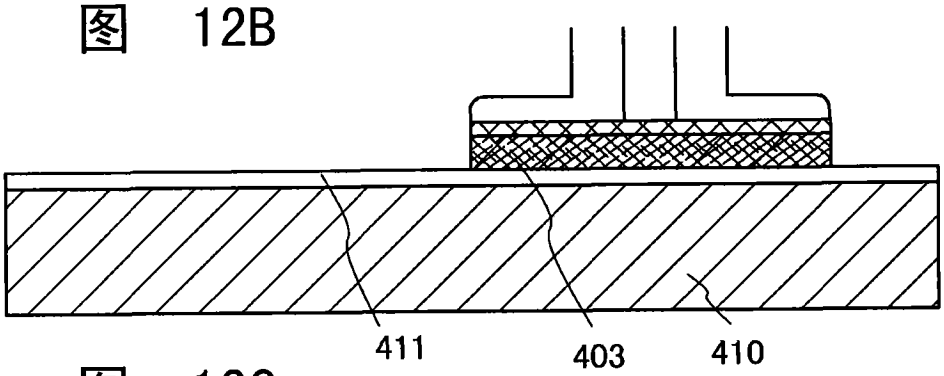


图 12C

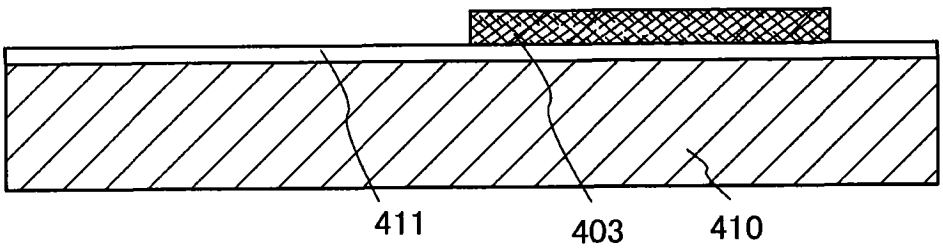


图 12D

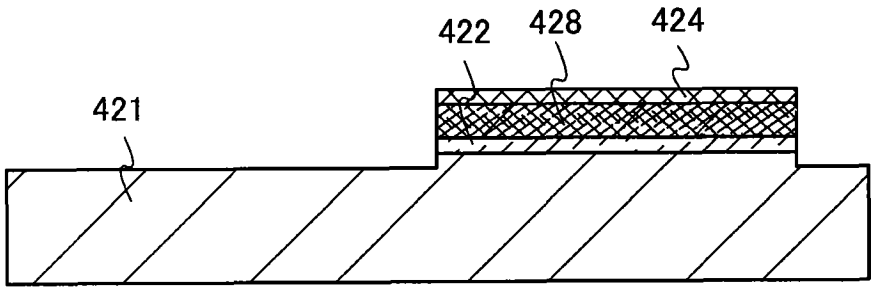


图 13A

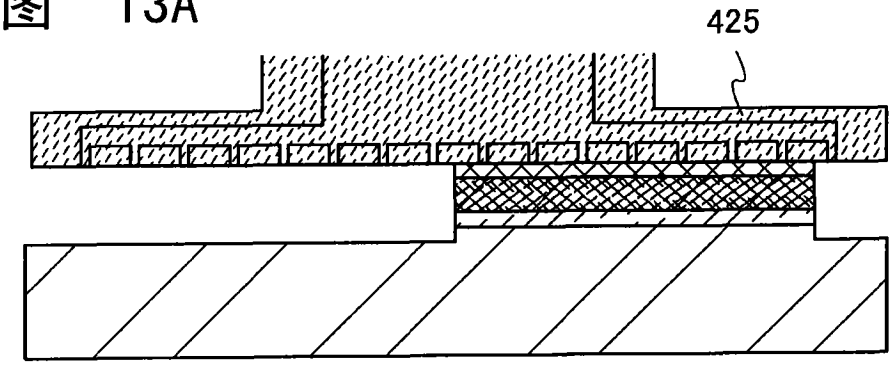


图 13B

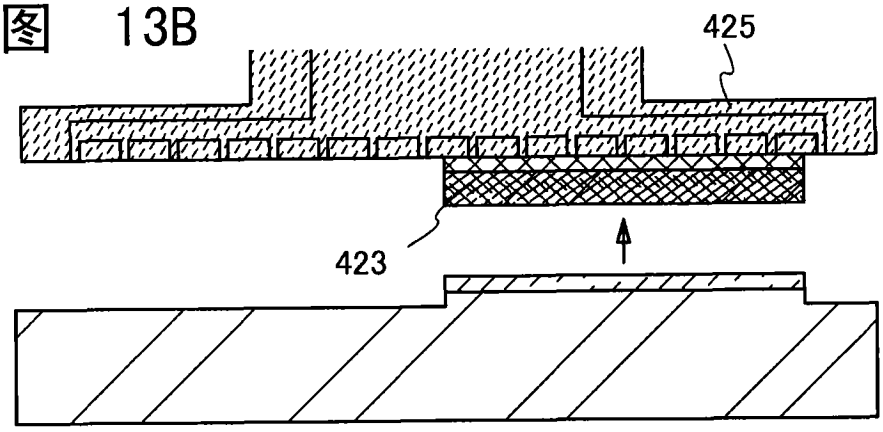


图 13C

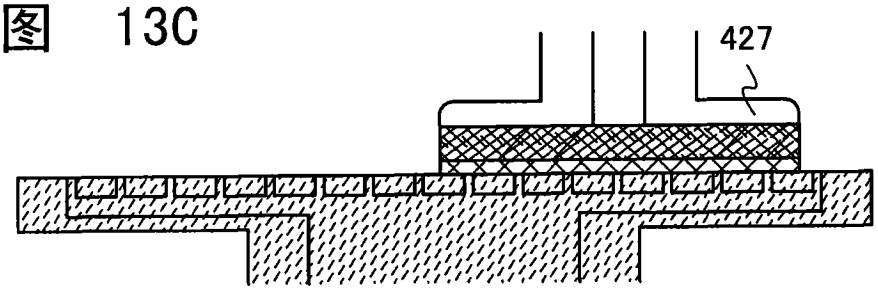


图 13D

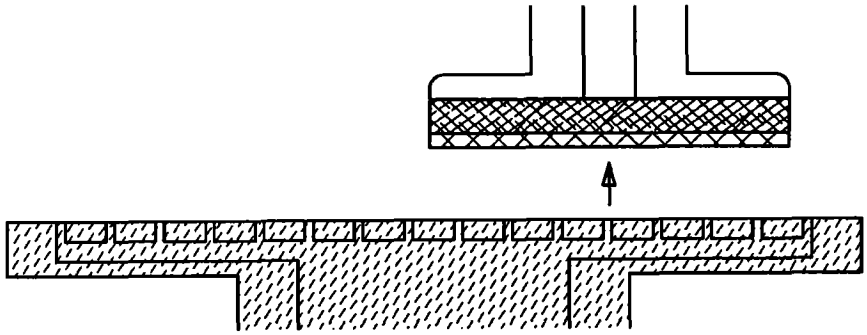


图 14A

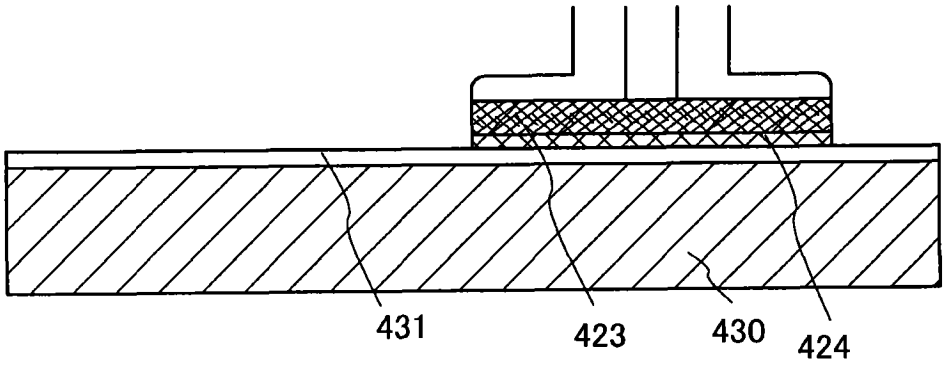


图 14B

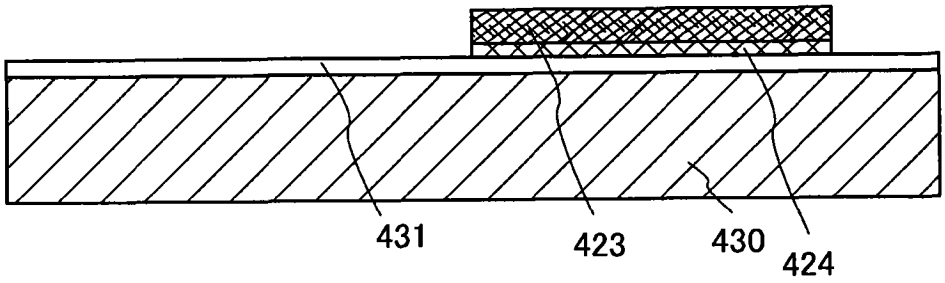


图 14C

图 15A

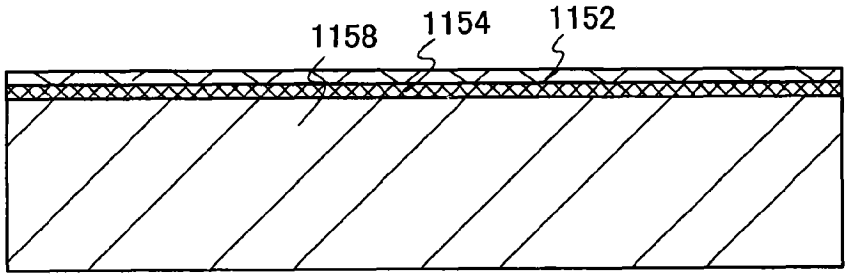


图 15B

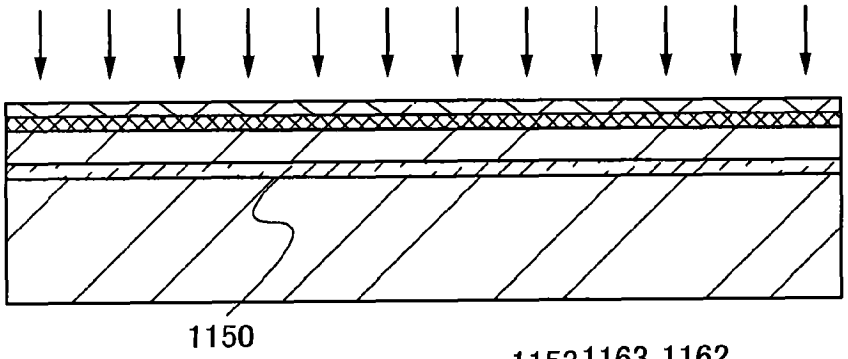


图 15C

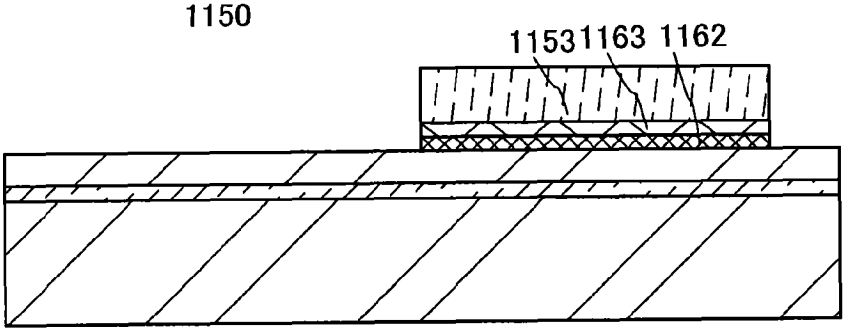


图 15D

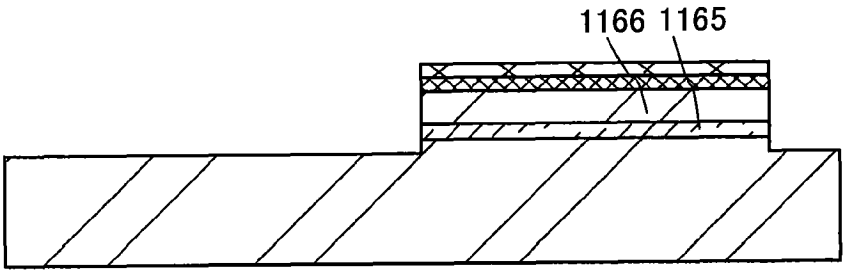
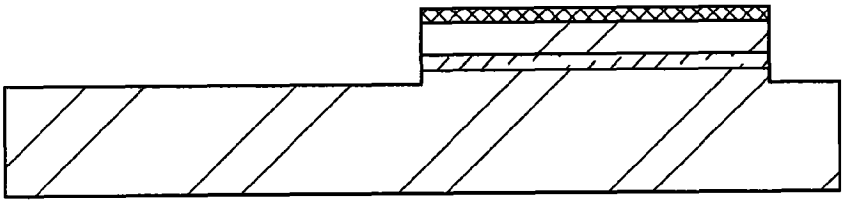


图 15E



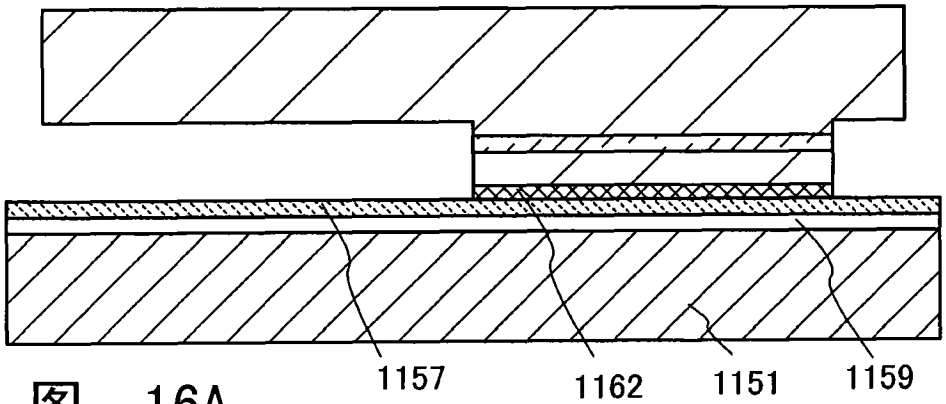


图 16A

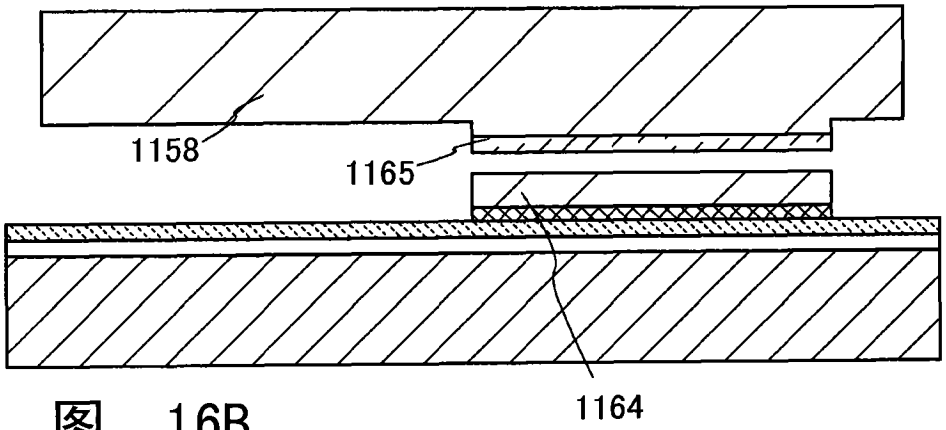


图 16B

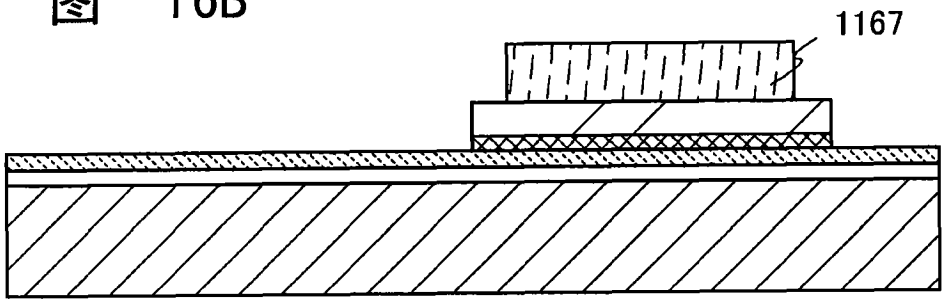


图 16C

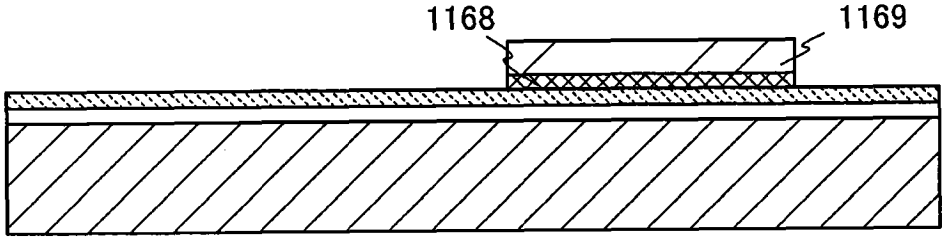


图 16D

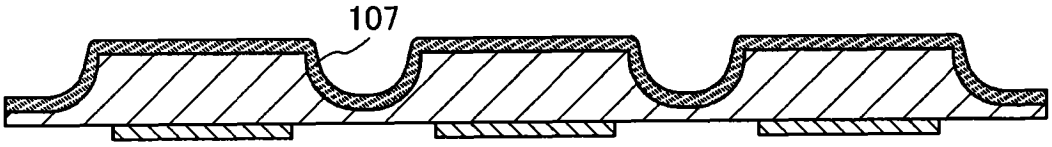


图 17A

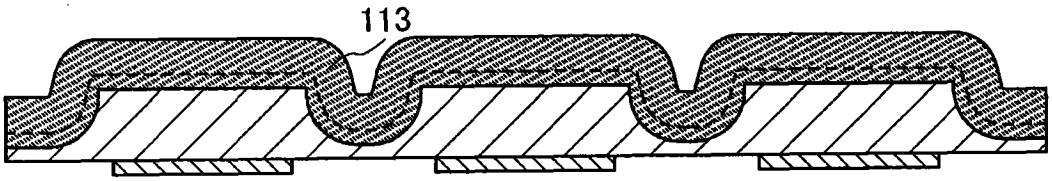


图 17B

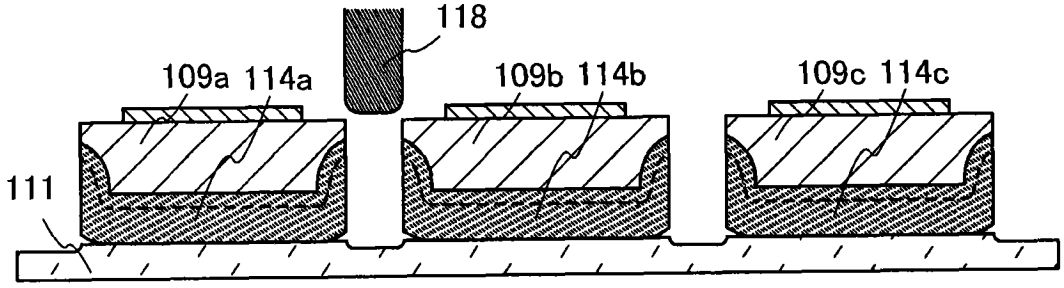


图 17C

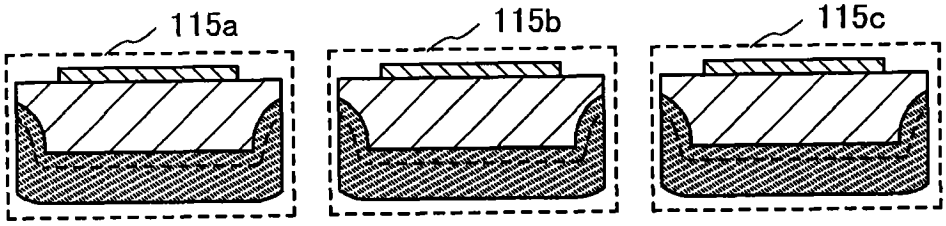


图 17D

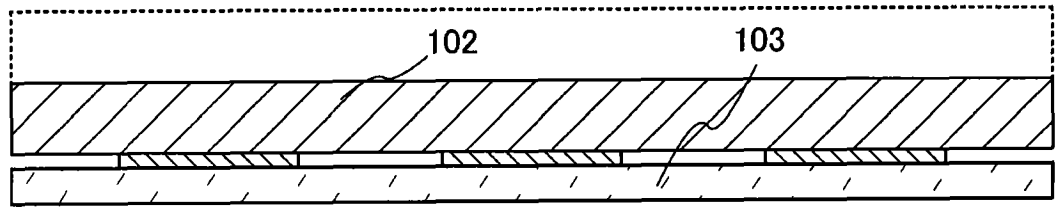


图 18A

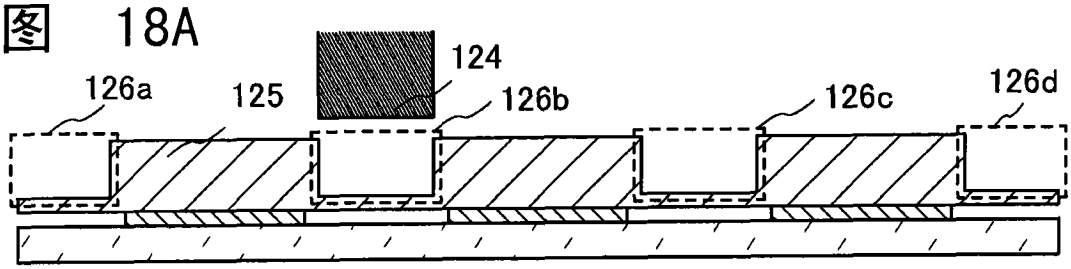


图 18B

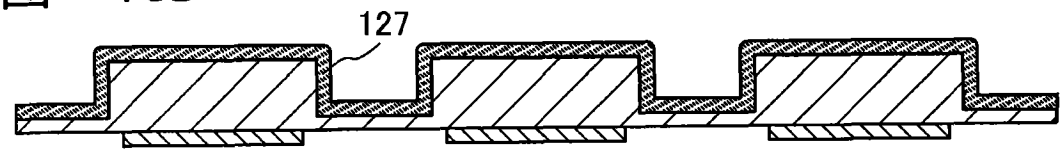


图 18C

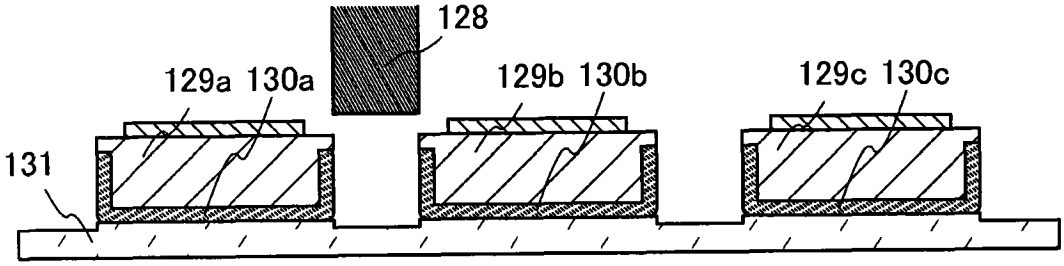


图 18D

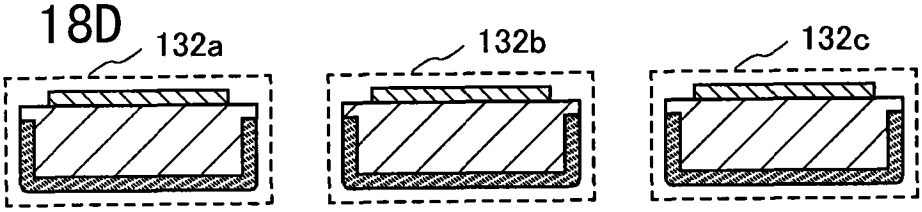


图 18E