

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/285

(45) 공고일자 1999년12월01일
(11) 등록번호 10-0232506
(24) 등록일자 1999년09월06일

(21) 출원번호	10-1996-0020899	(65) 공개번호	특1997-0003538
(22) 출원일자	1996년06월12일	(43) 공개일자	1997년01월28일
(30) 우선권주장	8/495,249 1995년06월27일 미국(US)		

- (73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘.
미합중국 10504 뉴욕주 아몬크
- (72) 발명자 파나요티스 콘스탄티노우 안드리카코스
미합중국 10520 뉴욕주 크로톤-온-허드슨 엘 시닉 드라이브 29
하이클리아 델리기아니
미합중국 07020 뉴저지주 에드그워터 그랜드 코브 웨이 사우스 34
제임스 맥켈 에드윈 하퍼
미합중국 10598 뉴욕주 요크타운 하이츠 엘리자베스 로드 507
차오-쿤 후
미합중국 10589 뉴욕주 소머스 버틀러 힐 로드 26
데일 조나단 피어슨
미합중국 10598 뉴욕주 요크타운 하이츠 스트랭 블루바드 3517
스콧 케빈 레이놀즈
미합중국 10598 뉴욕주 그라니트 스프링즈 보니 브레이 애비뉴 2
킹-닝 튜
미합중국 90049 캘리포니아주 로스앤젤레스 선셋 블루바드 11500
시프리언 에메카 우조
미합중국 12533 뉴욕주 호프웰 정션 브릿지 스트리트 657
- (74) 대리인 주성민

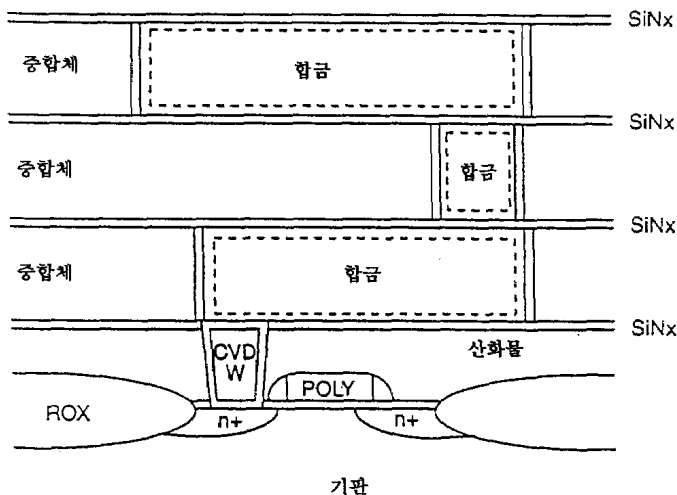
심사관 : 홍성표

(54) 전기적 접속을 제공하는 배선 구조 및 도체와 그 도체형성방법

요약

본 발명은 칩 및 패키지 배선에 사용될 수 있으며 개선된 전자 이동 저항 또는 비저항 및 양호한 부식 저항을 위해 탄소, 인듐 및 주석에서 선택된 약 0.01 내지 10중량%의 적어도 하나의 합금 원소를 포함하는 구리 합금과, 이러한 배선을 제조하고, 먼저 이 구리 합금을 형성한 후 합금 원소의 확산을 합금 내의 입자 간의 입자 경계쪽으로 진행시키도록 어닐링시킴으로써 도체를 제조하는 방법에 대해 기재되어 있다.

대표도



명세서

[발명의 명칭]

전자적 접속을 제공하는 배선 구조 및 도체와 그 도체형성방법

[도면의 간단한 설명]

제1도는 본 발명의 실시예를 활용한 반도체 구조에 대한 개략적인 확대 단면도.

제2도 내지 제5도는 제1도의 구조를 형성하는데 필요한 공정 단계를 도시한 확대 단면도.

제6도 내지 제9도는 구리 에칭 방법을 이용하는 반도체 구조의 공정 단계를 도시한 확대 단면도.

제10도는 본 발명의 구리 합금을 이용하는 다른 반도체 구조의 확대 단면도.

제11도는 본 발명의 다른 구리 합금에 대한 라인 저항 변화를 전자 이동 응력시간의 함수로서 도시한 그래프.

* 도면의 주요부분에 대한 부호의 설명

10 : 유전체 스택	22 : 하부 질화물층
24 : 상부 질화물층	26 : 소자
32 : 질화물층	42 : 하부 Ta층
44 : 상부 Ta층	46 : 측벽 스페이서
52 : M ₁ 금속층	

[발명의 상세한 설명]

[발명의 분야]

본 발명은 일반적으로 칩 및 패키지 배선(chip and package interconnections)에 사용되는 구리 합금 및 그 형성 방법에 관한 것으로, 특히 탄소, 인듐 및 주석으로 이루어진 그룹(group)에서 선택된 0.01 내지 10중량%의 적어도 하나의 합금 원소(alloying element)를 함유하여 개선된 전자 이동 저항(electromigration resistance), 낮은 비저항(low resistivity) 및 양호한 부식 저항(good corrosion resistance)을 갖는 구리 합금 및 그 형성 방법에 관한 것이다.

[발명의 배경]

지난 수년 동안, 반도체 칩 구조(semiconductor chip structures), 평면 패널 디스플레이(flat panel displays) 및 패키지 애플리케이션(package applications)에, 비어(vias), 라인(lines) 및 그 밖의 리세스(recesses)를 제공하기 위한 배선을 형성하는 기술이 발전되어져 왔다. 예를 들어, 초대규모(VLSI)구조에 대한 배선 기술의 발전에 있어서는, 단일 기판 상에 설정된 반도체 영역 또는 소자(devices)의 접점(contacts) 및 배선에 대한 주 금속원(primary metal source)으로서 알루미늄을 사용해 왔다. 알루미늄은 값이 저렴하며, 저항성 접촉(ohmic contact)이 양호하며 도전율이 낮기 때문에 선택된 물질이었다. 그러나, 순수 알루미늄 박막 도체는 사용을 저온 처리로만 제한시키는 저융점, 어닐링 동안 실리콘 내로 확산되어 접점 및 접합부 파손을 일으킬 가능성 및 전자 이동(electromigration)과 같은 불만족스러운 특성을 갖고 있다. 따라서, 순수 알루미늄에 비해 장점을 갖고 있는 각종의 알루미늄 합금이 개발되어져 있다. 예를 들면, 미국 특허 제4,566,177호에서는 실리콘, 구리, 니켈, 크롬 및 망간의 3중량%까지 함유한 알루미늄 합금의 도전층을 개발하여 전자 이동 저항을 개선시킨 것에 대해 기재되어 있다. 미국 특허 제3,631,304호에서는 산화 알루미늄을 포함하여 전자 이동 저항을 개선시킨 알루미늄 합금에 대해 기재되어 있다.

보다 최근에 개발된 VLSI 및 ULSI 기술에서는 이러한 소자에서 필요로되는 매우 높은 회로 밀도 및 보다 빠른 동작 속도로 인해 와이어링 요건(wiring requirements)에 대해 보다 엄격한 사항을 요구하고 있다. 이로 인해 점점 더 작아지는 도체 라인에서의 전류 밀도는 더욱 높아지게 된다. 그 결과, 알루미늄 합금 도체의 경우에는 보다 큰 단면의 와이어를 필요로 하거나, 또는 보다 높은 콘덕턴스를 갖는 상이한 와이어링 물질을 필요로 하는 보다 높은 콘덕턴스 와이어링이 바람직하다. 본 산업 분야에서는 바람직한 고도전율에 기초하여, 순수 구리를 사용하여 상이한 와이어링 물질을 개발하는 것이 확실한 선택이다.

비어 및 라인과 같은 VLSI 및 ULSI 배선 구조의 형성시에, 라인, 비어 또는 그밖의 리세스 내에 구리를 증착시켜 동일 기판 상에 위치한 반도체 영역 또는 소자들을 상호 접속시킨다. 구리는 낮은 전자 이동 저항으로 인해 반도체 소자 접합부에서 문제를 갖는 것으로 알려져 있다. 금속 고체(metallic solid)에서 랜던함 열적 확산에 전기장(electirc field)이 중첩되어져 전자 흐름의 방향으로 이온의 순 드리프트(net drift)가 일어날 때 전자 이동 현상이 발생된다. 실리콘 기판 내로의 구리 이온의 얼마 간의 확산에 의해 서로 소자가 불량하게 될 수 있다. 또한, 순수 구리는 이산화 실리콘 및 폴리이미드와 같은 유전 물질을 함유한 산소에는 잘 접촉되지 않는다.

본 발명의 양수인에게 양도된 미국 특허 제5,130,274호에서는 먼저 배선 구조의 리세스 내에 합금을 증착시킨 후, 구리 합금 플러그와 이 플러그의 노출면 상에 합금 원소의 산화 박막층을 형성함으로써 2원자% 미만의 합금 원소를 함유한 구리 합금의 사용에 대해 기재되어 있다. 그러나, 이러한 기술도 여전히 ULSI 구조의 엄격한 요건을 충족하지 못하는데, 여기서는 0.5 μ m 미만의 임계 치수가 박막칩 배선 구조에 상당

한 부담으로 작용한다. 깊은-서브 마이크론(deep-submicron) 논리 회로 와이어링 구조에서 표준 Al(Cu) 합금과 이산화 실리콘 유전체를 사용함으로써 주로 와이어링 코백션에 의해 초래되는 회로 지연량이 많아진다.

칩 속도를 증가시키기 위해 ULSI 와이어링 구조에서 Al(Cu)에 대한 대체 물질로서 Cu를 사용하는 시도가 다른 사람들에 의해 행해졌다. 그러나, Cu 배선 Cu의 부식성과 박막에서 구리의 고속 확산율 등과 같은 많은 문제가 발생되었다. 순수한 Cu는 0.8 내지 0.9eV의 Al(Cu)에서 보다 작은 전자 이동 활성화 에너지(electromigration activation energy), 즉 0.5 내지 0.75eV를 갖는 것으로 알려져 있다. 이것은 칩 동작 조건에서 배선 전자 이동 결함을 감소시키기 위해 Cu를 사용한 장점을 대부분 상쇄시키는 것을 의미한다.

또다른 사람들은 전자 이동에 대한 저항을 증가시키기 위해 구리 합금을 사용하는 시도를 행하였다. 예를 들어, 미국 특허 제5,023,698호에서는 Al, Be, Cr, Fe, Mg, Ni, St, Sn 및 Zn 그룹에서 선택된 적어도 하나의 합금 원소를 함유한 구리 합금에 대해 기재되어 있다. 미국 특허 제5,077,005호에서는 In, Cd, Sb, Bi, Ti, Ag, Sn, Pb, Zr 및 Hf중에서 선택된 적어도 하나의 원소를 함유한 구리 합금에 대해 기재되어 있으며, 여기서 사용된 합금 원소의 중량%는 0.0003 내지 0.01사이 이다. 구리 합금은 TAB 처리시에 인쇄 회로 기판 부재로서 사용된다. 미국 특허 제5,004,520호에서는 P, Al, Cd, Fe, Mg, Ni, Sn, Ag, Hf, Zn, B, As, Co, In, Mn, Si, Te, Cr 및 Zn 중에서 선택된 적어도 하나의 합금 원소를 함유하는 구리 포일(copper foil)을 막 캐리어(film carrier)로서 응용하는 것에 대해 기재되어 있으며, 여기서 합금 원소의 농도는 0.03 내지 0.5중량%이다. 이 합금을 집적 회로 칩 마운팅(integrated circuit chip mounting) 시에 코백팅 리드(connecting leads)로서 사용한다. 또한, 미국 특허 제4,749,548호에서는 Cr, Zr, Li, P, Mg, Si, Al, Zn, Mn, Ni, Sn, Ti, Be, Fe, Co, Y, Ce, La, Nb, W, V, Ta, V, Hf, Mo 및 C 중에서 선택된 적어도 하나의 합금 원소를 함유한 구리 합금에 대하여 기재되어 있다. 이 합금 원소를 사용하여 구리 합금의 강도를 증가시켰다. 미국 특허 제1,960,740호에서는 10% 내지 50% 사이의 인듐을 함유한 구리-인듐 합금을 사용하여 구리의 강성(hardness)과 부식 저항을 증가시킨 것에 대해 기재되어 있다. 미국 특허 제5,243,222 및 5,130,274호에서는 확산 장벽(diffusion barriers)의 점착과 형성을 개선시키는 구리 합금에 대해 기재되어 있다. 그러나, 이들 종래 기술 문헌 어디에도 높은 전자 이동 저항, 낮은 비저항 및 높은 부식 저항을 갖는 VLSI 및 ULSI 온-칩 또는 오프-칩 와이어링 배선에 적합한 구리 합금에 대해서는 전혀 기재되어 있지 않다. 또한, 이들 종래 기술 문헌 어디에도 전자 이동 저항을 개선시키기 위한 초소형 구조 레벨(microstructure level)에 대한 구조 요건을 인식하지 못하였으며, 바람직한 특성을 달성하기 위해 구리 합금에서 필요로 하는 초소형 구조에 대해서는 전혀 개시되어 있지 않다.

따라서, 본 발명의 목적은 칩 및 패키지 배선에 적합하게 사용될 수 있는 적어도 하나의 합금 원소를 함유한 구리 합금을 제공하는데 있다.

본 발명의 다른 목적은 특히 VLSI 및 ULSI 응용에 적합하며 칩 및 패키지 배선용으로 적어도 하나의 합금 원소를 함유한 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 칩 및 패키지 배선용으로 적어도 하나의 합금 원소를 함유하며 개선된 전자 이동 저항, 낮은 비저항 및 높은 부식 저항을 갖는 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 칩 및 패키지 배선용으로 적어도 하나의 합금 원소를 함유하며 이 합금 원소를 약 0.01 내지 10중량% 함유하는 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 칩 및 패키지용으로 적어도 하나의 합금 원소를 함유하며 반도체 산업에 이용되는 각종 금속 증착 기술에 의해 쉽사리 처리될 수 있는 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 온-칩 및 오프-칩 배선에 응용하기 위해 적어도 하나의 합금 원소를 함유하는 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 칩 및 패키지 배선용으로 적어도 하나의 합금 원소를 함유하며 상기 적어도 하나의 합금 원소가 입자 경계(grain boundaries)에서 포화되어진 초소형 구조를 형성하는 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 칩 및 패키지 배선용으로 인듐, 주석 및 탄소 중에서 선택된 적어도 하나의 합금 원소를 함유하며 입자 경계에서 또는 그 부근에서 상기 적어도 하나의 합금 원소의 농도가 입자 경계 부근이 아닌 영역에서의 농도의 적어도 120%인 초소형 구조를 형성하는 구리 합금을 제공하는데 있다.

본 발명의 또 다른 목적은 칩 및 패키지 배선용으로 적어도 하나의 합금 원소를 함유하는 구리로 이루어지며 적어도 10^5Amp/cm^2 의 전류 밀도에 견딜 수 있는 도체를 제공하는데 있다.

[발명의 요약]

본 발명에 의하면, 칩 및 패키지 배선용으로 인듐, 주석 및 탄소의 그룹에서 선택된 적어도 하나의 합금 원소를 갖는 구리 합금이 제공된다. 구리 합금은 상당히 개선된 전자 이동 저항, 낮은 비저항 및 높은 부식 저항을 갖는다.

바람직한 실시예의 경우, 탄소, 인듐 및 주석의 그룹에서 선택된 적어도 하나의 합금 원소를 0.01 내지 10중량% 함유하는 구리 합금이 제공된다. 이 합금 원소의 보다 바람직한 범위는 0.5 내지 2중량%이다. 이 합금 원소는 칩 제조 공정의 일부인 열적 어닐링 단계(thermal annealing step) 후에 구리 입자 경계에서 농축된다. 입자 경계 영역에서 또는 그 부근에서의 합금 원소의 농도는 그 입자 경계에서 떨어진 입자 영역에서의 농도의 적어도 120%인 것이 발견되었다. 구리 합금 배선에서의 구리의 이동율은 구리 표면, 구리와 주위층 간의 계면(즉, Cu/Ta, Cu/Si₃N₄) 및 입자 경계에서의 Cu/용질(solite)(즉, Cu/Sn, Cu/Zn, Cu/C)의 상호 작용으로 인해 급격하게 감소된다. 이것으로 인해 전자 이동 저항이 증가되어 응력에 의해 유도되는 공극화 및 힐로킹(stress induced voiding and hillocking)이 방지되어 구리 배선에서의 산화율이 감소된다. 본 발명의 구리 합금으로 제조한 칩 및 패키지 배선은 높은 전자 이동 저항으로 인해 적어도 10^5Amp/cm^2 의 고전류 밀도에도 견딜 수 있다.

본 발명은 또한 집적 회로 칩 및 패키지에 전기 접속을 제공하는 Cu 합금으로 제조된 배선 구조와, 비어(vias) 및 라인(lines)을 통해 다중 레벨 반도체 구조를 상호 접속시키는 Cu 합금의 도체에 관한 것이다.

본 발명은 또한 비어 및 라인을 통해 다중 레벨 반도체 구조를 상호 접속시키기 위한 도체를 형성하는 방법에 관한 것으로, 상기 도체는, 탄소, 주석 및 인듐에서 선택한 적어도 하나의 합금 원소를 함유한 구리 합금의 도체를 형성한 후, 상기 합금 원소의 열 유도 확산(thermally induced diffusion process)이 입자 경계쪽으로 진행하여 상기 합금 원소의 포화가 입자 경계에서 형성되기에 충분한 시간 및 온도로 상기 구리 합금 도체를 가열시킴으로써 형성된다.

본 발명은 또한 우선 구리층과 서로 병렬 배치된 탄소, 주석 또는 인듐의 합금 원소층을 증착시키고 나서 적어도 90중량%의 구리를 함유한 구리 합금의 고용체(solid solution)를 형성하는데 충분한 온도로 상기 층들을 모두 가열시킴으로써 구리에서의 전자 이동을 감소시키는 방법에도 관한 것이다.

본 발명의 상기 및 그 외의 특징 및 장점들에 대해서는 첨부된 도면을 참조하여 기술한 이하의 상세한 설명으로부터 명백해질 것이다.

[바람직한 실시예]

본 발명은 칩 및 패키지 배선용으로 사용되며, 개선된 전자 이동 저항, 낮은 비저항 및 개선된 부식 저항을 제공하는 인듐, 주석 및 탄소의 그룹에서 선택된 적어도 하나의 합금 원소를 함유한 구리 합금을 제공한다.

본 발명에 따른 구리 합금 배선 구조는 실리콘 소자 접촉 구멍에 직접 접속되거나 또는 Ti/N이나 CVD W 접촉 플러그를 통해 접속된 양호한 확산 장벽층을 갖는 제1구리 합금 도체 라인에서 시작될 수 있다. 우선 제1도를 참조해 보면, 본 발명의 구리 합금으로 제조한 배선 구조에 대한 개략적인 단면이 도시되어 있다. 이러한 구조는 “금속 상감(Damascene)” 또는 “이중 금속 상감” 처리에 의해 구리 와이어링 구조를 제조하는 제1방법인 제2 내지 제5도에서 도시된 각종 공정 단계로 형성된다. 사용된 구리 합금은, 탄소, 인듐 및 주석의 그룹에서 선택된 약 0.01 내지 약 10중량% 농도의 적어도 하나의 합금 원소를 함유하고 있다. 합금 원소의 바람직한 농도는 약 0.5 내지 약 2 중량%이다.

제2 내지 제5도를 참조해 보면, 구리 배선 구조에 대한 공정 순차가 도시되어 있다. 전형적인 금속 상감 레벨은 우선 제2도에서 도시된 바와 같이 평면의 유전체 스택(10)을 증착시킴으로써 제조된다. 다음에 유전체 스택(10)을 표준 리소그래피 및 건식 에칭 기술을 이용하여 패턴 및 에칭함으로써 소정의 와이어링 또는 비어 패턴이 형성된다. 다음에 제3도에서 도시된 바와 같이, Ta-Cu 합금 야금술의 금속 증착 공정을 행한다. 하부의 질화물층(22)은 소자(26)의 상부 상에 증착되어 구리 확산을 방지하기 위한 확산 장벽으로 사용된다. 상부의 질화물층(24)은 소정의 패턴을 형성하기 위한 에칭 마스크로서 증착되어지며, 이후에 불소 기체 플라즈마(flourine based plasma)를 사용하여 중합체 층에 배선용 리세스(recess)를 에칭 형성한다. 트렌치(trench) 또는 비어를 채우는데, 예를 들어, 콜리메이티드 스퍼터링 처리(collimated sputtering process), 이온 클러스터 빔 처리(ion cluster beam process), 전자 사이클로트론 공진 처리(electron cyclotron resonance process), 화학 기상 증착 처리(chemical vapor deposition process), 무전해 도금 처리(electroless plating process) 및 전해 도금 처리(electrolytic plating process) 등 여러 금속 증착 기술들이 성공적으로 사용되고 있다. Cu 및 합금 원소를 동시에 증착시키는 동시 증착(co-deposition) 방법들도 본 발명의 Cu 합금을 형성하는데 사용할 수 있다는 것에 주목할 필요가 있다. 예를 들어, 이들 방법으로는 동시 스퍼터링(co-sputtering), 동시 화학 기상 증착(co-chemical vapor deposition) 및 동시 증발 증착(co-evaporation)이 있다.

일반적으로, 증착 공정을 완료한 후, 화학 기계 연마 방법을 이용하여 절연체층에 매립된 평면화된 와이어링 및 비어를 남겨두면서 필드 금속층(field metal layer)을 제거한다. 다음에, 산소를 이용하여 마스크를 질화물 레지스터(resist)의 박막층까지 에칭한다. 중합체 층을 다이아몬드와 같은 탄소막 등의 임의 다른 절연 물질로 대체할 수 있다. 제4 및 제5도에서는 Ta층을 스퍼터링 또는 콜리메이티드 스퍼터링 처리에 의해 정착층으로서 증착시키는 후속 공정 단계를 도시하고 있다. 제5도에서 도시된 바와 같이 최종 증착된 질화물층(32)이 패시베이션층(passivation layer)으로서 작용하여 완성된 소자를 환경으로부터 보호한다.

칩의 제조 공정 중에, 순차적으로 적층된 구조(gradually built-up structure)는 여러층 내의 다른 방식으로 내장된 응력(built-in stresses)을 경감시키기 위해 공정 전체를 통해 수회 어닐링 또는 가열 처리를 해야 한다. 사용된 어닐링 온도는 전형적으로 150 내지 450°C 범위이며, 보다 바람직하게는 300 내지 400°C이다. 이러한 고온에서, Cu 합금 중의 용질(즉, Sn, In 또는 C)은 Cu 계면과 Cu 합금 입자의 경계로 확산되어 그 부근에서 농축되어 진다. 예를 들어, 1 내지 2중량%의 Sn을 함유한 Cu(Sn) 합금에서는 입자 경계가 Sn이온으로 포화된 것으로 발견되었다. Cu 합금에서 Sn의 양을 5중량%로 증가시켰을 때 입자 경계에서 발견된 Sn의 양은 단지 1 내지 2중량%의 Sn이 존재할 때 발견되었던 것과 동일하다. 추가된 Sn은 입자 경계에서 공핍되어 있던 Sn을 보충시키기 위해 저장소(reservoir)내의 입자 내에 보유된다. Sn의 상 다이어그램(Phase diagram)에 기초하여, Cu 합금의 비저항이 어느 정도는 손상을 받더라도 전자 이동에 대한 저항 개선을 약 10중량%까지의 Sn농도로 실현할 수 있는 것으로 기대된다. 용질 이온의 농도는 이러한 계면 또는 경계 전역을 통하는 Cu 이온의 어떠한 전자 이동 또는 확산이라도 효과적으로 차단(block)시킨다. 확산 차단은 대전류가 흐를 때 효과적이다. 따라서 Cu합금의 전자 이동 저항이 사실상 개선되어 진다. 제1도에서 도시된 후속 레벨은 이러한 공정 단계를 반복적으로 적용시킴으로써 제조된다.

금속 상감 처리에 있어서, 모든 와이어링 레벨은 각 레벨에서 평면 구조이어서 통상적으로 비평면 구조의 웨이퍼 수율에 비해 웨이퍼 수율이 증가되어진다. 적합한 유전율을 갖는 여러 유전 물질을 금속 상감 처리시에 사용할 수 있는데, 예를 들어 SiO₂, 중합체, 다이아몬드형 탄소, 유동성 실리콘 산화물(flowable silicon oxide), 스피ن-온-글래스(spin-on-glass) 등이 있다.

본 발명의 Cu 합금을 이용하는 다른 기술은 건식 에칭 처리 및 리프트-오프 처리(lift-off process)이다. 건식 에칭 기술의 경우, 반응성 이온 에칭(RIE) 및 이온 밀링(ion milling)이 Cu 라인을 패턴링할 시에 만족스럽게 작용하는 것으로 나타나 있다. 금속 실리콘사이드 및 Ti/Tin/CVD W 접촉 스텐드(stud) 형성의

소자 제조후에, Ta/Cu 합금/Ta 3층을 순차로 증착시켰다.

제7 내지 10도에서는 본 발명의 Cu 합금을 사용하는 건식 에칭 및 리프트-오프 처리 순서를 도시하고 있다. 제7도에서 도시된 바와 같이, Ta의 하부 박막층(42)이 우선 점착/확산 장벽층 및 에칭 저지층으로 증착된다. 다음에 상부 Ta층(44)이 Cu 합금에 대해 영속성 마스크 및 패시베이션층으로 사용된다. Cu 합금 라인은 이온 빔 에칭 기술이나 Cl_2 기체 플라즈마를 이용하여 패턴 처리된다. 리프트-오프 기술을 이용할 때 금속 라인의 네가티브 이미지(negative image)를 레지스트에서 패턴 형성시킨 후 금속을 레지스터의 구멍(opening)내로 증발 증착시킨다. 레지스트가 기판 상에 희망 금속 라인을 남겨두고 레지스터 용매 중에 침지될 때 레지스터 상의 금속이 리프트 오프된다. Cu 라인의 윤곽의 그려진 후, Si_3N_4 등의 장벽 물질인 유전체 측벽 스페이서(46)가 증착되어 Cu 합금과 레벨간 절연물질 간 반응 가능성과 혼합(intermixing)을 방지한다. 이것은 제8도에서 도시하고 있다. 완전히 피포되어진(encapsulated) Cu 합금 라인은 이러한 일련의 공정 단계로부터 얻어진다. 제9도에서는 기존의 Al배선 공정 단계에서 사용된 것에 필적할 만한 방식으로 달성될 수 있는 유전 물질의 증착과 후속 층간 평면화(Planarization)에 대해 도시하고 있다.

Cu 합금 배선 구조에 대해 건식 에칭 또는 리프트-오프 처리를 사용하는 잇점중 하나는 공정 단계가 단지 미소한 변경만을 필요로 하면서 표준 VLSI 공정 순차와 양립할 수 있다는 것이다. 이러한 공정 방법의 다른 잇점은 단지 블랭킷막(blanket film)을 필요로 하기 때문에 다양한 기술을 이용하여 용이하게 구리 합금 금속층을 용이하게 증착시킬 수 있다는 것이다. 제9도에서는 이러한 기술에 의해 구성된 다중 레벨 배선 구조를 도시하고 있다. 전체 5층의 Cu 합금 배선 구조가 도시되어 있다. 본 발명의 기술을 사용하여 적어도 7층 구조를 구성할 수 있는 것으로 여겨진다.

제10도는 본 발명에 따라 구성된 Cu 합금 배선 구조의 다른 실시예를 개략적으로 도시하고 있다. 이 실시예에서는 Cu 합금이 다른 Al(Cu) 또는 W 금속 배선과 혼합될 수 있는 것으로 보여진다. Cu는 종종 부식 문제를 유발시키므로, 알루미늄 와이어에 대한 와이어 본딩 시에는 Al을 사용하는 것이 유익할 수 있다. 또한, 실리콘 소자로부터 더욱 멀리 떨어져 있는 배선 레벨에서는 Cu 합금을 사용하는 것이 바람직할 수 있다. 실리콘 또는 실리콘사이드층 내로 Cu 이온이 이동함으로써 소자가 오염되어 손상되어 버린다. 이것을 제10도에서 도시하고 있으며, 제10도에서는 M_1 금속층(52)이 Cu 합금으로 구성되지 않고 대신에 W 또는 Al(Cu)로 구성되어 있다. 그러므로, Cu 합금 배선은 칩 코백선의 임의 레벨에서 다른 도체와 결합될 수 있다. 예를 들어, 다중 레벨 Cu 합금 배선은 소자를 접속시키는 W 국부 배선과 결합되거나 또는 여러 레벨에서 내화성 금속 하층 라인을 갖는 Al 합금에 접속될 수 있다.

다중 레벨 배선에서 Cu 야금술의 이용으로 다른 처리를 해야하는 문제가 제기된다. 예를 들어, Cu는 전형적으로 폴리미드 및 SiO_2 에 대해 불충분한 점착성을 갖는다. 따라서 점착성을 개선시키기 위해서는 양호한 금속 점착/확산 장벽층, 즉 Ta층이 필요로 된다. (N_2 분위기 중에서) 4시간 동안 500°C의 열적응력 사이클을 사용할 때, Ta가 적합한 도통 확산 장벽으로, (PECVD에 대해 증착된) Si_3N_4 가 유효한 절연 장벽으로 발견되었다. Cu 표면에서 In, Sn, C의 용질 원자의 분리(segregation)에 의해 점착성이 더 향상된다.

상기 실시예에서는 단지 비어 및 라인과 같은 배선의 온-칩 배선만을 도시하였지만, 본 발명의 Cu 합금을 태브 자동화 본딩(tab automated bonding, TAB), 볼 그리드 어레이(ball grid array, BGA) 및 핀 그리드 어레이(Pin grid array, PGA)에서 와이어링 리드에서와 같이 오프-칩에도 응용될 수 있다. 와이어링 리드의 전자 이동 저항이 본 발명의 Cu 합금을 사용함으로써 상당히 개선되었다.

금속막에서, 특히 어닐링 동안 원자들의 이동이 영속적으로 발생하는데, 이것에 의해 원자 확산의 취보 프로세스(random walk process)를 통해 고용체가 균질화(homogenize)되려는 경향이 있다. 칩 제조 및 동작 조건 하에서, 열적으로 유도된 기계 응력, 인가 전압, 전류, 열적 경도 등과 같은 외력의 인가에 의해 비랜덤(nonrandom)(또는 방향성) 원자 이동이 도입된다. 방향성 원자 이동에 의해 한 위치에서 다른 위치로 대량 이동이 발생되어 신뢰성 문제를 일으킨다. 전자 이동의 외력과 응력 유도된 공극화 하에서의 원자 플럭스(flux)는 원자 밀도와 언스트-아인슈타인(Ernst-Einstein) 관계식을 사용하여 얻어질 수 있다.

$$J_1 = n(D_{eff}/kT)F_i$$

여기서 n 은 금속 라인을 따라 확산율(D_{eff})로 확산할 수 있는 원자의 밀도이고, T 는 절대 온도이고, k 는 볼트만 상수이다. 힘 F_i 은 전자 이동에 대해서는 $Z \cdot eE$ 로, 응력 유도된 이동에 대해서는 $\Delta(\delta \Omega)$ 으로 이루어지며, $Z \cdot$ 는 유효 전하수이며, E 는 전기(전위 전도)이며, δ 는 응력이며 Ω 는 원자의 체적이다.

금속 라인에서 손상 형성과 부식율은 원자 플럭스에 의해 제어된다. 상기 식에서 힘의 항은 칩 제조와 동작 조건에 의해 정해지며, 그러므로 원자 플럭스의 양은 원자 확산에 직접 관련된다. 약 0.01 내지 약 10 중량% 농도의 Sn, In 및 C와 같은 용질 원자는 Cu 계면, 표면 및 입자 경계에서 Cu의 확산율을 상당히 감소시킬 수 있으므로 응력-유도된 이동, 전자 이동 손상 및 부식이 감소된다.

본 발명의 Cu 합금은 IC 칩의 수명을 연장시킨다. Cu 라인은 통상적으로 VLSI 공정단계 동안 200 내지 400°C로 가열되는 것에 주목해야 한다. 가열 처리에 의해 Cu 입자 내부에서 보다 Cu 입자 경계 및 표면에서 용질의 농도가 높아진다.

제11도에서는 다른 구리 합금에 대한 라인 저항이 전자 이동 응력 시간의 함수로서 증가하는 것을 도시하고 있다. 테스트된 샘플은 순수 Cu, Cu(0.5중량% Sn), Cu(1중량% Sn) 및 Cu(1중량% In)이었다. 제11도에서 도시된 바와 같이, 1% In을 갖는 Cu 합금이 테스트된 샘플중에서 가장 양호한 전자 이동 저항을 갖는다. 샘플의 비저항을 표 1에서 도시하고 있다.

[표 1]

조성	$\rho(\mu\Omega\text{-cm})$
Cu	1.9
Cu(0.5 중량.%In)	2.6
Cu(1 중량.%In)	2.9
Cu(2 중량.%In)	3.2
Cu(0.5 중량.%Sn)	2.6
Cu(1 중량.%Sn)	3.1
Cu(2 중량.%Sn)	4.4
Cu(0.2 중량.%C)	1.9

본 발명의 Cu 합금의 경우, 사용될 C의 적합한 범위는 약 0.01 내지 약 10중량%이며, 바람직한 범위는 약 0.01 내지 2중량%이다. 사용될 Sn의 적합한 범위는 약 0.01 내지 약 10중량%이며, 바람직한 범위는 약 0.55 내지 10중량%이다. 사용될 In의 적합한 범위는 약 0.01 내지 10중량%이며, 바람직한 범위는 약 0.01 내지 약 2중량%이다.

결과에 따르면, Cu 드리프트 속도(D_{eff}/kT) $Z \cdot eE$ 에 관련된 저항 변화율은 Cu에 C, Sn 및 In의 용질을 함유 시킴으로써 상당히 감소되는 것으로 나타났다. 또한, 결과에 따르면, Cu 합금 배선에서의 Cu의 확산율은 Cu-용질 상호 작용으로 인해 상당히 감소되는 것으로 나타났다. 표 1에서는 저농도의 합금 원소를 갖는 합금만을 도시하였지만, 고농도의 합금 원소를 함유한 다른 Cu 합금을 구성하여 테스트할 수 있다는 것에 주목할 필요가 있다. 합금 원소의 10중량%까지 함유하는 Cu 합금을 테스트하여 우수한 전자 이동 저항을 갖는 다른 것을 발견하였다. 그러나, 합금 원소의 농도가 더 높은 경우에는 전자 이동 저항은 비저항의 희생으로 얻어졌다. Cu 합금 배선에서의 모든 특성에 대한 양호한 절충은 10중량% 미만의 합금 원소의 최적 농도 레벨에서 얻을 수 있다.

비록 본 발명은 예시된 방식으로만 기술하였지만, 이것에서만 제한되지 않는다는 것에 주목할 필요가 있다.

더 나아가, 비록 본 발명이 바람직한 실시예 및 여러 다른 실시예에 대해서만 기술하였지만, 본 기술 분야에 숙련된 사람들은 본 발명의 범주를 벗어나지 않는 한 여러 가지의 변형 실시예가 가능하다는 것은 주지의 사실이다. 예를 들어, Cu 합금 조성에 하나 이상의 합금 원소를 사용하여 개선된 전자 이동 저항, 낮은 비저항 및 양호한 부식 저항과 같은 동일한 바람직한 특성을 얻을 수 있다. 본 발명의 Cu 합금은 또한 Cu와 합금 원소의 층을 함께 증착시킨 후 Cu 합금의 고용체가 90중량%의 Cu까지 함유하는 층의 계면에서 형성되도록 적합한 온도에서 어닐링함으로써 형성될 수 있다.

독점적인 소유권 또는 권리를 청구하고 있는 본 발명의 실시예는 다음과 같이 정의된다.

(57) 청구의 범위

청구항 1

전기적 접속을 제공하는 배선 구조에 있어서, 구리와, 탄소와 인듐으로 이루어진 그룹에서 선택된 약 0.01 내지 약 10중량%의 적어도 하나의 합금 원소(alloying element)를 포함하되, 상기 배선 구조는 5 μm 이하의 두께를 갖는 배선 구조.

청구항 2

제1항에 있어서, 상기 구조는 입자 경계(grain boundaries)에 의해 분리되어 있는 다수의 입자를 더 포함하며, 상기 입자 각각은 상기 입자 경계에서 또는 그 부근에서, 상기 입자 경계에서 사실상 떨어져 있는 입자들 내부 영역에서 농도의 적어도 120%인 상기 적어도 하나의 합금 원소 농도를 갖는 배선 구조.

청구항 3

제1항에 있어서, 상기 구조는 온-칩(on-chip) 또는 오프-칩(off-chip)에 사용되는 배선 구조.

청구항 4

제1항에 있어서, 상기 구조는, 비어(via), 라인(line), 스테드(stud) 및 탭 자동 본딩(Tab automated bonding, TAB), 볼 그리드 어레이(Ball grid array, BGA) 또는 핀 그리드 어레이(Pin grid array, PGA)용 와이어링 리드(wiring lead)로 이루어진 그룹에서 선택된 부재(a member)인 배선 구조.

청구항 5

제1항에 있어서, 상기 적어도 하나의 합금 원소는 약 0.01 내지 약 10중량%농도의 탄소인 배선 구조.

청구항 6

제1항에 있어서, 상기 적어도 하나의 합금 원소는 바람직하게는 약 0.01 내지 약 2중량% 농도의 탄소인 배선 구조.

청구항 7

제1항에 있어서, 상기 적어도 하나의 합금 원소는 약 0.55 내지 약 10중량% 농도이고, 보다 바람직하게는 약 0.55 내지 약 2.55중량% 농도의 주석인 배선 구조.

청구항 8

제1항에 있어서, 상기 적어도 하나의 합금 원소는 약 0.01 내지 약 10중량% 농도의 인듐인 배선 구조.

청구항 9

제1항에 있어서, 상기 적어도 하나의 합금 원소로 포함되는 입자들 간의 입자 경계들을 갖고 있는 구리 합금으로 형성되는 배선 구조.

청구항 10

제1항에 있어서, 상기 구조는 순수한 구리 배선 구조에 비하여, 개선된 전자 이동 저항(electromigration resistance), 비저항 및 부식 저항을 갖는 배선 구조.

청구항 11

제1항에 있어서, 상기 구조는 내화 금속(refractory metal)으로 이루어진 점착/확산 장벽층의 라이너(liner)를 더 포함하는 배선 구조.

청구항 12

제1항에 있어서, 상기 구조는, 이산화 실리콘, 질화 실리콘, 스피-온 글래스(spin-on glass), 유동성 산화물(flowable oxides), 다이아몬드형 탄소 및 중합체로 이루어진 그룹에서 선택된 유전 물질의 절연층을 더 포함하는 배선 구조.

청구항 13

제1항에 있어서, 상기 구리 합금은, 콜리메이티드 스퍼터링(collimated sputtering process), 증발 증착(evaporation), 이온 클러스터 빔 증착(ion cluster beam deposition), 전자 사이클로트론 공진 증착(electron cyclotron resonance deposition), 화학 기상 증착(chemical Vapor deposition), 무전해 도금(electroless plating), 전해 도금(electrolytic plating), 동시 증발 증착(co-evaporation), 동시 화학 기상 증착(co-chemical vapor deposition) 및 동시 스퍼터링(co-sputtering)으로 이루어진 그룹에서 선택된 처리에 의해 증착되는 배선 구조.

청구항 14

제1항에 있어서, 상기 구조는 3 내지 7 레벨을 갖는 다중 레벨 구조(multilevel structure)인 배선 구조.

청구항 15

제1항에 있어서, 상기 구조는 이전에 증착되어진 금속 실리사이드층상에 형성되는 배선 구조.

청구항 16

제1항에 있어서, 상기 구조는 반도체 소자 상에 형성되는 배선 구조.

청구항 17

제1항에 있어서, 상기 구조는 Ti/TiN/CVD W 스테드에 의해 접촉 구멍(contact holes)을 통해 금속 실리사이드에 접속되는 배선 구조.

청구항 18

제1항에 있어서, 상기 구조는 W 또는 Al(Cu)의 다른 금속에 접속되는 배선 구조.

청구항 19

구리와 탄소, 주석 및 인듐으로 이루어진 그룹에서 선택된 약 0.01 내지 약 10중량%의 적어도 하나의 합금 원소를 포함하여서, 적어도 10^5Amp/cm^2 의 전류 흐름을 견뎌낼 수 있는 도체.

청구항 20

전기적 접촉을 제공하는 배선 구조에 있어서, 바디(body)와 상기 바디 내에 분산되어 있는 다수의 입자를 포함하며, 상기 바디는 구리와, 탄소, 주석 및 인듐으로 이루어진 그룹에서 선택된 약 0.01 내지 약 10중량%의 적어도 하나의 합금 원소로 형성되며, 상기 바디 내에 분산되어 있는 상기 다수의 입자 각각은 상기 입자 중 하나의 입자 경계 또는 그 부근에서, 상기 입자 경계에서 사실상 떨어져있는 영역에서의 농도의 적어도 120%인 상기 적어도 하나의 합금 원소 농도를 갖는 배선 구조.

청구항 21

전기적 접촉을 제공하는 배선 구조에 있어서, 구리, 탄소와 인듐으로 이루어진 그룹에서 선택된 약 0.6 내지 약 10중량%의 적어도 하나의 합금 원소를 포함하는 배선 구조.

청구항 22

도체를 형성하는 방법에 있어서, 구리와, 탄소, 주석 및 인듐으로 구성된 그룹에서 선택된 적어도 하나의 합금원소로 도체를 형성하는 단계로서, 상기 적어도 하나의 합금 원소는 전체 중량 중 약 0.01 내지 약 10중량%를 차지하며 구리 합금의 입자와 입자 경계 내에 거의 균일하게 분산되어 있는, 도체 형성 단계와, 상기 적어도 하나의 합금 원소의 열적 유도 확산(thermal induced diffusion process)이 상기 입자 경계쪽으로 진행되어 상기 입자 경계 또는 그 부근에서 상기 적어도 하나의 합금 원소가 포화되기에 충분한 시간과 온도로 상기 도체를 가열하는 단계를 포함하는 도체 형성 방법.

청구항 23

제22항에 있어서, 가열 이후의 상기 도체는 입자 경계에서, 상기 입자 경계에 사실상 인접하지 않는 영역에서의 농도의 적어도 120%인 상기 적어도 하나의 합금 원소 농도를 갖는 구리 합금으로 형성되는 도체 형성 방법.

청구항 24

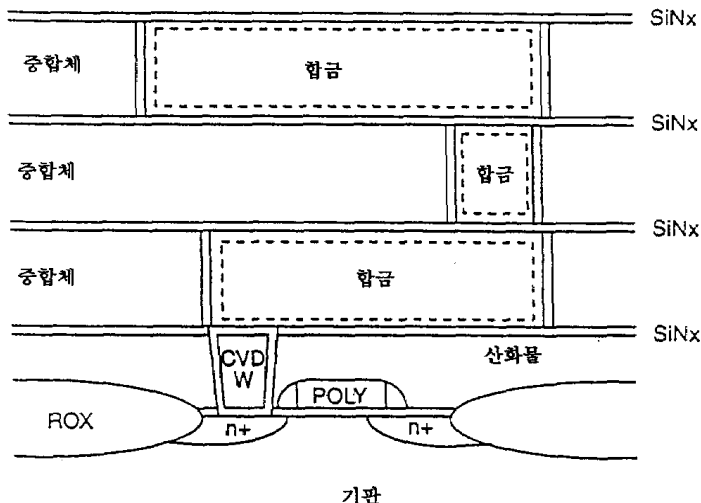
구리 내에서의 전자 이동을 감소시키는 방법에 있어서, 제1구리층을 증착시키는 단계와, 상기 제1층의 적어도 일부상에 탄소, 주석 및 인듐으로 이루어진 그룹에서 선택된 물질인 제2층을 증착시키는 단계와, 상기 층들을 적어도 90중량%의 구리를 함유하는 상기 두 층의 고용체를 형성하기에 충분한 온도로 어닐링하는 단계를 포함하는 구리 내에서의 전자 이동을 감소시키는 방법.

청구항 25

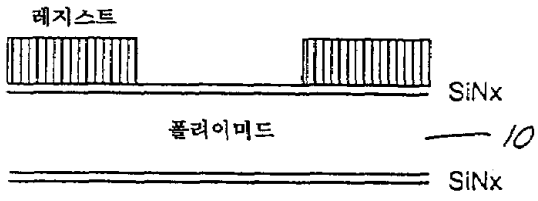
제24항에 있어서, 상기 어닐링 온도는 적어도 150℃인 구리 내에서의 전자 이동을 감소시키는 방법.

청구항 26

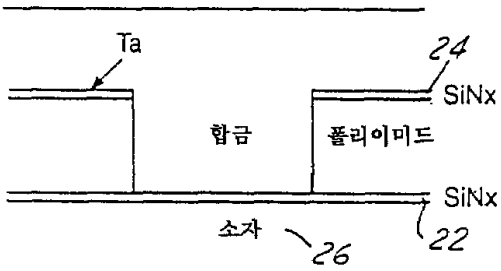
제1항에 있어서, 상기 구조는 표시 소자(display device)상에 형성되는 배선 구조.

도면**도면1**

도면2



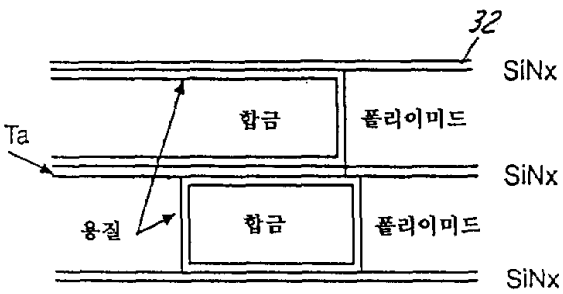
도면3



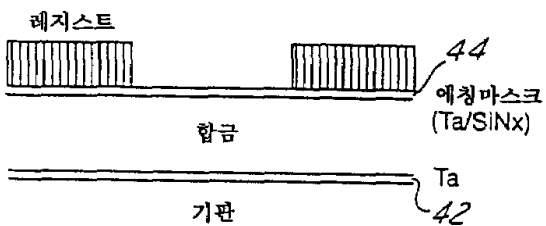
도면4



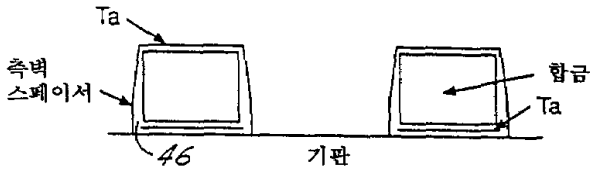
도면5



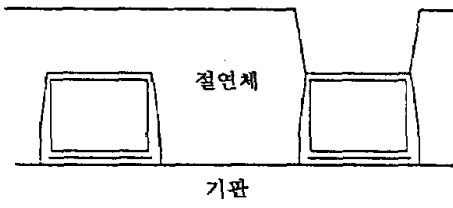
도면6



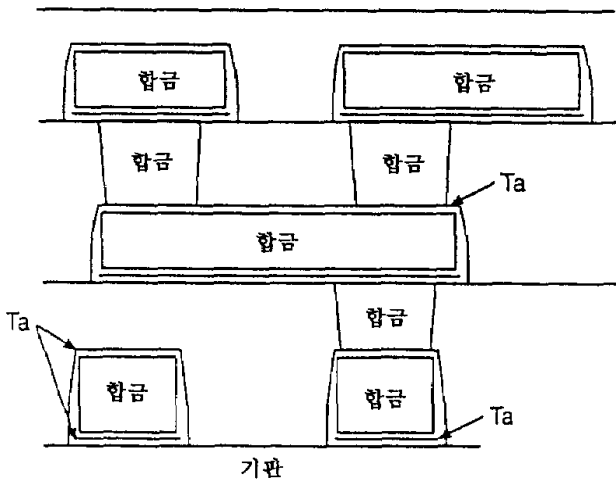
도면7



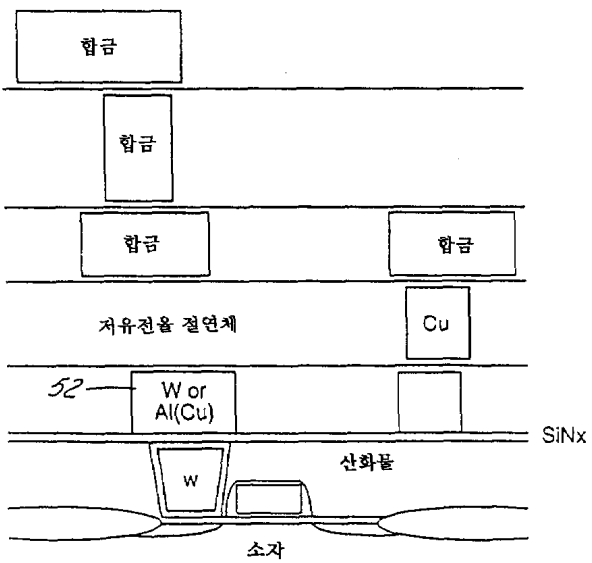
도면8



도면9



도면10



도면11

