



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214434 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100123948

(22)申請日：中華民國 100 (2011) 年 07 月 06 日

(51)Int. Cl. : **G11C13/00 (2006.01)**

G11C7/18 (2006.01)

(30)優先權：2010/07/29 日本

2010-170934

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：北川真 KITAGAWA, MAKOTO (JP) ; 吉原宏 YOSHIHARA, HIROSHI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：11 項 圖式數：28 共 97 頁

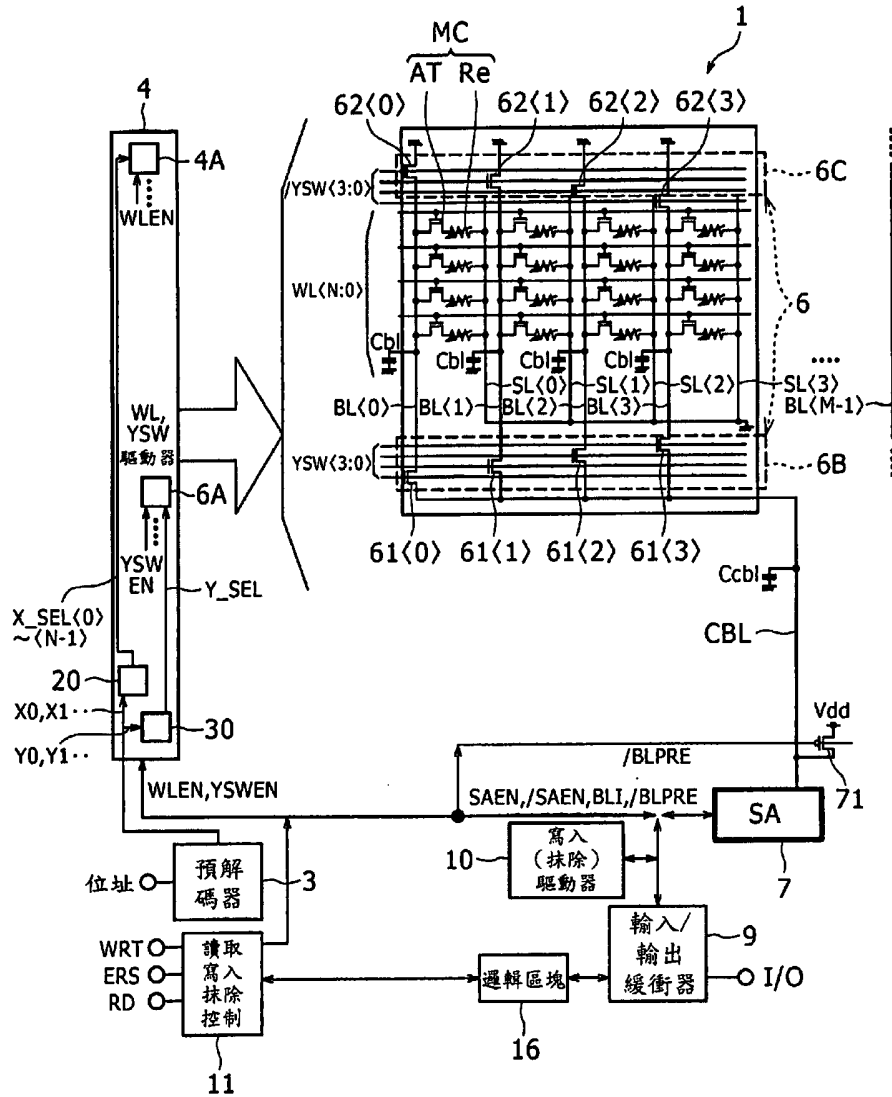
(54)名稱

可變電阻式記憶體裝置

VARIABLE-RESISTANCE MEMORY DEVICE

(57)摘要

本文中揭示一種可變電阻式記憶體裝置，該可變電阻式記憶體裝置包括：使用複數個記憶體胞之一記憶體胞陣列，該複數個記憶體胞各自包括一儲存元件且包括在一位元線與一源極線之間串聯連接至該儲存元件之一存取電晶體，該儲存元件具有根據施加至該儲存元件之一電壓之方向變化之一電阻；及一電壓供應電路，該電壓供應電路用於設定一讀取電壓，該讀取電壓用於在用以將該讀取電壓供應至一選定位元線之一操作中在連接至充當一讀取物件之該記憶體胞的該選定位元線上讀出該儲存元件之該電阻。



- 1：記憶體胞陣列
- 3：預解碼器
- 4：列驅動電路
- 4A：WL 驅動器單元
- 6：行開關電路/CSW (行開關)電路
- 6A：CSW 驅動器單元
- 6B：共同線隔離開關區段
- 6C：放電開關區段
- 7：SA(感測放大器)
- 9：I/O(輸入/輸出)緩衝器
- 10：寫入/抹除驅動器
- 11：控制電路
- 16：邏輯區塊
- 20：X 選擇器
- 30：Y 選擇器
- 61<0>：隔離開關
- 61<1>：隔離開關
- 61<2>：隔離開關
- 61<3>：隔離開關
- 62<0>：放電開關
- 62<1>：放電開關
- 62<2>：放電開關
- 62<3>：放電開關
- 71：預充電電晶體
- AT：存取電晶體
- BL<0>：位元線
- BL<0>~BL<M-1>：位元線
- BL<1>：位元線
- BL<2>：位元線
- BL<3:1>：位元線
- BL<3>：位元線
- BLI：位元線隔離信號
- CBL：共同位元線

Cbl：位元線之導線電容

Ccbl：共同位元線之導線及觸點電容/共同位元線之導線電容

ERS：抹除信號

MC：記憶體胞

RD：資料讀取信號

Re：可變電阻式儲存電阻器/可變電阻式儲存元件

SAEN：SA 啟用信號

SL<0>~SL<M-1>：源極線

Vdd：電源供應器電壓

WL：字線

WL<N:0>：字線

WLEN：WL 選擇啟用信號

WRT：寫入信號

X_SEL<0>~<N-1>：X 選擇信號

X0,X1..X：位址信號

Y_SEL：Y 選擇信號

Y0：Y 位址信號

Y0：Y 位址信號位元

Y1：Y 位址信號

Y1：Y 位址信號位元

YSW<3:0>：行選擇信號

YSWEN：Y 開關啟用信號

/BLPRE：經反轉之 BL 預充電信號

/SAEN：SA 停用信號/經反轉之 SA 啟用信號



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201214434 A1

(43)公開日：中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100123948

(22)申請日：中華民國 100 (2011) 年 07 月 06 日

(51)Int. Cl. : **G11C13/00 (2006.01)**

G11C7/18 (2006.01)

(30)優先權：2010/07/29 日本

2010-170934

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：北川真 KITAGAWA, MAKOTO (JP) ; 吉原宏 YOSHIHARA, HIROSHI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：11 項 圖式數：28 共 97 頁

(54)名稱

可變電阻式記憶體裝置

VARIABLE-RESISTANCE MEMORY DEVICE

(57)摘要

本文中揭示一種可變電阻式記憶體裝置，該可變電阻式記憶體裝置包括：使用複數個記憶體胞之一記憶體胞陣列，該複數個記憶體胞各自包括一儲存元件且包括在一位元線與一源極線之間串聯連接至該儲存元件之一存取電晶體，該儲存元件具有根據施加至該儲存元件之一電壓之方向變化之一電阻；及一電壓供應電路，該電壓供應電路用於設定一讀取電壓，該讀取電壓用於在用以將該讀取電壓供應至一選定位元線之一操作中在連接至充當一讀取物件之該記憶體胞的該選定位元線上讀出該儲存元件之該電阻。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用記憶體胞之可變電阻式記憶體裝置，該等記憶體胞各自包括一儲存元件及一與該儲存元件串聯連接之存取電晶體，該儲存元件具有根據施加至儲存元件之電壓變化之電阻。本發明亦係關於一種用於驅動可變電阻式記憶體裝置之方法。

【先前技術】

如諸如 K. Aratani、K. Ohba、T. Mizuguchi、S. Yasuda、T. Shiimoto、T. Tsushima、T. Sone、K. Endo、A. Kouchiyama、S. Sasaki、A. Maesaka、N. Yamada及H. Narisawa之「A Novel Resistance Memory with High Scalability and Nanosecond Switching」，技術文摘(Technical Digest)IEDM 2007，第783頁至第786頁之文獻中所描述，已知使用各自包括一儲存元件之記憶體胞的可變電阻式記憶體裝置。在該等記憶體胞中之每一者中，藉由將導電離子注入至儲存元件之絕緣薄膜中或自絕緣薄膜提取導電離子，儲存元件之電阻可改變。

該儲存元件具有藉由將導電離子供應層層壓於兩個電極之間的絕緣層上而產生之結構，導電離子供應層充當用於供應導電離子之層。該等記憶體胞各自經組態以具有此儲存元件及在第一共同線與第二共同線之間串聯連接至該儲存元件之存取電晶體，第一共同線與第二共同線可藉由採用主動式矩陣方法予以驅動。

由於此記憶體胞因此具有儲存元件之一個電晶體T及一個可變電阻器R，故可變電阻式記憶體裝置為1T1R型之電流驅動記憶體中之一者。此可變電阻式記憶體裝置被稱作ReRAM。

在ReRAM中，儲存元件之電阻之量值指示資料是否已寫入至儲存元件中或自儲存元件刪除。具有奈秒級之短持續時間的脈衝可用於執行用以將資料寫入至儲存元件中或自儲存元件抹除資料之操作。因此，類似RAM(隨機存取記憶體)之能夠以高速操作之充當NVM(非揮發性記憶體)的ReRAM吸引了很多注意力。

在ReRAM上所執行之讀取或讀取驗證操作中，電壓施加在儲存元件之兩個電極之間且作為施加電壓之結果的流過儲存元件之電流被讀出。在以下描述中，讀取驗證操作亦簡單地被稱作驗證操作。驗證操作可為在抹除操作之後執行之驗證操作或在寫入操作之後執行之驗證操作。然而，抹除後驗證操作與寫入後驗證操作基本上相同，儘管在前者之驗證操作中所施加電壓之極性與在後者之驗證操作中所施加電壓之極性不同。亦即，抹除後驗證操作中之流動電流之方向不同於寫入後驗證操作中之流動電流之方向。

另外，不考慮驗證操作之類型，有必要將在驗證操作中施加之電壓限制至相對較低讀取電壓VR以便防止干擾無意地發生。此係因為在驗證操作中施加之過大電壓可引起此種使資料被無意地自儲存元件抹除或無意地寫入至儲存元件中的干擾。

作為用於控制在驗證操作期間施加至位元線之電壓之方法，存在在下文描述之日本專利特許公開案第2006-127672號(專利文獻1)及日本專利特許公開案第2005-310196號(專利文獻2)中揭示之已知方法。

根據專利文獻1中揭示之方法，在讀取電流路徑上提供具有設定為VBIAS之閘極電壓之NMOS電晶體。NMOS電晶體之源電極連接至位元線以便控制出現在位元線上之BL電位。此時，NMOS電晶體作為將BL電壓控制為(VBIAS - Vgs)之源極隨耦器操作，其中符號Vgs表示出現在NMOS電晶體之源電極與閘電極之間的電壓。

根據在專利文獻2中揭示之方法，另一方面，將讀取電壓VR產生作為由於對預先判定之節點充電而獲得的電壓之部分。該部分由一電容比判定。接著，在動態地保持讀取電壓VR之狀態中，使用負回饋運算放大器來將BL電壓箝位至讀取電壓VR。亦即，負回饋運算放大器作為用於將BL電壓控制為讀取電壓VR之放大器操作。因此，根據專利文獻2中揭示之方法，將流過記憶體胞之胞電流之量值偵測為由以下關係判定之值：

胞電流=讀取電壓VR/儲存元件電阻。

【發明內容】

在專利文獻1中揭示之方法的狀況下，需要一VBIAS產生電路且VBIAS產生電路必須為高精度類比電路。因此，甚至在待用狀態下，DC電流仍流動，從而充當阻礙降低電力消耗的努力之原因中之一者。

在專利文獻2中揭示之方法的狀況下，另一方面，需要用於產生低讀取電壓VR作為由電容比判定之僅一部分的類比電路。在此狀況下，電力消耗可減小。

然而，由於DC電流係藉由充當回饋元件之運算放大器產生，故待用電流不完全變成等於零。因此，亦存在對進一步減小電力消耗之努力的障礙。

因此，本發明之目的在於實施用於減小電力消耗之無需類比電路的可變電阻式記憶體裝置。

根據本發明之可變電阻式記憶體裝置使用：

一包括複數個記憶體胞之記憶體胞陣列，該複數個記憶體胞各自包括一儲存元件及在一位元線與一源極線之間串聯連接至該儲存元件之一存取電晶體，該儲存元件具有根據施加至該儲存元件之一電壓之方向變化的一電阻；及

一電壓供應電路，該電壓供應電路用於設定一讀取電壓，該讀取電壓用於在藉由以下步驟將該讀取電壓供應至一選定位元線之一操作中在連接至充當一讀取物件之該記憶體胞之該選定位元線上讀出該儲存元件之該電阻：將電荷預充電至各自連接至複數條前文提及之位元線的作為針對該等位元線及/或任何任意數目條前文提及之位元線為共同的一共同線的任何任意數目條共同線，且將該經預充電之電荷放電至包括該選定位元線之任何任意數目條其他前文提及之位元線以便在一電荷共用程序中共用該電荷。

在上文描述之組態中，藉由在電荷自共同線及位元線以及其他位元線之放電之前及之後用於儲存電荷之線電容器

的電容之比率來判定讀取電壓。因此，藉由執行用以選擇一預充電物件及一放電物件以便將該比率設定為恰當值的控制，可任意地設定讀取電壓之量值。

根據本發明，可能實施無需類比電路且因此能夠減小電力消耗之可變電阻式記憶體裝置。

【實施方式】

藉由參看如下排列之章節中之圖解釋本發明之實施例：

- 1：第一實施例
- 2：第二實施例
- 3：第三實施例
- 4：第四實施例
- 5：第五實施例
- 6：修改

1：第一實施例

記憶體胞組態

圖1A及圖1B各自為展示針對實施例為共同之記憶體胞之等效電路的圖。應注意，圖1A展示具有一寫入電流之等效電路而圖1B展示具有一抹除電流之等效電路。然而，該等圖中展示之記憶體胞組態自身彼此為相同的。

圖1A及圖1B中展示之記憶體胞MC使用充當儲存元件之可變電阻式儲存電阻器 R_e 及存取電晶體AT。在以下描述中，可變電阻式儲存電阻器 R_e 亦被稱作可變電阻式儲存元件 R_e 。

可變電阻式儲存元件 R_e 之兩個末端中之一者連接至源極

線SL，而另一末端連接至存取電晶體AT之源電極。存取電晶體AT之汲電極連接至位元線BL，而存取電晶體AT之閘電極連接至字線WL。

在圖1A及圖1B中展示之組態中，位元線BL與源極線SL彼此平行。然而，應注意，位元線BL與源極線SL並不必須彼此平行。

在第一實施例中，在作為前提給出之3線組態中，如上文描述，記憶體胞MC連接至三條線，亦即，位元線BL、源極線SL及用於控制存取電晶體AT之字線WL。

圖2為展示可變電阻式記憶體裝置之兩個相鄰記憶體胞MC之結構的橫截面圖。圖2為展示無影線部分之模型橫截面圖。圖2之空白部分為填充有絕緣薄膜之部分或其他組態部分，即使該圖未如此指示。

在圖2中展示之記憶體胞MC中，在基板100上產生記憶體胞MC之存取電晶體AT。

詳細而言，分別在基板100上產生充當存取電晶體AT(其為AT1或AT2)之源電極S及存取電晶體AT之汲電極D的兩個雜質區域，而自源電極S與汲電極D之間的閘極基板區域上的多晶矽或其類似者產生閘電極G。閘電極G藉由閘極絕緣薄膜而與基板100上之閘極區域分離開來。閘電極G形成在列方向(亦即，圖2中之水平方向)上拉伸之字線WL。用作汲電極D之雜質區域置於字線WL之前側上，而用作源電極S之雜質區域置於字線WL之後側上。字線WL之前側為在垂直於展示該圖之頁表面的方向上的前側，而字線

WL之後側為在垂直於展示該圖之頁表面的方向上的後側。在圖2中，用作汲電極D之雜質區域及用作源電極S之雜質區域的位置在水平方向上自彼此移位以便使汲電極D及源電極S易於識別。然而，用作汲電極D之雜質區域及用作源電極S之雜質區域的位置亦可在垂直於展示該圖之頁表面的方向上彼此重疊。

汲電極D經由位元線觸點BLC連接至藉由第一導線層(1M)產生之位元線BL。

在源電極S上，藉由重複地堆積插塞104及定位襯墊105而產生源極線觸點SLC。定位襯墊105各自由導線層產生。在源極線觸點SLC上，產生可變電阻式儲存元件Re。

可能自多層導線結構任意地選擇一層來充當上面待產生可變電阻式儲存元件Re之層。然而，在此狀況下，選擇第四層或第五層來充當上面待產生可變電阻式儲存元件Re之層。

可變電阻式儲存元件Re形成下電極101與充當源極線SL之頂部電極之間的薄膜組態(或層壓體)。該薄膜組態包括一絕緣體薄膜102及一導體薄膜103。

用於製造絕緣體薄膜102之材料之典型實例通常包括SiN、SiO₂及Gd₂O₃。

用於製造導體薄膜103之材料之典型實例通常包括金屬薄膜、合金薄膜及金屬化合物薄膜。金屬薄膜包括選自Cu、Ag、Zr及Al之一或多種元素。合金薄膜之典型實例為CuTe合金薄膜。應注意，用於製造金屬薄膜之元素亦可

選自除了Cu、Ag、Zr及Al之外的元素，條件為該等元素具有易於離子化之性質。另外，需要利用一或多種元素S、Se及Te來充當待與一或多種前文提及之元素Cu、Ag、Zr及Al組合之元素。導體薄膜103係作為導電離子供應層產生。

圖2展示連接至不同源極線SL之兩個可變電阻元件Re。各自充當在與位元線BL相同之方向上彼此分離開來之相鄰記憶體胞MC的儲存層中之一者之絕緣體薄膜102係產生於同一層上。基於同樣理由，各自充當此等記憶體胞MC之導電離子供應層中之一者的導體薄膜103亦產生於同一層上。以相同方式，此等記憶體胞MC之源極線SL亦產生於同一層上。另外，作為另一組態，源極線SL由在與位元線BL相同之方向上彼此分離開來之記憶體胞MC共用，而儲存層及導電離子供應層係各自關於每一記憶體胞MC獨立地產生。

應注意，在第一實施例中，源極線SL藉由位元線BL上方之導線層產生。位元線BL藉由第一導線層(1M)產生，而源極線SL藉由第四導線層或第五導線層產生。然而，源極線SL可藉由第一導線層(1M)產生，而位元線BL可藉由第四導線層或第五導線層產生。另外，可任意地選擇用於產生源極線SL及位元線BL之導線層。

圖3A及圖3B為各自展示流過在可變電阻式記憶體裝置中使用之可變電阻式儲存元件Re的電流之方向及施加至可變電阻式儲存元件之電壓之典型量值的模型圖。

作為一實例，圖3A及圖3B展示絕緣體薄膜102由SiO₂產生而導體薄膜103由基於Cu-Te之合金化合物材料產生的組態。絕緣體薄膜102具有與下電極101接觸之區域。接觸區域由氮化物薄膜(或SiN薄膜)104上之孔隙界定。

更具體而言，圖3A展示在將絕緣體薄膜102置於負電極側上且將導體薄膜103置於正電極側上的方向上將電壓施加於下電極101與充當源極線SL之頂部電極之間的狀況。舉例而言，使用此電壓，位元線BL連接至具有0 V電位之接地，而源極線SL經設定為典型電位+3 V。

此狀態引起展示包括於導體薄膜103中之Cu、Ag、Zr或Al經離子化且所得離子被吸引至負電極側的現象的性質。此等金屬導電離子經注入至絕緣體薄膜102中。因此，絕緣體薄膜102之絕緣能力減少，且結果，絕緣體薄膜102展現導電特性。結果，具有圖3A中展示之方向的寫入電流I_w流動。此操作被稱作寫入操作或設定操作。

與上文所描述相反，圖3B展示在將導體薄膜103置於負電極側上且將絕緣體薄膜102置於正電極側上的方向上將電壓施加於下電極101與充當源極線SL之頂部電極之間的狀況。舉例而言，使用此電壓，源極線SL連接至具有0 V電位之接地，而位元線BL經設定為典型電位+1.7 V。

此狀態引起經注入至絕緣體薄膜102中之導電離子返回至導體薄膜103之現象，從而將電阻恢復至高預寫入值。此操作被稱作抹除操作或重設操作。在抹除操作或重設操作中，具有圖3B中展示之方向的抹除電流I_e流動。

應注意，在以下描述中，將設定操作定義為用以將充分導電離子注入至絕緣體薄膜中之操作，而將重設操作定義為自絕緣體薄膜提取充分導電離子之操作。

另一方面，可將設定操作任意地視為資料寫入操作，而將重設操作任意地視為資料抹除操作或反之亦然。

在以下描述中，將設定操作視為資料寫入操作，而將重設操作視為資料抹除操作。亦即，將資料寫入操作或設定操作定義為用以減小絕緣體薄膜102之絕緣性質以便將整個可變電阻式儲存元件Re之電阻減少至充分低之位準的操作，而將資料抹除操作或重設操作定義為用以將絕緣體薄膜102之絕緣性質恢復至原始初始狀態以便將整個可變電阻式儲存元件Re之電阻增加至充分高位準的操作。

由圖1A及圖3A中展示之箭頭指示之電流方向為在設定操作中流過可變電阻式儲存元件Re之寫入電流 I_w 的方向，而由圖1B及圖3B中展示之箭頭指示之電流方向為在重設操作中流過可變電阻式儲存元件Re之抹除電流 I_e 的方向。

因此可能實施二元記憶體，在二元記憶體上上文描述之設定操作及重設操作被重複地執行以便將可變電阻式儲存元件Re之電阻以可逆方式自較大值改變至較小值且反之亦然。除此之外，由於即使施加至可變電阻式儲存元件Re之電壓被移除，可變電阻式儲存元件Re仍維持其電阻及儲存於其中之資料，故該二元記憶體充當非揮發性記憶體。

然而，除了二元記憶體之外，本發明亦可應用於多值記憶體，諸如能夠儲存三個或三個以上值之記憶體。

應注意，在設定操作中，可變電阻式儲存元件Re之電阻實際上根據注入至絕緣體薄膜102中之金屬離子之數目改變。因此，可將絕緣體薄膜102視為用於儲存且保持資料之儲存層。

可能組態可變電阻式記憶體裝置之記憶體胞陣列以包括各自使用一可變電阻式儲存元件Re之許多記憶體胞MC。可變電阻式記憶體裝置自身經組態以包括記憶體胞陣列及亦被稱作周邊電路之驅動電路。

IC晶片之組態

圖4為展示通常實施為IC晶片的可變電阻式記憶體裝置之組態的方塊圖。

圖4中展示之可變電阻式記憶體裝置使用整合於同一半導體晶片中之記憶體胞陣列1及其周邊電路。藉由配置圖1A至圖3B中展示之記憶體胞MC以形成由N個列及M個行構成之矩陣來建構記憶體胞陣列1，N個列各自包括在列方向上配置之M個記憶體胞MC，M個行各自包括在行方向上配置之N個記憶體胞MC。在此狀況下，符號M及N各自為可任意地設定為一具體值的相對較大整數。

應注意，圖4展示記憶體胞陣列1之一部分的典型組態。此部分包括經配置以形成N個列及四個行之記憶體胞MC。在此典型組態中，藉由一個感測放大器讀出在列方向上配置於該等列中之每一者上的四個記憶體胞MC之資料。

由於在圖4中展示之部分中存在N個列作為記憶體胞陣列1之一部分，故N條字線WL<0>至WL<N-1>分別用於該N個

列。N條字線WL<0>至WL<N-1>在行方向上以預定間隔佈局。在圖4中，N條字線WL<0>至WL<N-1>由參考符號WL<N:0>表示。在列方向上配置於N個列中之每一者上的四個記憶體胞MC中之存取電晶體AT之閘電極藉由字線WL<N:0>彼此連接。

另外，在行方向上配置之N個記憶體胞MC中的存取電晶體AT之汲電極或源電極藉由位元線BL彼此連接。由於在記憶體胞陣列1中存在M個行，故使用M條位元線BL<0>至BL<M-1>。M條位元線BL<0>至BL<M-1>在列方向上以預定間隔佈局。

以相同方式，在行方向上配置之N個記憶體胞MC中的可變電阻元件Re之特定末端藉由源極線SL彼此連接。由於在記憶體胞陣列1中存在M個行，故使用未在圖4中展示之M條源極線SL<0>至SL<M-1>。M條源極線SL<0>至SL<M-1>在列方向上以預定間隔佈局。在每一記憶體胞MC中使用之可變電阻式儲存元件Re之特定末端為在與同一記憶體胞MC中所使用之存取電晶體AT相反之側上的末端。

通常，包括於M條源極線SL<0>至SL<M-1>中的作為分別針對四個相鄰行提供之四條源極線的四條源極線彼此連接。此四條源極線可連接至用於供應諸如GND(接地)電壓之參考電壓之線。位元線BL及源極線SL在列方向上交替地佈局。

周邊電路具有寫入/抹除驅動器10及感測放大器(SA)7。每一寫入/抹除驅動器10驅動位元線BL及源極線SL。

SA(感測放大器)7讀出來自位元線BL之資料。

寫入/抹除驅動器10及SA(感測放大器)7形成行驅動電路。該行驅動電路對應於根據本發明之驅動電路之主要區段。應注意，根據本發明之實施例之驅動電路包括寫入/抹除驅動器10，但並不必須包括SA(感測放大器)7。

在圖4中展示之組態中，每一源極線SL連接至接地。然而，每一源極線SL至接地之連接僅展示在讀取狀態中電壓施加狀態之模型。實際上，每一源極線SL藉由個別地指派給該源極線SL之選擇開關而連接至一抹除驅動器10。然而，選擇開關自身未在圖4中展示。

另外，該周邊電路亦具有一預解碼器3、一系列驅動電路4及一行開關電路6。

預解碼器3為用於將輸入位址信號分裂成X系統之列位址及Y系統之行位址的電路。

列驅動電路4具有X位址主解碼器、Y位址主解碼器、行開關控制電路及WL(字線)驅動器。

行開關電路6為用於控制以下操作之電路：將預定複數條位元線BL連接至一共同位元線CBL或用於供應諸如GND(接地)電壓之參考電壓之一線，及使位元線BL自該共同位元線CBL或用於供應參考電壓之線斷開。在圖4中展示之組態之狀況下，該預定複數通常為4。亦即，位元線BL為位元線BL<0>及BL<3>。

除此之外，該周邊電路亦具有I/O(輸入/輸出)緩衝器9、控制電路11及邏輯區塊16。

邏輯區塊16為用於控制用以輸入且輸出資料之操作、用以儲存資料之操作及一緩衝操作之控制系統的邏輯電路區段。在必要時，邏輯區塊16亦可經組態以執行對記憶體胞陣列1之每一行之寫入禁止狀態的控制。

應注意，圖4未展示其他電路，諸如用於自電源供應器之電壓產生各種電壓之電路及用於控制時脈信號之產生之電路。

接著，如下解釋圖4及圖5中展示之行開關電路6之組態。圖5為展示圖4中展示之記憶體胞陣列1、SA(感測放大器)7與每一其他區段之間的連接的圖。

如圖4及圖5中展示，行開關電路6具有一共同線隔離開關區段6B及一放電開關區段6C。

該共同線隔離開關區段6B為用於將四條位元線BL<3:0>分別連接至共同位元線CBL及使該四條位元線BL<3:0>分別自該共同位元線CBL斷開的四個NMOS開關之集合。該四條位元線BL<3:0>為位元線BL<0>至BL<3>。在該四條位元線BL<3:0>中，位元線BL<0>為具有最小位元線號碼之位元線，而位元線BL<3>為具有最大位元線號碼之位元線。在以下描述中，該四個NMOS開關被稱作隔離開關61<3:0>。

隔離開關61<0>連接在位元線BL<0>與共同位元線CBL之間且藉由供應至隔離開關61<0>之閘電極之行選擇信號YSW<0>控制。基於同樣理由，隔離開關61<1>連接在位元線BL<1>與共同位元線CBL之間且藉由供應至隔離開關

61<1>之閘電極之行選擇信號YSW<1>控制。以相同方式，隔離開關61<2>連接在位元線BL<2>與共同位元線CBL之間且藉由供應至隔離開關61<2>之閘電極之行選擇信號YSW<2>控制。同樣地，隔離開關61<3>連接在位元線BL<3>與共同位元線CBL之間且藉由供應至隔離開關61<3>之閘電極之行選擇信號YSW<3>控制。

另一方面，放電開關區段6C為用於分別放電來自四條位元線BL<3:0>之電荷的四個NMOS開關之集合。在以下描述中，該四個NMOS開關被稱作放電開關62<3:0>。

根據基於分別供應至放電開關62<3:0>之經反轉之行選擇信號/YSW<3:0>的控制，放電開關62<3:0>分別執行與藉由與放電開關62<3:0>相關聯之隔離開關61<3:0>執行之操作相反的操作。

放電開關62<0>連接在位元線BL<0>與接地之間且藉由供應至放電開關62<0>之閘電極的經反轉之行選擇信號/YSW<0>控制。基於同樣理由，放電開關62<1>連接在位元線BL<1>與接地之間且藉由供應至放電開關62<1>之閘電極的經反轉之行選擇信號/YSW<1>控制。以相同方式，放電開關62<2>連接在位元線BL<2>與接地之間且藉由供應至放電開關62<2>之閘電極的經反轉之行選擇信號/YSW<2>控制。同樣地，放電開關62<3>連接在位元線BL<3>與接地之間且藉由供應至放電開關62<3>之閘電極的經反轉之行選擇信號/YSW<3>控制。

應注意，未在圖4及圖5中展示之第五位元線BL至第(M-

1)位元線BL之部分具有與該等圖中展示之組態相同的陣列組態。

該共同位元線CBL連接至為PMOS電晶體之預充電電晶體71。預充電電晶體71通常連接在用於供應電源供應器電壓Vdd或設定為高位準之另一電壓的線與用作一典型共同線之共同位元線CBL之間。該預充電電晶體71藉由供應至預充電電晶體71之閘電極的經反轉之BL預充電信號/BLPRE控制。

該等位元線BL<3:0>中之每一者具有連接至位元線BL作為負載電容器之導線電容器(wire capacitor)的導線電容。在圖4及圖5中，連接至位元線BL之負載電容器由亦用於表示位元線BL之導線電容的參考符號Cbl表示。

另外，該共同位元線CBL亦具有導線電容及與隔離開關61<3:0>之觸點之電容。此導線電容及觸點之電容為連接至共同位元線CBL作為負載電容器之導線/觸點電容器之電容。在圖4及圖5中，連接至共同位元線CBL之負載電容器由亦用於表示共同位元線CBL之導線及觸點電容之參考符號Ccbl表示。

如上文描述，藉由行開關電路6實施位元線BL<3:0>與共同位元線CBL或接地線之間的連接。因此，可在不利用類比電路作為電壓產生電路之情況下設定所要讀取電壓VR。如將在稍後詳細描述的，可藉由利用預充電電晶體71來完成讀取電壓VR之設定，以將預充電於共同位元線CBL及任何任意數目條位元線BL上之電荷重散佈至任何任

意數目條其他位元線BL。

列驅動電路4具有主解碼器之功能。列驅動電路4經組態以包括X選擇器20及Y選擇器30以便執行此功能。

列驅動電路4亦具有CSW(行開關)電路6之控制電路之功能。列驅動電路4經組態以包括複數個CSW驅動器單元6A以便執行此功能。

另外，列驅動電路4亦具有WL驅動器之功能。列驅動電路4經組態以包括與字線WL一樣多之WL驅動器單元4A以執行此功能。如先前描述，字線之數目為N。

將稍後描述X選擇器20、Y選擇器30、CSW驅動器單元6A及WL驅動器單元4A之典型具體電路。

如上文解釋，預解碼器3為用於將輸入位址信號分裂成X位址信號(X0、X1等等)及Y位址信號(Y0、Y1等等)的電路。

將X位址信號(X0、X1等等)供應至在列驅動電路4中使用之X選擇器20。X選擇器20解碼X位址信號。作為一解碼結果，X選擇器20產生用於選擇WL驅動器單元4A之X選擇信號X_SEL<0>至<N-1>。亦即，將X選擇信號X_SEL<0>至<N-1>分別供應至N個WL驅動器單元4A。

另一方面，將Y位址信號(Y0、Y1等等)供應至在列驅動電路4中使用之Y選擇器30。Y選擇器30解碼Y位址信號。作為一解碼結果，Y選擇器30產生用於選擇CSW驅動器單元6A之Y選擇信號Y_SEL。Y選擇信號Y_SEL之數目根據在圖4中展示之可變電阻式記憶體裝置中使用的行開關電

路6之組態變化。因此，用於基於Y選擇信號Y_SEL驅動行開關電路6之CSW驅動器單元6A之數目亦根據行開關電路6之組態變化。

當藉由一X選擇信號X_SEL選擇一WL驅動器單元4A時，WL驅動器單元4A將預先判定之電壓施加至連接至WL驅動器單元4A之輸出端的字線WL。將稍後描述WL驅動器單元4A之細節。

抹除驅動器10為用於將電壓輸出至共同位元線CBL及未在任何圖式中展示之共同源極線的電路。在此實施例之狀況下在寫入操作或設定操作中電壓輸出之方向與在此實施例之狀況下在抹除操作或重設操作中電壓輸出之方向相反。

在寫入及抹除操作之控制中，詳言之，在行開關電路6中使用之共同線隔離開關區段6B工作，使得可能任意地選擇各自充當寫入或抹除操作之物件的記憶體胞行。

應注意，為了控制未在任何圖式中展示之共同源極線與記憶體胞MC之行之間的連接，與共同線隔離開關區段6B相同之電路可提供在該共同源極線與源極線SL之間。在提供於圖4及圖5中展示之記憶體胞陣列之每一矩陣列上的該四個記憶體胞MC中，針對每一記憶體胞MC執行寫入操作。然而，可針對每一矩陣列或針對在一起之所有記憶體胞MC，執行抹除操作。若抹除操作針對每一矩陣列或針對在一起之所有記憶體胞MC執行，則在源極線側上並非絕對需要與共同線隔離開關區段6B相同之電路。

控制電路11接收一寫入信號WRT、一抹除信號ERS以及一資料讀取信號RD，且基於該寫入信號WRT、該抹除信號ERS以及該資料讀取信號RD，控制電路11產生各種信號及各種電壓。控制電路11具有以下五個功能。

(1) 在讀取時間，控制電路11產生一SA啟用信號SAEN或一SA停用信號/SAEN、一位元線隔離信號BLI及一參考電位VREF，從而將該SA啟用信號SAEN或該SA停用信號/SAEN、該位元線隔離信號BLI及該參考電位VREF輸出至SA(感測放大器)7。應注意，代替控制電路11，未在任何圖式中展示之電壓產生電路可將參考電位VREF供應至SA(感測放大器)7。

(2) 在讀取時間，控制電路11將經反轉之BL預充電信號/BLPRE輸出至預充電電晶體71及SA(感測放大器)7。

(3) 在寫入或抹除時間，控制電路11控制寫入/抹除驅動器10。

(4) 在寫入或抹除時間及讀取時間，控制電路11執行對列驅動電路4及行開關電路6之總控制。應注意，在讀取時間執行之控制將在稍後特別描述。

(5) 必要時，控制電路11控制邏輯區塊16以便控制資料輸入/輸出操作及資料緩衝。

I/O緩衝器9連接至SA(感測放大器)7及寫入/抹除驅動器10。

邏輯區塊16執行控制以便輸入來自外部源之資料，且在必要時，在I/O緩衝器9中緩衝資料。經緩衝之資料稍後以

預先判定之待用於控制寫入或抹除操作之時序供應至寫入/抹除驅動器10。

另外，邏輯區塊16執行控制以便經由I/O緩衝器9將藉由SA(感測放大器)7經由寫入/抹除驅動器10讀出之資料輸出至外部資料接收端。

控制系統電路

接著，以下描述解釋X選擇器20、Y選擇器30、WL驅動器單元4A及CSW驅動器單元6A之典型電路。

圖6為展示X選擇器20之典型邏輯電路的圖。

如圖6中展示，X選擇器20使用在前級提供之四個反相器INV0至INV3、在中級提供之四個NAND電路NAND0至NAND3，及在後級提供之四個其他反相器INV4至INV7。

X選擇器20接收X位址信號位元X0及X1，從而解碼X位址信號位元X0及X1。作為解碼之結果，X選擇器20藉由通常將四個X選擇信號X_SEL0至X_SEL3中之一者升高至高位準而啟動四個X選擇信號X_SEL0至X_SEL3中之一者。

圖6展示一典型2位元解碼器之組態。然而，根據X位址信號位元之數目，圖6中展示之組態可擴展至多位元組態，從而允許X位址信號之更多位元供應至解碼器。亦即，可能採用用於解碼兩個以上X位址信號位元的組態。

圖7為展示Y選擇器30之典型邏輯電路的圖。

如圖7中展示，Y選擇器30使用在前級提供之四個反相器INV8至INV11、在中級提供之四個NAND電路NAND4至NAND7，及在後級提供之四個其他反相器INV12至

INV15。

Y選擇器30接收Y位址信號位元Y0及Y1，從而解碼Y位址信號位元Y0及Y1。作為解碼之結果，Y選擇器30藉由通常將四個Y選擇信號Y_SEL0至Y_SEL3中之一者升高至高位準而啟動四個Y選擇信號Y_SEL0至Y_SEL3中之一者。

圖7展示一典型2位元解碼器之組態。然而，根據Y位址信號位元之數目，圖7中展示之組態可擴展至多位元組態，從而允許Y位址信號之更多位元供應至解碼器。亦即，可能採用用於解碼兩個以上Y位址信號位元的組態。

圖8為展示兩個相鄰WL驅動器單元4A之典型邏輯電路的圖。

列驅動電路4實際上包括(N-1)個WL驅動器單元4A，其中之兩個展示於該圖中。數目(N-1)為在每一行上在行方向上佈局之記憶體胞之數目。選擇(N-1)個WL驅動器單元4A中之一者以按由圖6中展示之X選擇器20啟動之X選擇信號X_SEL0或X_SEL1操作。接著，經選定WL驅動器單元4A啟動分別對應於X選擇信號X_SEL0或X選擇信號X_SEL1之字線WL<0>或字線WL<1>。

如圖8中展示，每一WL驅動器單元4A使用一NAND電路(例如，NAND8)及一反相器(例如，INV16)。

NAND電路NAND8之兩個輸入端中之一者接收WL選擇啟用信號WLEN，而另一輸入端接收由圖6中展示之X選擇器20啟動之X選擇信號X_SEL0或X_SEL1。NAND電路NAND8之輸出端連接至反相器INV16之輸入端。因此，連

接至反相器 INV16 之輸出端之字線 WL<0> 或 WL<1> 被啟動或撤銷啟動。

圖 9 為展示兩個相鄰 CSW 驅動器單元 6A 之典型邏輯電路的圖。

如圖 9 中展示，每一 CSW 驅動器單元 6A 使用一 NAND 電路(例如，NAND12)及一反相器(例如，INV21)。

NAND 電路 NAND12 之兩個輸入端中之一者接收 Y 開關啟用信號 YSWEN，而另一輸入端接收由圖 7 中展示之 Y 選擇器 30 啟動之 Y 選擇信號 Y_SEL0 或 Y_SEL1。

當 Y 選擇信號 Y_SEL0 或 Y_SEL1 及 Y 開關啟用信號 YSWEN 均設定為被啟動之狀態之高位準時，由 NAND 電路 NAND12 輸出之信號降低至低位準。因此，由連接至 NAND 電路 NAND12 之輸出端之反相器 INV21 輸出的行選擇信號 YSW<0> 或 YSW<1> 進行至經啟動位準之轉變，經啟動位準在第一實施例之狀況下為高位準。

感測放大器

圖 10 為展示圖 4 及圖 5 中展示之 SA(感測放大器)7 之典型組態的圖。

圖 10 中展示之 SA(感測放大器)7 為單端型之感測放大器。SA(感測放大器)7 之基本組態包括一鎖存電路 72，該鎖存電路 72 用於感測作為一電壓出現於感測位元線 SABL 上之電位且以被採取作為一參考的感測位元參考線 /SABL 之電位來放大此感測到之電壓。

根據此實施例之鎖存電路 72 使用彼此交叉連接之兩個反

相器。詳細而言，該等反相器之一特定者之輸出端連接至另一反相器之輸入端，而另一反相器之輸出端連接至該特定反相器之輸入端。該等反相器中之每一者具有一PMOS電晶體21及一NMOS電晶體22。

PMOS電晶體23連接在由該兩個PMOS電晶體21共用之共同源電極與用於供應電源供應器電壓V_{dd}之線之間。該PMOS電晶體23由供應至PMOS電晶體23之閘電極的經反轉之SA啟用信號/SAEN控制。該經反轉之SA啟用信號/SAEN為低態有效信號。另一方面，NMOS電晶體24連接在由該兩個NMOS電晶體22共用之共同源電極與用於供應GND(接地)電壓之線之間。NMOS電晶體24由供應至NMOS電晶體24之閘電極的SA啟用信號SAEN控制。SA啟用信號SAEN為藉由反轉經反轉之SA啟用信號/SAEN獲得之高態有效信號。自圖4中展示的可變電阻式記憶體裝置中使用之控制電路11接收SA啟用信號SAEN及經反轉之SA啟用信號/SAEN。

應注意，經反轉之SA啟用信號/SAEN亦可藉由利用反相器反轉SA啟用信號SAEN而在SA(感測放大器)7中內部地產生。

另外，充當位元線隔離開關之NMOS電晶體51連接在感測位元線SABL與共同位元線CBL之間。

除此之外，用於控制上文提出之參考電位V_{REF}至鎖存電路72之施加的NMOS電晶體52連接在感測位元參考線/SABL與用於供應參考電位V_{REF}之線之間。NMOS電晶體

52由供應至NMOS電晶體52之閘電極之經反轉之BL預充電信號/BLPRE/控制。自圖4中展示的可變電阻式記憶體裝置中使用之控制電路11接收經反轉之BL預充電信號/BLPRE。

使用作為前提給出之以上組態，藉由利用圖11A及圖12F中展示之波形且藉由恰當地參看圖5及圖10如下解釋兩個典型操作。

應注意，作為一前提，在一寫入或抹除操作之後，在此實施例及下文描述之所有典型操作之狀況下執行讀取驗證操作。然而，本發明之範疇決不限於此方案。亦即，本發明亦可應用於一正常讀取操作。

另外，在下文描述之所有典型操作中，將預充電電壓設定為電源供應器電壓Vdd，而將放電後電壓設定為通常為GND(接地)電壓之參考電壓Vss。然而，本發明決不限於此電壓設定。亦即，預充電電壓及放電後電壓中之每一者可設定為任何位準，只要預充電電壓高於放電後電壓便可。

第一典型操作

在由圖11A至圖11E中展示之波形表示的第一典型操作中，將電荷預充電至藉由行選擇信號YSW<0>選擇之位元線BL<0>而朝向電源供應器電壓Vdd，且稍後，將電荷放電至其他位元線BL<1>至BL<3>以便在電荷共用操作中在位元線BL<0>至BL<3>之間共用電荷。

首先，如自圖11B中展示之波形顯而易見的，藉由將行

選擇信號 YSW<0> 升高至 H 位準而啟動行選擇信號 YSW<0>，而如自圖 11C 中展示之波形顯而易見的，藉由將其他行選擇信號 YSW<1> 至 YSW<3> 降低至 L 位準而撤銷啟動其他行選擇信號 YSW<1> 至 YSW<3>。如圖 11C 中展示，該等其他行選擇信號 YSW<1> 至 YSW<3> 由參考符號 YSW<3:1> 表示。

在此狀態下，在圖 11A 中展示之波形上之時間 T1 之前的週期期間，將供應至在圖 5 中展示之記憶體胞陣列 1 中使用的預充電電晶體 71 之閘電極的經反轉之 BL 預充電信號 /BLPRE 設定為 L 位準。

因此，預充電電晶體 71 被置於接通之狀態，從而將共同位元線 CBL 預充電至電源供應器電壓 Vdd。此時，亦將藉由經啟動之行選擇信號 YSW<0> 選擇且藉由經啟動之行選擇信號 YSW<0> 連接至共同位元線 CBL 的位元線 BL<0> 預充電至電源供應器電壓 Vdd。

在此預充電週期期間，僅將經反轉之行選擇信號 /YSW<0> 置於 L 位準。因此，在圖 5 中展示之記憶體胞陣列 1 中使用的放電開關 62<0> 被置於關斷之狀態，而其他放電開關 62<1> 至 62<3> 各自被置於接通之狀態。因此，將出現於其他位元線 BL<1> 至 BL<3> 中之每一者上的電位設定為通常為 GND(接地)電壓的參考電壓 Vss 之位準。其他位元線 BL<1> 至 BL<3> 中之每一者之放電狀態被稱作 BL 重設狀態。

接著，在圖 11A 中展示之波形上的時間 T1 處，預充電電

晶體 71 關斷以便終止預充電操作。因此，出現於共同位元線 CBL 及位元線 BL<0> 上之電位被置於浮動之狀態。結果，開始動態地保持電源供應器電壓 Vdd 之狀態。

接著，在圖 11C 中展示之波形上的時間 T2 處，將圖 5 中展示之記憶體胞陣列 1 之位元線 BL<1> 至 BL<3> 連接至參考電壓 Vss 的狀態終止，且所有其他行選擇信號 YSW<3:1> 被選定，從而被設定為表示有效狀態之 H 位準。因此，圖 5 中展示之記憶體胞陣列 1 之所有其他放電開關 62<3:0> 被置於關斷之狀態，而圖 5 中展示之記憶體胞陣列 1 之所有其他隔離開關 61<3:0> 被置於接通之狀態。

在此狀態下，預充電於共同位元線 CBL 及位元線 BL<0> 上之電荷被放電至位元線 BL<1> 至 BL<3>，以便在電荷共用操作中在位元線 BL<0> 至 BL<3> 之間共用電荷。

在電荷共用操作已完成之後出現於位元線 BL<0> 上之電壓為在預充電時間處出現於位元線 BL<0> 上之電壓的約 1/4。亦即，在電荷共用操作已完成之後出現於位元線 BL<0> 上之電壓衰減至 Vdd/4。以此方式，在四條位元線 BL<0> 至 BL<3> 上均勻地設定為 Vdd/4 之讀取電壓 VR。

在電壓衰減之後獲得之讀取電壓 VR 由如下給出之方程式 (1) 表示：

$$VR = Vdd \times (Cbl \times Nsel) / (Ccb1 + Cbl \times (Nsel + Nvss)) \quad (1)$$

在上文給出之方程式 (1) 中，參考符號 Ccb1 表示共同位元線 CBL 之電容，而參考符號 Cbl 表示每一位元線 BL 之電容。參考符號 Nsel 表示在將電荷預充電至特定位元線 BL 朝

向電源供應器電壓 V_{dd} 之後共用待放電至其他位元線 BL 之電荷的特定位元線 BL 之數目。參考符號 N_{vss} 表示在已在放電程序中重設此等其他位元線 BL 中之每一者之電荷至參考電壓 V_{ss} 之後各自充當電荷共用之物件的前文提及之其他位元線 BL 之數目。

如自圖 11E 中展示之波形顯而易見，歸因於放電程序，出現於位元線 BL<0> 上之電位減少，而歸因於充電程序，出現於由參考符號 BL<3:1> 表示之其他位元線 BL<1> 至 BL<3> 上之電位增加。亦顯而易見的是，出現於位元線 BL<0> 上之電位及出現於其他位元線 BL<1> 至 BL<3> 上之電位聚合至讀取電壓 V_R 。

稍後，在圖 11C 中展示之波形上的時間 T3 處，出現於行選擇信號 YSW<3:1> 上之電位減少，而出現於字線 WL<0> 上之電位增加。

結果，充電至讀取電壓 V_R 之位元線 BL<0> 之電荷經由記憶體胞 MC 放電至源極線 SL<0>。

在圖 11E 中展示之波形中，參考符號 LRS 表示可變電阻式儲存元件 R_e 之低電阻狀態，而參考符號 HRS 表示可變電阻式儲存元件 R_e 之高電阻狀態。

在 HRS 中，流過在記憶體胞 MC 中使用之可變電阻式儲存元件 R_e 的電流之量值並不如此大。另一方面，在 LRS 中，較大電流流過在記憶體胞 MC 中使用之可變電阻式儲存元件 R_e 。因此，在此狀況下，在放電程序期間，出現於位元線 BL 上之電位減少達一電位差。

使用引起充分電位差之時序，圖 10 中展示之 SA(感測放大器)7 執行電壓感測操作。

具體而言，在圖 11A 中展示之波形上的時間 T1 之後的讀取週期期間，在圖 10 中展示之 SA(感測放大器)7 中使用之 NMOS 電晶體 52 處於接通之狀態，而參考電位 VREF 已設定於鎖存電路 72 之參考節點上。SA 啟用信號 SAEN 或經反轉之 SA 啟用信號 /SAEN 被置於有效狀態以便啟動 SA(感測放大器)7。在此狀態中，若將未展示於圖 11A 至圖 11E 中之位元線隔離信號 BLI 設定為高位準，則出現於位元線 BL<0> 上之電壓之減少傳播至 SA(感測放大器)7 之感測節點。

此時序為 LRS 中之經減少電壓變得比參考電位 VREF 足夠低達一所維持裕量的時序。參考電位 VREF 經設定為在 LRS 中電壓減少至之最終位準與在 HRS 中電壓減少至之最終位準之間的中間電位，或經設定為比該中間電位高在考量感測週期之縮短之情況下被視為必要的差的位準。

在上文描述之第一典型操作中，在電荷共用操作中將電荷預充電至位元線 BL<0>，且將經預充電之電荷放電至三條其他位元線 BL<3:1>。替代位元線 BL<0>，電荷亦可預充電至位元線 BL<0>、BL<1>、BL<2> 及 BL<3> 中之任一者，且經預充電之電荷接著放電至三條剩餘的位元線 BL。

另外，電荷亦可預充電至位元線 BL<0>、BL<1>、BL<2> 及 BL<3> 中之任何兩者，且經預充電之電荷接著放電至兩條剩餘的位元線 BL。

除此之外，電荷亦可預充電至位元線 BL<0>、BL<1>、

BL<2>及BL<3>中之任何三者，且經預充電之電荷接著放電至剩餘位元線BL。

第二典型操作

在第一典型操作之狀況下，可採取出現於除了經預充電之位元線BL之外的任何位元線BL上之電位作為一讀取物件。

在下文描述之第二典型操作之狀況下，另一方面，預充電位元線BL<0>，而讀出出現於位元線BL<1>上之電位。

在圖12A至圖12F中，將展示於圖11C中用於行選擇信號YSW<3:1>之波形分裂成兩個波形，亦即，展示為展示於圖12C中用於行選擇信號YSW<1>之波形及展示於圖12D中用於行選擇信號YSW<3:2>之另一波形的波形。因此，第二典型操作與第一典型操作不同。另外，展示於圖12B中之用於行選擇信號YSW<0>的波形之下降緣之時序自圖11B之時序改變。

具體而言，圖12B中展示之行選擇信號YSW<0>之電位在時間T3處降低以便其後建立取消選擇之狀態，在取消選擇之狀態中使位元線BL<0>自共同位元線CBL脫離。

實情為，由於如上文描述將採取出現於位元線BL<1>上之電位作為讀取物件，故在時間T3之後的週期期間，出現於圖12C中展示之行選擇信號YSW<1>上之電位維持於經啟動之狀態之H位準。如自圖12C中展示之波形顯而易見的，出現於圖12C中展示之行選擇信號YSW<1>上之電位已在時間T2升高至H位準。以此方式，可採取出現於位元

線BL<1>上之電位作為讀取物件。

在時間T3處，以與第一典型操作相同之方式使位元線BL<2>及BL<3>自共同位元線CBL脫離。在此狀況下出於清楚起見，請求讀者比較圖11C中展示之波形與圖12D中展示之波形。

另外，其他信號之控制及感測操作基本上與第一典型操作相同。

第三典型操作

圖13A至圖13G為展示用於第三典型操作之波形的時序圖，第三典型操作經執行以將電荷預充電至位元線BL<0>、BL<1>、BL<2>及BL<3>中之任何兩者且接著將經預充電之電荷放電至兩條剩餘的位元線BL。

圖13A至圖13G與圖11A至圖11E之不同之處在於，在圖13A至圖13G之狀況下，在與預充電操作之開始一致之時間T1處，除了行選擇信號YSW<0>之外，行選擇信號YSW<1>亦已預先設定為H位準，以便將電荷預充電至兩條位元線BL(亦即，除了位元線BL<0>之外，亦有位元線BL<1>)至電源供應器電壓Vdd。

接著，在時間T2處，與兩條其他位元線BL<2>及BL<3>共用經預充電之電荷，以便將讀取電壓VR設定為電源供應器電壓Vdd之約1/2。

稍後，在時間T3處，為了自讀取物件之群組移除位元線BL<1>，降低出現於行選擇信號YSW<1>上之電位。同時，升高出現於字線WL<0>上之電位以便放電在讀取時間

流動的胞電流。

其他信號之控制及感測操作基本上與第一典型操作相同。

第四典型操作

在迄今描述之第一典型操作至第三典型操作中，共用電荷之位元線BL之數目為四，但共用電荷之位元線BL之數目可減小至二或三。

作為一實例，圖14A至圖14G展示用於用以藉由兩條位元線BL共用經預充電至一條位元線BL之電荷的操作的波形。

圖14A至圖14G與圖11A至圖11E之不同之處在於，在圖14A至14G之狀況下，行選擇信號YSW<0>及YSW<3>既非預充電物件亦非讀取物件。因此，在讀取操作期間，如自圖14C及圖14D中展示之波形顯而易見，行選擇信號YSW<0>及YSW<3>維持於L位準。

因而，在時間T1處預充電至位元線BL<0>之電荷在時間T2處由位元線BL<2>共用，且在時間T3處，取消選擇位元線BL<2>，以便讀出出現於位元線BL<0>上之電位之改變。

上文描述之典型操作僅為根據第一實施例執行之典型操作的一部分。

甚至在除了上文描述之第一典型操作至第四典型操作之外的操作中，若已預充電兩條位元線BL或三條位元線BL，則易於自用以將位元線BL自經選定之狀態切換至經

取消選擇之狀態及將位元線BL自經取消選擇之狀態切換至經選定之狀態的操作推斷用以在經預充電之位元線BL之間切換位元線BL的操作或用以將充當讀取物件之位元線BL改變至未預先預充電但將共用經預充電之電荷之位元線BL的操作。

另外，共用經預充電之電荷之位元線BL之數目不限於圖13A至13G中展示之狀況的二個。舉例而言，共用經預充電之電荷之位元線BL之數目亦可為三個。

基於讀取電壓VR待設定為之電壓之量值，判定待預充電之位元線BL之數目及共用經預充電之電荷之位元線BL的數目。

根據此實施例之操作的特徵在於：藉由劃分導線電容而執行產生讀取電壓VR之程序。因此，在產生讀取電壓VR之程序中，完全無需類比電壓。

亦即，在產生讀取電壓VR之程序中，不存在需要DC待用電流之電路。因此，此電路之不存在允許以較小電力消耗執行讀取操作。

圖11A至圖14G之波形圖未展示用於控制SA(感測放大器)7之信號之波形。

圖15A至圖15E為展示用於針對可變電阻式儲存元件Re處於LRS之狀況的讀取驗證操作之波形的圖，而圖16A至圖16E為展示用於針對可變電阻式儲存元件Re處於HRS之狀況的讀取驗證操作之波形的圖。用於執行讀取驗證操作之SA(感測放大器)7具有已藉由參看圖10解釋之組態。

當出現於連接至充當讀取物件的記憶體胞MC之字線WL上之電位在時間T3處升高時，藉由使胞電流流過記憶體胞MC而使位元線BL之電位放電之程序開始。

在圖15A至圖15E中展示之LRS之狀況下，放電程序之速度較高。在時間T34處開始之週期中，出現於感測位元線(或共同位元線CBL)上之電位變成不高於參考電位VREF之位準。時間T4為自時間T34起一時間裕量已流逝之後的時間。在時間T4處，位元線隔離信號BLI被關斷且SA啟用信號SAEN經設定為H位準以便啟動圖10中展示之SA(感測放大器)7。

出現於感測節點上之電位經由圖4中展示之使用於可變電阻式記憶體裝置中之I/O緩衝器9而供應至一外部匯流排作為輸出資料。

在圖16A至圖16E中展示之HRS之狀況下，甚至在時間T4處，CBL側上之感測節點維持於高於原樣之參考電位VREF的狀態。因此，供應至外部匯流排之輸出資料之邏輯為用於LRS狀況之邏輯的逆邏輯。

圖10中展示之SA(感測放大器)7為交叉鎖存型(cross latch type)之單端感測放大器。SA(感測放大器)7僅在SA(感測放大器)7需要啟動之週期期間啟動。

使用諸如運算放大器之組件的感測放大器需要一直被置於啟動之狀態中。然而，不同於使用諸如運算放大器之組件的感測放大器，SA(感測放大器)7之組態及藉此採用之系統經設計以使得感測放大器操作自身幾乎無需DC電

流。

根據上文描述之第一實施例，在用以產生讀取電壓 VR 之操作中，無需消耗較大電力之類比電路。預充電位元線 BL 之程序可藉由僅改變開關之狀態完成，以便允許將讀取電壓 VR 設定於所要位元線 BL 上。因此，電力消耗可減小。

另外，判定讀取電壓 VR 之導線電容比率係由在半導體製程中作為一分批產生之導線之屬性判定。在此狀況下，該等屬性包括厚度、深度及材料。因此，可以相對較高精確度規定導線電容比率。除此之外，即使存在表示預充電至一或多條位元線 BL 之電荷量的電壓之變化，稍後仍與其他位元線 BL 共用電荷。因此，當產生讀取電壓 VR 時，表示預充電至一或多條位元線 BL 之電荷量的電壓之誤差分量衰減至一分數。結果，可以相對較高精確度設定讀取電壓 VR。

應注意，在圖 10 中展示之 SA(感測放大器)7 之組態中，在放大或感測出現於位元線 BL 上之電壓的程序期間，為了避免由出現於位元線 BL 上之電壓之振幅引起的干擾，利用位元線隔離信號 BLI 之電壓控制在放大操作中將共同位元線 CBL 及位元線側上之負載隔離於 SA(感測放大器)7 之感測節點。因此可能避免此干擾且因此以高速度執行感測操作。

2：第二實施例

圖 17 為展示根據第二實施例之記憶體胞陣列之組態以及

記憶體胞陣列之記憶體區塊1_0及1_1與SA(感測放大器)7之間的連接的放大圖。

根據第二實施例之記憶體胞陣列之組態經劃分成兩個記憶體區塊1_0及1_1，該兩個記憶體區塊1_0及1_1各自具有對應於圖5中展示之記憶體胞陣列1之儲存容量的儲存容量。該兩個記憶體區塊1_0及1_1連接至一個SA(感測放大器)7。

該等記憶體區塊1_0及1_1中之每一者使用經配置以形成由N個列及四個行組成之矩陣的記憶體胞MC。該等記憶體區塊1_0及1_1中之每一者之儲存容量與圖5中展示之記憶體胞陣列1之儲存容量相同。

然而，該等記憶體區塊1_0及1_1中之每一者與圖5中展示之記憶體胞陣列1的不同之處在於：該等記憶體區塊1_0及1_1中之每一者包括充當具有參考記憶體胞MCr之參考區段1R的至少一列。

在圖17中展示之記憶體胞陣列中，該等記憶體區塊1_0及1_1中之每一者具有各自具有已在先前解釋之組態的一共同線隔離開關區段6B及一放電開關6C。在記憶體區塊1_0中，SA(感測放大器)7經由共同線隔離開關區段6B及共同位元線CBL0連接至記憶體胞MC或參考記憶體胞MCr。基於同樣理由，在記憶體區塊1_1中，SA(感測放大器)7經由共同線隔離開關區段6B及共同位元線CBL1連接至記憶體胞MC或參考記憶體胞MCr。

應注意，在圖17中展示之連接中，SA(感測放大器)7與

共同位元線 CBL0 之間的連接及 SA(感測放大器)7 與共同位元線 CBL1 之間的連接不關於 SA(感測放大器)7 對稱。因此，在一些狀況下，共同位元線 CBL0 之導線電容 Ccbl 可不同於共同位元線 CBL1 之導線電容 Ccbl。為了使共同位元線 CBL0 之導線電容 Ccbl 與共同位元線 CBL1 之導線電容 Ccbl 相同，有必要使記憶體區塊 1_0 與記憶體區塊 1_1 關於 SA(感測放大器)7 對稱。亦即，採取 SA(感測放大器)7 作為鏡子，有必要佈局記憶體區塊 1_0 及記憶體區塊 1_1，使得記憶體區塊 1_0 變成一物件而記憶體區塊 1_1 變成記憶體區塊 1_0 之鏡像，或記憶體區塊 1_1 變成一物件而記憶體區塊 1_0 變成記憶體區塊 1_1 之鏡像。

在圖 17 中，為了使記憶體區塊 1_0 及記憶體區塊 1_1 中之行選擇信號 YSW 彼此相區分，將充當字尾之數字 0 附加至參考符號 YSW，從而表示在記憶體區塊 1_0 之狀況下的行選擇信號以形成表示記憶體區塊 1_0 中之行選擇信號的參考符號 YSW0，而另一方面，在記憶體區塊 1_1 之狀況下，將充當字尾之數字 1 附加至參考符號 YSW 以形成表示記憶體區塊 1_1 中之行選擇信號的參考符號 YSW1。

基於同樣理由，為了使記憶體區塊 1_0 及記憶體區塊 1_1 中之字線 WL 彼此相區分，將充當字尾之數字 0 附加至參考符號 WL，從而表示在記憶體區塊 1_0 之狀況下的字線以形成表示記憶體區塊 1_0 中之字線的參考符號 WL0，而另一方面，在記憶體區塊 1_1 之狀況下，將充當字尾之數字 1 附加至參考符號 WL 以形成表示記憶體區塊 1_1 中之字線的參

考符號WL1。

應注意，參考符號Ref.WL表示用於控制參考記憶體胞M_{Cr}之字線。以與行選擇信號YSW及字線WL相同之方式，為了使用於控制記憶體區塊1_0及記憶體區塊1_1中之參考記憶體胞M_{Cr}的字線WL彼此相區分，在記憶體區塊1_0之狀況下，將充當字尾之數字0附加至參考符號Ref.WL以形成參考符號Ref.WL0，而在記憶體區塊1_1之狀況下，將充當字尾之數字1附加至參考符號Ref.WL以形成參考符號Ref.WL1。

藉由經反轉之BL預充電信號/BLPRE控制之鎖存電路72連接至共同位元線CBL0及CBL1兩者。

圖18為理想地適用於圖17中展示之組態的互補信號差動感測放大器7之電路的圖。

圖18中展示之SA(感測放大器)7與圖10中展示之SA(感測放大器)7的不同之處在於：在圖18中展示之SA(感測放大器)7之狀況下，消除了圖10中展示之SA(感測放大器)7中使用之NMOS電晶體52，而NMOS電晶體51額外連接在感測位元參考線/SABL與共同位元線CBL1之間。

位元線隔離信號BLI係用於同時控制連接在感測位元參考線/SABL與共同位元線CBL1之間的此NMOS電晶體51以及連接在感測位元線SABL與共同位元線CBL0之間的NMOS電晶體51。

在圖18中展示之SA(感測放大器)7中使用之鎖存電路72的其他組態與在圖10中展示之SA(感測放大器)7中使用之

鎖存電路72之彼等組態相同。

在如上文描述之圖18中展示之組態中，當自記憶體區塊1_0或記憶體區塊1_1讀出記憶體胞MC之儲存狀態時，在將另一共同位元線連接至參考記憶體胞MCr之狀態下執行一感測操作。此時，亦在參考記憶體胞MCr上執行讀取操作。因此，參考電位動態地改變。亦即，參考電位變得較低。藉由記憶體胞之儲存狀態，暗示HRS或LRS。

將在參考記憶體胞MCr中使用之可變電阻式儲存元件Re之電阻預先設定為HRS中之MC之電阻與LRS中之MC之電阻之間的值。理想地，HRS中之MC之電阻與LRS中之MC之電阻之間的值為在HRS中之MC之電阻與LRS中之MC之電阻之間的約中間處的值。

此感測方法具有如下優點：即使感測放大器7以高速度操作，仍決不存在故障。一般而言，在一定程度上，存在記憶體胞MC之特性之變化及用於產生參考電壓之諸如電源供應器電壓Vdd之偏壓電壓的變化。然而，根據此感測方法，參考電位動態地改變以遵循由該等變化影響之位元線電位。因此，SA(感測放大器)7幾乎不執行由此等變化引起之故障，使得無需花費時間來確認邏輯。因此，該操作可以高速度執行。

應注意，關於選擇記憶體區塊1_0及1_1中之哪一者作為讀取物件及選擇記憶體區塊1_0及1_1中之哪一者作為參考的判定，例如，在圖4中展示之可變電阻式記憶體裝置中使用之預解碼器3將輸入位址之預定位元辨識為區塊選擇

位址。在列驅動電路4中，針對每一記憶體區塊提供WL驅動器單元4A及CSW驅動器單元6A。另外，在列驅動電路4中，提供具有與X選擇器20之組態相同的組態的區塊選擇器。

該區塊選擇器解碼自預解碼器3接收之區塊選擇位址，從而驅動針對每一區塊提供之兩個WL驅動器單元4A以選擇記憶體胞MC且驅動另一WL驅動器單元4A以選擇參考記憶體胞MCr。另外，該區塊選擇器控制針對每一區塊提供之兩個CSW驅動器單元6A，使得針對包括充當讀取物件之記憶體胞MC之區塊及不包括充當讀取物件之記憶體胞MC之區塊執行不同行選擇操作。

應注意，區塊選擇器之細節將在另一實施例之描述中稍後解釋。

圖19A至圖19E為展示針對如下狀況之操作之波形的時序圖：記憶體區塊以類似於如上文藉由參看圖11A至圖11E解釋的由第一實施例執行之第一典型操作的方式經受讀取電壓VR之設定。圖20A至圖20D為展示用於LRS中之感測操作的波形之時序圖。圖21A至圖21D為展示用於HRS中之感測操作的波形之時序圖。

在圖19A至圖19E中展示之時間T1處，開始一預充電操作。在時間T1處，行選擇信號YSW0<0>及YSW1<0>已預先設定為H位準，使得在記憶體區塊1_0及1_1兩者中，位元線BL<0>預充電至電源供應器電壓Vdd。

分別選擇記憶體區塊1_0及1_1之總共六條其他位元線

BL0<3:1>及BL1<3:1>且使該六條其他位元線BL0<3:1>及BL1<3:1>連接至其共同位元線以便執行預充電程序。應注意，可任意地判定待選擇之位元線之數目。亦即，待選擇之位元線之數目為在最小值0與最大值6之間的範圍內之任意數目。

在時間T2與T3之間的週期中，產生讀取電壓VR。幾乎由預充電位元線計數與電荷共用位元線計數之一比率判定讀取電壓VR之量值。在此狀況下，預充電位元線計數為經受預充電程序之位元線之數目，而電荷共用位元線計數為共用在預充電程序中積累之電荷的位元線之數目。

在時間T3處，出現於記憶體區塊1_0中之讀取物件位元線BL0<0>及參考字線Ref.WL上的電位同時升高至高位準。因此，讀取時間之胞電流流動至記憶體胞MC，而參考電流流動至參考記憶體胞MCr。

參考記憶體胞MCr之參考電阻器Rer之電阻已設定為HRS中之可變電阻式儲存元件Re之電阻與LRS中之可變電阻式儲存元件Re之電阻之間的值。因此，如自圖19E中展示之波形顯而易見，出現於位元線及參考位元線上之電位改變。

圖20D展示用於LRS之放電曲線，而圖21D展示用於HRS之放電曲線。

在時間T4處，位元線隔離信號BLI之電位減少，而SA啟用信號SAEN之電位增加，使得SA(感測放大器)7之感測操作開始。

在LRS之狀況下，出現於連接至記憶體胞MC之共同位元線CBL0上的電位進行在低側上之轉變。因此，在感測操作已完成之後，出現於連接至記憶體胞MC之共同位元線CBL0上的電位被下拉至參考電壓 V_{ss} 。在另一方面，在HRS之狀況下，出現於連接至記憶體胞MC之共同位元線CBL0上的電位進行在高側上之轉變。因此，在感測操作已完成之後，出現於連接至記憶體胞MC之共同位元線CBL0上的電位被上拉至電源供應器電壓 V_{dd} 。

應注意，與上文描述之操作相反，若選擇記憶體區塊1_1中之記憶體胞MC，則選擇記憶體區塊1_0中之參考電阻器 R_{er} 。

基本操作與上文描述之操作相同。

在第一實施例之狀況下，SA(感測放大器)7具有類似圖10中展示之組態的組態。然而，必須供應讀取電壓 V_R ，使得不能說完全無需類比電壓。

在第二實施例之狀況下，另一方面，歸因於參考記憶體胞之放電程序，自動地產生類比參考電壓，使得可能執行利用動態地改變之參考電壓的差動讀取操作。因此，不必供應來自在SA(感測放大器)7外部之源的讀取電壓 V_R ，且因此完全不必供應類比電壓。結果，有可能執行消耗較小電力之讀取驗證操作。

3：第三實施例

在第一實施例之狀況下，一個記憶體區塊連接至一個SA(感測放大器)7。然而，亦可能提供預先提供許多記憶

體區塊且可自該等預先提供的許多記憶體區塊任意地選擇待連接至感測放大器7之一記憶體區塊的組態。此組態提供更多一般性，且允許對讀取電壓VR執行精細控制。

第三實施例提供具有提供更好一般性及讀取電壓VR之更精細設定的結構的記憶體胞陣列。

圖22為展示根據第三實施例之記憶體胞陣列之組態以及感測放大器7與記憶體區塊之間的連接的圖。

此實施例具有複數個記憶體區塊並聯連接至一共用位元線的組態。在以下描述中，複數個記憶體區塊並聯連接至之該共用位元線被稱作全域位元線GBL，且該等記憶體區塊中之每一者中之位元線BL被稱作局域位元線LBL。

第三實施例經組態以使得，在具有N個列及四個行之每一記憶體區塊中，可藉由利用共同線隔離開關區段6B之隔離開關61<3:0>使全域位元線GBL與局域位元線LBL<3:0>選擇性地彼此連接。藉由利用放電開關6C之放電開關62<3:0>可選擇局域位元線LBL<3:0>作為放電物件。

在此實施例中，如圖22中展示，各自具有此組態之(K-1)個記憶體區塊並聯連接至針對該等記憶體區塊為共同的全域位元線GBL。(K-1)個記憶體區塊分別由參考數字1_0、1_1、...、1_(K-1)及1_K表示。

在位元線BL之此階層式結構之設計中，對於所有記憶體區塊，記憶體胞列計數N及記憶體胞行計數M可各自設定為任何任意數目。另外，記憶體區塊計數K亦可設定為任何任意數目。

十分類似於在圖 5 中展示之記憶體胞陣列 1 中使用之 SA(感測放大器)7，連接至全域位元線 GBL 之 SA(感測放大器)7 亦為單端型之感測放大器，且因此有必要將參考電位 VREF 自一外部源提供至 SA(感測放大器)7 之感測節點。

十分類似於在圖 5 中展示之記憶體胞陣列 1 中使用之共同位元線 CBL0，全域位元線 GBL 連接至預充電電晶體 71，該預充電電晶體 71 由供應至預充電電晶體 71 之閘電極的經反轉之 BL 預充電信號/BLPRE 控制。

圖 23A 至圖 23H 為展示用於針對如下狀況之操作之波形的時序圖：讀取電壓 VR 之設定在所有記憶體區塊之任意局域位元線上執行且採取記憶體區塊 1_0 之字線 WL_0<0> 作為讀取物件之字線 WL。

在圖 23A 中展示之波形上的時間 T1 處，全域位元線 GBL 被預充電至電源供應器電壓 Vdd。此時，所有記憶體區塊之所有局域位元線 LBL 處於自全域位元線 GBL 斷開之狀態。因此，電源供應器電壓 Vdd 僅預充電至全域位元線 GBL。局域位元線 LBL 已放電且預先設定為參考電壓 Vss。

在圖 23B 中展示之波形上的時間 T2 處，選擇包括記憶體區塊 1_0 之局域位元線 LBL_0<0> 之任意局域位元線 LBL。詳細而言，經選定局域位元線 LBL 包括藉由行選擇線 YSW_0<0> 控制之充當一讀取物件的局域位元線 LBL_0<0>，及藉由與行選擇線 YSW_0<0> 相同之記憶體區塊 1_0 之行選擇線 YSW_0<3:1> 及其他記憶體區塊之行選擇線 YSW_i<3:0> 控制的其他局域位元線 LBL，其中 i 為在 1 至

M之範圍內之整數。此等局域位元線LBL係藉由啟動其各別行選擇線YSW而選擇。

藉由選擇此等局域位元線LBL，經預充電之電荷放電至經選定局域位元線LBL以便與經選定局域位元線LBL共用電荷。因此，在經選定局域位元線LBL中之每一者上設定具有預先判定之量值之讀取電壓VR。

在已執行共用電荷之程序之後，出現於局域位元線LBL上之電壓自在預充電時出現之電壓衰減至具有由導線電容比率預先判定之量值的讀取電壓VR。

由於衰減而獲得之讀取電壓VR由如下給出之方程式(2)表示：

$$VR = V_{dd} \times C_{gbl} / (C_{gbl} + C_{lbl} \times N_{vss}) \quad (2)$$

在方程式(2)中，符號C_{gbl}表示全域位元線GBL之電容，而符號C_{lbl}表示每一局域位元線LBL之電容。另外，符號N_{vss}表示在一放電程序中重設為參考電壓V_{ss}之後共用電荷之位元線BL之數目。

接著，自連接至藉由行選擇線YSW_0<0>選擇之局域位元線LBL_0<0>之記憶體胞MC讀出可變電阻式儲存元件Re之電阻。

具體而言，在圖23A至圖23H中展示之時間T3處，除了行選擇線YSW_0<0>之外之所有行選擇線均被設定為表示撤銷啟動之狀態之L位準。因此，除了局域位元線LBL_0<0>之外之所有行選擇線自全域位元線GBL斷開。

在時間t3處，僅記憶體區塊1_0中之字線WL_0<0>升高

至H位準。因此，允許胞電流流動之放電程序係以取決於連接至字線WL_0<0>之記憶體胞MC之可變電阻式儲存元件Re是處於LRS抑或HRS中之速度執行。

以與第一實施例相同之方式，啟動單端型之SA(感測放大器)7以感測出現於經受經由全域位元線GBL的放電程序之局域位元線LBL上之電壓的電位。

在此實施例中，全域位元線GBL之電容比局域位元線LBL之電容大得多，使得預充電程序僅在全域位元線GBL上執行。然而，若想要進一步增加經預充電之電荷量，則可採取任何任意數目條局域位元線LBL作為一額外預充電物件。

在此實施例中，如自圖22顯而易見，可經受電荷之共用之局域位元線LBL的數目極大。因此，可能根據上文給出之方程式(2)以精細步階(fine step)設定任何任意參考電位VREF。

4：第四實施例

根據第四實施例，提議能夠在由第三實施例實施為位元線BL之結構的階層式結構內執行差動讀取操作之組態。

圖24為展示通常實施為IC晶片之可變電阻式記憶體裝置之組態的方塊圖。

如與圖22中展示之第三實施例之狀況相同，存在K個記憶體區塊。如與圖17中展示之第三實施例之狀況相同，該等記憶體區塊中之每一者包括一具有參考記憶體胞MCr之記憶體胞列。圖24中之參考記號1R表示為具有參考記憶體

胞MCr之記憶體胞列的參考區段。

在圖24中展示之可變電阻式記憶體裝置中使用的記憶體胞陣列之結構與圖22及圖17中展示之彼等結構的不同之處在於：在圖24中展示之結構之狀況下，K個記憶體區塊具備兩個全域位元線，亦即，連接至奇數記憶體區塊之全域位元線GLB0及連接至偶數記憶體區塊之全域位元線GLB1。

全域位元線GLB0及GLB1分別對應於在圖17中展示之可變電阻式記憶體裝置中使用的共同位元線CBL0及CBL1。當全域位元線GLB0及GLB1中之一者在讀取側上連接至記憶體胞MC時，另一全域位元線經受控制以與參考記憶體胞MCr進行連接。亦即，在第四實施例之狀況下，在圖17中展示之可變電阻式記憶體裝置中使用的共同位元線CBL0及CBL1被置於一階層式結構中，且共同位元線CBL0及CBL1中之每一者被指派給並聯連接至共同位元線之(K/2)個記憶體區塊。

在圖24中展示之可變電阻式記憶體裝置在列驅動電路4中新近包括一額外區塊解碼器40以充當用於選擇記憶體區塊之解碼器。

區塊解碼器40通常接收待解碼之位址位元X2及X3(代替圖6中展示之組態之位址位元X0及X1)以便選擇一記憶體區塊。區塊解碼器40接著輸出來自反相器INV4至INV7之輸出端的記憶體區塊選擇信號。將記憶體區塊選擇信號供應至與該等記憶體區塊中之一者相關聯的WL驅動器單元4A

及CSW驅動器單元6A。

圖25A至圖25K為展示用於在第四實施例中執行之典型操作之波形的時序圖。

在此等典型操作中，在時間T1處，將全域位元線GBL0及GBL1預充電至電源供應器電壓Vdd。

接著，將經預充電至全域位元線GBL0及GBL1之電荷放電至任何任意數目條局域位元線LBL以便與局域位元線LBL共用電荷，該任何任意數目條局域位元線LBL包括為奇數記憶體區塊中之第一者的記憶體區塊1_0之局域位元線LBL<0>。在圖25C中展示之波形之狀況下，採取為偶數記憶體區塊中之第一者的記憶體區塊1_1之局域位元線LBL<0>及記憶體區塊1_0之局域位元線LBL<0>作為用於共用電荷之線。然而，亦可採取任何其他任意局域位元線LBL作為用於共用電荷之線。

可自任何記憶體區塊任意地選擇經採取作為用於共用電荷之線的局域位元線LBL。另外，自任何記憶體區塊任意地選擇的待用作用於共用電荷之線的局域位元線LBL之數目亦為任意的。

讀取電壓VR由方程式(2)表示。如由此方程式所展示，藉由根據自任何記憶體區塊任意地選擇的待用作用於共用電荷之線的局域位元線LBL之數目的導線電容判定讀取電壓VR之量值。

在此狀況下，採取記憶體區塊1_0之局域位元線LBL<0>作為從中讀出資料之物件，而採取記憶體區塊1_1中之參

考記憶體胞MCr作為從中讀出參考電位之物件。因此，如自圖25G及圖25H中展示之波形顯而易見的，啟動出現於兩條字線WL上之電位。

因此，採取連接至參考記憶體胞MCr之全域位元線GBL1的動態地減少之電位作為參考，且在將從HRS或LRS中之全域位元線GBL0讀出資料的記憶體胞MC中，在差動感測操作中感測出現在放電操作之過程中的電壓位準。

可任意地判定用於選擇一參考記憶體胞MCr、用以共用電荷之局域位元線LBL之位置及此等局域位元線LBL之數目之方法。另外，可添加任何任意數目條局域位元線LBL作為預充電物件。

根據第四實施例，可執行基於差動感測之穩定操作以伴隨具有廣泛調整範圍的讀取電壓VR之精細設定。因此，即使可變電阻式儲存元件Re之電阻隨時間流逝而改變，在精細地調整針對電阻之改變為恰當的讀取電壓VR時，讀取操作仍可以高速且以高可靠程度執行。

5：第五實施例

圖26為展示根據第五實施例之記憶體胞陣列之組態的方塊圖。圖26中展示的根據第五實施例之記憶體胞陣列與圖24中展示的根據第四實施例之記憶體胞陣列的不同之處在於：在第五實施例之狀況下，每一記憶體區塊不包括參考區段1R。

在第五實施例之狀況下，參考電位不能藉由利用參考記憶體胞MCr來動態地改變以遵循由記憶體胞MC產生之電

位。

在第五實施例之狀況下，為了將參考電位控制至HRS之位準與LRS之位準之間的位準，使用由於電荷共用而產生之參考電壓，而非利用由外部源產生之類比電壓。

圖27A至圖27H為展示用於根據第五實施例執行之典型操作的波形之時序圖。

在第五實施例之狀況下，由於設定讀取電壓VR之必要性，採取與圖27B中展示之行選擇信號YSW_0<0>相關聯的充當讀取物件之局域位元線LBL<0>作為電荷共用程序之物件。然而，亦可任意地選擇除了局域位元線LBL<0>之外的局域位元線來充當電荷共用程序之物件。

在此狀況下，藉由連接至全域位元線GBL0之局域位元線的數目判定讀取電壓VR之電位，而藉由連接至全域位元線GBL1之局域位元線LBL的數目判定參考電位VREF之電位。

如由圖27H之波形所展示，在將參考電位VREF設定為低於讀取電壓VR之恰當位準之情況下，單端型之SA(感測放大器)7執行電壓感測操作。

在根據第五實施例之系統中，與利用參考記憶體胞MCr之方法相比較，變化對記憶體胞MC之特性的效應較大。然而，不必在每一記憶體區塊中提供參考記憶體胞MCr。因此，可將位元成本以對應於經消除之參考記憶體胞MCr之數目的差異減小。另外，亦無需由記憶體胞陣列外部之產生器產生之類比電壓。因此，電力消耗亦可以對應於用

於產生類比電壓之外部產生器之差異減小。

6：修改

在迄今描述之第一實施例至第五實施例中，藉由用於啟動字線WL之觸發器判定放電程序之開始之時序。

然而，放電程序之開始之時序不必藉由用於啟動字線WL之觸發器判定。舉例而言，放電程序之開始之時序亦可藉由用於啟動行選擇信號YSW之觸發器判定。

圖28A至圖28H為用於藉由圖23A至圖23H中展示之第三實施例的修改版本執行的操作之波形的時序圖。

在由圖28A至圖28H中展示之波形表示的操作中之時間T1處，出現於連接至充當讀取物件之記憶體胞MC之字線WL_0<0>上的電位通常以與預充電全域位元線GBL之時序一致的時序預先升高。在此階段，在局域位元線LBL與源極線SL之間不存在電位差。因此，記憶體胞MC之讀取時間放電程序不開始。

稍後，在時間T2處，在除了充當讀取物件之局域位元線LBL之外的局域位元線LBL上執行第一電荷共用程序。在此階段，不確認讀取電壓VR之最終電位。

接著，在時間T3處，與充當讀取物件之位元線BL共用在第一電荷共用程序之後的電荷。結果，用於一條局域位元線LBL之放電程序進一步降低讀取電壓VR，且讀取時間胞電流流動至記憶體胞MC。

讀取電壓VR之最終量值比由第一電荷共用程序判定之電位低一向下差。然而，由於已估計向下差之量值，故可

藉由預見該向下差來判定經受第一電荷共用程序之局域位元線LBL之數目。

在藉由字線觸發器起始之驗證操作的狀況下，歸因於通常由諸如多晶矽層之下層規定之字線WL的高佈局密度，字線改變之時間常數較大。因此，在一些狀況下，可發生放電驗證操作之延遲及對放電驗證操作之位址的依賴性。對放電驗證操作之位址的依賴性為如下現象：取決於記憶體胞陣列之位置，出現於字線WL上之電位的改變對放電驗證操作之延遲的效應較大，使得放電程序之速度變化。

在該等實施例之狀況下，可改變由行選擇信號YSW產生之觸發器之時序以便改變放電程序之開始之時序，使得與由字線觸發器起始之驗證操作之狀況相比較，可以快速方式在記憶體胞陣列中執行均勻驗證放電程序。

本發明含有與在2010年7月29日在日本專利局申請之日本優先權專利申請案JP 2010-170934中所揭示之發明主體有關的發明主體，該案之全部內容特此以引用之方式併入本文中。

熟習此項技術者應理解，取決於設計要求及其他因素，各種修改、組合、子組合及變更可發生，只要該等各種修改、組合、子組合及變更在隨附申請專利範圍或其等效物之範疇內便可。

【圖式簡單說明】

圖1A及圖1B為各自展示針對實施例為共同之記憶體胞之等效電路的圖；

圖 2 為展示可變電阻式記憶體裝置之兩個相鄰記憶體胞之結構的橫截面圖；

圖 3A 及圖 3B 為各自展示流過在記憶體胞中使用之可變電阻式儲存元件之電流的方向及施加至可變電阻式儲存元件之電壓之典型量值的模型圖；

圖 4 為展示根據第一實施例之可變電阻式記憶體裝置之方塊圖；

圖 5 為展示在圖 4 中展示之可變電阻式記憶體裝置中使用之記憶體胞陣列的放大圖；

圖 6 為展示 X 選擇器之邏輯電路之圖；

圖 7 為展示 Y 選擇器之邏輯電路之圖；

圖 8 為展示 WL 驅動器單元之邏輯電路之圖；

圖 9 為展示 CSW 驅動器單元之邏輯電路之圖；

圖 10 為展示單端型之感測放大器之電路圖；

圖 11A 至圖 11E 為展示用於第一典型操作之波形之時序圖；

圖 12A 至圖 12F 為展示用於第二典型操作之波形之時序圖；

圖 13A 至圖 13G 為展示用於第三典型操作之波形之時序圖；

圖 14A 至圖 14G 為展示用於第四典型操作之波形之時序圖；

圖 15A 至圖 15E 為展示在第四典型操作中感測放大器之操作之波形的時序圖；

圖 16A 至圖 16E 為展示在第四典型操作中感測放大器之操作之波形的時序圖；

圖 17 為展示根據第二實施例之記憶體胞陣列之放大圖；

圖 18 為展示感測放大器之電路圖；

圖 19A 至圖 19E 為展示操作之波形的時序圖，該等操作針對記憶體區塊以類似於如藉由先前參看圖 11A 至圖 11E 解釋之由第一實施例執行之第一典型操作之方式經受讀取電壓之設定的狀況；

圖 20A 至圖 20D 為展示用於 LRS 中之感測操作之波形的時序圖；

圖 21A 至圖 21D 為展示用於 HRS 中之感測操作之波形的時序圖；

圖 22 為展示根據第三實施例之記憶體胞陣列之組態以及感測放大器與記憶體區塊之間的連接的圖；

圖 23A 至圖 23H 為展示用於操作之波形的時序圖，該等操作針對讀取電壓之設定在所有記憶體區塊之任意局域位元線上執行且採取記憶體區塊 1_0 之字線 WL_0<0>作為讀取物件之字線 WL 的狀況；

圖 24 為通常實施為 IC 晶片之可變電阻式記憶體裝置之組態的方塊圖；

圖 25A 至圖 25K 為展示用於在第四實施例中執行之典型操作之波形的時序圖；

圖 26 為展示根據第五實施例之記憶體胞陣列之組態的方塊圖；

圖 27A 至 圖 27H 為 展 示 用 於 根 據 第 五 實 施 例 執 行 之 典 型 操 作 之 波 形 的 時 序 圖 ； 及

圖 28A 至 圖 28H 為 展 示 用 於 由 經 修 改 版 本 執 行 之 操 作 之 波 形 的 時 序 圖 。

【主要元件符號說明】

1	記憶體胞陣列
1M	第一導線層
1R	參考區段
1_0	記憶體區塊
1_1	記憶體區塊
1_(K-1)	記憶體區塊
1_K	記憶體區塊
3	預解碼器
4	列驅動電路
4A	WL 驅動器單元
6	行開關電路 / CSW (行開關) 電路
6A	CSW 驅動器單元
6B	共同線隔離開關區段
6C	放電開關區段
7	SA (感測放大器)
9	I/O (輸入 / 輸出) 緩衝器
10	寫入 / 抹除驅動器
11	控制電路
16	邏輯區塊

20	X選擇器
21	PMOS電晶體
22	NMOS電晶體
23	PMOS電晶體
24	NMOS電晶體
30	Y選擇器
40	區塊解碼器
51	NMOS電晶體
52	NMOS電晶體
61<0>	隔離開關
61<1>	隔離開關
61<2>	隔離開關
61<3>	隔離開關
62<0>	放電開關
62<1>	放電開關
62<2>	放電開關
62<3>	放電開關
71	預充電電晶體
72	鎖存電路
100	基板
101	下電極
102	絕緣體薄膜
103	導體薄膜
104	插塞/氮化物薄膜

105	定位襯墊
AT	存取電晶體
AT1	存取電晶體
AT2	存取電晶體
BL	位元線
BLI	位元線隔離信號
BL<0>	位元線
BL<1>	位元線
BL<2>	位元線
BL<3>	位元線
BL<3:1>	位元線
BL<0>至BL<M-1>	位元線
BL0<0>	讀取物件位元線
BL0<3:1>	位元線
BL1<3:1>	位元線
BLC	位元線觸點
/BLPRE	經反轉之BL預充電信號
CBL	共同位元線
CBL0	共同位元線
CBL1	共同位元線
Cbl	位元線之導線電容
Ccbl	共同位元線之導線及觸點電容 / 共同位元線之導線電容
Cgbl	全域位元線之電容

Clbl	局域位元線之電容
D	存取電晶體之汲電極
ERS	抹除信號
GBL	全域位元線
GBL0	全域位元線
GBL1	全域位元線
GND	接地
HRS	可變電阻式儲存元件 Re 之高電阻 狀態
Ie	抹除電流
INV0 至 INV3	反相器
INV4 至 INV7	反相器
INV8 至 INV11	反相器
INV12 至 INV15	反相器
INV16	反相器
INV21	反相器
Iw	寫入電流
LBL<0>	局域位元線
LBL<3:0>	局域位元線
LRS	可變電阻式儲存元件 Re 之低電阻 狀態
MC	記憶體胞
MCr	參考記憶體胞
NAND0 至 NAND3	NAND 電路

NAND4至NAND7	NAND 電路
NAND8	NAND 電路
NAND12	NAND 電路
RD	資料讀取信號
Re	可變電阻式儲存電阻器/可變電阻式儲存元件
Ref.WL0	用於控制參考記憶體胞之字線
Ref.WL1	用於控制參考記憶體胞之字線
Rer	參考電阻器
S	存取電晶體之源電極
SABL	感測位元線
/SABL	感測位元參考線
SAEN	SA啟用信號
/SAEN	SA停用信號/經反轉之SA啟用信號
SL	源極線
SL<0>至SL<M-1>	源極線
SLC	源極線觸點
T1	時間
T2	時間
T3	時間
T34	時間
T4	時間
Vdd	電源供應器電壓
VR	讀取電壓

VREF	參考電位
V _{SS}	參考電壓
WL	字線
WL0	字線
WL1	字線
WL<0>	字線
WL<1>	字線
WL<N:0>	字線
WL_0<0>	字線
WLEN	WL選擇啟用信號
WRT	寫入信號
X0	X位址信號位元/位址位元
X0, X1	X位址信號
X1	X位址信號位元/位址位元
X2	位址位元
X3	位址位元
X_SEL0至X_SEL3	X選擇信號
X_SEL<0>至<N-1>	X選擇信號
Y0	Y位址信號位元
Y0, Y1	Y位址信號
Y1	Y位址信號位元
YSW0	行選擇信號
YSW0<0>	行選擇信號
YSW1	行選擇信號

YSW1<0>	行選擇信號
YSW<0>	行選擇信號
YSW<1>	行選擇信號
YSW<2>	行選擇信號
YSW<3>	行選擇信號
YSW<3:0>	行選擇信號
YSW<3:1>	行選擇信號
YSW<3:2>	行選擇信號
YSW_0<0>	行選擇線
YSW_0<3:1>	行選擇線
YSWEN	Y開關啟用信號
/YSW<3:0>	經反轉之行選擇信號
Y_SEL	Y選擇信號
Y_SEL0至Y_SEL3	Y選擇信號

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100123948

※申請日： 100. 7. 8

※IPC 分類：

一、發明名稱：(中文/英文)

G11C 13/00

(2006.01)

可變電阻式記憶體裝置

G11C 7/18

(2006.01)

VARIABLE-RESISTANCE MEMORY DEVICE

二、中文發明摘要：

本文中揭示一種可變電阻式記憶體裝置，該可變電阻式記憶體裝置包括：使用複數個記憶體胞之一記憶體胞陣列，該複數個記憶體胞各自包括一儲存元件且包括在一位元線與一源極線之間串聯連接至該儲存元件之一存取電晶體，該儲存元件具有根據施加至該儲存元件之一電壓之方向變化之一電阻；及一電壓供應電路，該電壓供應電路用於設定一讀取電壓，該讀取電壓用於在用以將該讀取電壓供應至一選定位元線之一操作中在連接至充當一讀取物件之該記憶體胞的該選定位元線上讀出該儲存元件之該電阻。

三、英文發明摘要：

Disclosed herein is a variable-resistance memory device including: a memory-cell array employing a plurality of memory cells each including a storage element having a resistance varying in accordance with the direction of a voltage applied to the storage element and including an access transistor connected in series to the storage element between a bit line and a source line; and a voltage supplying circuit for setting a read voltage used for reading out the resistance of the storage element on a selected bit line connected to the memory cell serving as a read object in an operation to supply the read voltage to the selected bit line.

七、申請專利範圍：

1. 一種可變電阻式記憶體裝置，其包含：

使用複數個記憶體胞之一記憶體胞陣列，該複數個記憶體胞各自包括一儲存元件且包括在一位元線與一源極線之間串聯連接至該儲存元件之一存取電晶體，該儲存元件具有根據施加至該儲存元件之一電壓之方向變化之一電阻；及

一電壓供應電路，該電壓供應電路用於設定一讀取電壓，該讀取電壓用於在藉由以下步驟將該讀取電壓供應至一選定位元線之一操作中在連接至充當一讀取物件之該記憶體胞的該選定位元線上讀出該儲存元件之該電阻：將電荷預充電至各自連接至複數條該等位元線的作為針對該等位元線及任何任意數目條該等位元線為共同的一共同線的任何任意數目條共同線中之至少一者，且將該經預充電之電荷放電至包括該選定位元線之任何任意數目條其他該等位元線以便在一電荷共用程序中共用該電荷。

2. 如請求項1之可變電阻式記憶體裝置，其中該電壓供應電路包含：

一預充電區段，該預充電區段經組態以將電荷預充電至該共同線或連接至該共同線之任何任意數目條該等位元線；

一開關群組，該開關群組經組態以控制該共同線與該等位元線之間的連接；

一 開關控制區段，該開關控制區段經組態以控制該開關群組以便將藉由該預充電區段預充電之該電荷放電至該等位元線中之至少另一者，以便在一設定該讀取電壓之一量值之程序中與該等其他位元線共用該電荷；及

一 感測放大器，該感測放大器經組態以感測出現在該共同線上之一電位。

3. 如請求項2之可變電阻式記憶體裝置，其中：

各自具有經佈局以形成一矩陣之複數個該等記憶體胞的複數個記憶體區塊連接至該共同線；

該等記憶體區塊中之每一者中之該等位元線形成相對於該共同線之一階層式結構；且

該等位元線形成一階層式結構所相對於之複數條該等共同線連接至該感測放大器。

4. 如請求項3之可變電阻式記憶體裝置，其中該感測放大器：

採取藉由該等記憶體區塊中之一特定者經由用於該特定記憶體區塊之該共同線供應之一電位作為一參考，且

感測藉由該等記憶體區塊中之另一者經由用於該另一記憶體區塊之該共同線供應之一位元線電位之量值。

5. 如請求項4之可變電阻式記憶體裝置，其中：

該記憶體區塊經組態以包括各自連接至該等位元線中之一者之參考記憶體胞；且

該感測放大器執行一差動感測操作以藉由採取出現在連接至該參考記憶體胞之該共同線上之一電位作為一參

考來感測出現在該選定位元線上之一電位之一改變的量值。

6. 如請求項5之可變電阻式記憶體裝置，其中在將用於控制該記憶體胞與該選定位元線之間的連接之一字線置於一被選擇之狀態中之情況下，該開關控制區段在除了該選定位元線之任何任意數目條該等位元線上執行該電荷共用程序以與該等其他位元線共用電荷，且接著，控制該開關群組以將與該等其他位元線共用之該電荷中之一些放電至該選定位元線以便將該讀取電壓供應至該選定位元線，且開始待基於一胞電流在該記憶體胞上執行之一放電程序。
7. 如請求項6之可變電阻式記憶體裝置，其中該感測放大器包括一負載隔離開關，該負載隔離開關用於在出現於該位元線上之一電位之一改變發生之後在進一步放大該電位之該量值之一程序中將連接至該位元線以充當一負載之該共同線隔離於一感測節點。
8. 如請求項4之可變電阻式記憶體裝置，其中該感測放大器為一單端感測放大器，該單端感測放大器在一電壓感測操作中採取藉由在該等記憶體區塊中之一者上執行該電荷共用程序而設定之一讀取電壓作為一參考，該電壓感測操作經執行以偵測出現於該等記憶體區塊中之另一者中之該選定位元線上之一電位之一改變的量值。
9. 如請求項4之可變電阻式記憶體裝置，其中該感測放大器為一單端感測放大器，該單端感測放大器輸入來自一

外部源之一參考電位或輸入內部地產生之一參考電位，且藉由採取該參考電位作為一參考，執行一電壓感測操作以偵測出現於該選定位元線上之一電位之一改變的該量值。

10. 如請求項2之可變電阻式記憶體裝置，其中該開關控制區段自連接至該共同線之複數條該等位元線選擇連接至充當一讀取物件的該記憶體胞之該位元線且選擇待經受該電荷共用程序之該等位元線。

11. 如請求項1之可變電阻式記憶體裝置，其中

該記憶體胞為一可變電阻式記憶體胞，該可變電阻式記憶體胞在兩個電極之間具有

一導電離子供應層，及

一可變電阻層，使該可變電阻層與該導電離子供應層接觸，且根據施加在該兩個電極之間的一電壓之極性，導電離子被從該導電離子供應層注入至該可變電阻層中，或已注入至該可變電阻層中之該等導電離子返回至該導電離子供應層。

八、圖式：

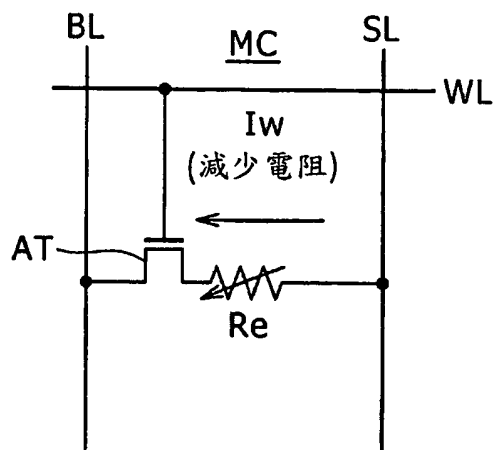


圖 1A

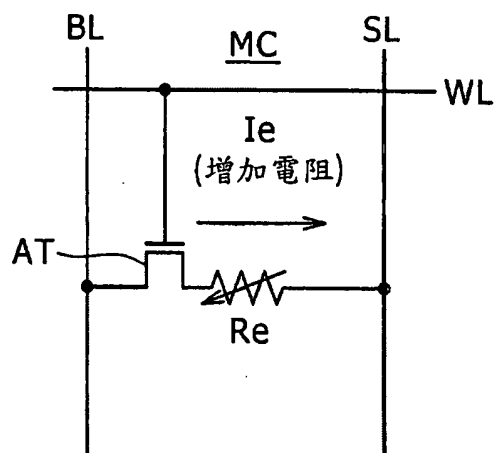


圖 1B

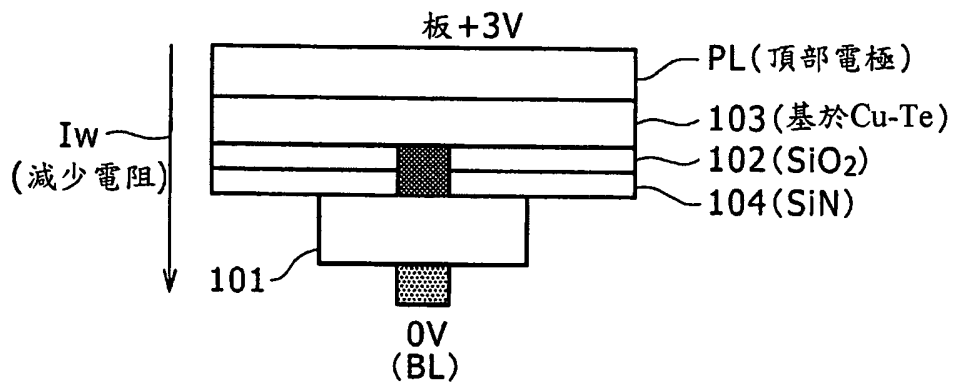


圖 3A

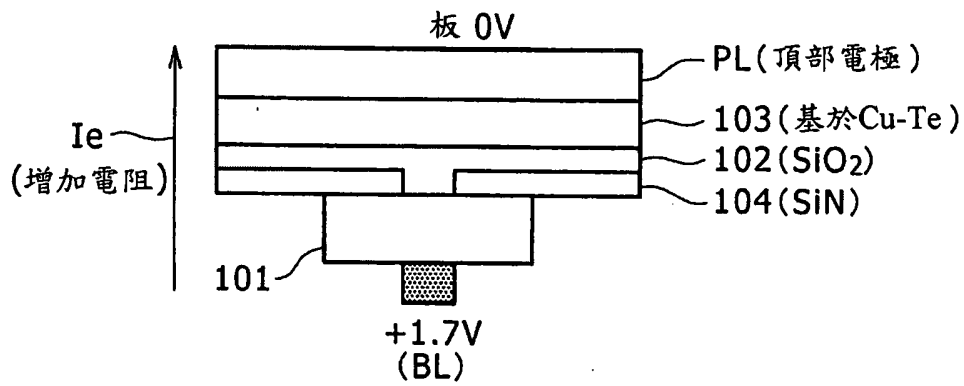


圖 3B

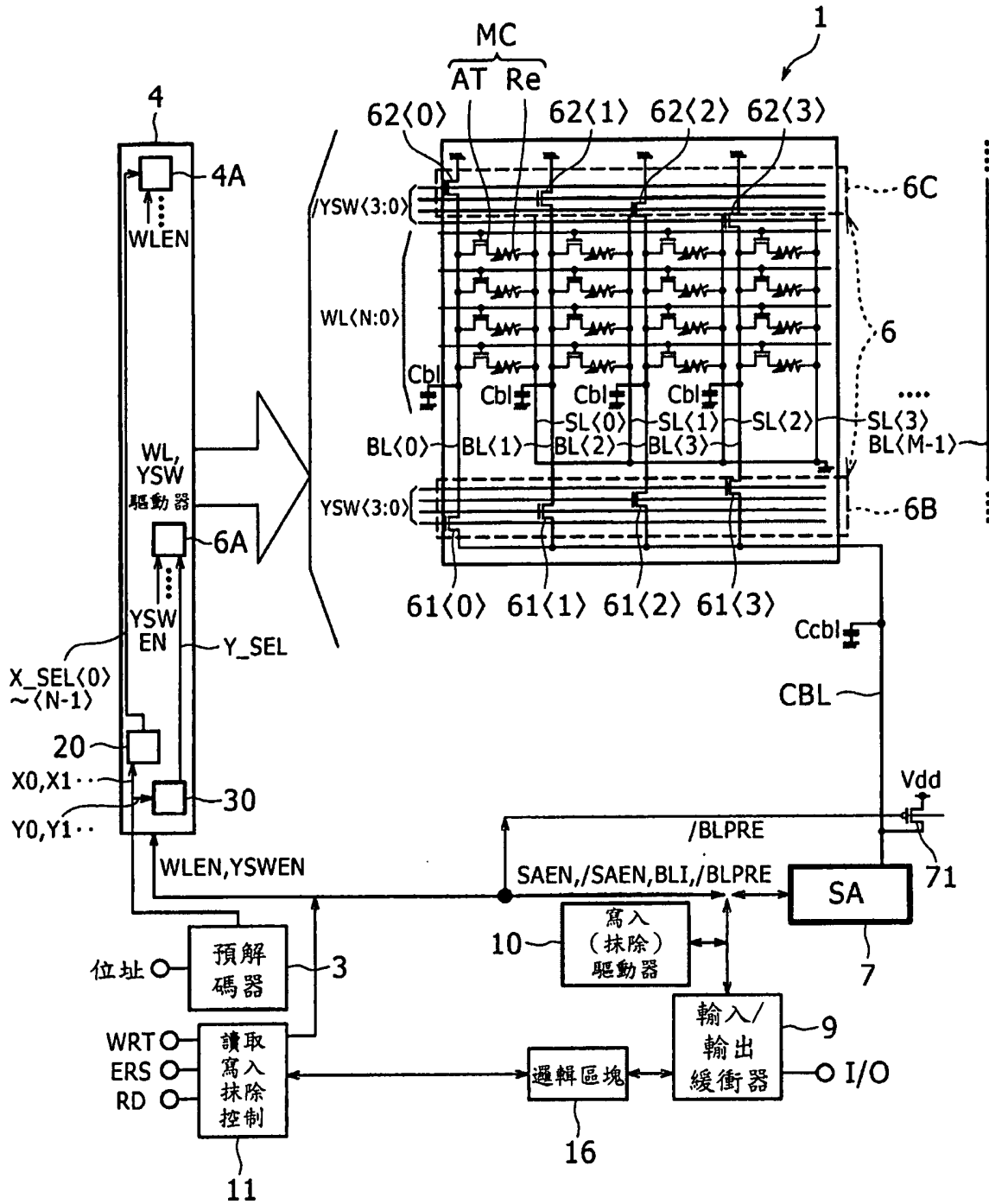


圖4

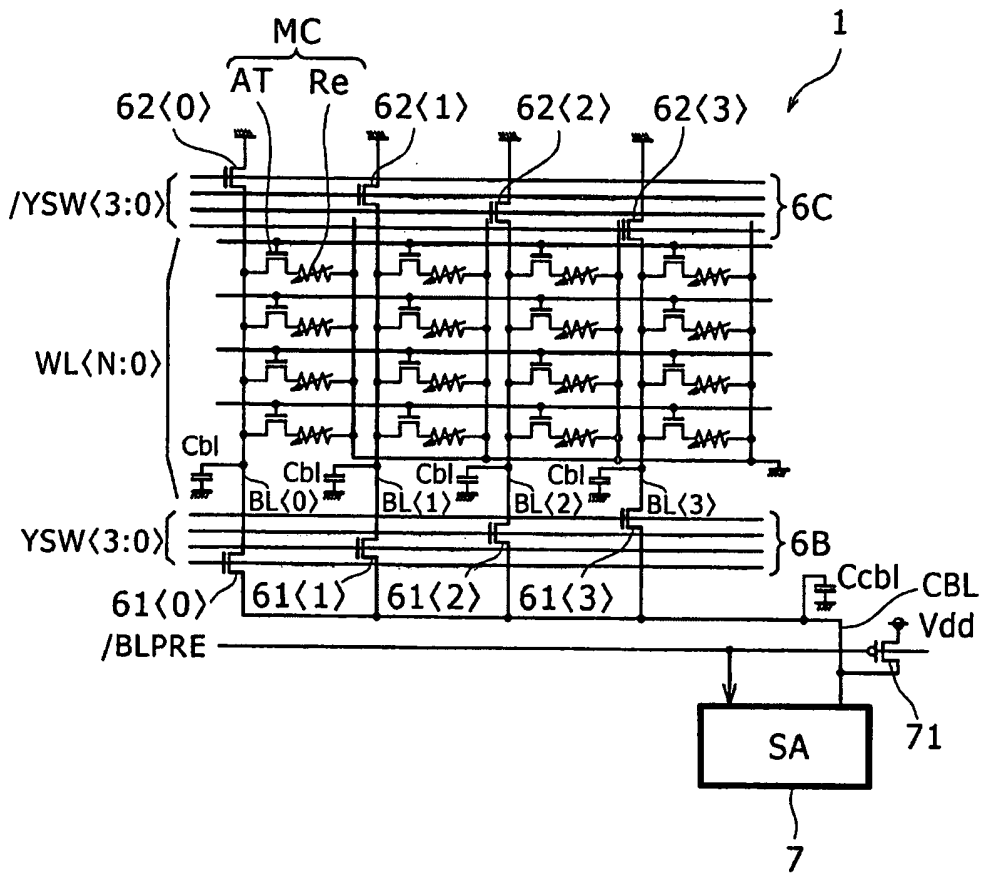
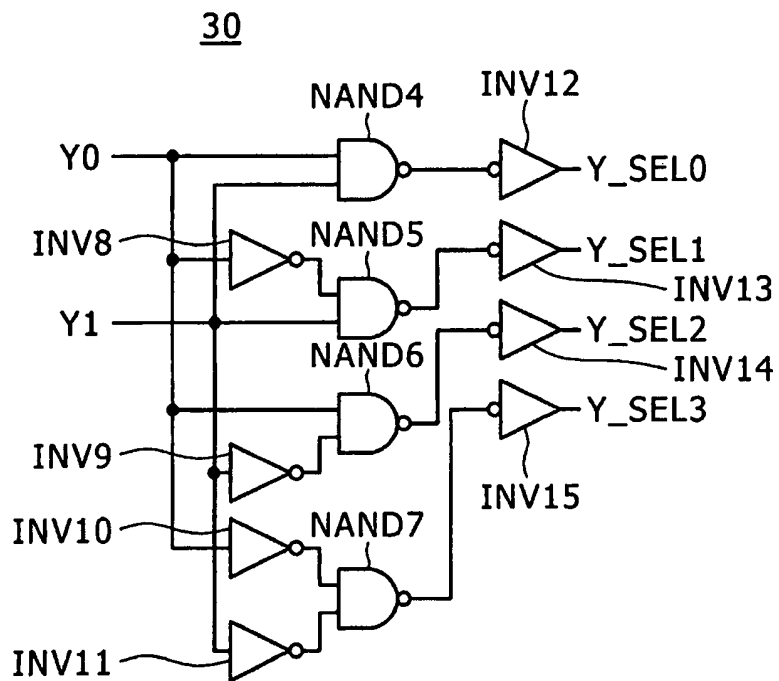
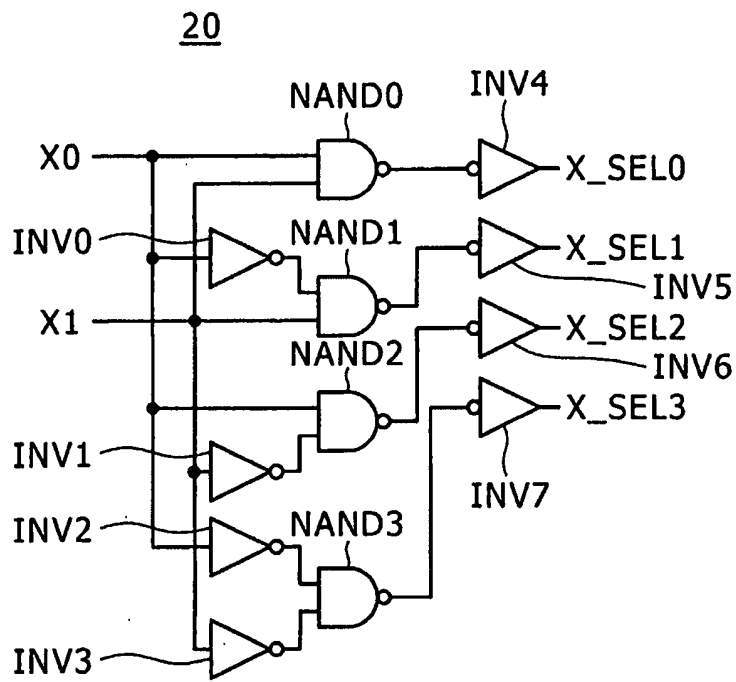


圖5



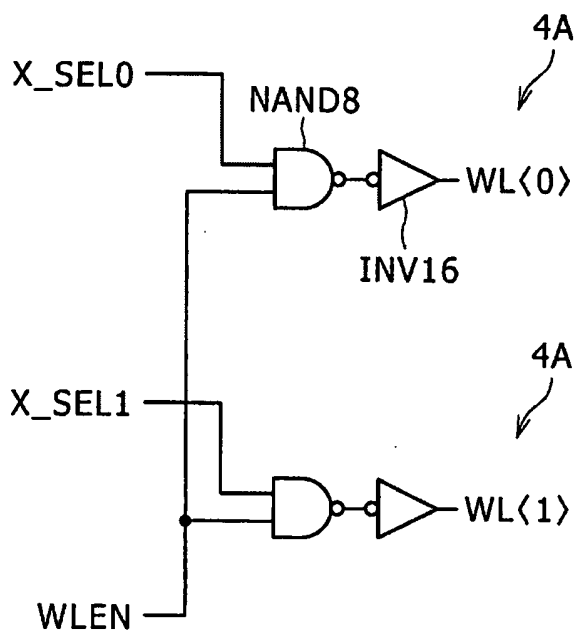


圖8

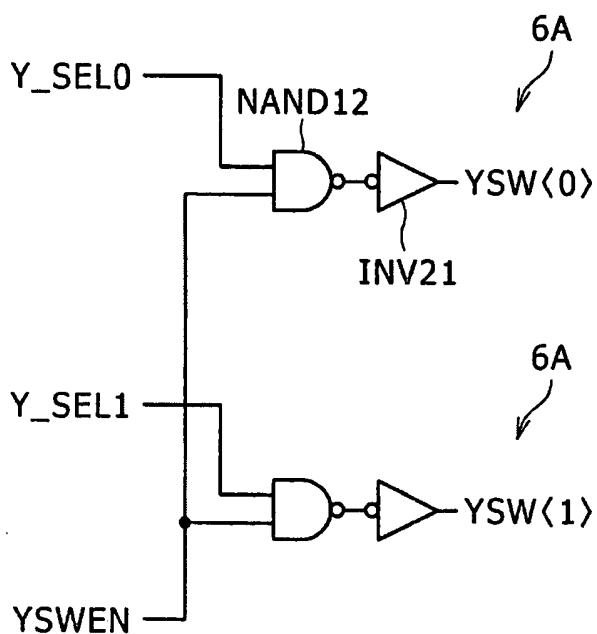


圖9

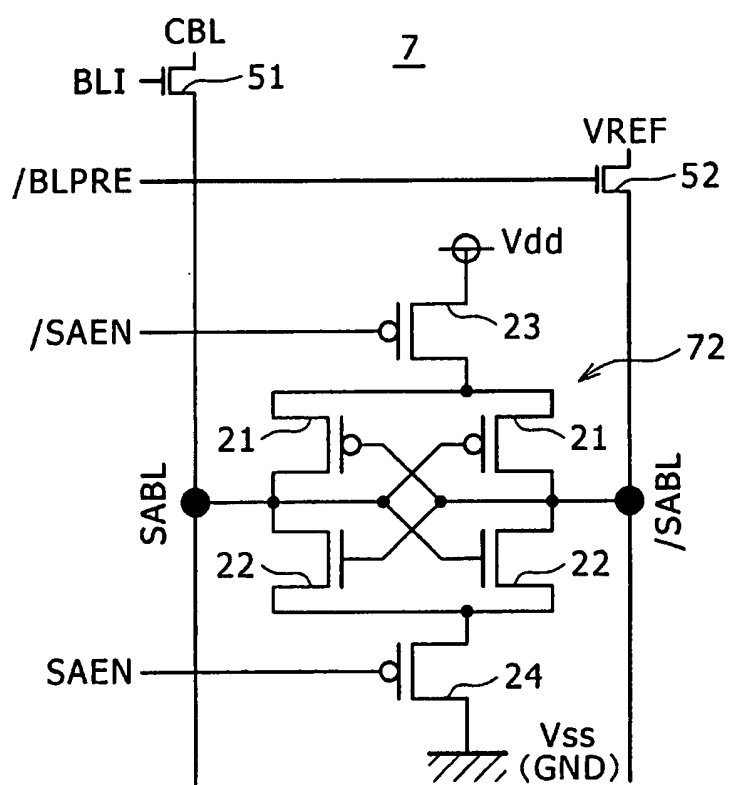
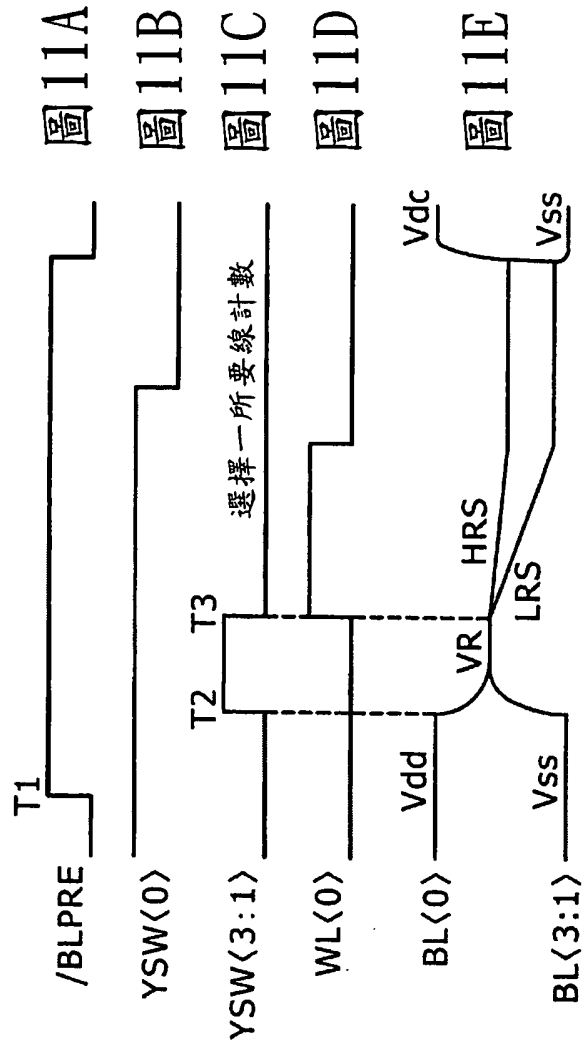


圖 10



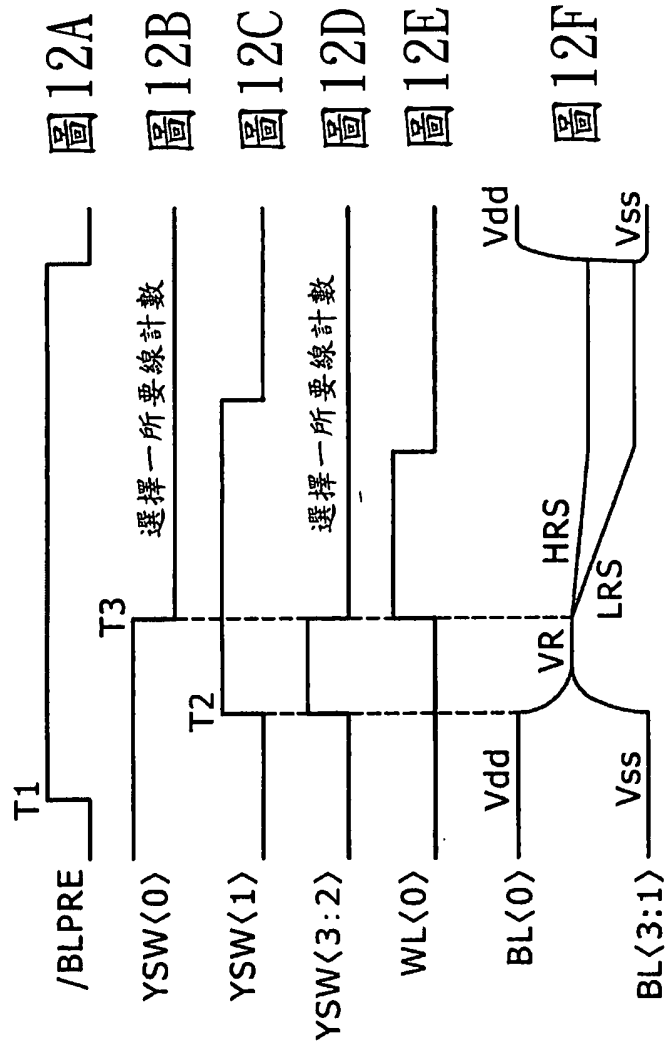


圖 12A

圖 12B

圖 12C

圖 12D

圖 12E

圖 12F

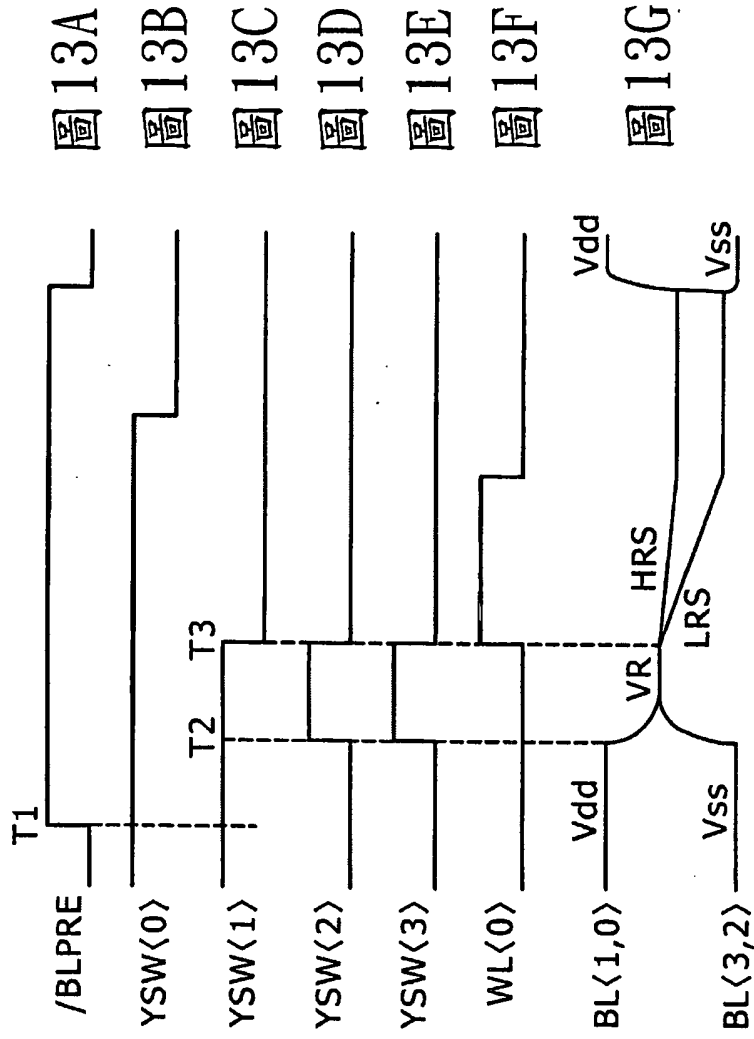


圖13A

圖13B

圖13C

圖13D

圖13E

圖13F

圖13G

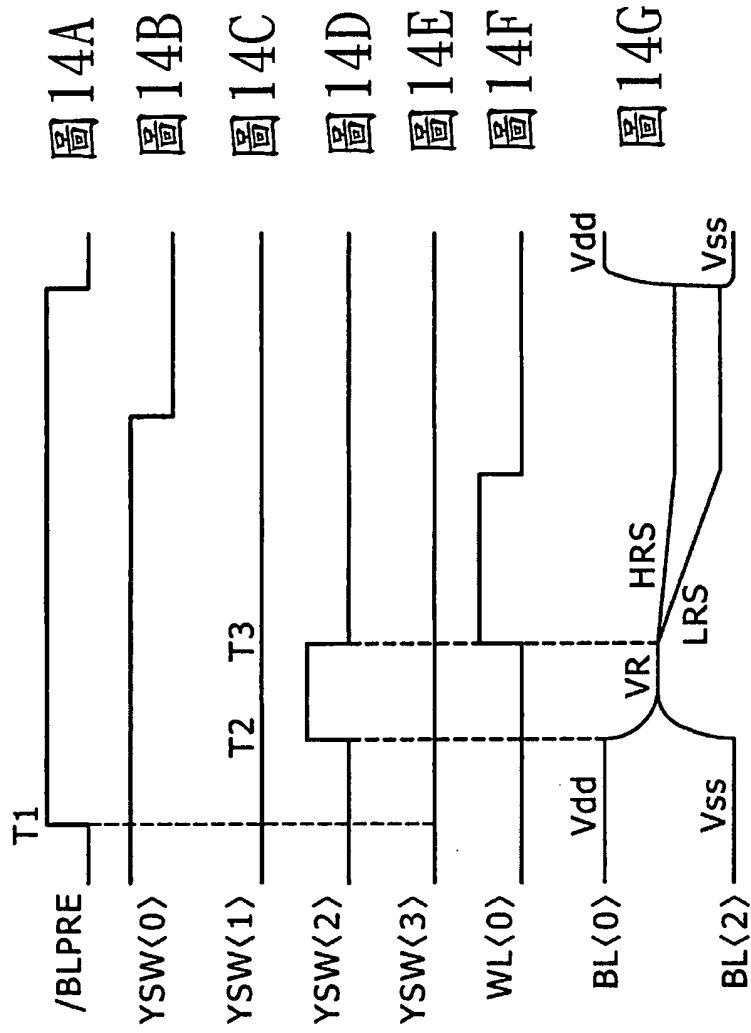


圖 14A

圖 14B

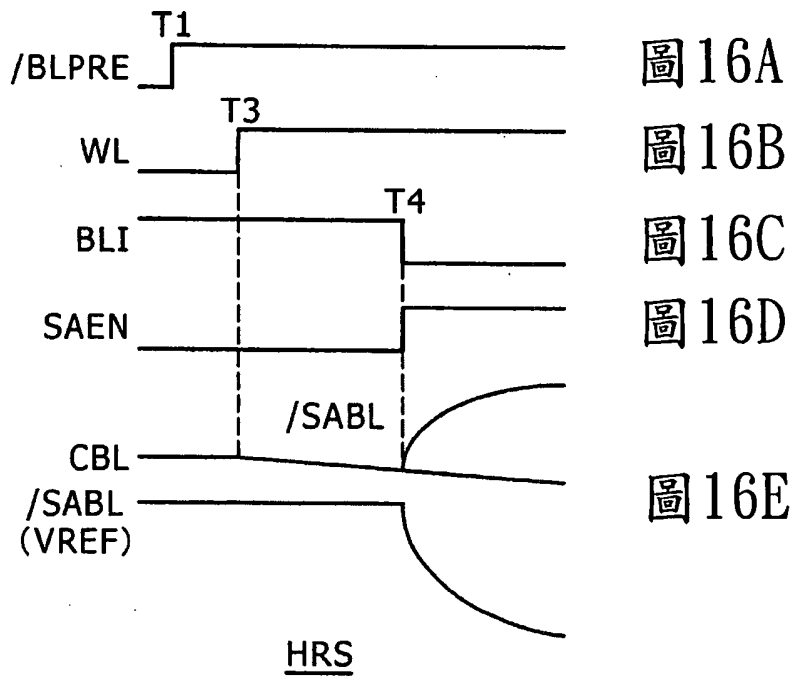
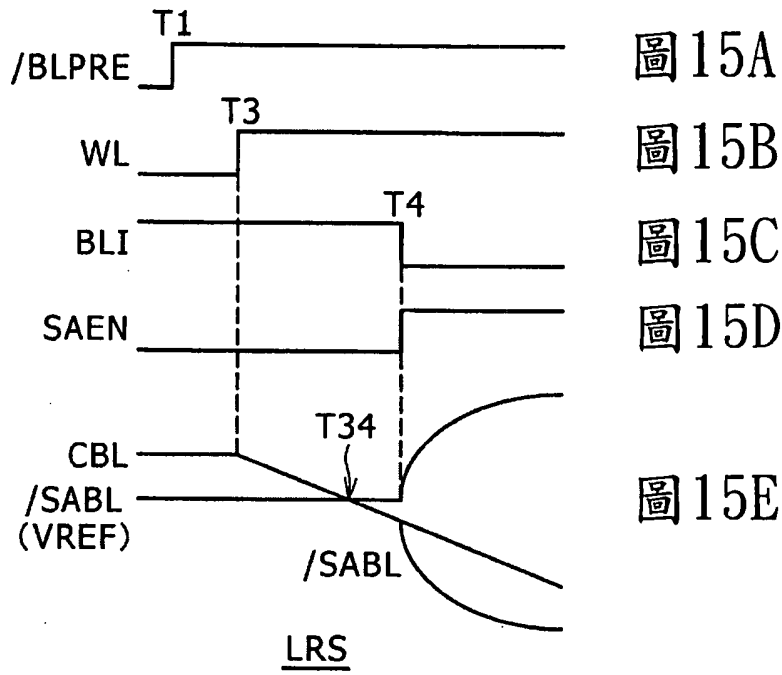
圖 14C

圖 14D

圖 14E

圖 14F

圖 14G



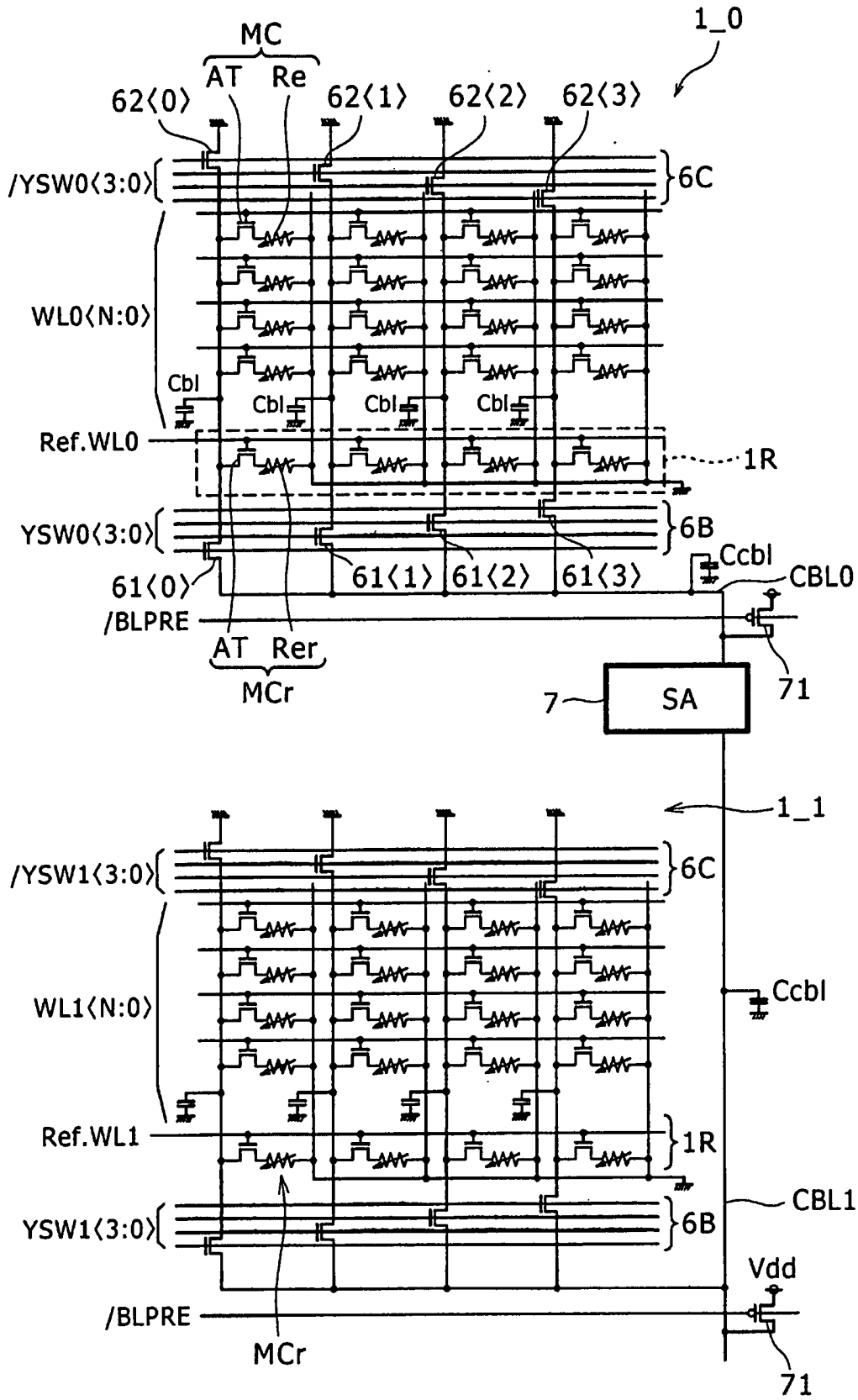
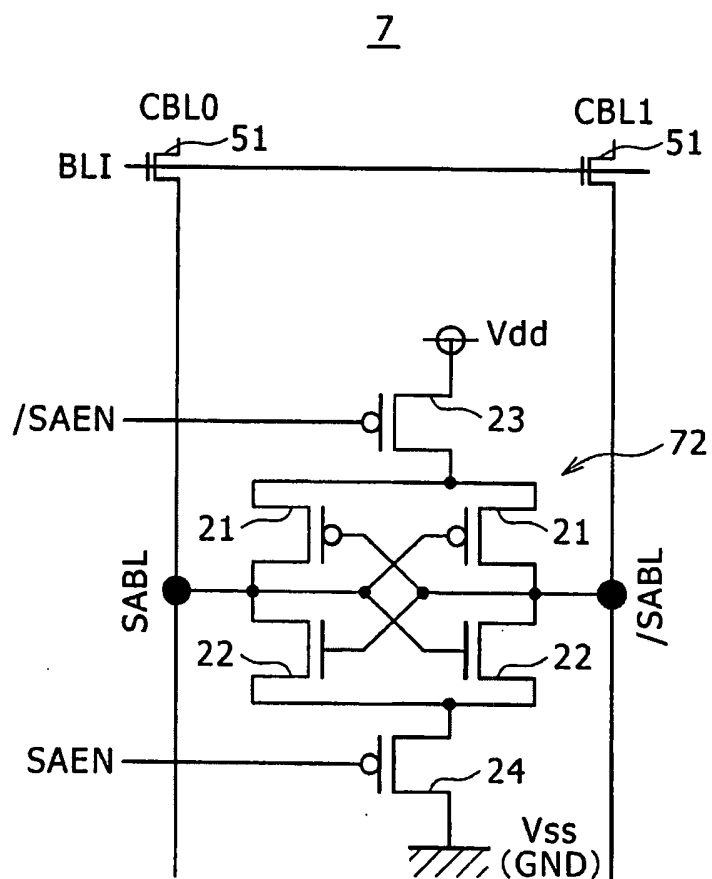


圖 17



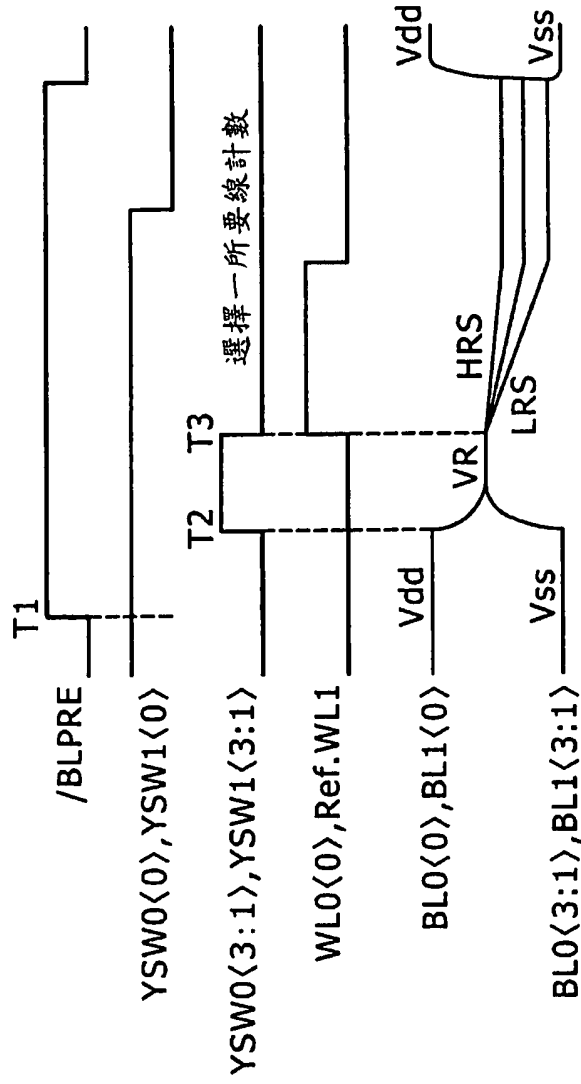


圖 19A

圖 19B

圖 19C

圖 19D

圖 19E

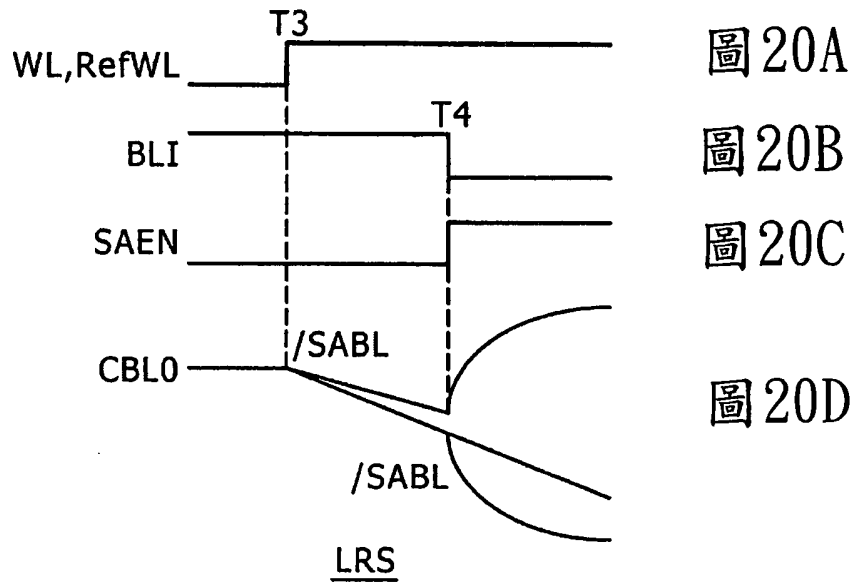


圖 20A

圖 20B

圖 20C

圖 20D

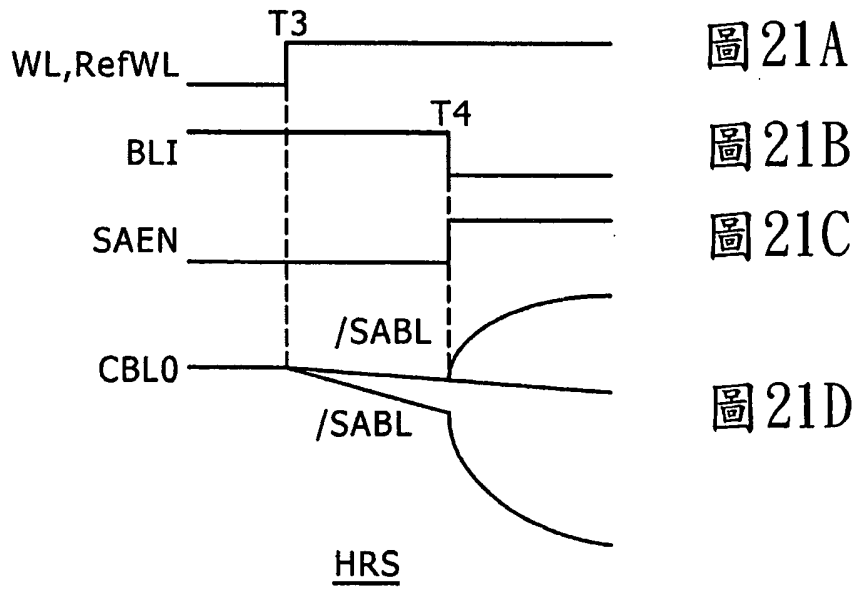


圖 21A

圖 21B

圖 21C

圖 21D

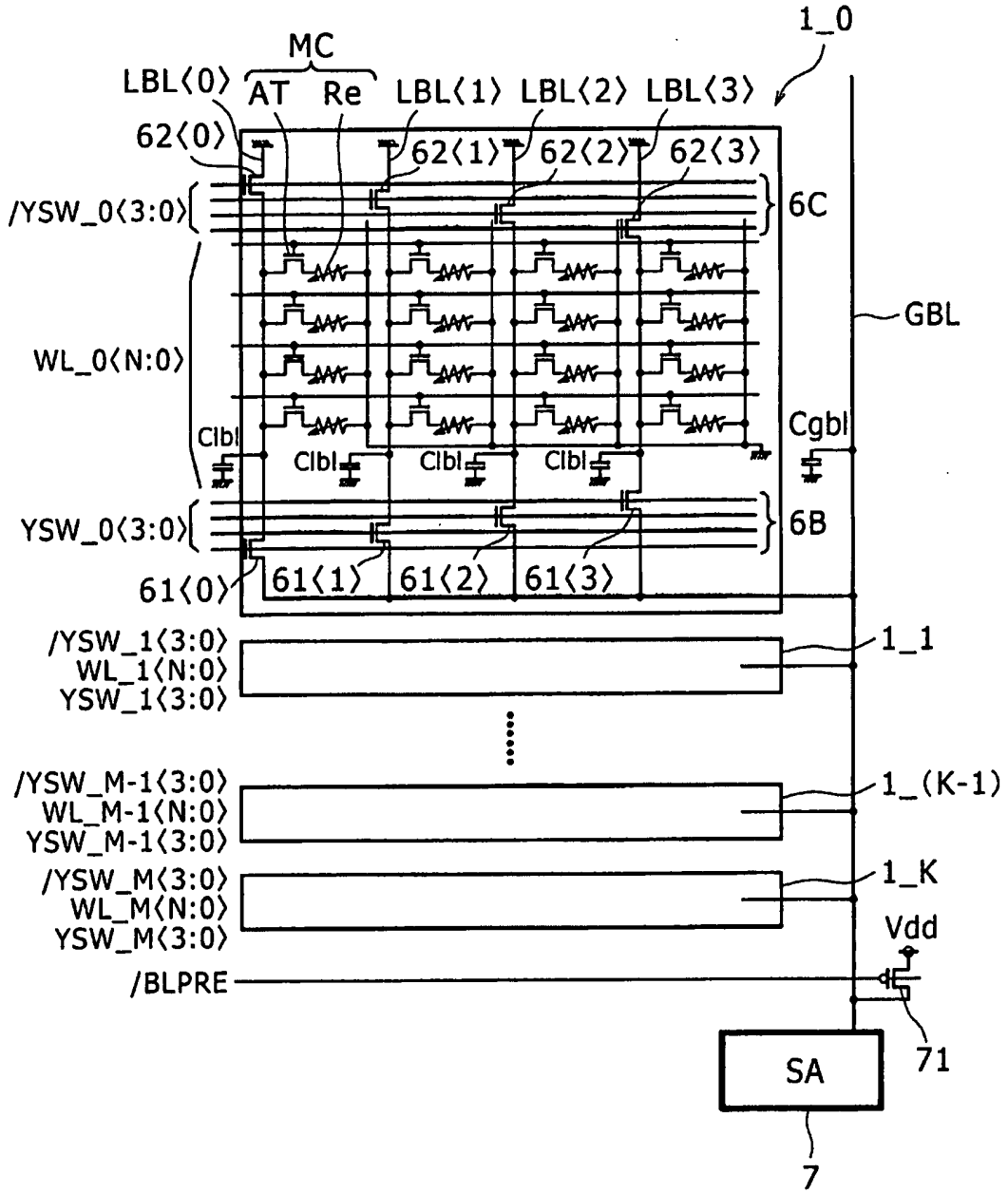


圖 22

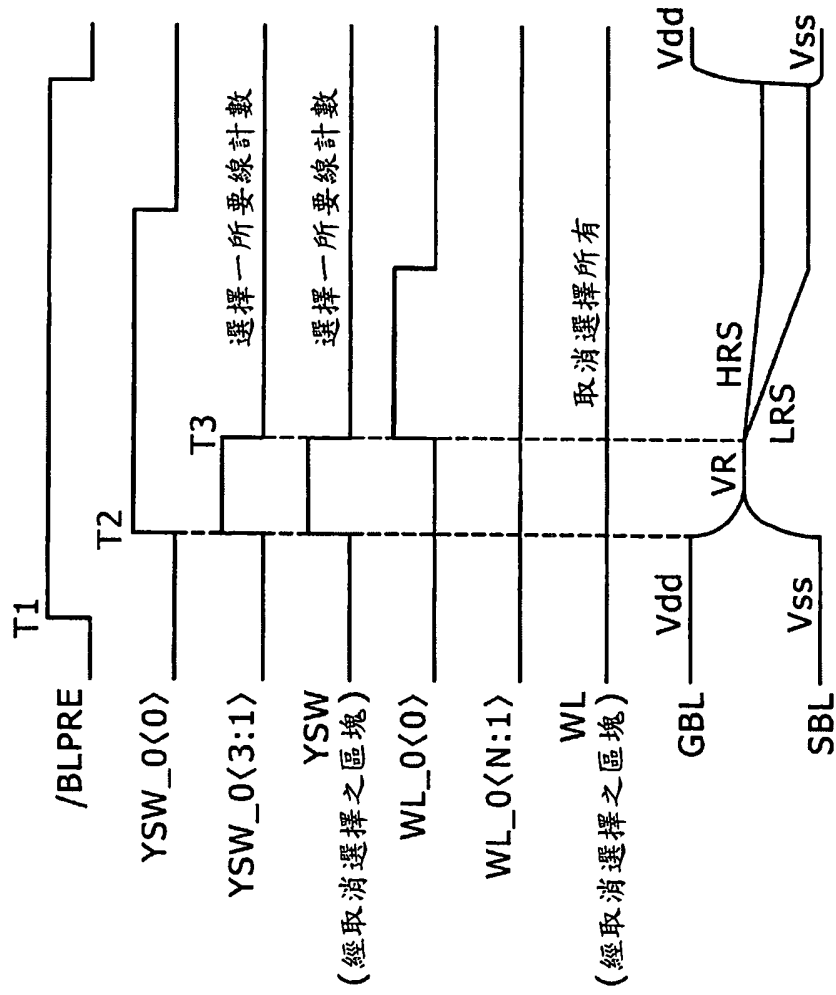


圖 23A

圖 23B

圖 23C

圖 23D

圖 23E

圖 23F

圖 23G

圖 23H

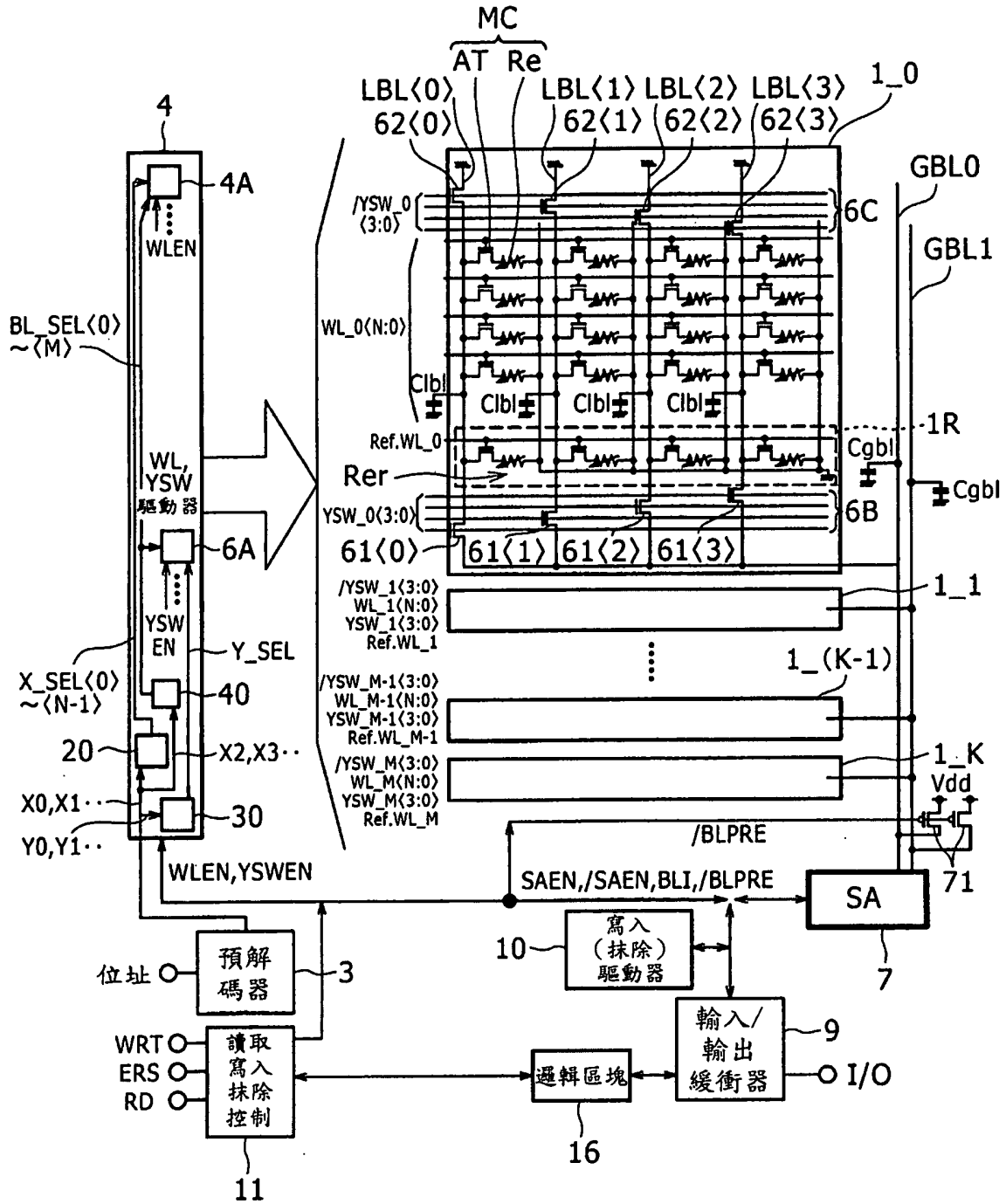


圖24

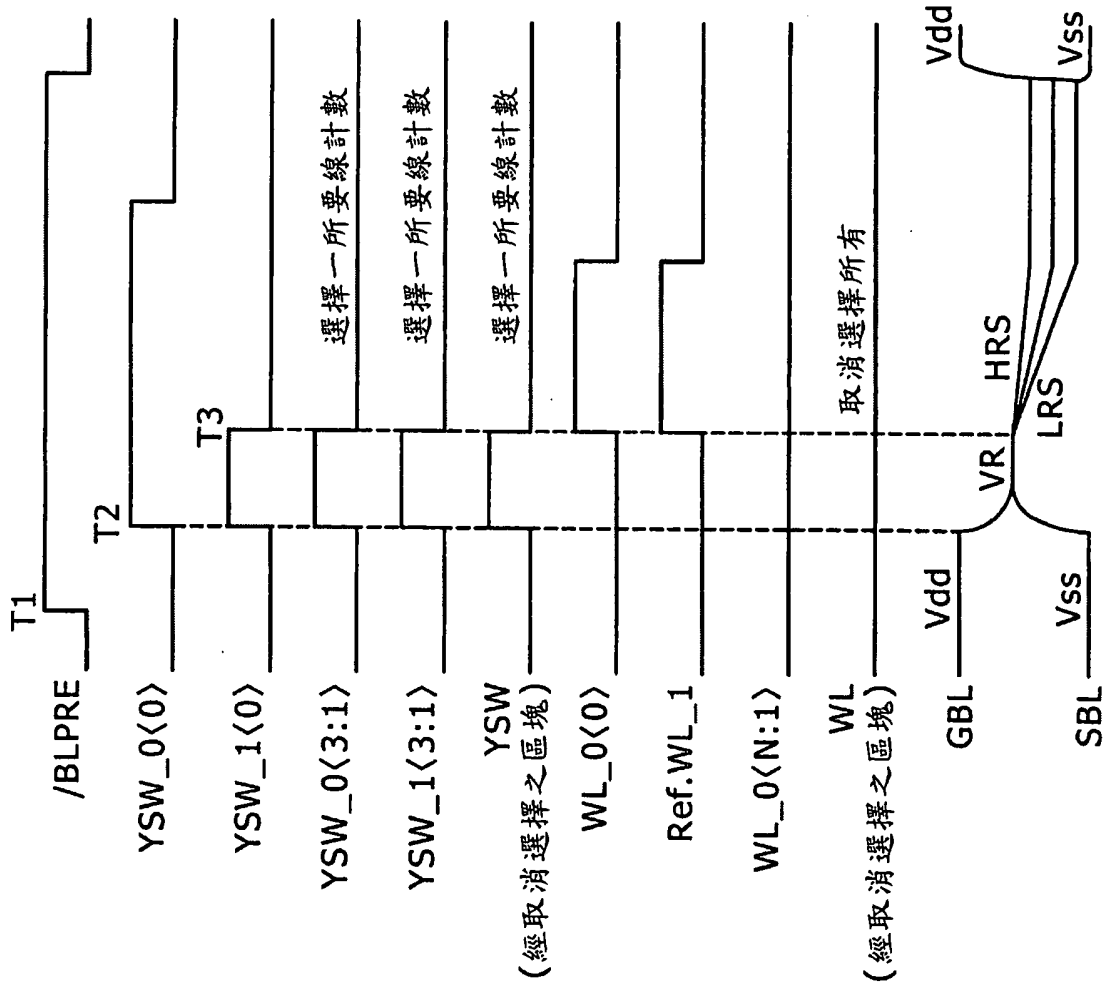


圖 25A

圖 25B

圖 25C

圖 25D

圖 25E

圖 25F

圖 25G

圖 25H

圖 25I

圖 25J

圖 25K

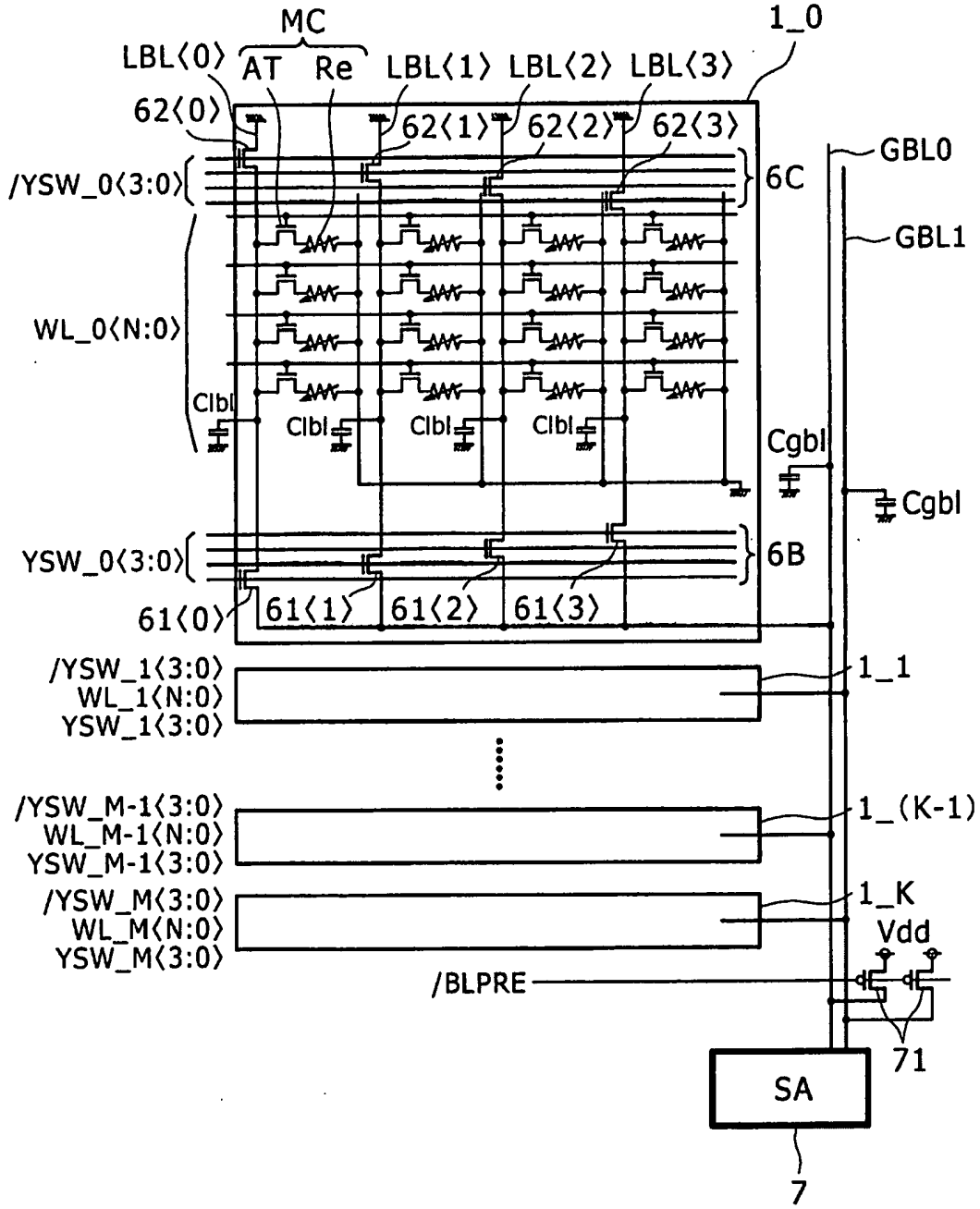


圖 26

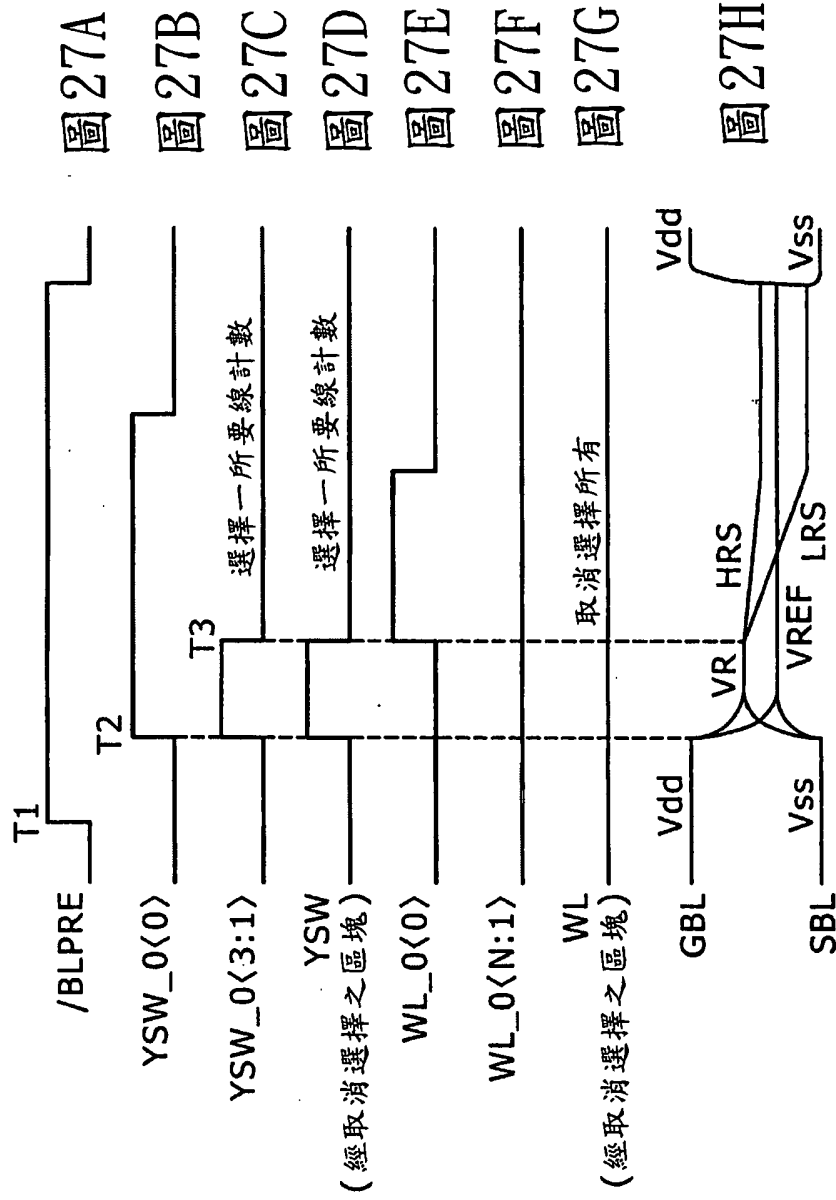


圖 27A

圖 27B

圖 27C

圖 27D

圖 27E

圖 27F

圖 27G

圖 27H

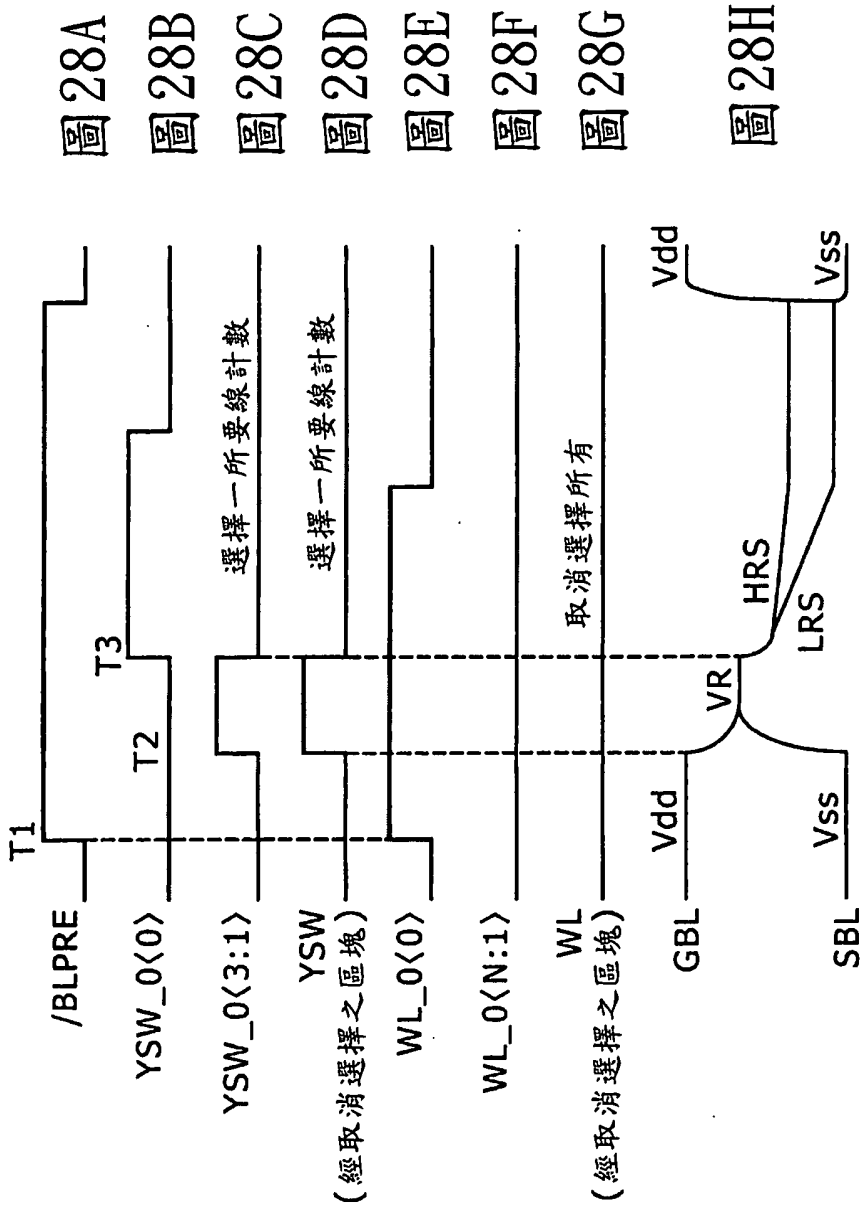


圖 28A

圖 28B

圖 28C

圖 28D

圖 28E

圖 28F

圖 28G

圖 28H

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

1	記憶體胞陣列
3	預解碼器
4	列驅動電路
4A	WL驅動器單元
6	行開關電路/CSW(行開關)電路
6A	CSW驅動器單元
6B	共同線隔離開關區段
6C	放電開關區段
7	SA(感測放大器)
9	I/O(輸入/輸出)緩衝器
10	寫入/抹除驅動器
11	控制電路
16	邏輯區塊
20	X選擇器
30	Y選擇器
61<0>	隔離開關
61<1>	隔離開關
61<2>	隔離開關
61<3>	隔離開關
62<0>	放電開關
62<1>	放電開關

62<2>	放電開關
62<3>	放電開關
71	預充電電晶體
AT	存取電晶體
BLI	位元線隔離信號
BL<0>	位元線
BL<1>	位元線
BL<2>	位元線
BL<3>	位元線
BL<3:1>	位元線
BL<0>至BL<M-1>	位元線
/BLPRE	經反轉之BL預充電信號
CBL	共同位元線
Cbl	位元線之導線電容
Ccbl	共同位元線之導線及觸點電容/ 共同位元線之導線電容
ERS	抹除信號
MC	記憶體胞
RD	資料讀取信號
Re	可變電阻式儲存電阻器/可變 電阻式儲存元件
SAEN	SA啟用信號
/SAEN	SA停用信號/經反轉之SA啟用 信號

SL<0>至SL<M-1>	源極線
Vdd	電源供應器電壓
WL	字線
WRT	寫入信號
WL<N:0>	字線
WLEN	WL選擇啟用信號
X0, X1.. X	位址信號
X_SEL<0>至<N-1>	X選擇信號
Y0	Y位址信號位元
Y0, Y1	Y位址信號
Y1	Y位址信號位元
YSW<3:0>	行選擇信號
YSWEN	Y開關啟用信號
Y_SEL	Y選擇信號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)