[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/115 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200810185638.1

[43] 公开日 2009 年 6 月 24 日

[11] 公开号 CN 101465353A

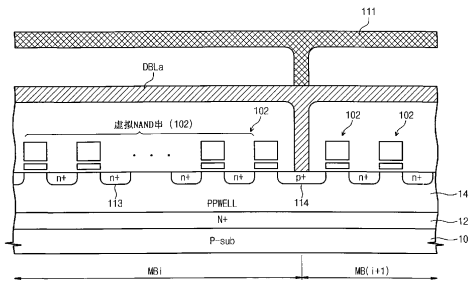
[22] 申请日 2008.12.17
[21] 申请号 200810185638.1
[30] 优先权
[32] 2007.12.17 [33] KR [31] 10-2007-0132311
[32] 2008.6.30 [33] US [31] 12/164,533
[71] 申请人 三星电子株式会社
地址 韩国京畿道水原市灵通区梅滩洞 416 番地
[72] 发明人 薛钟善 申有哲 沈载星
[74] 专利代理机构 中原信达知识产权代理有限责任公司
代理人 刘光明 穆德骏
权利要求书 4 页 说明书 10 页 附图 15 页

[54] 发明名称

利用虚拟存储单元改善电荷陷阱存储器阵列中的数据可靠性的非易失性存储器件

[57] 摘要

本发明提供一种利用虚拟存储单元改善电荷陷阱存储器阵列中的数据可靠性的非易失性存储器件。一种电荷陷阱闪速存储器件，包括闪速存储器阵列，该闪速存储器阵列中至少具有电荷陷阱存储单元的第一页面，该第一页面被电耦合至第一字线。所述电荷陷阱存储单元的第一页面包括多个可寻址存储单元和多个紧邻的不可寻址“虚拟”存储单元，其中，所述可寻址存储单元被配置为用来存储在读取操作期间待检索的数据，所述不可寻址虚拟存储单元被配置为用来存储在读取操作期间不可检索的虚拟数据。所述多个虚拟存储单元包括至少一个辅助虚拟存储单元，该辅助虚拟存储单元被用作抵抗所述阵列的电荷陷阱层中的侧孔传递的缓冲器。



1. 一种集成电路存储器件，包括：

半导体衬底，所述半导体衬底中具有第一导电性类型阱区；以及

在所述阱区内的非易失性存储器阵列，所述非易失性存储器阵列中具有电荷陷阱存储单元的第一和第二多个 NAND 串，所述第一和第二多个NAND串通过电荷陷阱存储单元的主虚拟NAND串和电荷陷阱存储单元的辅助虚拟 NAND 串而被相互隔开，所述辅助虚拟 NAND 串紧邻所述主虚拟 NAND 串而延伸，所述主虚拟 NAND 串包括电连接至所述阱区的主虚拟位线。

2. 权利要求 1 所述的存储器件，其中所述主虚拟 NAND 串还包括串选择晶体管，所述串选择晶体管中具有与所述阱区形成非整流结的第一导电性类型的第一源/漏区；以及其中所述主虚拟位线被电连接至所述串选择晶体管的所述第一源/漏区。

3. 权利要求 2 所述的存储器件，其中所述串选择晶体管中具有与所述阱区形成整流结的第二导电性类型的第二源/漏区。

4. 权利要求 1 所述的存储器件，其中所述辅助虚拟 NAND 串包括电连接至所述主虚拟位线的辅助虚拟位线。

5. 权利要求 4 所述的存储器件，其中所述辅助虚拟 NAND 串还包括其中具有第二导电性类型的第一源/漏区的串选择晶体管，所述的第二导电性类型的第一源/漏区与所述阱区形成整流结并被电连接至所述辅助虚拟位线。

6. 一种集成电路存储器件，包括：

非易失性存储器阵列，所述非易失性存储器阵列中具有电荷陷阱存储单元的第一和第二辅助虚拟 NAND 串，所述第一和第二辅助虚拟

NAND 串通过电荷陷阱存储单元的主虚拟 NAND 串被相互间隔开，所述主虚拟 NAND 串包括电连接至与所述第一和第二辅助虚拟 NAND 串相关联的第一和第二辅助虚拟位线的主虚拟位线。

7. 权利要求 6 所述的存储器件，其中所述主虚拟 NAND 串包括 NMOS 串选择晶体管，所述 NMOS 串选择晶体管具有电连接至所述主虚拟位线的 P 型源/漏区。

8. 权利要求 6 所述的存储器件，其中所述非易失性存储器阵列在 P 型阱区中延伸；且其中所述 NMOS 串选择晶体管的 P 型源/漏区与 P 型阱区形成非整流半导体结。

9. 一种集成电路存储器件，包括：

第一导电性类型阱区；以及

在所述阱区中的非易失性存储器阵列，所述非易失性存储器阵列包括电荷陷阱存储单元的多个紧邻的虚拟 NAND 串，所述多个紧邻的虚拟 NAND 串具有各自的相互电连接并被电连接至所述阱区的虚拟位线。

10. 权利要求 9 所述的存储器件，其中，与所述多个紧邻的虚拟 NAND 串中的第一个相关联的串选择晶体管包括第一导电性类型的第一源/漏区和第二导电性类型的第二源/漏区。

11. 权利要求 9 所述的存储器件，其中所述的第一导电性类型的第一源/漏区与所述阱区形成非整流结并被电连接至与所述多个虚拟 NAND 串相关联的虚拟位线。

12. 权利要求 10 所述的存储器件，还包括：

延伸跨过所述阱区的共用源极线；以及

在所述共用源极线上且在两个所述虚拟位线之间延伸的多级金属

互连。

13. 一种集成电路存储器件，包括：

半导体衬底，所述半导体衬底中具有第一导电性类型阱区；以及

在所述阱区内的非易失性存储器阵列，所述非易失性存储器阵列包括电荷陷阱存储单元的主虚拟 NAND 串和电荷陷阱存储单元的至少一个辅助虚拟 NAND 串，所述辅助虚拟 NAND 串紧邻所述主虚拟 NAND 串而延伸，所述主虚拟 NAND 串包括电连接至所述阱区的主虚拟位线。

14. 权利要求 13 所述的存储器件，其中所述非易失性存储器阵列还包括电荷陷阱存储单元的第一多个 NAND 串，所述第一多个 NAND 串通过所述辅助虚拟 NAND 串与所述主虚拟 NAND 串隔开。

15. 权利要求 14 所述的存储器件，其中所述非易失性存储器阵列还包括电荷陷阱存储单元的第二多个 NAND 串；且其中所述主虚拟 NAND 串在所述第一和第二多个 NAND 串之间延伸。

16. 权利要求 13 所述的存储器件，还包括：

延伸跨过所述阱区的共用源极线；以及

多级金属互连，所述多级金属互连在邻近所述至少一个辅助虚拟 NAND 串的位置处、在所述共用源极线上延伸。

17. 一种电荷陷阱闪速存储器件，包括：

闪速存储器阵列，所述闪速存储器阵列中至少具有电荷陷阱存储单元的第一页面，所述第一页面被电耦合至第一字线，所述的电荷陷阱存储单元的第一页面包括被配置为用来存储在读取操作期间待检索的数据的多个存储单元和被配置为用来存储在所述读取操作期间不可检索的虚拟数据的多个紧邻的存储单元。

18. 权利要求 17 所述的存储器件，其中所述多个紧邻的存储单元包括：

主虚拟存储单元，在操作期间阻止将所述主虚拟存储单元编程为将页面数据写入电荷陷阱存储单元的所述第一页面；以及

至少一个辅助虚拟存储单元，在所述操作期间使用虚拟数据对所述至少一个辅助虚拟存储单元进行编程，以将页面数据写入电荷陷阱存储单元的所述第一页面。

19. 权利要求 18 所述的存储器件，其中所述至少一个辅助虚拟存储单元包括位于所述主虚拟存储单元的相对侧上的一对辅助虚拟存储单元。

20. 一种操作电荷陷阱闪速（CTF）存储器阵列的方法，包括：

在操作期间以擦除电压偏置主虚拟位线，所述主虚拟位线被电耦合至所述存储器阵列的半导体阱区，以擦除所述存储器阵列。

21. 权利要求 20 所述的方法，其中，偏置主虚拟位线包括在所述存储器阵列中同时浮动多个常规位线时，以所述擦除电压对所述主虚拟位线进行偏置。

22. 权利要求 20 所述的方法，其中，偏置主虚拟位线包括在所述存储器阵列中同时浮动多个常规位线时，以所述擦除电压对所述主虚拟位线和至少一个辅助虚拟位线进行偏置。

利用虚拟存储单元改善电荷陷阱存储器阵列中的数据可靠性的非易失性存储器件

相关申请的交叉引用

此申请要求于 2007 年 12 月 17 日提交的韩国申请 No. 2007-0132311 的优先权，此处通过引用将该申请的公布内容并入本文中。

技术领域

本发明涉及集成电路存储器件，且更具体地，涉及非易失性存储器件和编程非易失性存储器件的方法。

背景技术

一类非易失性存储器件包括电可擦可编程只读存储器（EEPROM），其可用于许多应用中，包括嵌入式应用和大容量存储应用。在典型的嵌入式应用中，例如，EEPROM 器件可用于在其中需要快速随机存取读取时间的个人计算机或移动电话中提供代码存储。典型的大容量存储应用包括要求高容量和低成本的存储卡应用。

一种 EEPROM 器件包括 NAND 型闪速存储器，其可提供低成本和高容量来替换其它形式的非易失性存储器。图 1A 示出了其中具有多个 NAND 型串的传统闪速存储器阵列 1。这些 NAND 型串中的每一个包括与各个偶数和奇数位线(BL0_e, BL0_o, ..., BLn_e , BLn_o)相关联的多个 EEPROM 单元。将这些位线连接至其中具有多个缓冲器电路（PB0, ..., PBn）的页面缓冲器 2。每个 EEPROM 单元包括电荷陷阱层（或浮动栅极）和电连接至各个字线（WL0, WL1, ..., WLn）的控制栅极。通过在读取和编程操作期间将与串选择晶体管相关联的串选择线（SSL）驱动至逻辑 1 电压而使能对每个 NAND 串的存取。每个 NAND

串也包括各自的、电连接至接地选择线（GSL）的接地选择晶体管。

如图 1B 所示，图 1A 的闪速存储器阵列 1 中的 EEPROM 单元为支持单一被编程状态的单元。只支持单一被编程状态的 EEPROM 单元通常被称为单级单元（SLC）。特别地，SCL 可支持处理为逻辑 1 存储值的被擦除状态，和处理为逻辑 0 存储值的被编程状态。SLC 可以在被擦除时具有负阈值电压（Vth）（例如，3V<Vth<-1V），而在被编程时具有正阈值电压（例如，1V<Vth<3V）。可通过将位线 BL 设置为逻辑 0 值（即，0 伏特）、将编程电压（Vpgm）施加到所选择的 EEPROM 单元并将通过电压（Vpass）施加到串中的未选择 EEPROM 单元来实现被编程状态，如图 1C 所示。另外，在编程期间，可通过将正电压（例如，电源电压 Vdd）施加到串选择线（SSL）、并将接地电压（例如，0 伏特）施加到接地选择线（GSL）而使能 NAND 串。

此外，可通过对所选择单元进行读取操作来检测 EEPROM 单元的被编程状态或被擦除状态。如图 1D 所示，当所选择的单元处于被擦除状态且所选择的字线电压（例如，0 伏特）高于所选择单元的阈值电压时，NAND 串将操作预充电位线 BL 放电。然而，当所选择的单元处于被编程状态时，由于所选择的字线电压（例如，0 伏特）低于所选择单元的阈值电压且所选择的单元保持为“断开”，因此相应的 NAND 串将开路电路提供到预充电位线 BL。在由 Jung 等人撰写的题为“AA 3.3 Volt Single Power Supply 16-Mb Nonvolatile Virtual DRAM Using a NAND Flash Memory Technology”的论文中公布了 NAND 型闪速存储器的其它方面，该文章发表在 IEEE Journal of Solid-State Circuits，Vol. 32, No. 11, pp.1748-1757 上，并且通过引用将其内容合并于本文。由 Kang 等人发明的美国专利 No.7,126,185 以及由 Sim 等人发明的美国专利公开 No.2006/0171209 也公布了电荷陷阱闪速（CTF ）存储单元。

在由 Lee 发明的题为“Nonvolatile Semiconductor Memory Device Having Dummy Bit Line With Multiple Sections”的美国专利公开

No.2007/0070699，以及美国专利 No.6,611,460 和 No.6,614,688 中公布了 NAND 型闪速存储器的额外方面。特别地，由 Lee 发明的美国专利公开 No.2007/0070699 公布了牺牲浮动栅 EEPROM 单元的 NAND 型串以向共用源极线（CSL）提供直接连接的闪速 EEPROM 器件。此闪速 EEPROM 器件还利用多个虚拟位段用作袖珍 P 阱偏置带。此外，可将每个 NAND 型串中的串选择晶体管和接地选择晶体管构造为由 Lee 等人发明的题为"Method of Fabricating A Non-Volatile Memory Device With a String Select Gate"的美国专利 No.6,881,626 的图 2、图 5-6 和图 10 公开的，以及由 Lee 等人发明的美国专利 No.6,858,906 中所公开的那样，此处通过引用将它们的公开内容并入本文中。

发明内容

根据本发明的实施例的集成电路存储器件利用非易失性存储器阵列中存储单元的多个“虚拟（dummy）”串。在某些这些实施例中，存储单元包括电荷陷阱存储单元，且该多个“虚拟”串包括主虚拟串和辅助虚拟串。特别地，提供一个或多个辅助虚拟串用来增加主虚拟串中存储单元的电荷陷阱层和“常规（normal）”存储单元的电荷陷阱层之间的电隔离程度，该“常规”存储单元的电荷陷阱层被配置用来存储在读取和写入操作期间能存取的数据。该增加的电隔离通过响应于侧向电荷传递（例如，孔传递）来改变其阈值电压，阻止了主虚拟串中的潜在过擦除存储单元对“常规”存储单元产生的不利影响，所述侧向电荷传递跨过存储器阵列的电荷陷阱层。

本发明的一些实施例包括半导体衬底，该半导体衬底中具有第一导电性类型（例如，P 型）阱区以及在该阱区上的非易失性存储器阵列。该非易失性存储器阵列中具有“常规”电荷陷阱存储单元的第一多个 NAND 串和第二多个 NAND 串，这些串通过电荷陷阱存储单元的主虚拟 NAND 串和电荷陷阱存储单元的至少一个辅助虚拟 NAND 串而被相互隔开，该至少一个辅助虚拟 NAND 串紧邻主虚拟 NAND 串而延伸。主虚拟 NAND 串包括电连接至阱区的主虚拟位线。根据这些实施例，

主虚拟 NAND 串可包括具有第一导电性类型（例如，P 型）的第一源/漏区的串选择晶体管，所述第一导电性类型的第一源/漏区与下面的阱区形成非整流结。将第一导电性类型的第一源/漏区电连接至主虚拟位线，从而主虚拟位线可向阱区提供适当的偏置，由此阻止该阱区相对周围区域电气地浮动。串选择晶体管还可包括与阱区形成整流结的第二导电性类型（例如，N 型）的第二源/漏区。在此情况下，由于形成在串选择晶体管的栅极下面的任何反向层沟道与相反导电性类型的第一源/漏区形成了整流结，因此串选择晶体管被配置为用来阻止对主虚拟串中的存储单元进行编程。辅助虚拟 NAND 串还可包括电连接至主虚拟位线的辅助虚拟位线。

根据本发明的又一些实施例，将电荷陷阱闪速存储器件设置为其中具有至少一个闪速存储器阵列。该闪速存储器阵列至少包括电荷陷阱存储单元的第一页面，该电荷陷阱存储单元被电耦合至第一字线。电荷陷阱存储单元的第一页面包括多个可寻址存储单元和多个紧邻的不可寻址存储单元，所述可寻址存储单元被配置为用来存储在读取操作期间待检索的数据，所述不可寻址存储单元被配置为用来存储在读取操作期间不可检索的虚拟数据。特别地，所述多个紧邻的不可寻址存储单元包括主虚拟存储单元和至少一个辅助虚拟存储单元，所述主虚拟存储单元在操作期间被阻止编程以将页面数据写入电荷陷阱存储单元的第一页面，所述辅助虚拟存储单元在每个操作期间使用虚拟数据对其进行编程以将页面数据写入电荷陷阱存储单元的第一页面。此辅助虚拟存储单元缓冲来自可寻址存储单元的主虚拟存储单元，由此降低过擦除主虚拟存储单元将影响相邻（多个）可寻址存储单元的（多个）阈值电压的可能性。

附图说明

图 1A 是其中具有 EEPROM 单元的 NAND 型串的传统非易失性存储器件的电气原理图。

图 1B 是示出了根据现有技术的被擦除和被编程 EEPROM 单元的

相关阈值电压的曲线图。

图 1C 是示出了显现编程偏置条件的 EEPROM 单元的 NAND 型串的电气原理图。

图 1D 示出了从根据现有技术的被擦除 EEPROM 单元和被编程 EEPROM 单元读取数据的操作期间，NAND 型串中的电流。

图 2A 是根据本发明的实施例的集成电路存储器件的版图视图。

图 2B 是沿线 2B-2B'截取的图 2A 中存储器件的剖面图。

图 2C 是沿线 2C-2C'截取的图 2A 中存储器件的剖面图。

图 2D 是图 2A 中存储器件的电气原理图。

图 3A 是根据本发明的另一实施例的集成电路存储器件的版图视图。

图 3B 是沿线 3B-3B'截取的图 3A 中存储器件的剖面图。

图 3C 是沿线 3C-3C'截取的图 3A 中存储器件的剖面图。

图 4A-4B 是根据本发明的附加实施例的集成电路存储器件的版图视图。

图 5A 是根据本发明的实施例的存储卡的框图。

图 5B 是根据本发明的实施例的存储系统的框图。

具体实施方式

现将参照附图更全面地描述本发明，其中显示了本发明的优选实施例。然而，本发明可由很多不同形式得以具体化且不应该将其解释为由本文所陈述的实施例所限制；而应理解为，通过提供这些实施例，从而使此公开变得完整和完善，且将本发明的范围完全传达给本技术领域中的技术人员。在所有附图中，相同的参考数字表示相同的元件，且其上的信号线和信号表示为相同的参考字符。在不考虑不同信号的情况下，信号可能被同步和/或经由少量的布尔运算（例如，反转）。

图 2A 和图 2D 是根据本发明的第一实施例的非易失性集成电路存储器件 100 的版图和原理图视图。存储器件 100 为非易失性存储器件，其可包括非易失性存储单元的多个阵列（a/k/a 区块）。如本文所述，

存储器件 100 中的非易失性存储单元可能是利用多层电荷陷阱绝缘层的电荷陷阱 EEPROM 单元，但是，也可能使用其它类型的非易失性存储单元（例如，浮动栅型）。存储器件 100 中所示出的非易失性存储单元的阵列包括分别连接至对应位线的电荷陷阱 EEPROM 单元的多个 NAND 型串。将位线图示为 Anormal@位线 BL 和 Adummy@位线，所述 Anormal@位线 BL 与电荷陷阱 EEPROM 单元的 Anormal@NAND 型串 101 相关联，所述 Anormal@NAND 型串 101 存储被写入存储器件 100 的和被从存储器件 100 读取的数据。虚拟位线与电荷陷阱 EEPROM 单元的 Adummy@NAND 型串 102 和 102'相关联，这些串在读取操作期间为不可寻址的，且因此对存储器件的 100 数据容量没有贡献。将虚拟位线图示为 DBLa、以及 DBLb 和 DBLc，DBLa 表示与电荷陷阱存储单元的主虚拟 NAND 型串 102 相关联的主虚拟存储位线，而 DBLb 和 DBLc 表示与电荷陷阱存储单元的一对辅助虚拟 NAND 型串 102'相关联的辅助虚拟位线。电荷陷阱存储单元的三个虚拟 NAND 型串 102 和 102'将所示阵列左侧上的第一多个可寻址 NAND 型串 101 与所示阵列右侧上的第二多个可寻址 NAND 型串 101 隔开。

电荷陷阱存储单元的所示阵列与多区块存储器件（例如，包含区块 MB（i-1），MB（i+1），...）中的单元的第一存储区块 MBi 相关联。单元的第一存储区块 MBi 包括多个如 WL0-WL3 所示的字线、串选择线（SSL）和接地选择线（GSL）。将串选择线 SSL 电连接至存储单元的每个串顶部处的各个串选择晶体管（例如，NMOS 晶体管）的栅极，并且将接地选择线 GSL 电连接至存储单元的每个串底部处的各个接地选择晶体管（例如，NMOS 晶体管）的栅极。每个串选择晶体管包括由导电通孔 110 电连接至各个位线 BL 的源/漏区。如图 2A 中标明区域 A 和图 2B 的截面所示，电荷陷阱 EEPROM 单元的主虚拟串 102 中的串选择晶体管的源/漏区 114 由导电通孔 110 电连接至处于一定水平金属化（例如，M1）的虚拟位线，并电连接至处于更高水平金属化（例如，M2）的金属带 111。

图 2B 示出了沿线 2B-2B'截取的图 2A 中存储器件的剖面图。特别地，图 2B 示出了阵列中的串选择晶体管的源/漏区的截面，其中，该阵列与第一存储区块 MBi 相关联。相对于电荷陷阱存储单元的常规 NAND 型串和电荷陷阱存储单元的辅助虚拟 NAND 型串（与虚拟位线 DBLb 和 DBLc 相关联），该源/漏区为各个 NMOS 晶体管的 N 型（例如，N+）半导体区域 113。这些源/漏区 113 由各个槽型隔离区域 112 相互隔开。这些槽型隔离区域 112 在袖珍 P 阱区 14（PPWELL）中被互相间隔开。袖珍 P 阱区 14 与下面延伸在 P 型半导体衬底 10 中的 N+ 阱区（例如，N 型外延层 12）形成整流结。相反，虚拟 NAND 型串中串选择晶体管的源/漏区为与袖珍 P 阱区 14 形成非整流结的 P 型（例如,P+）半导体区域 114。

图 2C 示出了电荷陷阱 EEPROM 单元的主虚拟串 102 的剖面图，其中，该主虚拟串 102 与主虚拟位线 DBLa 和上层金属带 111 相关联。与相邻的存储区块 MBi 和 MB（i+1）相关联的串选择晶体管共享 P+ 源/漏区 114，该 P+源/漏区 114 提供直接电接触到主虚拟位线 DBLa 和金属带 111。此直接电接触使能存储控制电路（未示出）经由金属带 111 和主虚拟位线 DBLa 直接控制袖珍 P 阱区 14 的电压电势。该直接控制防止袖珍 P 阱区 14 经历会改变周围电荷陷阱 EEPROM 单元的阈值电压的局部浮动效应（即，阱电压 Adrift@）。当其它常规串 101 中单元的各行以及区块 MBi 内辅助虚拟串 102'中单元的各行经受编程时，与电荷陷阱 EEPROM 单元的每个主虚拟串 102 一同存在的 P+源/漏区 114 也阻止对主虚拟串 102 中的单元进行编程。P+源/漏区 114 通过防止对应串选择晶体管的常规操作来阻止对主虚拟串 102 中的单元进行编程。

根据本发明的一些实施例，可将辅助虚拟位线 DBLb 和 DBLc 保持为固定电压电平（例如，0 伏特），以使能利用 Adummy@数据对辅助虚拟串 102'中的电荷陷阱 EEPROM 单元进行的编程，其中，所述 Adummy@数据在对相应的区块 MBi 进行页面读取操作时，不能用于读

取。尽管不希望被任何理论所约束，但可确信的是主虚拟串 102 中的电荷陷阱存储单元在重复操作期间不能经受编程，用以将页面数据写入存储区块 MBi 的每一行的，最终将导致在这些单元中的过擦除条件。该过擦除条件会导致单元的电荷陷阱区域中的可迁移正电荷载流子（即，空穴）的堆积，并导致将这些电荷载流子传递至相邻串中。因此，在主虚拟串 102 的相对侧上使用一对辅助虚拟串 102'用作物理缓冲器，以消除和/或限制这些过量的电荷载流子对常规串 101 中的单元的阈值电压的影响。

图 3A 是根据本发明的另一实施例的集成电路存储器件 100'的版图视图。图 3A 的存储器件 100'类似于图 2A 的存储器件 100，但是，图 3A 的主虚拟串 102 包括分段主虚拟位线。此分段位线包括区段 DBLa1 和 DBLa2。由控制电路（未示出）偏置为固定电势的区段 DBLa1 被电连接至袖珍 P 阱区 14 中的 P+半导体区域 114。如图 3A 中的区域 C 所标明，还将每个区段 DBLa1 连接至处于高水平金属化（例如，M2）的对应金属带 111。此外，如图 3B-3C 所示以及图 3A 中的区域 B 所标明，区段 DBLa2 通过多级互连被电连接至共用源极线 CSL 和被偏置至固定电势（例如，Vss）的金属带 143。共用源极线 CSL 为在 N+半导体区域 115 和槽型隔离区域 112 的交错序列上延伸的图案化金属线。基于这些电连接，在擦除存储器件 100'的操作期间，以传递至袖珍 P 阱区 14 的擦除电压（例如，+20 伏特）来驱动位线区段 DBLa1，并且电气地浮动与 CTF 存储单元的常规串相关联的辅助虚拟位线 DBLb 和 DBLc 以及常规位线。

图 4A-4B 示出了根据本发明的又一实施例的集成电路存储器件 100''。该存储器件 100''包括由图 3C 进一步示出的主虚拟位线区段 DBLa1、以及辅助虚拟位线区段 DBLb1 和 DBLc1，其中，所述位线区段被电连接在一起并被以与袖珍 P 阱区 14 和 P+阱区 114 相同的电势对进行偏置。可将这些位线区段 DBLa1、DBLb1 和 DBLc1 图案化为与图 4A 中的区域 145 所示的结合的区段或者可以使用由图 4B 中的区域 146

所示的金属互连、以高水平金属化将它们结合在一起。类似地，可将连接至共用源极CSL的位线区段DBLa2与所示的紧邻位线区段DBLb2和DBLc2结合。基于这些电连接，位线区段DBLa1、DBLb1和DBLc1在存储器件100''的擦除操作期间将以相同的、传递至袖珍P阱区14的擦除电压（例如，+20伏特）来驱动。此外，在此擦除操作期间，电气地浮动与CTF存储单元的常规串相关联的位线。

因此，本发明的这些实施例包括闪速存储器阵列，该闪速存储器阵列中至少具有电荷陷阱单元的第一页面，其中，该电荷陷阱单元的第一页面被电耦合至阵列第一行的第一字线。电荷陷阱存储单元的第一页面包括多个可寻址“常规”存储单元和多个紧邻的不可寻址“虚拟”存储单元，其中，所述可寻址存储单元被配置为用来存储在读取操作期间待检索的数据，所述不可寻址存储单元被配置为用来存储在读取操作期间不可检索的虚拟数据。多个紧邻的不可寻址存储单元包括主虚拟存储单元和至少一个辅助虚拟存储单元，其中，所述主虚拟存储单元在操作期间被阻止对其编程用来将页面数据写入电荷陷阱存储单元的第一页面，并因此变得易于“过擦除”。在该操作期间，使用虚拟数据对此（多个）辅助虚拟存储单元进行编程，用来将页面数据写入电荷陷阱存储单元的第一页面。

图5A示出了根据本发明的另一实施例的集成电路存储卡200。该存储卡200包括存储控制器220和闪速存储器件210，它们可以被配置为用来包含图2A-2D、图3A-3C和图4A-4B中存储器件100-100"的元件。经由存储器接口电路225将闪速存储器件210电耦合至常规设计的双向总线。可将诸如SRAM存储器件221、处理单元(CPU)222以及错误检查和修正电路（ECC）的附加存储器电耦合至双向总线。此外，可使用主机处理器接口电路223来实现闪速存储器和主机处理器（未示出）之间的通信。图5B示出了包括存储子系统310的集成电路存储系统300。存储子系统310包括闪速存储器件311和将闪速存储器件310电耦合至双向总线360的存储控制器312。进一步将存储系统300

图示为包括电耦合至总线360的中央处理器330、随机存取存储器340、用户接口350和调制解调器320。

在附图和说明书中已公布了本发明的典型优选实施例，且尽管使用了特定的术语，但仅以一般性和说明性意义来使用它们而并非出于限制目的，以下的权利要求阐述了本发明的范围。

（现有技术）

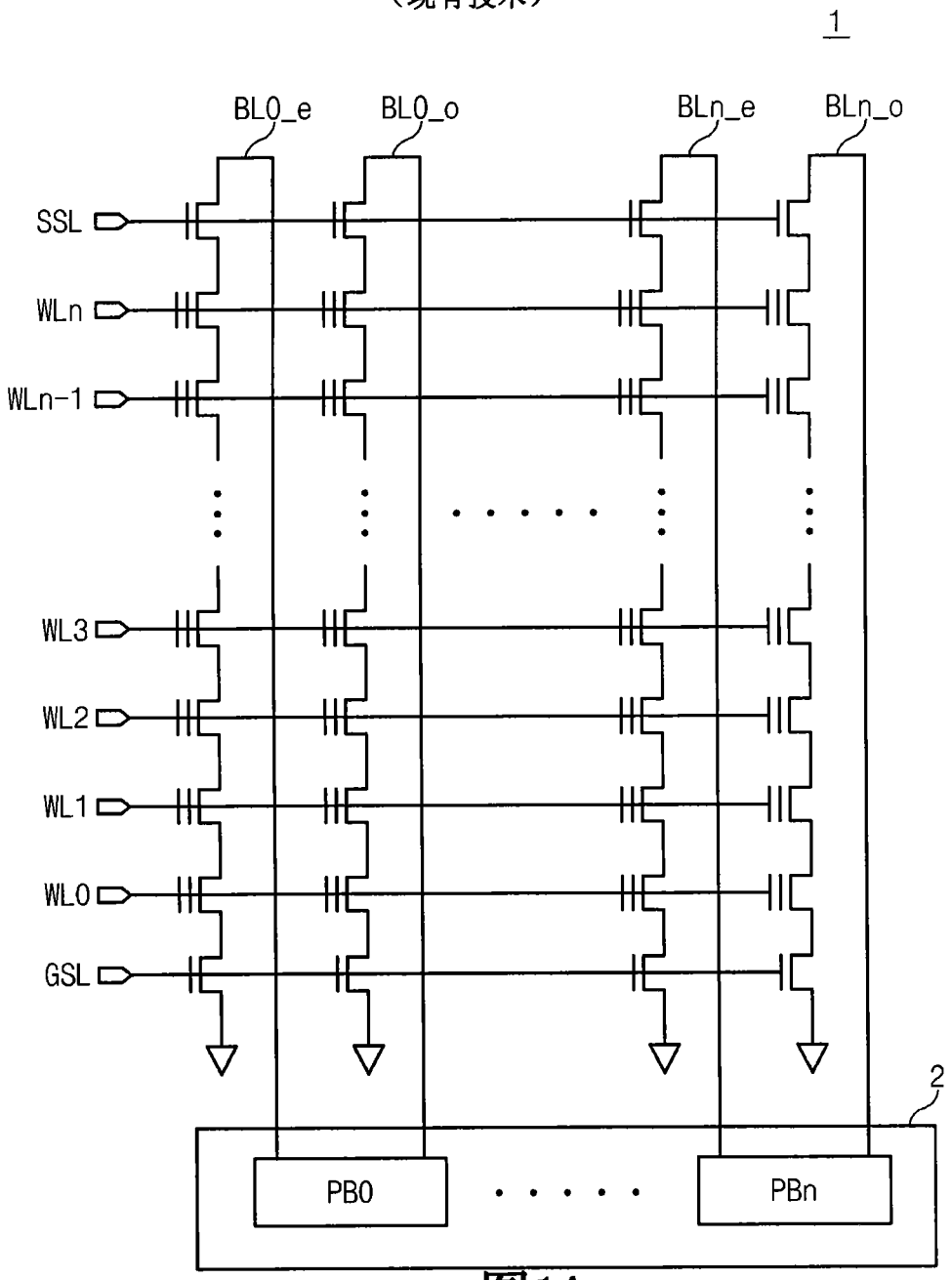


图1A

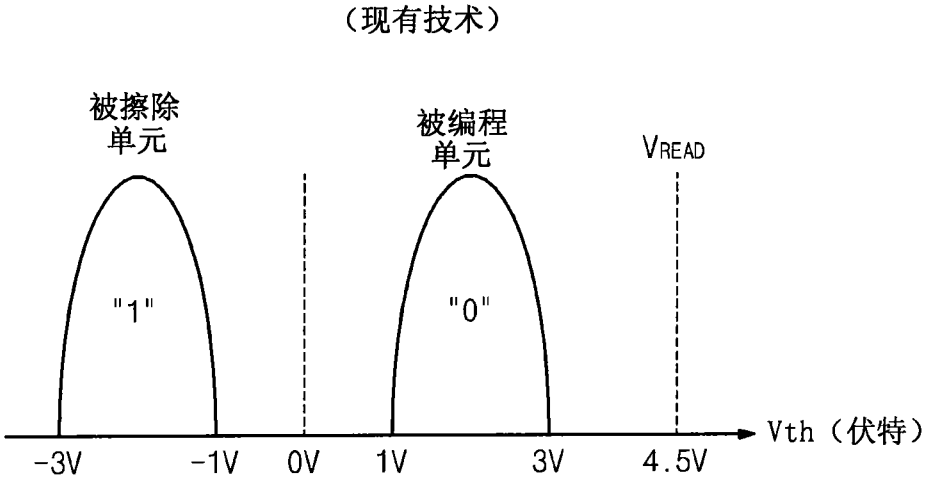


图1B

（现有技术）

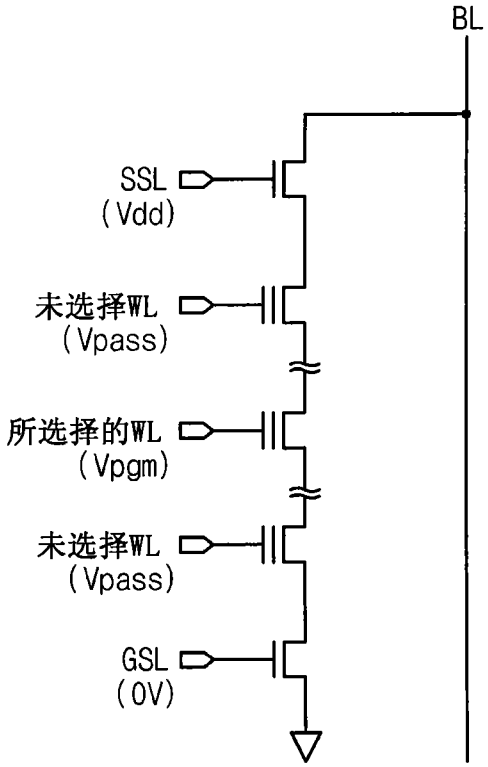


图1C

（现有技术）

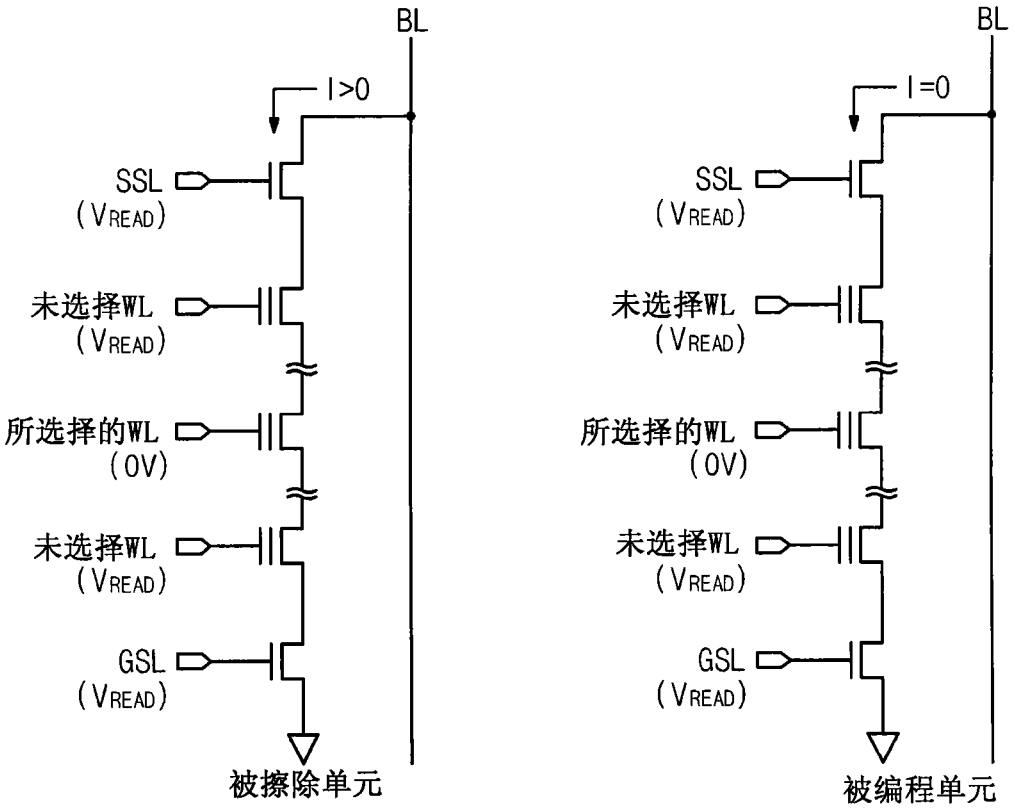

BL
I>0
SSL
(VREAD)
未选择WL
(VREAD)
所选择的WL
(0V)
未选择WL
(VREAD)
GSL
(VREAD)
被擦除单元
BL
I=0
SSL
(VREAD)
未选择WL
(VREAD)
所选择的WL
(0V)
未选择WL
(VREAD)
GSL
(VREAD)
被编程单元

图1D

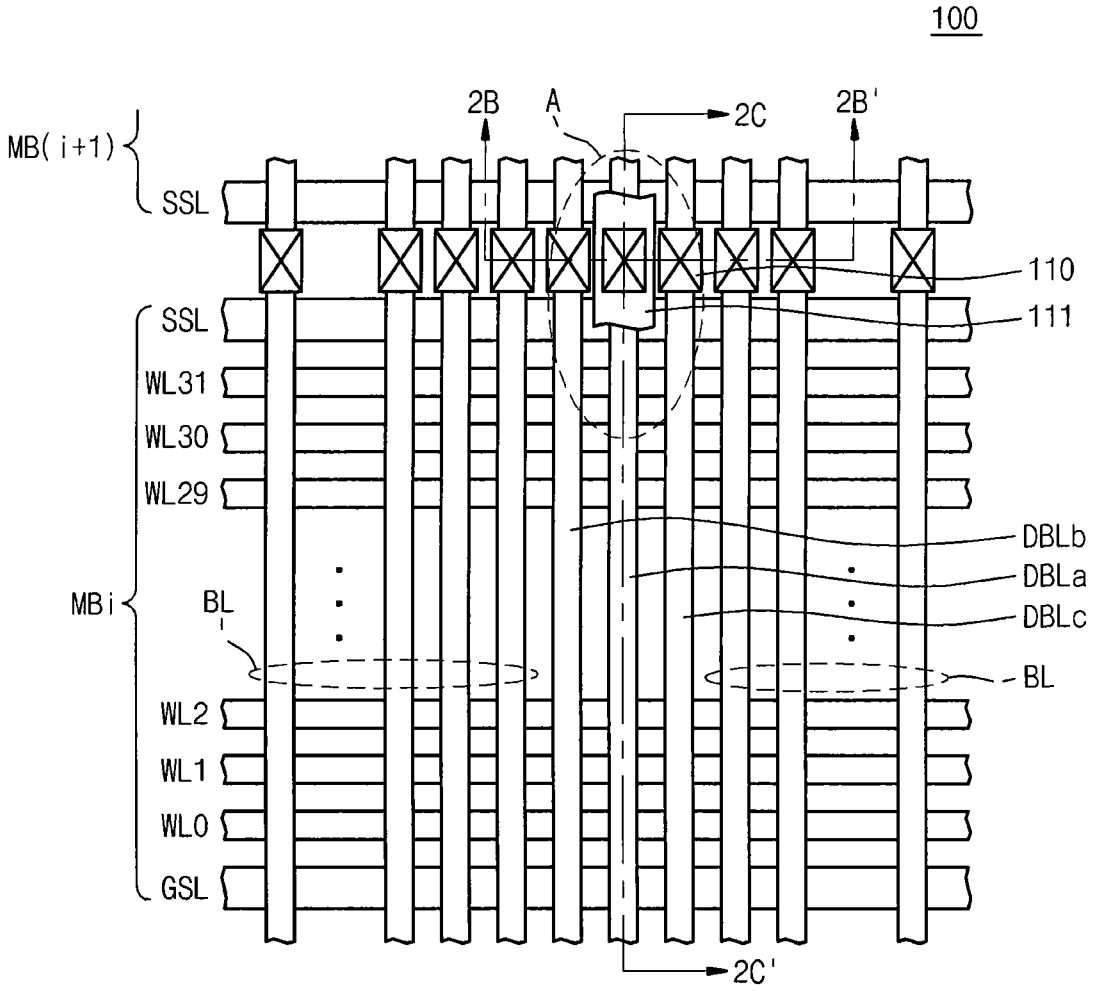

100
2B
A
2C
2B'
MB(i+1)
SSL
110
111
SSL
WL31
WL30
WL29
DBLb
DBLa
DBLc
MBi
BL
BL
WL2
WL1
WL0
GSL
2C'

图2A

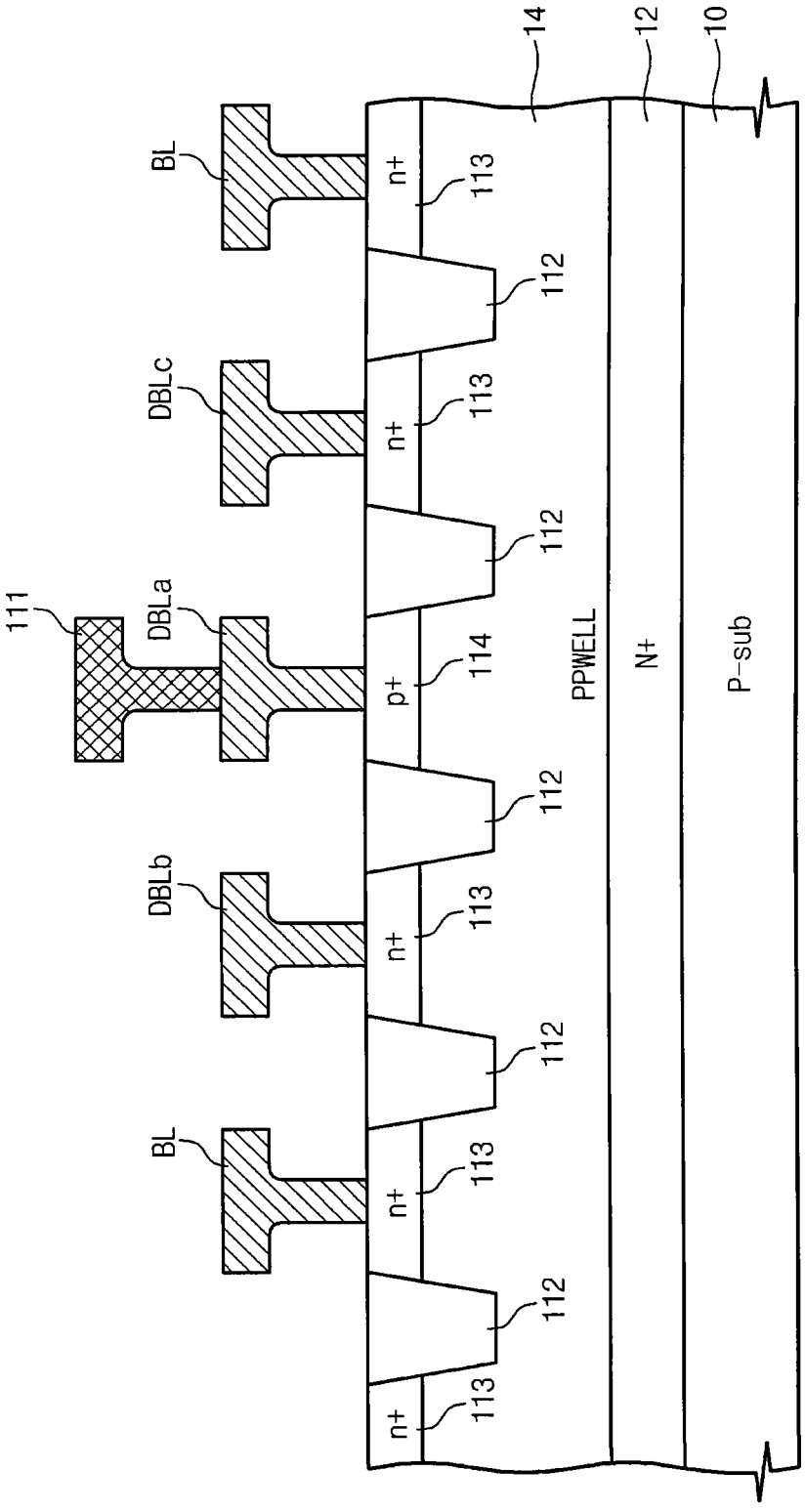


图2B

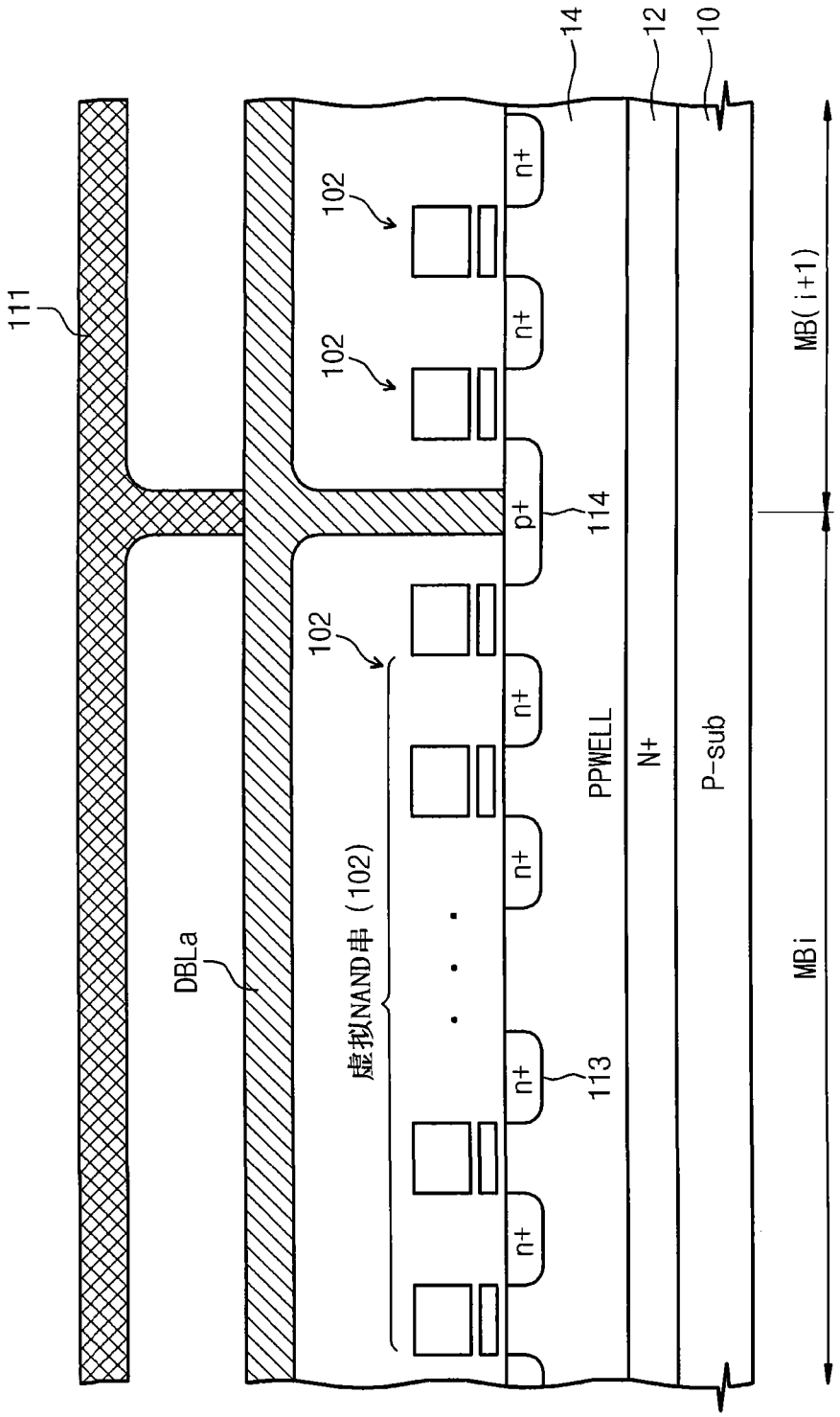

111
DBLa
虚拟NAND串（102）
102
102
102
n+
n+
n+
n+
n+
n+
p+
113
114
PPWELL
N+
P-sub
14
12
10
MB(i+1)
MBi

图2C

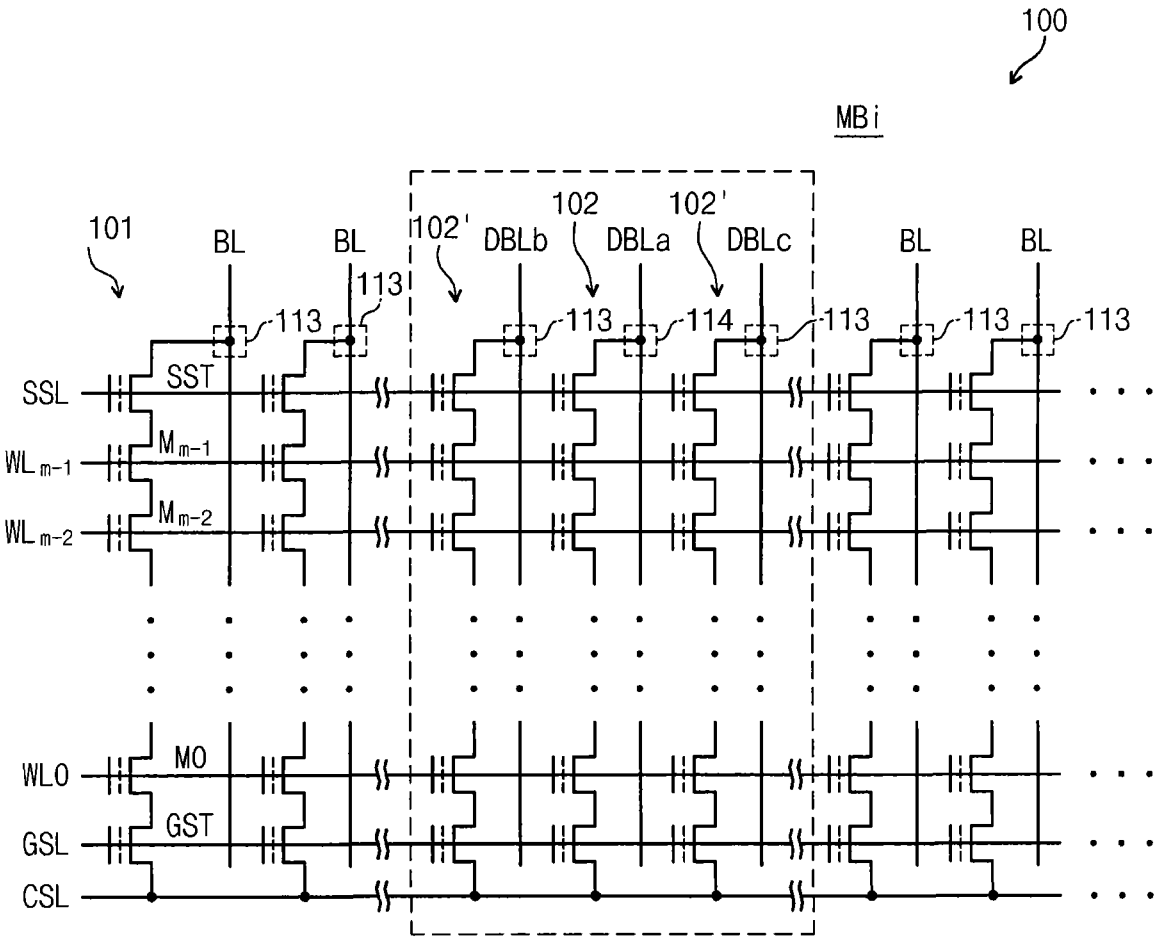

100
MBi
101
BL
BL
102'
DBLb
102
DBLa
102'
DBLc
BL
BL
113
113
113
113
114
113
113
113
SST
SSL
Mm-1
WLm-1
Mm-2
WLm-2
MO
WL0
GST
GSL
CSL

图2D

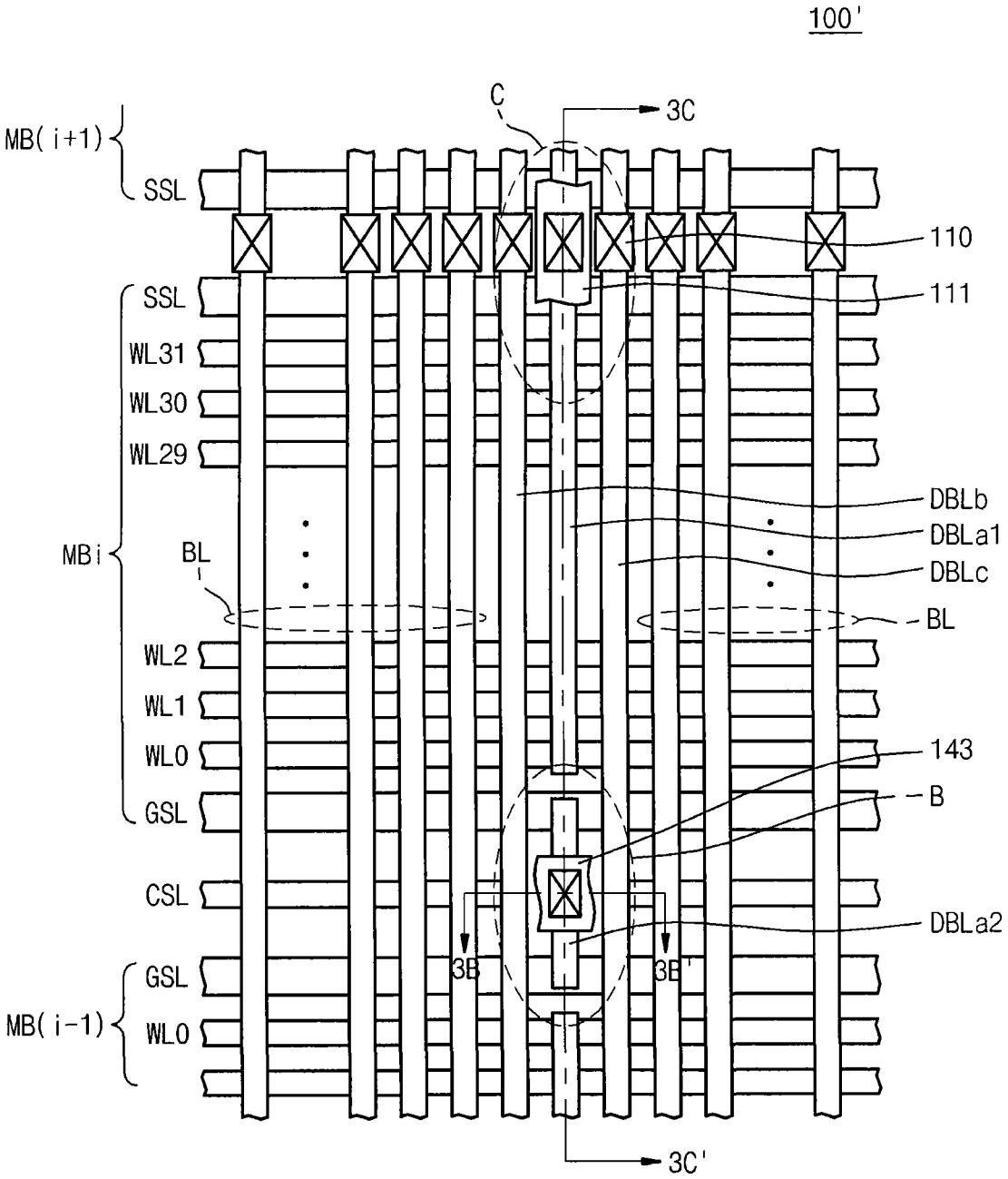

100'
C
3C
MB(i+1)
SSL
110
111
SSL
WL31
WL30
WL29
DBLb
DBLa1
DBLc
MBi
BL
BL
WL2
WL1
WL0
GSL
143
B
CSL
DBLa2
3B
3B'
GSL
MB(i-1)
WL0
3C'

图3A

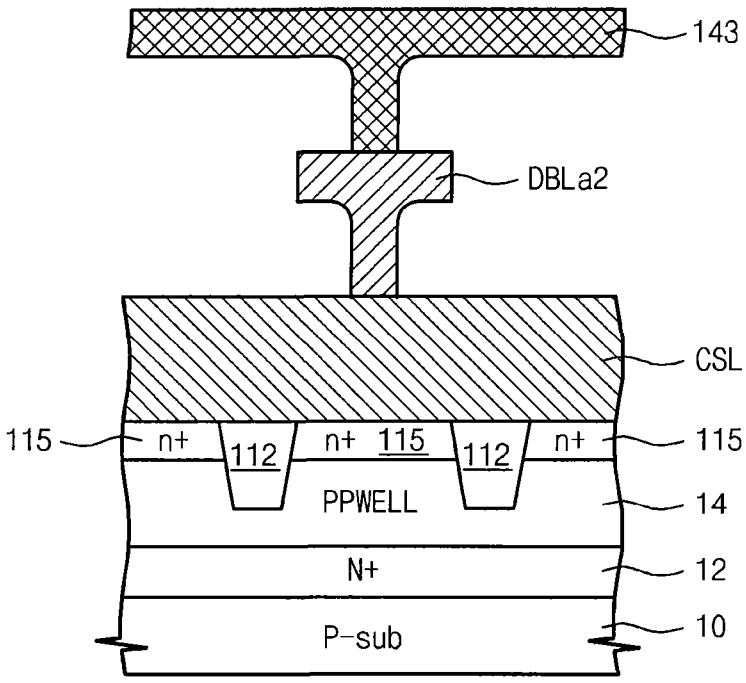


图3B

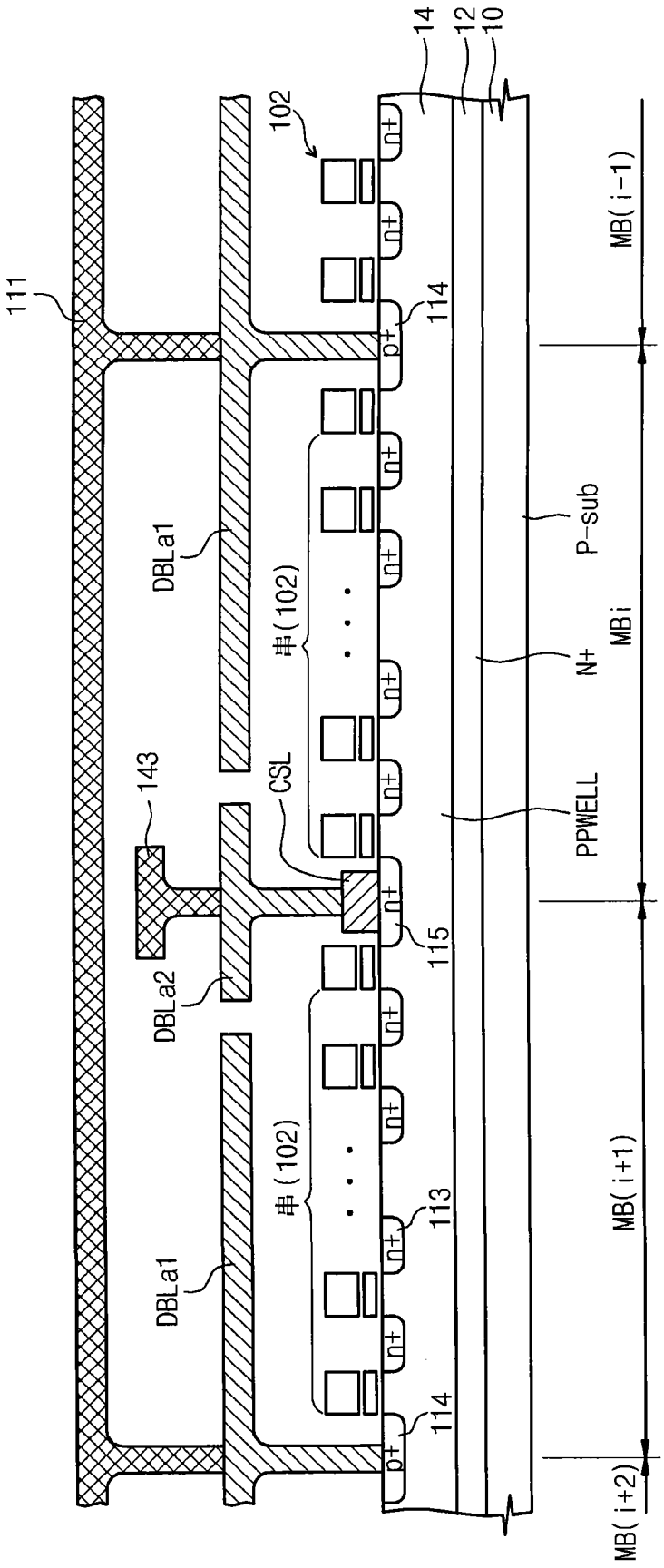

14
12
10
102
111
114
MB(i-1)
DBLa1
串(102)
P-sub
N+
MBi
143
CSL
PPWELL
115
DBLa2
串(102)
113
DBLa1
114
MB(i+1)
MB(i+2)

图3C

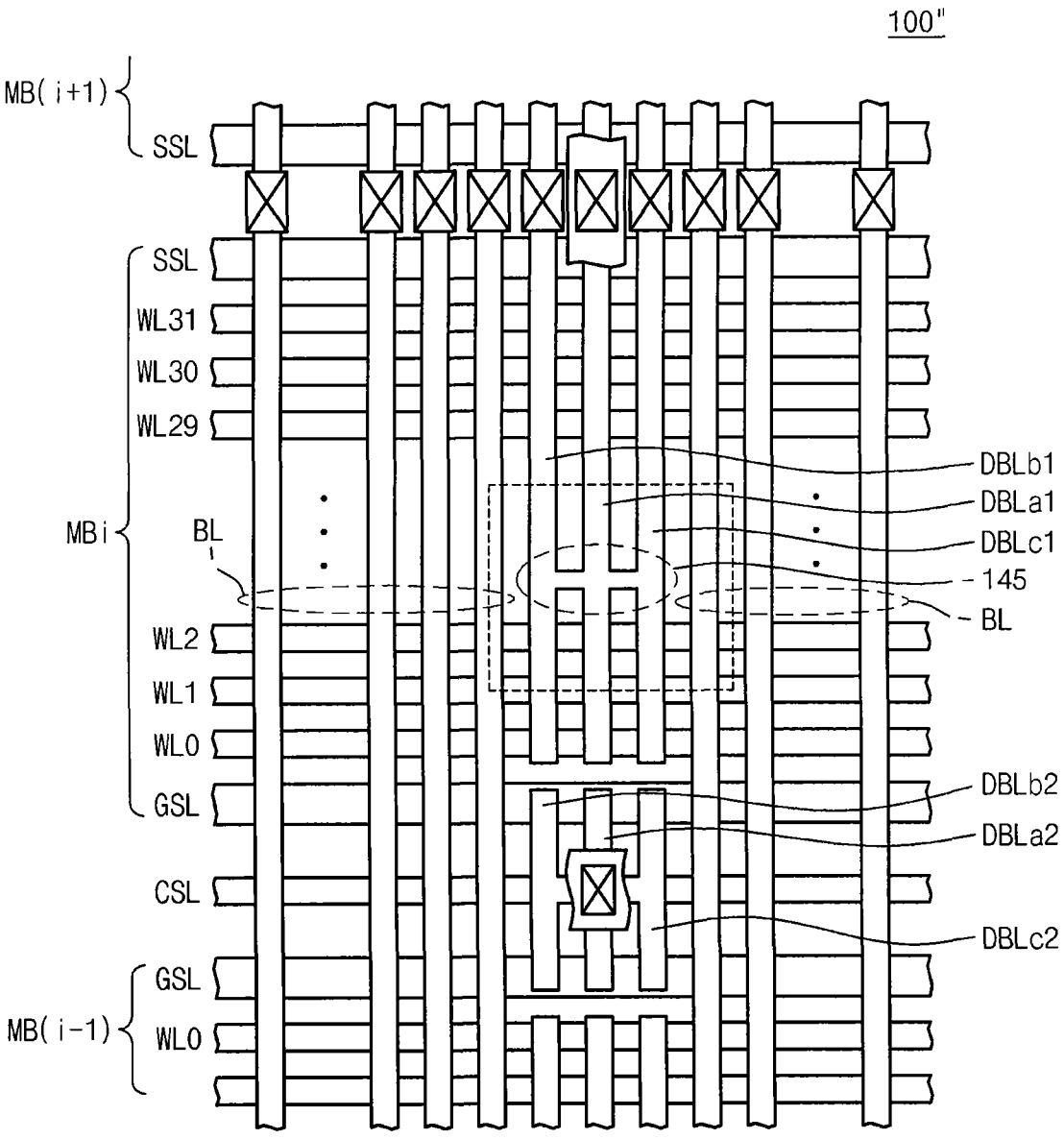

100"
MB(i+1)
SSL
SSL
WL31
WL30
WL29
MBi
BL
WL2
WL1
WL0
GSL
CSL
GSL
MB(i-1)
WL0
DBLb1
DBLa1
DBLc1
145
BL
DBLb2
DBLa2
DBLc2

图4A

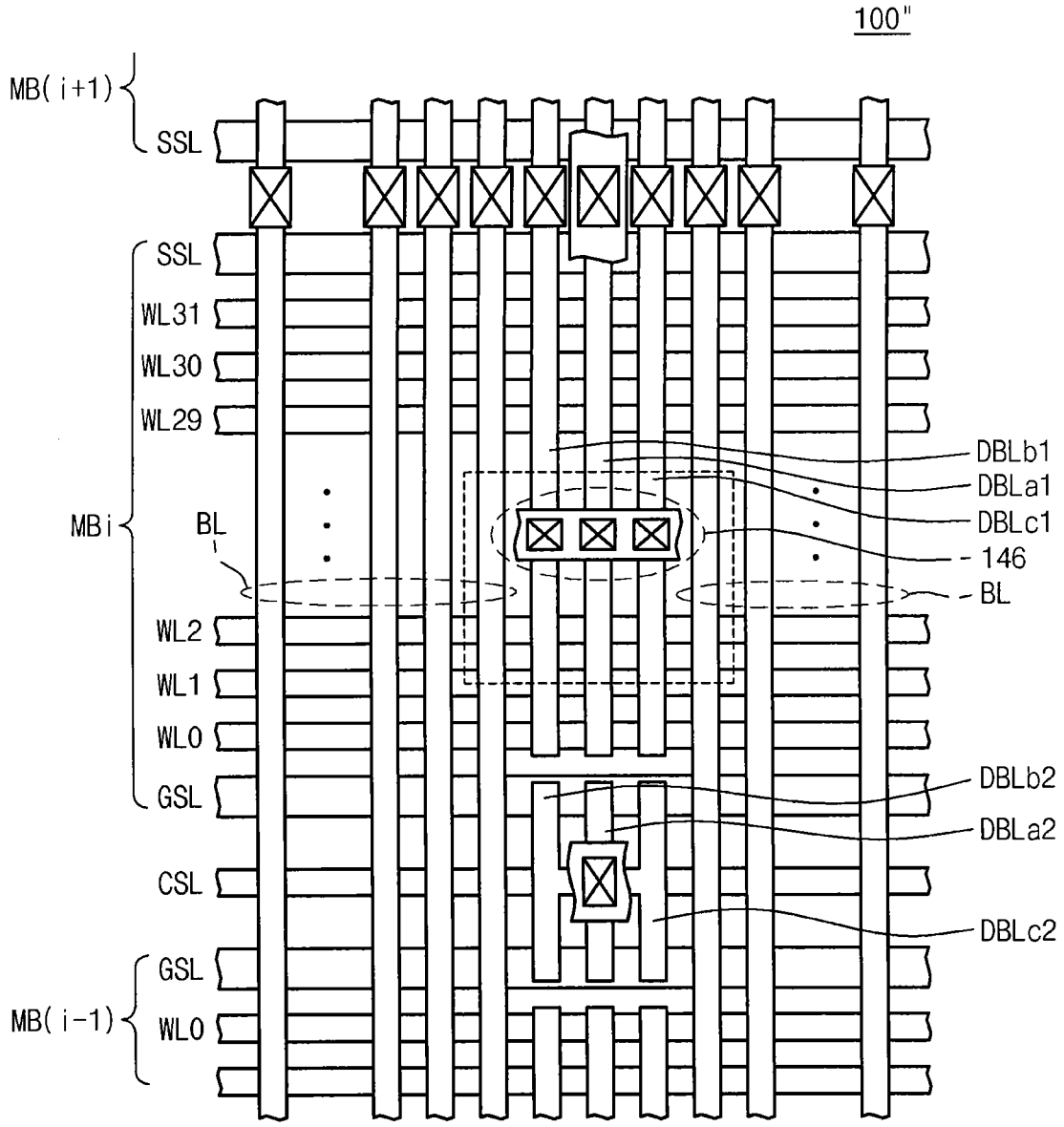

100"
MB(i+1)
SSL
SSL
WL31
WL30
WL29
MBi
BL
WL2
WL1
WL0
GSL
CSL
GSL
MB(i-1)
WL0
DBLb1
DBLa1
DBLc1
146
BL
DBLb2
DBLa2
DBLc2

图4B

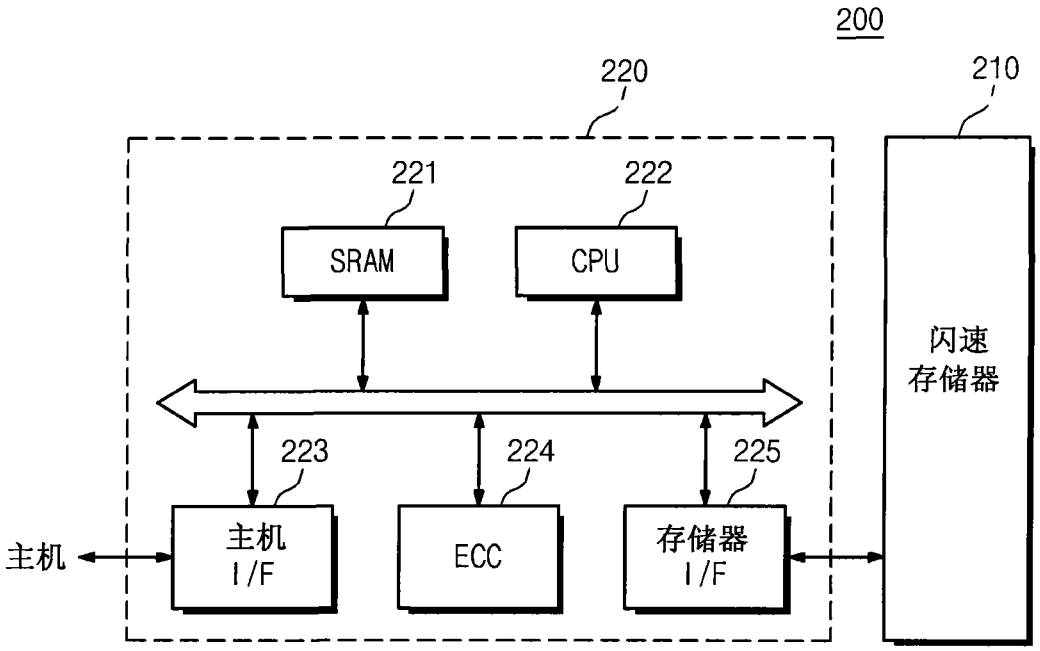

200
220
210
221
222
SRAM
CPU
闪速
存储器
223
224
225
主机
主机
I/F
ECC
存储器
I/F

图5A

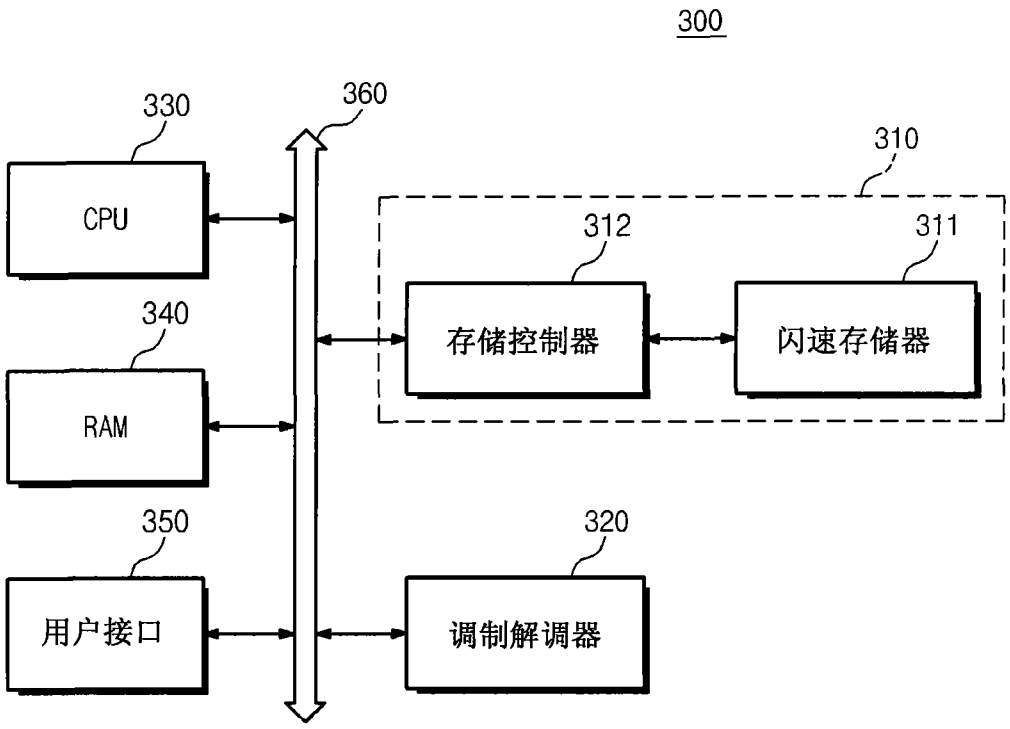

300
330
360
310
CPU
312
311
存储控制器
闪速存储器
340
RAM
350
320
用户接口
调制解调器

图5B