



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201324740 A1

(43)公開日：中華民國 102 (2013) 年 06 月 16 日

(21)申請案號：100144384

(22)申請日：中華民國 100 (2011) 年 12 月 02 日

(51)Int. Cl. : *H01L27/04 (2006.01)*

H01L27/12 (2006.01)

H01L21/77 (2006.01)

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：顏精一 YAN, JING YI (TW)；許智傑 HSU, CHIH CHIEH (TW)；姚曉強 YAO, HSIAO CHIANG (TW)；洪楚茵 HUNG, CHU YIN (TW)

(74)代理人：詹銘文；葉璟宗

申請實體審查：有 申請專利範圍項數：22 項 圖式數：11 共 31 頁

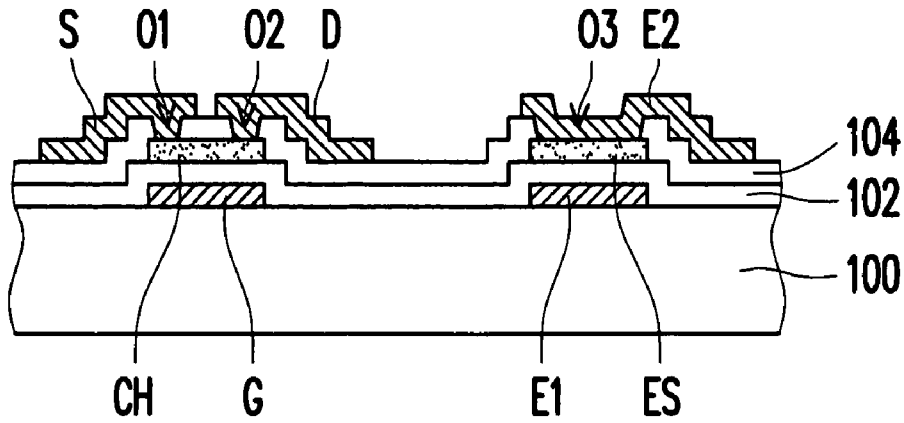
(54)名稱

半導體元件及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

一種半導體元件及其製造方法，所述半導體元件包括閘極、第一電極、第一絕緣層、主動層、蝕刻終止層、第二絕緣層、源極、汲極以及第二電極。第一絕緣層覆蓋閘極以及第一電極。主動層以及蝕刻終止層分別位於閘極以及第一電極上方之第一絕緣層上。第二絕緣層覆蓋主動層以及蝕刻終止層，其中第二絕緣層具有第一開口、第二開口以及第三開口，第一開口及第二開口暴露出主動層，第三開口裸露出蝕刻終止層。源極以及汲極位於第二絕緣層上並且分別透過第一開口及第二開口而與主動層接觸。第二電極位於第二絕緣層上並且透過第三開口而與蝕刻終止層接觸。



- 100 : 基板
- 102 : 第一絕緣層
- 104 : 第二絕緣層
- CH : 主動層
- D : 汲極
- E1 : 第一電極
- E2 : 第二電極
- ES : 蝕刻終止層
- G : 閘極
- M1 : 第一導電層
- M2 : 第二導電層
- S : 源極
- SE : 半導體層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

100 144384

※申請日：

100.12.02

※IPC 分類：

H01L 27/04 (2006.01)

H01L 27/12 (2006.01)

H01L 21/77 (2006.01)

一、發明名稱：

半導體元件及其製造方法 / SEMICONDUCTOR
DEVICE AND MANUFACTURING METHOD THEREOF

二、中文發明摘要：

一種半導體元件及其製造方法，所述半導體元件包括閘極、第一電極、第一絕緣層、主動層、蝕刻終止層、第二絕緣層、源極、汲極以及第二電極。第一絕緣層覆蓋閘極以及第一電極。主動層以及蝕刻終止層分別位於閘極以及第一電極上方之第一絕緣層上。第二絕緣層覆蓋主動層以及蝕刻終止層，其中第二絕緣層具有第一開口、第二開口以及第三開口，第一開口及第二開口暴露出主動層，第三開口裸露出蝕刻終止層。源極以及汲極位於第二絕緣層上並且分別透過第一開口及第二開口而與主動層接觸。第二電極位於第二絕緣層上並且透過第三開口而與蝕刻終止層接觸。

三、英文發明摘要：

A semiconductor device and a manufacturing method thereof are provided. The semiconductor device includes a

gate, a first electrode, a first insulating layer, an active layer, an etching stop layer, a second insulating layer, a source, a drain, and a second electrode. The first insulating layer covers the gate and the first electrode. The active layer and the etching stop layer are respectively disposed on the first insulating layer above the gate and the first electrode. The second insulating layer covers the active layer and the etching stop layer and has a first opening, a second opening and a third opening. The first opening and the second opening expose the active layer and the third opening exposes the etching stop layer. The source and the drain are disposed on the second insulating layer and contact with the active layer through the first opening and the second opening separately. The second electrode is disposed on the second insulating layer and contact with the etching stop layer through the third opening.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1D

(二) 本代表圖之元件符號簡單說明：

100：基板

102：第一絕緣層

104：第二絕緣層

M1：第一導電層

gate, a first electrode, a first insulating layer, an active layer, an etching stop layer, a second insulating layer, a source, a drain, and a second electrode. The first insulating layer covers the gate and the first electrode. The active layer and the etching stop layer are respectively disposed on the first insulating layer above the gate and the first electrode. The second insulating layer covers the active layer and the etching stop layer and has a first opening, a second opening and a third opening. The first opening and the second opening expose the active layer and the third opening exposes the etching stop layer. The source and the drain are disposed on the second insulating layer and contact with the active layer through the first opening and the second opening separately. The second electrode is disposed on the second insulating layer and contact with the etching stop layer through the third opening.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1D

(二) 本代表圖之元件符號簡單說明：

100：基板

102：第一絕緣層

104：第二絕緣層

M1：第一導電層

G：閘極
E1：第一電極
M2：第二導電層
E2：第二電極
S：源極
D：汲極
SE：半導體層
CH：主動層
ES：蝕刻終止層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本揭露是有關於一種半導體元件及其製造方法，且特別是有關於一種包含薄膜電晶體及電容器之半導體元件及其製造方法。

【先前技術】

隨著現代資訊科技的進步，各種不同規格的顯示器已被廣泛地應用在消費者電子產品的螢幕之中，例如手機、筆記型電腦、數位相機以及個人數位助理(PDAs)等。在這些顯示器中，由於液晶顯示器(liquid crystal displays, LCD)及有機電致發光顯示器(Organic Electroluminescence Display, OLED 或稱為 OLED)具有輕薄以及消耗功率低的優點，因此在市場中成為主流商品。LCD 與 OLED 的製程包括將半導體元件陣列排列於基板上，而半導體元件包含薄膜電晶體(thin film transistors, TFTs)。

在習知的薄膜電晶體陣列基板上，多採用非晶矽(*a*-Si)薄膜電晶體或低溫多晶矽薄膜電晶體作為各個子畫素的切換元件。近年來，已有研究指出氧化物半導體(oxide semiconductor)薄膜電晶體相較於非晶矽薄膜電晶體，具有較高的載子移動率(mobility)，而氧化物半導體薄膜電晶體相較於低溫多晶矽薄膜電晶體，則具有較佳的臨界電壓(threshold voltage, V_{th})均勻性。因此，氧化物半導體薄膜電晶體有潛力成為下一代平面顯示器之關鍵元件。

然而，薄膜電晶體之主動層若受到後續製程的影響將

會產生電性飄移而使得元件的電性可靠度不足，特別是氧化物半導體薄膜電晶體更是明顯。因此如何改善薄膜電晶體之主動層之穩定性為目前積極研究的重點之一。

【發明內容】

本發明提出一種半導體元件，所述半導體元件包括基板、閘極、第一電極、第一絕緣層、主動層、蝕刻終止層、第二絕緣層、源極、汲極以及第二電極。第一絕緣層覆蓋閘極以及第一電極。主動層以及蝕刻終止層分別位於閘極以及第一電極上方之第一絕緣層上。第二絕緣層覆蓋主動層以及蝕刻終止層，其中第二絕緣層具有第一開口、第二開口以及第三開口，第一開口及第二開口暴露出主動層，第三開口裸露出蝕刻終止層。源極以及汲極位於第二絕緣層上並且分別透過第一開口及第二開口而與主動層接觸。第二電極位於第二絕緣層上並且透過第三開口而與蝕刻終止層接觸。

本發明另提出一種半導體元件的製造方法，此方法包括在基板上形成第一導電層，其包括閘極以及第一電極。形成第一絕緣層以覆蓋第一導電層。在第一絕緣層上形成半導體層，其包括主動層以及蝕刻終止層。在半導體層上形成第二絕緣層。圖案化第二絕緣層以形成第一開口、第二開口以及第三開口，第一開口及第二開口暴露出主動層，且第三開口裸露出蝕刻終止層。在第二絕緣層上形成第二導電層，其包括源極、汲極以及第二電極，源極以及汲極透過第一開口以及第二開口而分別與主動層接觸，第

二電極透過第三開口而與蝕刻終止層接觸。

為讓本揭露之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

本揭露提供一種半導體元件及其製造方法，藉由半導體材料與絕緣材料之間的蝕刻選擇比之特性，以保護半導體層之主動層不受到蝕刻程序的影響，以使主動層保有原來的電特性；另外，藉由半導體層之蝕刻終止層的設置，可以有效地控制電容器的品質。基於上述，其可以改善薄膜電晶體之主動層的穩定性。

圖 1A 是圖 1D 是根據本揭露之一實施例之半導體元件的製造流程剖面示意圖。請參照圖 1A，首先提供基板 100。基板 100 主要是用來承載元件及膜層之用。基板 100 之材質可為玻璃、石英、有機聚合物、或是不透光/反射材料等等。

接著，在基板 100 上形成第一導電層 M1，其包括閘極 G 以及第一電極 E1。基於導電性的考量，第一導電層 M1 一般是使用金屬材料。然，本揭露不限於此，根據其他實施例，第一導電層 M1 也可以使用其他導電材料，例如：合金、金屬材料的氮化物、金屬材料的氧化物、或是金屬材料與其它導材料的堆疊層。形成第一導電層 M1 的方法例如是先利用沈積程序形成一層導電層，之後再以微影蝕刻程圖案化，以定義出閘極 G 以及第一電極 E1，但本揭露不以此為限。上述形成第一導電層 M1 之程序又可

稱為第一道光罩製程。

請參照圖 1B，在基板 100 上形成第一絕緣層 102，以覆蓋第一導電層 M1(閘極 G 以及第一電極 E1)。第一絕緣層 102 的材料包含無機材料(例如：氧化矽、氮化矽、氮氧化矽、有機材料或上述之組合)。

接著，在第一絕緣層 102 上形成半導體層 SE，其包括主動層 CH 以及蝕刻終止層 ES。半導體層 SE 包括金屬氧化物半導體材料、非晶矽、多晶矽或是微晶矽，較佳的是半導體層 SE 是採用金屬氧化物半導體材料。上述之金屬氧化物半導體材料包括氧化銦鎵鋅 (Indium-Gallium-Zinc Oxide, IGZO)、氧化鋅(ZnO) 氧化錫(SnO)、氧化銦鋅 (Indium-Zinc Oxide, IZO)、氧化鎵鋅 (Gallium-Zinc Oxide, GZO)、氧化鋅錫 (Zinc-Tin Oxide, ZTO)、氧化銦錫 (Indium-Tin Oxide, ITO)或是上述材料之組合或疊層。形成半導體層 SE 的方法例如是先利用沈積程序形成一層半導體材料，之後再以微影蝕刻程圖案化，以在閘極 G 上方之第一絕緣層 102 上定義出主動層 CH 並且在第一電極 E1 上方之第一絕緣層 102 上定義出蝕刻終止層 ES，但本揭露不以此為限。上述形成半導體層 SE 之程序又可稱為第二道光罩製程。

請參照圖 1C，在基板 100 上形成第二絕緣層 104，以覆蓋半導體層 SE。第二絕緣層 104 的材料包含無機材料(例如：氧化矽、氮化矽、氮氧化矽、有機材料或上述之組合。

之後，圖案化第二絕緣層 104 以形成第一開口 O1、

第二開口 O2 以及第三開口 O3，第一開口 O1 及第二開口 O2 暴露出主動層 CH，且第三開口 O3 裸露出蝕刻終止層 ES。更詳細來說，第一開口 O1 及第二開口 O2 是暴露出主動層 CH 之兩邊緣區域，且位於第一開口 O1 及第二開口 O2 之間的主動層 CH(主動層 CH 之中間區域)仍有第二絕緣層 104 保護，因此位於第一開口 O1 及第二開口 O2 之間的第二絕緣層 104 又可稱為通道保護層。另外，第三開口 O3 則是裸露出大部分的蝕刻終止層 ES。上述圖案化第二絕緣層 104 之方法例如是採用微影以及蝕刻程序，但本揭露不以此為限。上述圖案化第二絕緣層 104 之程序又可稱為第三道光罩製程。

值得一提的是，在上述圖案化第二絕緣層 104(第三道光罩製程)之過程中，透過第二絕緣層 104 以及半導體層 SE 之蝕刻選擇比的調整，即可以使得圖案化第二絕緣層 104 之蝕刻程序能夠精確地終止於半導體層 SE。

請參照圖 1D，在第二絕緣層 104 上形成第二導電層 M2，其包括源極 S、汲極 D 以及第二電極 E2，源極 S 以及汲極 D 透過第一開口 O1 以及第二開口 O2 而分別與主動層 CH 接觸，第二電極 E2 透過第三開口 O3 而與蝕刻終止層 ES 接觸。基於導電性的考量，第二導電層 M2 一般是使用金屬材料。然，本揭露不限於此，根據其他實施例，第二導電層 M2 也可以使用其他導電材料，例如：合金、金屬材料的氮化物、金屬材料的氧化物、或是金屬材料與其它導電材料的堆疊層。形成第二導電層 M2 的方法例如是

先利用沈積程序形成一層導電層，之後再以微影蝕刻程圖案化，以於主動層 CH 上方定義出源極 S 以及汲極 D 並且於蝕刻終止層 ES 上定義出第二電極 E2，但本揭露不以此為限。上述形成第二導電層 M2 之程序又可稱為第四道光罩製程。

承上所述，上述所形成的閘極 G、主動層 CH、源極 S 以及汲極 D 構成薄膜電晶體。上述所形成的第一電極 E1 以及第二電極 E2 以構成電容器。值得一提的是，與第二電極 E2 接觸之蝕刻終止層 ES 因屬於半導體材料，因此當元件於運作時，蝕刻終止層 ES 可呈現出導體性質，以作為第二電極 E2 的一部份。因此，本實施例之電容器是由第一電極 E1 作為下電極，以第二電極 E2 以及蝕刻終止層 ES 作為上電極，並且以上電極與下電極之間的第一絕緣層 102 作為電容介電層。

以上述製造方法所形成的半導體元件如圖 1D 所示，其包括閘極 G、第一電極 E1、第一絕緣層 102、主動層 CH、蝕刻終止層 ES、第二絕緣層 104、源極 S、汲極 D 以及第二電極 E2。第一絕緣層 102 覆蓋閘極 G 以及第一電極 E1。主動層 CH 以及蝕刻終止層 ES 分別位於閘極 G 以及第一電極 E1 上方之第一絕緣層 102 上。第二絕緣層 104 覆蓋主動層 CH 以及蝕刻終止層 ES，其中第二絕緣層 104 具有第一開口 O1、第二開口 O2 以及第三開口 O3，第一開口 O1 及第二開口 O2 暴露出主動層 CH，第三開口 O3 裸露出蝕刻終止層 ES。源極 S 以及汲極 D 位於第二絕緣層 104

上並且透過第一開口 O1 及第二開口 O2 而分別與主動層 CH 接觸。第二電極 E2 位於第二絕緣層 104 上並且透過第三開口 O3 而與蝕刻終止層 ES 接觸。

圖 2 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 2，本實施例與上述圖 1D 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 2 之實施例中，薄膜電晶體之汲極 D 更進一步透過接觸窗開口 C1 而與電容器之第一電極 E1 電性連接。換言之，薄膜電晶體之汲極 D 與電容器之第一電極 E1 等電位。電容器之第二電極 E2 則電性連接至另一電壓(例如共用電壓 Vcom)，那麼即可在第一電極 E1 與第二電極 E2 之間形成電容。

圖 3 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 3，本實施例與上述圖 1D 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 2 之實施例中，薄膜電晶體之源極 S 透過接觸窗開口 C2 而與其他元件 DE 電性連接。所述元件 DE 例如是另一薄膜電晶體或是其他的開關元件等等。一般來說，有機電致發光顯示器之畫素結構是由至少兩個薄膜電晶體以及至少一個電容器組成。若圖 1D 之薄膜電晶體以及電容器是應用於有機電致發光顯示器之畫素結構中，那麼薄膜電晶體之源極 S 通常會與其他元件 DE(例如是另一薄膜電晶體)電性連接。

圖 4 是根據本揭露之一實施例之半導體元件的剖面示

意圖。請參照圖 4，本實施例與上述圖 1D 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 4 之實施例中，第二絕緣層 104 之第一開口 O1 及第二開口 O2 除了暴露出主動層 CH 之兩邊緣區域之外，更進一步裸露出主動層 CH 之兩側壁 W1、W2，且源極 S 以及汲極 D 透過第一開口 O1 及第二開口 O2 而分別與主動層 CH 之裸露出的兩側壁 W1、W2 接觸。在此，因第一開口 O1 及第二開口 O2 除了暴露出主動層 CH 之兩邊緣區域之外，更進一步裸露出主動層 CH 之兩側壁 W1、W2，因此源極 S 以及汲極 D 與主動層 CH 之接觸面積較大。

圖 5 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 5，本實施例與上述圖 1D 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 5 之實施例中，在主動層 CH 以及蝕刻終止層 ES 上更包括設置有一層保護輔助層 A，且第一開口 O1、第二開口 O2 以及第三開口 O3 貫穿保護輔助層 A。保護輔助層 A 又可稱為通道保護輔助層，其主要是用來輔助保護位於第一開口 O1 以及第二開口 O2 之間的主動層 CH。保護輔助層 A 的材料例如是無機材料(例如氧化矽、氮化矽或是氮氧化矽)或有機材料。根據本實施例，保護輔助層 A 是與半導體層 SE 是以同一道光罩(第二道光罩製程)形成。換言之，在定義出半導體層 SE 之前，先依序沈積半導體材料以及輔助材料之後，再以微影以及蝕刻程序同時圖案化半導體材料以及輔助材料即可同時定義出半導體層 SE 以及保護

輔助層 A。之後，當於進行圖案化第二絕緣層 104(第三道光罩製程)時，藉由蝕刻參數之調整，即可同時對第二絕緣層 104 以及蝕刻保護輔助層 A 以形成第一開口 O1、第二開口 O2 以及第三開口 O3，且所述蝕刻製程可精確地終止於半導體層 SE。

圖 6 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 6，本實施例與上述圖 1D 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 6 之實施例中，大部分的第二絕緣層 104 都被移除，而只留下主動層 CH 上方之第二絕緣層 104 以做為通道保護層。由於大部分的第二絕緣層 104 都被移除，因此源極 S 以及汲極 D 與主動層 CH 之邊緣區域接觸之外也與主動層 CH 之兩側壁接觸。另外第二電極 E2 也直接與蝕刻終止層 ES 接觸。

圖 7 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 7，本實施例與上述圖 1D 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 7 之實施例中，在形成第二導電層 M2 之後，更在第二絕緣層 104 上形成第三絕緣層 106，以覆蓋源極 S、汲極 D 以及第二電極 E2。第三絕緣層 106 的材料包含無機材料(例如：氧化矽、氮化矽、氮氧化矽、有機材料或上述之組合。接著，於主動層 CH 上方之第三絕緣層 106 上形成頂閘極 G'。換言之，本實施例之薄膜電晶體為雙閘極薄膜電晶體。

根據本實施例，在形成頂閘極 G' 之前，更先在第三絕

緣層 106、第二絕緣層 104 以及第一絕緣層 102 中形成接觸窗開口 C3，因此後續所形成的頂閘極 G'便可透過接觸窗開口 C3 而與閘極 G 電性連接。根據本實施例，頂閘極 G'之材質可以與閘極 G 之材質相同或是不相同，其可為金屬、金屬合金、金屬氮化物、金屬氧化物或是上述材質之組合。因本實施例之頂閘極 G'透過接觸窗開口 C3 而與閘極 G 電性連接，因此頂閘極 G'與閘極 G 具有相同的電壓訊號。

圖 8 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 8，本實施例與上述圖 7 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 8 之實施例中，頂閘極 G'不是與閘極 G 電性連接，而是與另一導線 L 電性連接。換言之，頂閘極 G'是透過接觸窗開口 C3 而與另一導線 L 電性連接。此導線 L 可電性連接到對應的外部電路，因此閘極 G 與頂閘極 G'是分別由對應的導線控制。特別是，在本實施例中，導線 L 與閘極 G 都是屬於同一膜層，換言之，導線 L 是第一導電層 M1 的一部份。因此導線 L 是在第一道光罩製程所定義出。

圖 9 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 9，本實施例與上述圖 8 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 9 之實施例中，頂閘極 G'是透過接觸窗開口 C3 而與導線 L 電性連接。特別是，在本實施例中，導線 L 與源極 S 以及汲極 D 屬於同一膜層，換言之，導線 L 是第二導電層

M2 的一部份。因此導線 L 是在第四道光罩製程所定義出。在此，因導線 L 可電性連接到對應的外部電路，因此閘極 G 與頂閘極 G' 是各自由對應的導線控制。

圖 10 是根據本揭露之一實施例之半導體元件的剖面示意圖。請參照圖 10，本實施例與上述圖 9 之實施例相似，因此相同的元件以相同的符號表示，且不再重複說明。在圖 9 之實施例中，在第三絕緣層 106 上更包括設置第三電極 E3，且第三電極 E3 位於第二電極 E2 的上方。在此，所述第三電極 E3 透過接觸窗開口 C5 與汲極 D 電性連接，且汲極 D 又透過接觸窗開口 C4 與第一電極 E1 電性連接，因此第三電極 E3 透過接觸窗開口 C5、C4 即可與第一電極 E1 電性連接，但本揭露不易此為限。換言之，在其他的實施例中，第三電極 E3 亦可透過其他的接觸窗結構來與第一電極 E1 電性連接。

承上所述，本實施例之電容器是由第一電極 E1、第二電極 E2 以及第三電極 E3 所構成，其中第一電極 E1 以及第二電極 E2 之間所形成的電容與第二電極 E2 以及第三電極 E3 之間所形成的電容並聯。如此一來，在維持一定的電容器之電容值的前提下可以進一步縮小電容器所佔用的面積。

圖 11A 以及圖 11B 是根據本揭露一實施例之半導體元件的製造流程剖面示意圖。本實施例之製造方法首先進行如圖 1A 至圖 1C 所示之步驟以於第二絕緣層 104 中形成第一開口 O1、第二開口 O2 以及第三開口 O3 之後(第三道光

罩製程之後)，接著請參考圖 11A，進行電漿處理程序 200。所述電漿處理程序 200 例如是氬氣電漿處理程序、氧氣電漿處理程序或是氮氣電漿處理程序。此時，因第二絕緣層 104 具有第一開口 O1、第二開口 O2 以及第三開口 O3，因此當於進行上述之電漿處理程序 200 之後，被第一開口 O1、第二開口 O2 以及第三開口 O3 所暴露出的主動層 CH 以及蝕刻終止層 ES 之表面會受到所述電漿處理程序 200 之處理，而使得該處的電阻值降低。而主動層 CH 以及蝕刻終止層 ES 之電阻值降低有助於源極 S 及汲極 D 與主動層 CH 之間的電性接觸，且有助於第二電極 E2 與蝕刻終止層 ES 之間的電性接觸。

之後，請參照圖 11B，在第二絕緣層 104 上形成第二導電層 M2，其包括源極 S、汲極 D 以及第二電極 E2，源極 S 以及汲極 D 透過第一開口 O1 以及第二開口 O2 而與主動層 CH 接觸，第二電極 E2 透過第三開口 O3 而與蝕刻終止層 ES 接觸。此步驟與先前圖 1D 所述之相同或相似，因此不再重複說明。

以下表一列出半導體材料(以 IGZO 為例)被施予電漿處理程序之前以及之後的電阻值。由表一可知，當半導體材料經電漿處理程序處理之後，其電阻值確實可以降低。因此可以驗證上述實施例於第三道光罩製程之後進行電漿處理程序 200 確實可以降低主動層 CH 以及蝕刻終止層 ES 之電阻值，以有助於源極 S 及汲極 D 與主動層 CH 之間的電性接觸，且有助於第二電極 E2 與蝕刻終止層 ES 之間的

電性接觸。

表一

電漿氣體(電源)	電漿處理前的電阻值 (Ω/\square)	電漿處理後的電阻值 (Ω/\square)
氫氣(1kW)	6.1E5	9.1E2
氫氣(0.8kW)		6.6E3
氧氣(1kW)		8.3E2
氧氣(0.8kW)		5.4E3
氮氣	9E4	4.3E3

綜上所述，本揭露藉由半導體層與絕緣層之間的蝕刻選擇比之特性，可以保護半導體層之主動層不受到蝕刻程序的影響，以使主動層保有原來的電特性。另外，藉由半導體層之蝕刻終止層的設置，可以有效地控制電容器的品質。

上述各實施例之半導體元件可以應用於顯示器(例如是液晶顯示器、有機電致發光顯示器、電泳顯示器、電濕潤顯示器、或是其他的顯示器)、驅動裝置(例如是源極驅動器、閘極驅動器或是其他的驅動裝置)或是其他需要薄膜電晶體以及電容器的電子裝置中。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本

發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 是圖 1D 是根據本揭露之一實施例之半導體元件的製造流程剖面示意圖。

圖 2 至圖 10 是根據本揭露之數個實施例之半導體元件的剖面示意圖。

圖 11A 以及圖 11B 是根據本揭露之一實施例之半導體元件的製造流程剖面示意圖。

【主要元件符號說明】

- 100：基板
- 102：第一絕緣層
- 104：第二絕緣層
- 106：第三絕緣層
- 200：電漿處理程序
- G：閘極
- E1：第一電極
- E2：第二電極
- CH：主動層
- ES：蝕刻終止層
- S：源極
- D：汲極
- M1：第一導電層
- M2：第二導電層
- SE：半導體層

C1~C5：接觸窗開口

O1~O3：開口

W1、W2：側壁

A：保護輔助層

G'：頂閘極

L：導線

E3：第三電極

七、申請專利範圍：

1. 一種半導體元件，包括：

一閘極以及一第一電極，位於一基板上；

一第一絕緣層，覆蓋該閘極以及該第一電極；

一主動層以及一蝕刻終止層，分別位於該閘極以及該第一電極上方之該第一絕緣層上；

一第二絕緣層，覆蓋該主動層以及該蝕刻終止層，其中該第二絕緣層具有一第一開口、一第二開口以及一第三開口，該第一開口及該第二開口暴露出該主動層，該第三開口裸露出該蝕刻終止層；

一源極以及一汲極，位於該第二絕緣層上，並且分別透過該第一開口及該第二開口而與該主動層接觸；以及

一第二電極，位於該第二絕緣層上，並且透過該第三開口而與該蝕刻終止層接觸。

2. 如申請專利範圍第 1 項所述之半導體元件，其中該第一開口及該第二開口更進一步裸露出該主動層之兩側壁，且該源極以及該汲極分別與該主動層之裸露出的兩側壁接觸。

3. 如申請專利範圍第 1 項所述之半導體元件，更包括一保護輔助層，位於該主動層以及該蝕刻終止層上，且該第一開口、該第二開口以及該第三開口貫穿該保護輔助層。

4. 如申請專利範圍第 1 項所述之半導體元件，更包括：

一第三絕緣層，覆蓋該源極、該汲極以及該第二電

極；以及

一頂閘極，位於該主動層上方之該第三絕緣層上。

5. 如申請專利範圍第 4 項所述之半導體元件，其中該頂閘極與該閘極電性連接。

6. 如申請專利範圍第 4 項所述之半導體元件，其中該頂閘極與一導線電性連接，且該導線與該閘極屬於同一膜層。

7. 如申請專利範圍第 4 項所述之半導體元件，其中該頂閘極與一導線電性連接，且該導線與該源極以及汲極屬於同一膜層。

8. 如申請專利範圍第 4 項所述之半導體元件，更包括一第三電極，位於該第二電極上方之該第三絕緣層上。

9. 如申請專利範圍第 8 項所述之半導體元件，其中該第三電極與該第一電極電性連接。

10. 如申請專利範圍第 1 項所述之半導體元件，其中該主動層的材質與該蝕刻終止層的材質相同。

11. 一種半導體元件的製造方法，包括：

在一基板上形成一第一導電層，其包括一閘極以及一第一電極；

形成一第一絕緣層，以覆蓋該第一導電層；

在該第一絕緣層上形成一半導體層，其包括一主動層以及一蝕刻終止層；以及

在該半導體層上形成一第二絕緣層；

圖案化該第二絕緣層，以形成一第一開口、一第二開

口以及一第三開口，該第一開口及該第二開口暴露出該主動層，且該第三開口裸露出該蝕刻終止層；

在該第二絕緣層上形成一第二導電層，其包括一源極、一汲極以及一第二電極，該源極以及該汲極分別透過該第一開口以及該第二開口而與該主動層接觸，該第二電極透過該第三開口而與該蝕刻終止層接觸。

12. 如申請專利範圍第 11 項所述之半導體元件的製造方法，其中於圖案化該第二絕緣層之後，更包括進行一電漿處理程序，以降低被該第一開口及該第二開口暴露出的該主動層的電阻值以及被該第三開口裸露出的該蝕刻終止層的電阻值。

13. 如申請專利範圍第 12 項所述之半導體元件的製造方法，其中該電漿處理程序包括氫氣電漿處理程序、氧氣電漿處理程序或是氮氣電漿處理程序。

14. 如申請專利範圍第 11 項所述之半導體元件的製造方法，其中該第一開口及該第二開口更進一步裸露出該主動層之兩側壁，且該源極以及該汲極分別與該主動層之裸露出的兩側壁接觸。

15. 如申請專利範圍第 11 項所述之半導體元件的製造方法，更包括於該主動層以及該蝕刻終止層上形成一保護輔助層，且該第一開口、該第二開口以及該第三開口貫穿該保護輔助層。

16. 如申請專利範圍第 11 項所述之半導體元件的製造方法，更包括：

在該第二絕緣層上形成一第三絕緣層，以覆蓋該源極、該汲極以及該第二電極；以及

於該主動層上方之該第三絕緣層上形成一頂閘極。

17. 如申請專利範圍第 16 項所述之半導體元件的製造方法，更包括在該第三絕緣層、該第二絕緣層以及該第一絕緣層中形成一接觸窗開口，且該頂閘極透過該接觸窗開口而與該閘極電性連接。

18. 如申請專利範圍第 16 項所述之半導體元件的製造方法，其中該第一導電層更包括一導線，且該頂閘極與該導線電性連接。

19. 如申請專利範圍第 16 項所述之半導體元件的製造方法，其中該第二導電層更包括一導線，且該頂閘極與該導線電性連接。

20. 如申請專利範圍第 16 項所述之半導體元件的製造方法，更包括於該第二電極上方之該第三絕緣層上一第三電極。

21. 如申請專利範圍第 20 項所述之半導體元件的製造方法，其中該第三電極與該第一電極電性連接。

22. 如申請專利範圍第 11 項所述之半導體元件的製造方法，其中該半導體層包括金屬氧化物半導體材料、非晶矽、多晶矽或是微晶矽。

M1 { G
E1

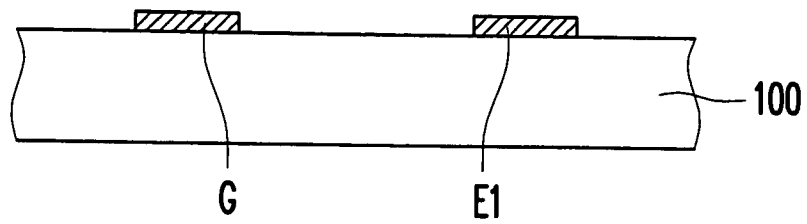


圖 1A

M1 { G SE { CH
E1 ES

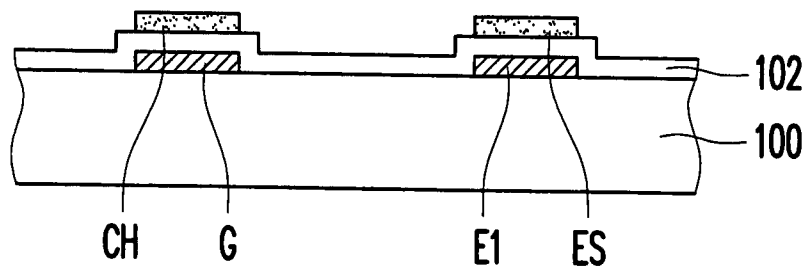


圖 1B

M1 { G
E1 } SE { CH
ES }

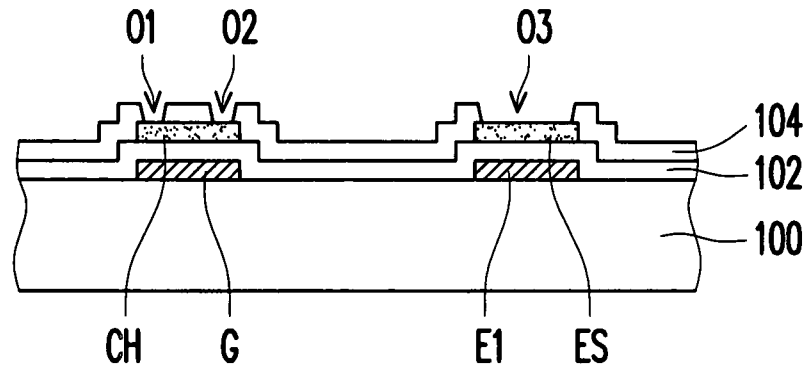


圖 1C

M1 { G
E1 } SE { CH
ES } M2 { S
D
E2 }

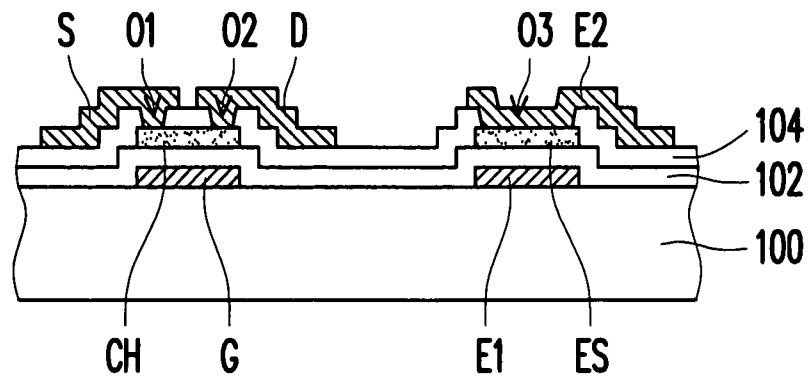


圖 1D

$M1 \begin{cases} G \\ E1 \end{cases}$ $SE \begin{cases} CH \\ ES \end{cases}$ $M2 \begin{cases} S \\ D \\ E2 \end{cases}$

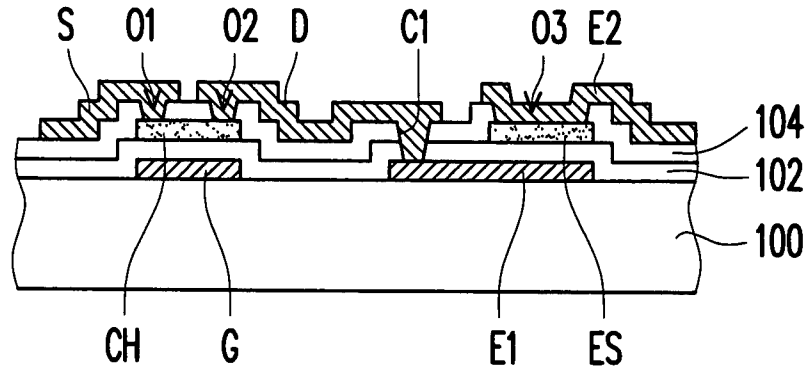


圖 2

$M1 \begin{cases} G \\ E1 \end{cases}$ $SE \begin{cases} CH \\ ES \end{cases}$ $M2 \begin{cases} S \\ D \\ E2 \end{cases}$

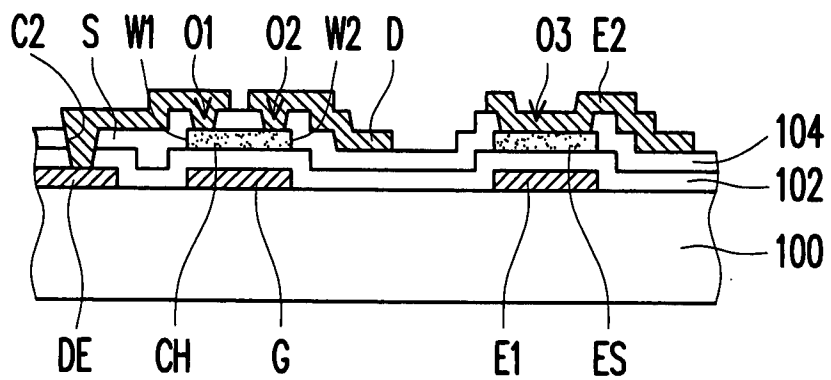


圖 3

$M1 \begin{cases} G \\ E1 \end{cases}$ $SE \begin{cases} CH \\ ES \end{cases}$ $M2 \begin{cases} S \\ D \\ E2 \end{cases}$

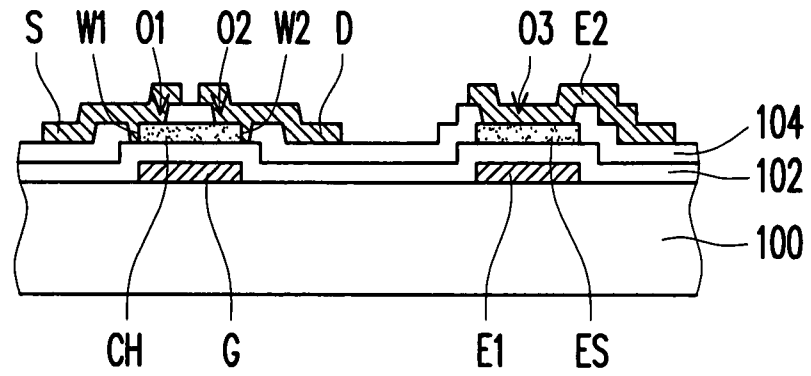


圖 4

$M1 \begin{cases} G \\ E1 \end{cases}$ $SE \begin{cases} CH \\ ES \end{cases}$ $M2 \begin{cases} S \\ D \\ E2 \end{cases}$

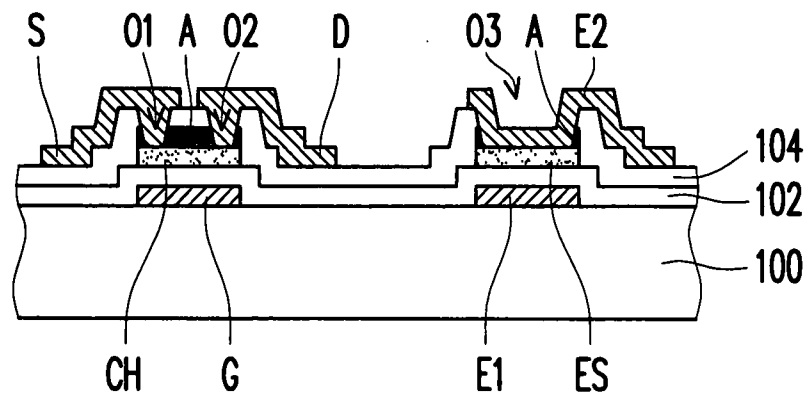


圖 5

$M1 \begin{cases} G \\ E1 \end{cases}$ $SE \begin{cases} CH \\ ES \end{cases}$ $M2 \begin{cases} S \\ D \\ E2 \end{cases}$

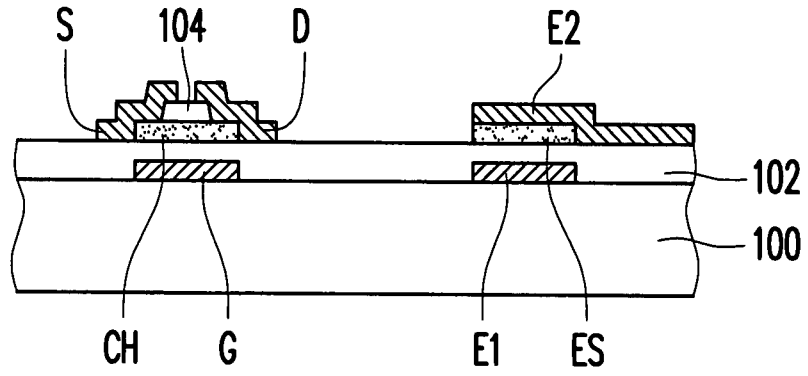


圖 6

$M1 \begin{cases} G \\ E1 \end{cases}$ $SE \begin{cases} CH \\ ES \end{cases}$ $M2 \begin{cases} S \\ D \\ E2 \end{cases}$

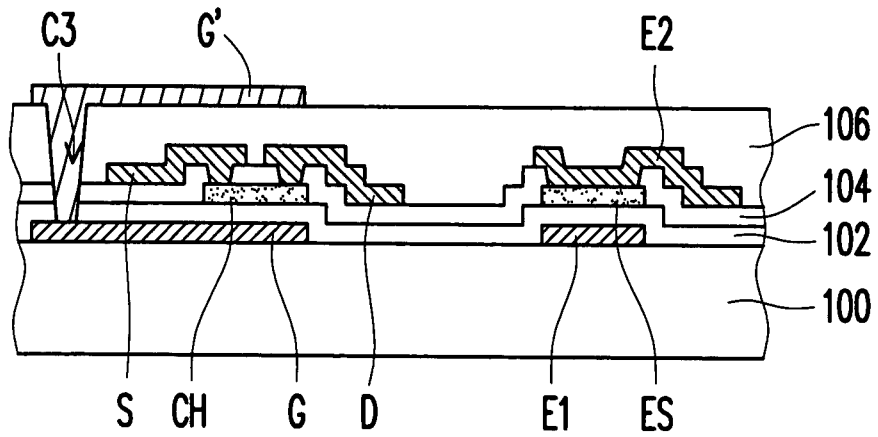


圖 7

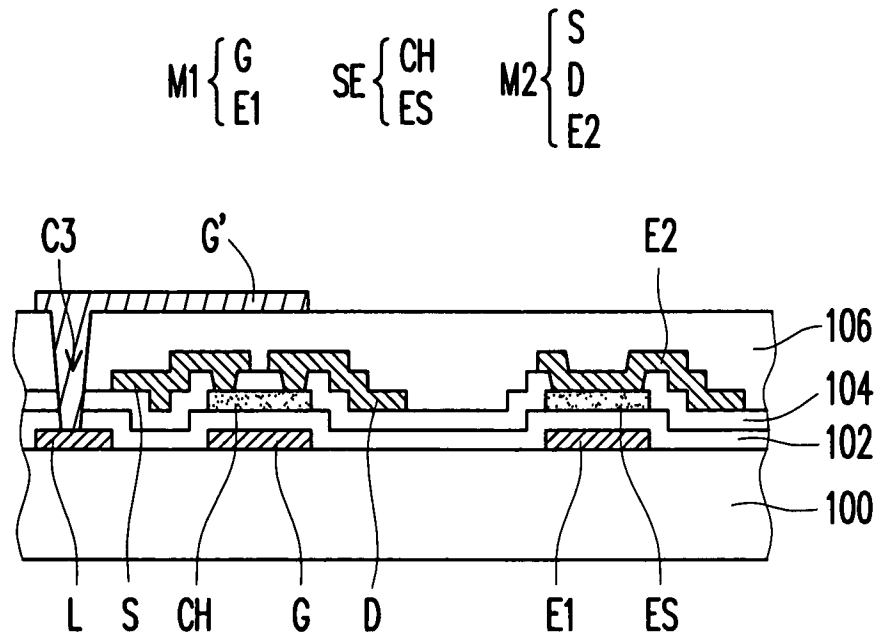


圖 8

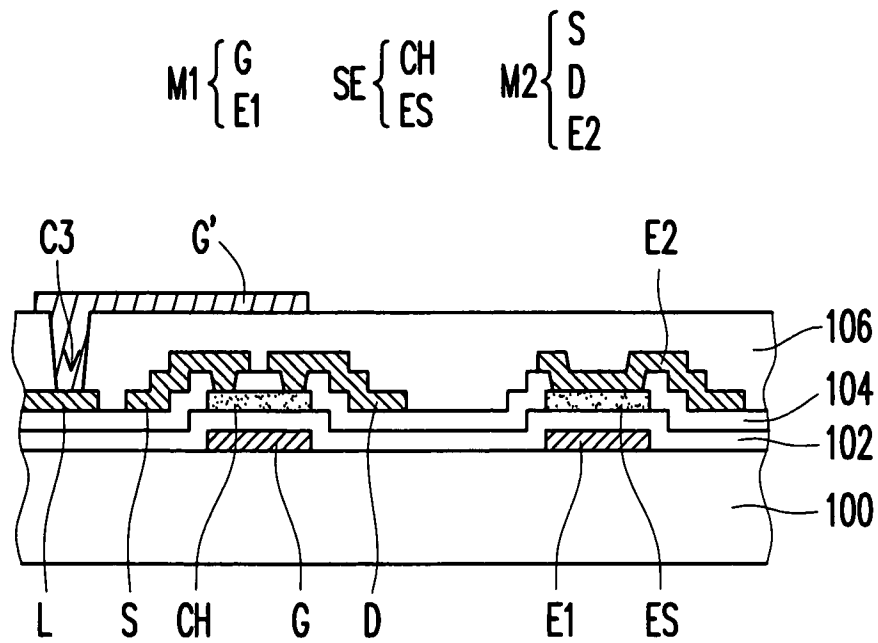


圖 9

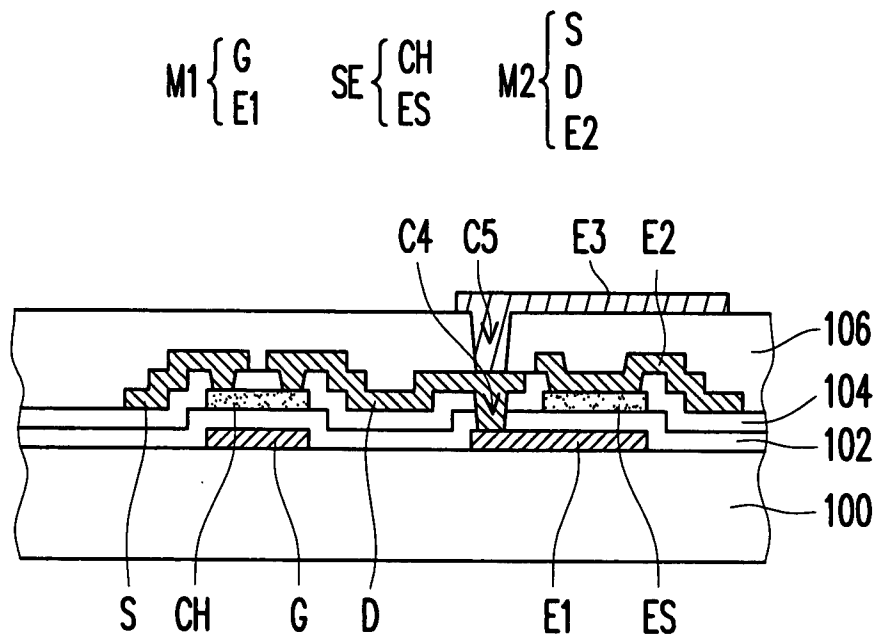


圖 10

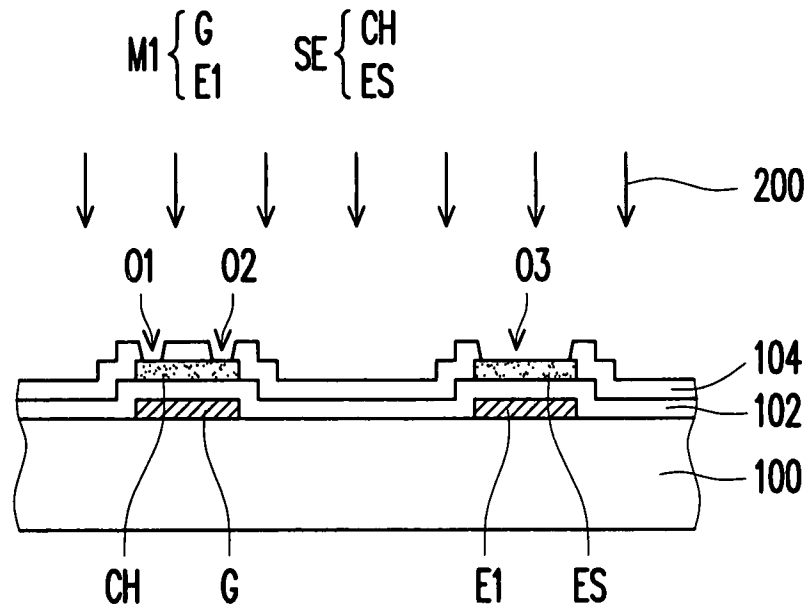


圖 11A

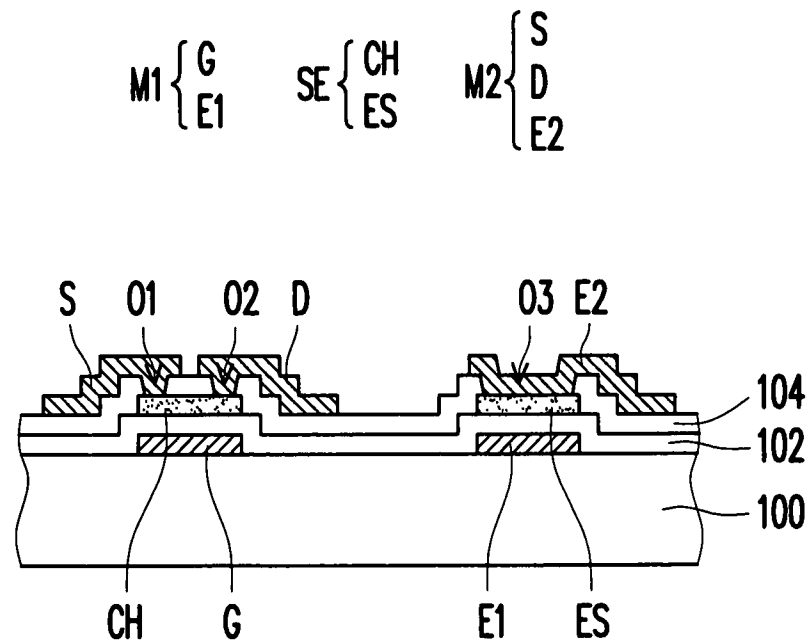


圖 11B