

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-135246

(P2017-135246A)

(43) 公開日 平成29年8月3日(2017. 8. 3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/301 (2006.01)	H O 1 L 21/78 Q	4 E 1 6 8
B 2 3 K 26/53 (2014.01)	H O 1 L 21/78 B	5 F 0 6 3
H O 1 L 21/336 (2006.01)	H O 1 L 21/78 W	
H O 1 L 29/78 (2006.01)	B 2 3 K 26/53	
	H O 1 L 29/78 6 5 8 G	
審査請求 未請求 請求項の数 19 O L (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2016-13573 (P2016-13573)
 (22) 出願日 平成28年1月27日 (2016. 1. 27)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 110002066
 特許業務法人筒井国際特許事務所
 (72) 発明者 北山 純一
 茨城県ひたちなか市堀口751番地 ルネ
 サスセミコンダクタマニュファクチャリ
 ング株式会社内
 Fターム(参考) 4E168 AE01 JA12
 5F063 AA11 BA31 BB01 CB02 CB05
 CB07 CB14 CB23 CB24 CB29
 CC10 CC22 DD02 DD27 DD44
 DD46 DD64 DD68 DD69 DD90

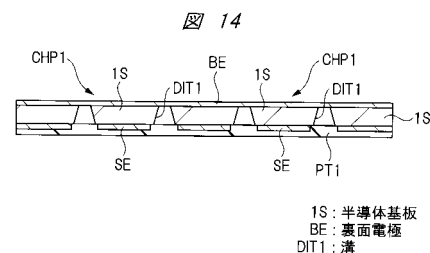
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 パワートランジスタをブレードダイシングした場合、裏面電極膜の切断時に切断刃に目詰まりを起こさない半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置の製造方法は、半導体基板 1 S の表面側に溝 D I T 1 を形成した後、半導体基板の裏面側から溝に達するまで研削する研削工程を実施する。そして、研削工程によって分離された半導体基板の裏面に裏面電極 B E を形成する。次にエキスパンション工程によって、裏面電極を切断し、複数の半導体チップ C H P 1 を分離する。

【選択図】 図 1 4



【特許請求の範囲】**【請求項 1】**

(a) 複数のチップ領域を有する基板の表面側に素子を形成する工程、
(b) 前記複数のチップ領域を区画する境界領域に溝を形成する工程、
(c) 前記基板の裏面側から前記溝に達するまで前記基板を研削する工程、
(d) 前記(c)工程によって分離された前記基板の前記裏面に裏面電極を形成する工程、を備える、半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、
前記(b)工程で形成される前記溝の断面形状は、前記基板の前記表面を上側にして見た場合に逆テーパ形状となる形状を含み、
前記(c)工程では、前記複数のチップ領域を複数の半導体チップに個片化する、半導体装置の製造方法。 10

【請求項 3】

請求項 2 に記載の半導体装置の製造方法において、
前記溝の断面形状は、前記基板の前記表面を上側にして見た場合に逆台形形状、あるいは、逆三角形形状をしている、半導体装置の製造方法。

【請求項 4】

請求項 2 に記載の半導体装置の製造方法において、
前記(c)工程で個片化された前記複数の半導体チップのうち、互いに隣り合う第 1 半導体チップと第 2 半導体チップとに着目した場合、前記第 1 半導体チップの裏面と前記第 2 半導体チップの裏面との間の距離は、前記第 1 半導体チップの素子形成面と前記第 2 半導体チップの素子形成面との間の距離よりも小さい、半導体装置の製造方法。 20

【請求項 5】

請求項 2 に記載の半導体装置の製造方法において、
前記(d)工程において、前記複数の半導体チップのそれぞれに形成される前記裏面電極は、互いに分離されている、半導体装置の製造方法。

【請求項 6】

請求項 2 に記載の半導体装置の製造方法において、
前記(d)工程の後、前記半導体装置の製造方法は、さらに、前記複数の半導体チップの間の間隔を広げるエキスパンジョン工程を有し、
前記(d)工程において、前記複数の半導体チップのそれぞれに形成される前記裏面電極が繋がっている場合、前記エキスパンジョン工程によって、前記複数の半導体チップのそれぞれに形成されている前記裏面電極は、互いに分離される、半導体装置の製造方法。 30

【請求項 7】

請求項 2 に記載の半導体装置の製造方法において、
前記(c)工程の後、かつ、前記(d)工程の前に、前記半導体装置の製造方法は、分離された前記基板の前記裏面および前記溝の側面に形成された加工歪を除去する加工歪除去工程を有する、半導体装置の製造方法。

【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、
前記加工歪除去工程では、プラズマ処理を使用する、半導体装置の製造方法。 40

【請求項 9】

請求項 2 に記載の半導体装置の製造方法において、
前記溝の側面と前記裏面との間のなす角度である傾斜角は、 25° 以上 85° 以下である、半導体装置の製造方法。

【請求項 10】

請求項 1 に記載の半導体装置の製造方法において、
前記素子は、パワートランジスタである、半導体装置の製造方法。

【請求項 11】

請求項 1 に記載の半導体装置の製造方法において、

前記 (b) 工程で形成される前記溝の断面形状は、前記基板の前記表面を上側にして見た場合に逆テーパ形状となる形状と、前記基板の前記表面に対して垂直となる垂直形状とを含む、半導体装置の製造方法。

【請求項 1 2】

請求項 1 1 に記載の半導体装置の製造方法において、

前記溝の側面と前記裏面との間のなす角度である傾斜角は、 10° 以上 40° 以下である、半導体装置の製造方法。

【請求項 1 3】

請求項 1 に記載の半導体装置の製造方法において、

前記 (b) 工程で形成される前記溝の断面形状は、前記基板の前記表面に対して垂直となる垂直形状部から構成され、

前記 (c) 工程では、前記複数のチップ領域を複数の半導体チップに個片化し、

前記 (d) 工程の後、前記半導体装置の製造方法は、さらに、前記複数の半導体チップの間の間隔を広げるエキスパンション工程を有し、

前記 (c) 工程で個片化された前記複数の半導体チップのそれぞれは、前記 (d) 工程において、前記複数の半導体チップのそれぞれの裏面に形成される前記裏面電極で互いに接続され、その後、前記エキスパンション工程によって、前記複数の半導体チップのそれぞれは、互いに分離される、半導体装置の製造方法。

【請求項 1 4】

(a) 複数のチップ領域を有する基板の表面側に素子を形成する工程、

(b) 前記基板の裏面側から、前記基板を第 1 厚さまで研削する工程、

(c) 前記 (b) 工程の後、前記複数のチップ領域を区画する境界領域における前記基板の内部に改質層を形成する工程、

(d) 前記 (c) 工程の後、前記基板の前記裏面側から、前記基板を第 2 厚さまで研削することにより、前記改質層を起点とする劈開を生じさせて、前記複数のチップ領域を複数の半導体チップに個片化する工程、

(e) 前記 (d) 工程の後、前記複数の半導体チップの裏面にわたって一体化した裏面電極を形成する工程、

(f) 前記 (e) 工程の後、前記複数の半導体チップの間の間隔を広げることにより、一体化した前記裏面電極を前記複数の半導体チップごとに分離する工程、

を備える、半導体装置の製造方法。

【請求項 1 5】

請求項 1 4 に記載の半導体装置の製造方法において、

前記 (c) 工程では、前記基板の前記裏面側から、前記基板にレーザを照射する、半導体装置の製造方法。

【請求項 1 6】

請求項 1 4 に記載の半導体装置の製造方法において、

前記 (d) 工程では、前記第 2 厚さまでの前記基板の研削によって、前記改質層を前記基板から除去する、半導体装置の製造方法。

【請求項 1 7】

半導体チップを備え、

前記半導体チップは、

半導体素子が形成された表面と、

前記表面の反対側に位置し、かつ、裏面電極が形成された裏面と、

を有し、

前記裏面の平面積は、前記表面の平面積よりも大きい、半導体装置。

【請求項 1 8】

請求項 1 7 に記載の半導体装置において、

前記半導体チップは、

前記表面および前記裏面のそれぞれと接続する第 1 側面と、
前記第 1 側面の反対側に位置する第 2 側面と、
を有し、
前記第 1 側面は、前記表面と前記裏面のそれぞれに対して傾斜した第 1 傾斜部を含み、
前記第 2 側面は、前記表面と前記裏面のそれぞれに対して傾斜した第 2 傾斜部を含む、
半導体装置。

【請求項 19】

請求項 17 に記載の半導体装置において、
前記半導体チップは、
前記表面および前記裏面のそれぞれと接続する第 1 側面と、
前記第 1 側面の反対側に位置する第 2 側面と、
を有し、
前記第 1 側面は、
前記表面に対して垂直となる第 1 垂直形状部と、
前記裏面に対して傾斜した第 1 傾斜部と、
から構成され、
前記第 2 側面は、
前記表面に対して垂直となる第 2 垂直形状部と、
前記裏面に対して傾斜した第 2 傾斜部と、
から構成される、半導体装置。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、例えば、半導体チップの裏面に裏面電極を有する半導体装置に適用して有効な技術に関する。

【背景技術】

【0002】

国際公開第 2005 / 022609 号（特許文献 1）には、半導体ウェハの表面に粘着フィルムを貼り付けた後、半導体ウェハの裏面に金属膜を形成する技術が記載されている。

30

【0003】

特開 2002 - 016021 号公報（特許文献 2）および特開 2014 - 183097 号公報（特許文献 3）には、半導体ウェハの裏面研削を実施する前にダイシングを実施する、いわゆる「先ダイシング」に関する技術が記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】国際公開第 2005 / 022609 号

【特許文献 2】特開 2002 - 016021 号公報

【特許文献 3】特開 2014 - 183097 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年、パワートランジスタが形成された半導体チップでは、半導体チップの厚さ方向に電流を流す構造が採用されているため、半導体チップの裏面に金属膜からなる裏面電極が形成される。また、パワートランジスタのオン抵抗を低減するために、パワートランジスタが形成された半導体チップの薄厚化が進んでいる。

【0006】

このように構成された半導体チップは、例えば、以下に示す工程によって製造される。すなわち、半導体ウェハの裏面研削を実施して、半導体ウェハの薄厚化を実施した後、半

50

導体ウェハの裏面に裏面電極を形成する。そして、半導体ウェハをブレードダイシングすることにより、半導体ウェハを複数の半導体チップに個片化する。

【 0 0 0 7 】

ところが、本発明者が検討したところ、上述した工程では、半導体ウェハの薄厚化が進むにつれて、半導体ウェハのダイシングが困難となることが明らかとなった。なぜなら、ブレードダイシングでは、半導体ウェハの薄厚化が進むと、ブレードの面状態を整えるドレッシング効果が低下するからである。さらに、半導体ウェハの裏面に裏面電極が形成されているため、裏面電極を構成する柔らかな金属膜に起因するブレードの目詰まりが生じるのである。したがって、従来のブレードダイシングでは、裏面電極が形成され、かつ、薄厚化された半導体ウェハを複数の半導体チップに個片化することが困難となりつつある。

10

【 0 0 0 8 】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 0 9 】

一実施の形態における半導体装置の製造方法は、基板の表面側に溝を形成した後、基板の裏面側から溝に達するまで研削する研削工程を実施する。そして、研削工程によって分離された基板の裏面に裏面電極を形成する。

【発明の効果】

20

【 0 0 1 0 】

一実施の形態によれば、半導体装置の歩留り向上を図ることができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】関連技術における半導体装置の製造工程を示す断面図である。

【図 2】図 1 に続く半導体装置の製造工程を示す断面図である。

【図 3】図 2 に続く半導体装置の製造工程を示す断面図である。

【図 4】図 3 に続く半導体装置の製造工程を示す断面図である。

【図 5】図 4 に続く半導体装置の製造工程を示す断面図である。

【図 6】図 5 に続く半導体装置の製造工程を示す断面図である。

30

【図 7】図 6 に続く半導体装置の製造工程を示す断面図である。

【図 8】図 7 に続く半導体装置の製造工程を示す断面図である。

【図 9】実施の形態 1 における半導体装置の製造工程を示す断面図である。

【図 10】図 9 に続く半導体装置の製造工程を示す断面図である。

【図 11】図 10 に続く半導体装置の製造工程を示す断面図である。

【図 12】図 11 に続く半導体装置の製造工程を示す断面図である。

【図 13】図 12 に続く半導体装置の製造工程を示す断面図である。

【図 14】図 13 に続く半導体装置の製造工程を示す断面図である。

【図 15】図 14 に続く半導体装置の製造工程を示す断面図である。

【図 16】実施の形態 1 における半導体チップの外形形状を示す断面図である。

40

【図 17】セル形成領域に形成されている単位トランジスタのデバイス構造の一例を示す断面図である。

【図 18】実施の形態 1 における半導体装置を示す断面図である。

【図 19】変形例 1 における半導体装置の製造工程を示す断面図である。

【図 20】変形例 1 における半導体装置の製造方法で製造した半導体チップの構造を示す断面図である。

【図 21】変形例 2 における半導体装置の製造工程を示す断面図である。

【図 22】実施の形態 2 における半導体装置の製造工程を示す断面図である。

【図 23】図 22 に続く半導体装置の製造工程を示す断面図である。

【図 24】図 23 に続く半導体装置の製造工程を示す断面図である。

50

【図 2 5】図 2 4 に続く半導体装置の製造工程を示す断面図である。
【図 2 6】図 2 5 に続く半導体装置の製造工程を示す断面図である。
【図 2 7】図 2 6 に続く半導体装置の製造工程を示す断面図である。
【図 2 8】図 2 7 に続く半導体装置の製造工程を示す断面図である。
【図 2 9】図 2 8 に続く半導体装置の製造工程を示す断面図である。
【図 3 0】図 2 9 に続く半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0012】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

10

【0013】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0014】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0015】

20

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0016】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0017】

（実施の形態 1）

<用語の説明>

30

本明細書において、「パワートランジスタ」とは、複数の単位トランジスタ（セルトランジスタ）を並列接続することによって（例えば、数千個から数十万個の単位トランジスタを並列接続する）、単位トランジスタの許容電流よりも大きな電流においても、単位トランジスタの機能を実現する単位トランジスタの集合体を意味する。例えば、単位トランジスタがスイッチング素子として機能する場合、「パワートランジスタ」は、単位トランジスタの許容電流よりも大きな電流にも適用可能なスイッチング素子となる。特に、本明細書において、「パワートランジスタ」という用語は、例えば、「パワー MOS FET」と「IGBT」の両方を包含する上位概念を示す語句として使用している。

【0018】

<関連技術の説明>

40

まず、関連技術における半導体装置の製造方法について説明し、その後、この関連技術に存在する改善すべき事項について説明する。なお、本明細書でいう「関連技術」は、新規に発明者が見出した課題を有する技術であって、公知である従来技術ではないが、新規な技術的思想の前提技術（未公知技術）を意図して記載された技術である。

【0019】

図 1 に示すように、例えば、シリコンからなる半導体基板 1 S（半導体ウェハ WF）を準備する。そして、半導体基板 1 S の表面側（素子形成面側）に、「パワートランジスタ」のデバイス構造を形成する。特に、図 1 では、半導体基板 1 S の表面側に形成される「パワートランジスタ」のデバイス構造の図示は省略している一方、図 1 では、「パワートランジスタ」のソースと電氣的に接続されるソース電極 SE が図示されている。このソー

50

ス電極 S E は、例えば、アルミニウム膜やアルミニウム合金膜から構成されており、半導体基板 1 S 上にアルミニウム膜を成膜した後、フォトリソグラフィ技術およびエッチング技術を使用してパターニングすることにより形成される。

【0020】

次に、図 2 に示すように、ソース電極 S E を形成した半導体基板 1 S の素子形成面を覆うように表面保護テープ P T 1 を貼り付ける。その後、図 3 に示すように、例えば、グラインダを使用することにより、表面保護テープ P T 1 を貼り付けた半導体基板 1 S の表面とは反対側の裏面から半導体基板 1 S を研削する。これにより、半導体基板 1 S の薄厚化が実現される。このとき、研削した半導体基板 1 S の裏面には、研削時の応力によって、破砕層 B K L 1 (加工歪) が形成される。この破砕層 B K L 1 が残存していると、「パワーランジスタ」のエピタキシャル層 (ドリフト層) におけるオン抵抗の低減が困難となる。このことから、図 4 に示すように、破砕層 B K L 1 を除去する。具体的には、フッ硝酸を使用したウェット処理によって、破砕層 B K L 1 を除去する (ストレスリリーフ)。

10

【0021】

続いて、図 5 に示すように、破砕層 B K L 1 を除去した半導体基板 1 S の裏面に裏面電極 B E を形成する。この裏面電極 B E は、例えば、チタン膜 (T i 膜) とニッケル膜 (N i 膜) と銀膜 (A g 膜) との積層膜や、チタン膜 (T i 膜) とニッケル膜 (N i 膜) と金膜 (A u 膜) との積層膜から構成され、例えば、スパッタリング法を使用することにより形成することができる。そして、図 6 に示すように、ソース電極 S E を覆うように形成されている表面保護テープ P T 1 を半導体基板 1 S から剥離する。

20

【0022】

次に、図 7 に示すように、裏面電極 B E をダイシングテープ D T に接触させるようにして、ダイシングテープ D T 上に半導体基板 1 S を配置する。その後、図 8 に示すように、半導体基板 1 S に形成されている複数のチップ領域を個片化する。具体的には、複数のチップ領域を区画するスクライプ領域に沿って、半導体基板 1 S をブレードダイシングすることにより、半導体基板 1 S (半導体ウェハ W F) から複数の半導体チップ C H P を取得する。このようにして、関連技術における半導体装置の製造方法によれば、裏面電極 B E が形成された半導体チップ C H P を製造することができる。

【0023】

<改善の検討>

30

上述したように、関連技術における半導体装置の製造方法は、半導体基板 1 S の薄厚化と裏面電極の形成とを実施した後、ダイシングを実施している。ところが、本発明者の検討によると、半導体基板 1 S の薄厚化が進むにつれて、関連技術で説明した方法では、半導体基板 1 S のブレードダイシングが困難となることが判明した。特に、半導体基板 1 S の裏面に裏面電極が形成され、かつ、半導体基板 1 S の厚さが $40\ \mu\text{m}$ 以下まで薄厚化された状態で、ブレードダイシングを実施する場合、ダイシングの困難性が顕在化する。

【0024】

以下に、この理由について説明する。例えば、ブレードダイシングでは、切断刃を回転させながら、半導体基板 1 S を切断する。このとき、切断刃によって切削されたシリコン面は、切断刃に対して砥石のような機能を発揮する。すなわち、切断刃によって切削されたシリコン面によって、切断刃の表面状態が整えられる結果、切断刃の状態が良好に維持された状態で、半導体基板 1 S のダイシングを実施することができる。つまり、切断刃によって切削されたシリコン面は、切断刃の表面状態を整えるコンディショニング機能を有し、この現象は、ドレッシング効果と呼ばれる。したがって、切断刃による半導体基板 1 S のダイシングを良好にするためには、シリコン面によるドレッシング効果が必要不可欠である。この点に関し、半導体基板 1 S の厚さが厚い場合には、十分なシリコン面が発生するため、ドレッシング効果は大きくなる。このことから、半導体基板 1 S の厚さが厚い場合には、ダイシング不良が問題点として顕在化しないと考えることができる。

40

【0025】

ところが、半導体基板 1 S の厚さが薄くなると、ドレッシング効果を発揮するために必

50

要なシリコン切断面積が得られなくなること、ドレッシング効果が低下するのである。この結果、半導体基板 1 S の薄厚化に伴って、ダイシング不良が問題点として顕在化する。

【 0 0 2 6 】

さらには、半導体基板 1 S の裏面に裏面電極 B E が形成されていることも、ダイシング不良が発生する一因となる。すなわち、半導体基板 1 S を構成するシリコンに比べて、裏面電極 B E を構成する金属は柔らかいという性質を有している。ここで、切断刃は、互いに特性の異なる硬いシリコンと柔らかい金属との両方を切断すること自体を想定しておらず、一種の切断刃では、硬いシリコンと柔らかい金属の両方を良好に切断することは困難なのである。その上、柔らかい金属を回転する切断刃で切断する場合、金属の柔らかさによって、金属が切断刃にまとわりつく結果、切断刃に目詰まりが発生し、切削性能を低下させる。

10

【 0 0 2 7 】

以上のことから、半導体基板 1 S の薄厚化に起因するドレッシング効果の低下と、シリコンの切断に使用される切断刃を裏面電極 B E という異種材料の切断にも併用することによって、関連技術で説明した方法では、ダイシング不良が発生するのである。つまり、裏面電極 B E が形成され、かつ、薄厚化された半導体基板 1 S をダイシングする方法として、関連技術で説明した方法を採用する場合、改善すべき事項が存在するのである。

20

【 0 0 2 8 】

そこで、本実施の形態 1 では、関連技術で説明した方法に存在する改善の余地に対する対策を施すことにより、裏面電極 B E が形成され、かつ、薄厚化された半導体基板 1 S を良好にダイシングする方法を実現している。以下では、改善の余地に対する工夫を施した本実施の形態 1 における技術的思想について、図面を参照しながら説明することにする。

【 0 0 2 9 】

< 実施の形態 1 における半導体装置の製造方法 >

以下では、本実施の形態 1 における半導体装置の製造方法について説明する。まず、図 9 に示すように、例えば、シリコンからなる半導体基板 1 S (半導体ウェハ W F) を準備する。そして、半導体基板 1 S の表面側 (素子形成面側) に、「パワートランジスタ」のデバイス構造を形成する。半導体基板 1 S は、境界領域となるスクライプ領域で区画された複数のチップ領域を有し、複数のチップ領域のそれぞれに「パワートランジスタ」(半導体素子)が形成される。特に、図 9 では、半導体基板 1 S の表面側に形成される「パワートランジスタ」のデバイス構造の図示は省略している一方、図 9 では、「パワートランジスタ」のソースと電氣的に接続されるソース電極 S E が図示されている。このソース電極 S E は、例えば、アルミニウム膜やアルミニウム合金膜から構成されており、半導体基板 1 S 上にアルミニウム膜を成膜した後、フォトリソグラフィ技術およびエッチング技術を使用してパターンングすることにより形成される。

30

【 0 0 3 0 】

次に、図 10 に示すように、複数のチップ領域を区画するスクライプ領域に溝 D I T 1 を形成する。具体的には、回転した切断刃をスクライプ領域に押し当てることにより、スクライプ領域に溝 D I T 1 を形成する。このとき、溝 D I T 1 の断面形状は、素子形成面を上側にして見た場合に逆テーパ形状となる。すなわち、「溝 D I T 1 の断面形状が逆テーパ形状になっている」とは、半導体基板 1 S の表面 (素子形成面) と溝 D I T 1 のなす角度が 90 度よりも大きいことを意味する。言い換えれば、「溝 D I T 1 の断面形状が逆テーパ形状になっている」とは、溝 D I T 1 の側面が、半導体基板 1 S の表面 (素子形成面) から裏面にかけて、溝 D I T 1 の幅が小さくなる方向に傾斜している形状を意味する。

40

【 0 0 3 1 】

具体的な一例として、図 10 に示すように、溝 D I T 1 の断面形状は、素子形成面を上側にして見た場合に逆三角形形状をしている。この逆三角形形状の溝 D I T 1 は、逆三角

50

形形状の先端部を有する切断刃を使用することにより形成することができる。なお、溝D I T 1の断面形状は、逆三角形形状に限らず、例えば、逆台形形状であってもよい。この場合、逆台形形状の溝D I T 1は、逆台形形状の先端部を有する切断刃を使用することにより形成することができる。ここで、図10に示すように、切断刃の回転に起因する応力によって、溝D I T 1の内壁に加工歪である破砕層B K L 2が必然的に形成される。なお、逆三角形形状とは、底辺が頂点よりも上方にある三角形として定義され、逆台形形状とは、上底の長さが下底の長さよりも長い台形形状として定義される。

【0032】

続いて、図11に示すように、溝D I T 1を形成した半導体基板1 Sの表面にソース電極S Eを覆う表面保護テープP T 1を貼り付ける。その後、図12に示すように、半導体基板1 Sの裏面側から溝D I T 1に達するまで半導体基板1 Sを研削する。これにより、半導体基板1 Sは、薄厚化された後、研削面が溝D I T 1に達した時点で、複数の半導体チップC H P 1に個片化される。このとき、半導体チップC H P 1の裏面には、研削による破砕層B K L 1が形成される。したがって、図12に示すように、個々の半導体チップC H P 1において、側面には、破砕層B K L 2が形成され、かつ、裏面には、破砕層B K L 1が形成されることになる。

10

【0033】

その後、図13に示すように、個々の半導体チップC H P 1の裏面に形成されている破砕層B K L 1と、貫通した溝D I T 1の内壁（個々の半導体チップC H P 1の側面）に形成されている破砕層B K L 2とを除去する（加工歪除去工程）。このとき、破砕層B K L 1および破砕層B K L 2の除去は、関連技術とは異なり、薬液を使用したウェット処理ではなく、ガスを使用したプラズマ処理によって実施される。

20

【0034】

次に、図14に示すように、裏面研削工程によって分離された半導体基板1 Sの裏面に裏面電極B Eを形成する。言い換えれば、複数の半導体チップC H P 1の裏面にわたって、裏面電極B Eが形成される。この裏面電極B Eは、例えば、チタン膜（T i膜）とニッケル膜（N i膜）と銀膜（A g膜）との積層膜や、チタン膜（T i膜）とニッケル膜（N i膜）と金膜（A u膜）との積層膜から構成され、例えば、スパッタリング法を使用することにより形成することができる。そして、図15に示すように、ソース電極S Eを覆うように形成されている表面保護テープP T 1を半導体基板1 Sから剥離した後、裏面電極B EをダイシングテープD Tに接触させるようにして、ダイシングテープD T上に個片化された複数の半導体チップC H P 1のそれぞれを配置する。

30

【0035】

続いて、本実施の形態1における半導体装置の製造方法では、複数の半導体チップC H P 1の間の間隔を広げるエキスパンション工程が実施される。これにより、複数の半導体チップC H P 1のそれぞれに形成される裏面電極B Eが繋がっている場合、エキスパンション工程によって、複数の半導体チップC H P 1のそれぞれに形成されている裏面電極B Eは、互いに分離される。なお、図14では、複数の半導体チップC H P 1の裏面にわたって、一体的に裏面電極B Eが形成されている態様について図示されているが、これに限らず、複数の半導体チップC H P 1のそれぞれに形成される裏面電極B Eが、既に、図14に示す工程（裏面電極形成工程）において、互いに分離されている場合もある。

40

【0036】

以上のようにして、本実施の形態1における半導体装置の製造方法によれば、裏面電極B Eが形成された半導体チップC H P 1を製造することができる。

【0037】

<実施の形態1における製法上の特徴>

次に、本実施の形態1における半導体装置の製造方法の特徴点について説明する。本実施の形態1における第1特徴点は、例えば、図13～図14に示すように、薄厚化した半導体基板1 Sを複数の半導体チップC H P 1に個片化した後、複数の半導体チップC H P 1の裏面に裏面電極B Eを形成する点にある。言い換えれば、本実施の形態1における第

50

1 特徴点は、裏面電極 B E を形成する前に、薄厚化した半導体基板 1 S を複数の半導体チップ C H P 1 に個片化する点にある。これにより、本実施の形態 1 によれば、例えば、関連技術のように、互いに異なる材料である半導体基板 1 S と裏面電極 B E との切断に種類の切断刃を併用する必要がなくなる。すなわち、本実施の形態 1 によれば、裏面電極 B E を形成した半導体チップ C H P 1 を製造するにあたって、半導体基板 1 S の裏面に裏面電極 B E を形成する前に、半導体基板 1 S を複数の半導体チップ C H P 1 に個片化する。このため、半導体基板 1 S を複数の半導体チップ C H P 1 に個片化するには、裏面電極 B E を切断することを考慮する必要がなくなる。つまり、本実施の形態 1 における第 1 特徴点によれば、半導体基板 1 S を構成するシリコンと、裏面電極 B E を構成する金属との両方を切断する必要がなくなる結果、関連技術のように、種類の切断刃で硬いシリコンと柔らかい金属の両方を切断する必要がなくなる。このことは、本実施の形態 1 における第 1 特徴点によれば、種類の切断刃で硬いシリコンと柔らかい金属の両方を切断する必要がある関連技術に比べて、半導体チップ C H P 1 の個片化工程における製造歩留りを向上できるポテンシャルを秘めていることを意味している。このように、本実施の形態 1 における第 1 特徴点の根底に存在する基本思想は、関連技術のように、裏面電極 B E を形成した後に個片化工程を実施するのではなく、予め裏面電極 B E を形成する前に個片化工程を実施するという思想である。これにより、本実施の形態 1 によれば、裏面電極 B E を有し、かつ、薄厚化された半導体チップ C H P 1 の製造歩留りを向上することができる。

10

【 0 0 3 8 】

特に、本実施の形態 1 では、上述した第 1 特徴点を具現化するために様々な工夫を施しており、この工夫点の 1 つが、本実施の形態 1 における第 2 特徴点である。具体的に、本実施の形態 1 における第 2 特徴点は、例えば、図 1 0 に示すように、回転する切断刃によって、半導体基板 1 S の表面側に溝 D I T 1 を形成し、その後、図 1 2 に示すように、半導体基板 1 S の裏面側から溝 D I T 1 に達するまで半導体基板 1 S を研削する点にある。これにより、半導体基板 1 S を複数の薄厚化した半導体チップ C H P 1 に個片化することができる。例えば、薄厚化した半導体チップ C H P 1 を得るためには、まず、半導体基板 1 S を研削して薄厚化した後、薄厚化した半導体基板 1 S を回転する切断刃でダイシングすることにより、薄厚化した半導体チップ C H P 1 を取得する技術が考えられる。ところが、この技術では、薄厚化した半導体基板 1 S を回転する切断刃でダイシングすることになり、この構成では、十分なドレッシング効果を得ることができない。したがって、この技術では、ドレッシング効果の低下に起因してダイシング不良が顕在化する。

20

30

【 0 0 3 9 】

これに対し、本実施の形態 1 における第 2 特徴点では、まず、図 1 0 に示すように、研削する前の厚い半導体基板 1 S に対して、回転する切断刃によって、半導体基板 1 S の表面側に溝 D I T 1 を形成する。このことから、溝 D I T 1 を形成する工程では、厚い半導体基板 1 S に対して切断刃を使用するため、十分なドレッシング効果を得ることができる。次に、本実施の形態 1 における第 2 特徴点では、例えば、図 1 2 に示すように、半導体基板 1 S の裏面側から溝 D I T 1 に達するまで半導体基板 1 S を研削する。これにより、半導体基板 1 S を薄厚化しながら、最終的に、研削面が溝 D I T 1 に達した時点で、半導体基板 1 S は、複数の半導体チップ C H P 1 に個片化される。

40

【 0 0 4 0 】

このように、本実施の形態 1 における第 2 特徴点は、予め表面側に溝 D I T 1 を形成した後、裏面側から半導体基板 1 S を研削することにより、複数の半導体チップ C H P 1 に個片化するものであり、薄厚化した半導体基板 1 S を回転する切断刃でダイシングするという工程は存在しない。このことは、本実施の形態 1 によれば、ドレッシング効果の低下によって、ダイシング不良が生じるポテンシャルを回避することができることを意味する。つまり、本実施の形態 1 では、薄厚化した半導体基板 1 S の切断刃によるダイシング工程に替えて、予め表面側に溝 D I T 1 を形成した後、裏面側から半導体基板 1 S を研削する工程を採用している。これにより、切断刃による裏面電極を切削する事による目詰まりに左右されることなく、半導体基板 1 S を個片化する工程の信頼性を確実に向上すること

50

ができる。この結果、本実施の形態 1 における第 2 特徴点によれば、薄厚化された半導体チップ C H P 1 の製造歩留りを向上することができるという顕著な効果が得られる。

【 0 0 4 1 】

実施の形態 1 における第 1 特徴点によれば、薄厚化した半導体基板 1 S を複数の半導体チップ C H P 1 に個片化した後、複数の半導体チップ C H P 1 の裏面に裏面電極 B E を形成することになる。この場合、以下に示す検討事項が存在する。すなわち、例えば、図 1 4 に示すように、本実施の形態 1 における半導体装置の製造工程では、表面側から裏面側に貫通する溝 D I T 1 で分離された半導体基板 1 S の裏面に裏面電極 B E を形成することになる。ここで、裏面電極 B E は、例えば、スパッタリング法を使用することにより形成されるが、半導体チップ C H P 1 間に溝 D I T 1 による隙間が存在するため、裏面電極 B E は、半導体チップ C H P 1 の裏面だけでなく、隙間を通じて、半導体チップ C H P 1 の側面にも裏面電極 B E が形成されてしまうおそれがある。この場合、半導体チップ C H P 1 の側面に形成される不所望な裏面電極 B E を介して、半導体チップ C H P 1 の表面に形成されたソース電極 S E と、半導体チップ C H P 1 の裏面に形成された裏面電極 B E とが電氣的に接続するおそれがある。これは、半導体チップ C H P 1 に形成された「パワートランジスタ」のソース電極 S E と裏面電極 B E (ドレイン電極) とがショートしてしまうポテンシャルが高まることを意味し、これによって、半導体装置の信頼性が低下することになる。つまり、本実施の形態 1 における第 1 特徴点によれば、裏面電極 B E を有し、かつ、薄厚化された半導体チップ C H P 1 の製造歩留りを向上することができる利点を有している一方、新たに、半導体チップ C H P 1 の表面に形成されたソース電極 S E と裏面に形成された裏面電極 B E との間にショート不良が生じやすくなる副作用が生じるのである。そこで、本実施の形態 1 では、この副作用を抑制する工夫を施しており、この工夫点が、本実施の形態 1 における第 3 特徴点である。

【 0 0 4 2 】

本実施の形態 1 における第 3 特徴点は、例えば、図 1 0 に示すように、溝 D I T 1 の断面形状が、素子形成面を上側にして見た場合に逆テーパ形状となる点にある。具体的に、図 1 0 には、溝 D I T 1 の断面形状が、略逆三角形形状をしている例が示されている。これにより、半導体基板 1 S の裏面側から溝 D I T 1 に達するまで研削すると、溝 D I T 1 の断面形状が、逆テーパ形状となることに起因して、以下に示す構造が実現される。すなわち、図 1 3 に示すように、複数の半導体チップ C H P 1 のうち、互いに隣り合う第 1 半導体チップと第 2 半導体チップとに着目した場合、第 1 半導体チップの裏面と第 2 半導体チップの裏面との間の距離は、第 1 半導体チップの素子形成面と第 2 半導体チップの素子形成面との間の距離よりも小さくなる。この結果、図 1 4 に示すように、裏面電極 B E を形成する際、第 1 半導体チップの裏面と第 2 半導体チップの裏面との隙間が狭くなる。このことは、裏面電極 B E が、第 1 半導体チップと第 2 半導体チップとの間の隙間を介して、第 1 半導体チップの側面、および、第 2 半導体チップの側面に形成されにくくなることを意味する。したがって、本実施の形態 1 における第 3 特徴点によれば、半導体チップ C H P 1 の表面に形成されたソース電極 S E と裏面に形成された裏面電極 B E との間にショート不良が生じやすくなる副作用を抑制することができる。以上のことから、本実施の形態 1 における第 1 特徴点と第 2 特徴点と第 3 特徴点とを組み合わせることにより、ソース電極 S E と裏面電極 B E との間のショート不良を抑制しながら、薄厚化された半導体チップ C H P 1 の製造歩留りを向上することができるという顕著な効果を得ることができる。

【 0 0 4 3 】

ここで、ソース電極 S E と裏面電極 B E との間のショート不良を抑制する観点からは、第 1 半導体チップの裏面と第 2 半導体チップの裏面との間の距離は、できるだけ小さいことが望ましい。一方、この距離を小さくすればするほど、複数の半導体チップ C H P 1 の裏面にわたって形成される裏面電極 B E が一体化しやすくなる。この場合、一体化した裏面電極 B E によって、複数の半導体チップ C H P 1 の分離が阻害されることになる。

【 0 0 4 4 】

この点に関し、本実施の形態 1 では、例えば、図 1 5 に示すように、ダイシングテープ

D Tを引き延ばすことにより、ダイシングテープD Tに貼り付けられた複数の半導体チップC H P 1の間隔を広げるエキスパンション工程を利用している。つまり、エキスパンション工程の本来の機能は、ダイシングテープD Tに貼り付けられた複数の半導体チップC H P 1の間隔を広げることにより、個々の半導体チップC H P 1をピックアップしやすくする機能である。この点に関し、本実施の形態1における半導体装置の製造方法では、このエキスパンション工程におけるダイシングテープD Tの引き伸ばしを利用して、複数の半導体チップC H P 1の裏面にわたって一体化した裏面電極B Eを分離している。すなわち、本実施の形態1における第4特徴点は、個々の半導体チップC H P 1をピックアップしやすくするエキスパンション工程を利用して、複数の半導体チップC H P 1の裏面にわたって一体化した裏面電極B Eを分離する点にある。これにより、本実施の形態1における第4特徴点によれば、複数の半導体チップC H P 1の裏面にわたって一体化した裏面電極B Eを分離する工程を新たに設ける必要はなくなる。この結果、本実施の形態1における第4特徴点によれば、製造工程の複雑化を招くことなく、一体化した裏面電極B Eの分離を実現することができる。特に、本実施の形態1における第3特徴点と第4特徴点との関係において、ソース電極S Eと裏面電極B Eとの間のショート不良を抑制するために、互いに隣り合う半導体チップC H P 1の裏面間の距離を小さくすることが有効である。一方、互いに隣り合う半導体チップC H P 1の裏面間の距離を小さくすると、裏面電極B Eが一体化しやすくなるが、この点については、第4特徴点により、製造工程の複雑化を招くことなく、一体化した裏面電極B Eの分離を実現することができる。したがって、本実施の形態1における第3特徴点と第4特徴点の有機的な結合によって、ソース電極S Eと裏面電極B Eとの間のショート不良を抑制しながら、一体化した裏面電極B Eの分離を容易に実現することができる。

10

20

30

40

【0045】

続いて、本実施の形態1における第5特徴点は、例えば、図12～図13に示すように、半導体チップC H P 1の裏面に形成された破砕層B K L 1と、溝D I T 1の内壁に形成された破砕層B K L 2とを除去する破砕層除去工程において、ガスを利用したプラズマ処理を使用する点にある。例えば、関連技術では、破砕層除去工程として、フッ硝酸を使用したウェット処理を使用しているが、本実施の形態1における半導体装置の製造方法では、このウェット処理を使用することが困難となる。なぜなら、例えば、図12において、ウェット処理で使用する薬液が溝D I T 1の内部にまで浸入し、内部まで浸入した薬液が溝D I T 1内に溜まり、半導体チップC H P 1の表面に形成されている「パワートランジスタ」に悪影響を及ぼすことが懸念されるからである。すなわち、本実施の形態1における半導体装置の製造方法では、関連技術とは異なり、半導体基板1 Sを複数の半導体チップC H P 1に個片化した後に、破砕層除去工程を実施している。このことから、本実施の形態1における半導体装置の製造方法において、破砕層除去工程に薬液を使用すると、互いに隣り合う半導体チップC H P 1間の隙間に薬液が溜まるという現象が生じてしまうのである。そこで、本実施の形態1における半導体装置の製造方法では、破砕層除去工程をウェット処理ではなく、ガスを使用したプラズマ処理で実現している。この場合、プラズマ処理では、液体ではなく気体が使用されることから、溝D I T 1内に液体が溜まるという現象を必然的に回避することができる。この結果、本実施の形態1によれば、ウェット処理に起因する悪影響を受けることなく、半導体チップC H P 1の裏面に形成された破砕層B K L 1と、溝D I T 1の内壁に形成された破砕層B K L 2とを除去することができる。これにより、本実施の形態1における第5特徴点によれば、破砕層B K L 1を除去することで、「パワートランジスタ」に悪影響を及ぼすことなく、「パワートランジスタ」のオン抵抗を低減することができ、シリコン(S i)の破壊強度も改善できる。加えて、破砕層B K L 2を除去することで更にシリコン(S i)の破壊強度を改善できる。

【0046】

<実施の形態1における半導体チップの構造>

次に、上述した本実施の形態1における半導体装置の製造方法で製造される半導体チップC H P 1の構造について説明する。図16は、本実施の形態1における半導体チップC

50

HP1の外形形状を模式的に示す断面図である。図16において、本実施の形態1における半導体チップCHP1は、ソース電極SEを含む「パワートランジスタ」(半導体素子)の構成要素が形成された表面SUR1と、表面SUR1の反対側に位置し、かつ、裏面電極BEが形成された裏面SUR2とを有している。さらに、半導体チップCHP1は、表面SUR1および裏面SUR2のそれぞれと接続する側面SUR3と、側面SUR3の反対側に位置する側面SUR4とを有する。このとき、側面SUR3は、表面SUR1と裏面SUR2のそれぞれに対して傾斜した傾斜部SLP1を含む。同様に、側面SUR4は、表面SUR1と裏面SUR2のそれぞれに対して傾斜した傾斜部SLP2を含む。これにより、本実施の形態1における半導体チップCHP1では、裏面SUR2の平面積が、表面SUR1の平面積よりも大きい構成が実現されることになる。

10

【0047】

なお、図16に示す本実施の形態1における半導体チップCHP1では、例えば、傾斜部SLP1(SLP2)と裏面SUR2との間のなす角度である傾斜角 θ は、25度以上85度以下とすることができる。具体的な一例を挙げると、半導体チップCHP1の厚さが40 μ m程度の場合、傾斜角 θ は、40°~85°程度であり、半導体チップCHP1の厚さが30 μ m程度の場合、傾斜角 θ は、35°~85°程度であり、半導体チップCHP1の厚さが20 μ m程度の場合、傾斜角 θ は、25°~85°程度となる。

【0048】

<半導体チップのデバイス構造>

続いて、本実施の形態1における半導体チップCHP1に形成されている「パワートランジスタ」(パワーMOSFET)のデバイス構造について説明する。

20

【0049】

本実施の形態1における半導体チップCHP1には、例えば、「パワートランジスタ」の一種であるパワーMOSFETが形成されている。以下では、例えば、パワーMOSFETのデバイス構造について説明することにする。パワーMOSFETは、数千個から数十万個の単位トランジスタ(セルトランジスタ)を並列接続することにより構成されており、以下に示す図17では、互いに隣り合う2個の単位トランジスタを例に挙げて、パワーMOSFETのデバイス構造について説明する。

【0050】

図17は、セル形成領域に形成されている単位トランジスタのデバイス構造の一例を示す断面図である。図17において、例えば、リン(P)や砒素(As)などのn型不純物を含むシリコンからなる基板層SUB上にエピタキシャル層EPIが形成されている。このエピタキシャル層EPIは、例えば、リン(P)や砒素(As)などのn型不純物が導入されたシリコンを主成分とする半導体層から構成されている。この基板層SUBとエピタキシャル層EPIは、パワーMOSFETのドレインとして機能する構成要素である。なお、本実施の形態1では、図17に示すように、基板層SUBとエピタキシャル層EPIとを合わせて半導体基板1Sと呼ぶことにする。

30

【0051】

次に、エピタキシャル層EPIの表面に素子部が形成されている。具体的に、本実施の形態1における素子部には、エピタキシャル層EPIの表面にチャネル領域CHが形成されており、このチャネル領域CHを貫通してエピタキシャル層EPIに達するトレンチTRが形成されている。このとき、トレンチTRの内壁には、ゲート絶縁膜GOXが形成されており、このゲート絶縁膜GOX上にトレンチTRを埋め込むようにゲートGEが形成されている。ゲート絶縁膜GOXは、例えば、酸化シリコン膜から形成されるが、これに限らず、例えば、酸化シリコン膜よりも誘電率の高い高誘電率膜から形成することもできる。また、ゲートGEは、例えば、ポリシリコン膜から形成されている。

40

【0052】

続いて、トレンチTRに隣接するチャネル領域CHの表面にソース領域SRが形成されている。そして、ゲートGEが埋め込まれたトレンチREの上面およびソース領域SR上にわたって絶縁膜BPSGが形成されている。チャネル領域CHは、例えば、ボロン(B

50

）などの p 型不純物を導入した半導体領域から構成され、ソース領域 S R は、例えば、リン（P）や砒素（As）などの n 型不純物を導入した半導体領域から構成されている。

【0053】

次に、互いに隣り合うトレンチ T R の間には、絶縁膜 B P S G およびソース領域 S R を貫通して、チャンネル領域 C H に達する溝が形成されており、この溝の底部にボディコンタクト領域 B C が形成されている。このボディコンタクト領域 B C は、例えば、ボロン（B）などの p 型不純物が導入された半導体領域から構成されており、ボディコンタクト領域 B C の不純物濃度は、チャンネル領域 C H の不純物濃度よりも高くなっている。

【0054】

続いて、底部にボディコンタクト領域 B C が形成された溝を埋め込むようにバリア導体膜 B C F 1 およびタンゲステン膜からなるプラグ P L G 1 が形成されており、プラグ P L G 1 上を含む絶縁膜 B P S G 上にバリア導体膜 B C F 2 およびアルミニウム合金膜からなるソース電極 S E が形成されている。これにより、ソース電極 S E は、ソース領域 S R と電氣的に接続されるとともに、ボディコンタクト領域 B C を介してチャンネル領域 C H と電氣的に接続されることになる。

【0055】

このとき、ボディコンタクト領域 B C は、プラグ P L G 1 とのオーミック接触を確保する機能を有し、このボディコンタクト領域 B C が存在することにより、ソース領域 S R とチャンネル領域 C H は同電位で電氣的に接続されることになる。

【0056】

したがって、ソース領域 S R をエミッタ領域とし、チャンネル領域 C H をベース領域とし、かつ、エピタキシャル層 E P I をコレクタ領域とする寄生 n p n バイポーラトランジスタのオン動作を抑制することができる。すなわち、ソース領域 S R とチャンネル領域 C H が同電位で電氣的に接続されているということは、寄生 n p n バイポーラトランジスタのエミッタ領域とベース領域との間に電位差が生じていないこと意味し、これによって、寄生 n p n バイポーラトランジスタのオン動作を抑制することができる。

【0057】

次に、図 17 に示すように、基板層 S U B の裏面には、裏面電極 B E が形成されている。

【0058】

以上のようにして、本実施の形態 1 における半導体チップ C H P 1 の内部にパワー M O S F E T のデバイス構造が形成されていることになる。

【0059】

なお、半導体チップ C H P 1 の内部に形成されているパワー M O S F E T においては、n 型半導体層であるエピタキシャル層 E P I と、p 型半導体層であるチャンネル領域 C H とによって、寄生ダイオードであるボディダイオードが形成される。すなわち、エピタキシャル層 E P I とチャンネル領域 C H との間には、チャンネル領域 C H をアノードとし、かつ、エピタキシャル層 E P I をカソードとする p n 接合ダイオードであるボディダイオードが形成されることになる。

【0060】

< 実施の形態 1 における半導体装置のパッケージ構造 >

次に、本実施の形態 1 における半導体装置 P K G 1 のパッケージ構造について説明する。図 18 は、本実施の形態 1 における半導体装置 P K G 1 を模式的に示す断面図である。図 18 において、本実施の形態 1 における半導体装置 P K G 1 は、互いに離間するリード L D 1 およびリード L D 2 と、チップ搭載部 T A B とを有する。そして、チップ搭載部 T A B 上には、半田材（接着材）S F を介して、半導体チップ C H P 1 が搭載されている。特に、半導体チップ C H P 1 の裏面には、裏面電極 B E が形成されており、この裏面電極 B E は、半田材 S F と直接接触している。一方、半導体チップ C H P 1 の表面には、半導体チップ C H P 1 に形成されているパワー M O S F E T のソースと電氣的に接続されるソース電極（ソースパッド）S E と、パワー M O S F E T のゲート電極と電氣的に接続され

10

20

30

40

50

るゲートパッドG Pが形成されている。そして、図18に示すように、ソース電極S EおよびゲートパッドG Pを覆うように、例えば、酸化シリコン膜や窒化シリコン膜からなる表面保護膜P A Sが形成されており、この表面保護膜P A Sの一部の領域には、開口部が形成されている。そして、例えば、図18に示すように、ゲートパッドG Pは、ワイヤWによって、リードL D 1と電氣的に接続されている。なお、同様に、ソース電極S Eも、ワイヤWによって、別のリードL D 2と電氣的に接続される。

【0061】

続いて、図18に示すように、半導体チップC H P 1およびワイヤWを覆うように、例えば、エポキシ樹脂からなる封止体M Rが形成されている。以上のようにして、本実施の形態1における半導体装置P K G 1が形成されていることになる。

10

【0062】

<実施の形態1における構造上の特徴>

本実施の形態1における半導体チップC H P 1の構造上の特徴点は、例えば、図16に示すように、半導体チップC H P 1の側面S U R 3が傾斜部S L P 1を有するとともに、半導体チップC H P 1の側面S U R 4が傾斜部S L P 2を有している点にある。これにより、図16に示すように、本実施の形態1における半導体チップC H P 1の断面形状は、略台形形状となり、半導体チップC H P 1の裏面S U R 2の平面積は、表面S U R 1の平面積よりも大きい構造が実現されることになる。

【0063】

この構造上の特徴点は、基本的に、上述した本実施の形態1における半導体装置の製造方法(図9~図15)を採用することにより、必然的に形成されるものであるが、この特徴点によれば、構造に特有の利点も有している。以下では、この特徴点に起因する構造上の利点について説明することにする。

20

【0064】

まず、第1利点は、本実施の形態1における構造上の特徴点によって、例えば、図16に示すように、半導体チップC H P 1の表面S U R 1と側面(S U R 3、S U R 4)とのなす角度が鈍角(90°よりも大きい角度)となることによってもたらされる。例えば、半導体チップC H P 1のチップングは、半導体チップC H P 1の不良を招く一因となるが、このチップングは、角部(コーナ部)の角度が90°よりも大きな鈍角よりも、角部の角度が90°よりも小さな鋭角で生じやすい。この点に関し、本実施の形態1では、図16に示すように、半導体チップC H P 1の表面S U R 1側の角部の角度は、鈍角となる。このことは、半導体チップC H P 1の表面S U R 1側の角部でのチップングが抑制されることを意味する。特に、半導体チップC H P 1の表面側には、パワーM O S F E Tの素子部が形成されていることから、半導体チップC H P 1の表面S U R 1側の角部でのチップングは、パワーM O S F E Tの不良に直結する。すなわち、半導体チップC H P 1の表面S U R 1側の角部でのチップングは、パワーM O S F E Tに多大な悪影響を及ぼすことになるのである。したがって、特に、半導体チップC H P 1の表面S U R 1側の角部でのチップングを抑制することが重要なのである。この点に関し、本実施の形態1における構造上の特徴点によれば、図16に示すように、表面S U R 1側の角部の角度が鈍角となる結果、半導体チップC H P 1の表面S U R 1側の角部でのチップングが効果的に抑制される。

30

40

【0065】

一方、本実施の形態1における半導体チップC H P 1では、裏面S U R 2側の角部の角度が鋭角となり、裏面S U R 2側の角部でのチップングが生じることが懸念される。この点に関し、半導体チップC H P 1の裏面S U R 2側は、パワーM O S F E Tの素子部から離れていることから、裏面S U R 2側の角部でのチップングが、パワーM O S F E Tに与える影響は小さく、それほど問題とならない。それよりも、半導体チップC H P 1の表面S U R 1側の角部でのチップングを抑制することが重要なのである。

【0066】

以上のことから、本実施の形態1における半導体チップC H P 1によれば、パワーM O

50

S F E Tに致命傷を与える表面S U R 1側の角部でのチップングが大幅に抑制されることから、信頼性の高い半導体装置を提供することができるという利点を得ることができる。

【0067】

次に、第2利点は、温度サイクル耐量の向上を図ることができる点である。例えば、半導体チップC H P 1は、最終的に、図18に示すパッケージ構造体（半導体装置P K G 1）に組み込まれる。そして、半導体装置P K G 1に対しては、信頼性を保証するために、温度サイクル試験などが実施されて、この試験に合格した良品が出荷されることになる。ここで、温度サイクル試験では、図18に示す封止体M Rを構成する樹脂が膨張・収縮するため、封止体M Rで覆われている半導体チップC H P 1に応力が加わる。特に、半導体チップC H P 1の角部（端部）には、大きな応力が加わりやすい。この点に関し、本実施の形態1における半導体チップC H P 1では、表面S U R 1側の角部の角度が鈍角となっているため、表面S U R 1側の角部に加わる応力は分散される。したがって、本実施の形態1における半導体チップC H P 1では、温度サイクル試験での封止体M Rの膨張・収縮が生じて、半導体チップC H P 1に加わる応力が低減される。このことは、本実施の形態1における半導体チップC H P 1によれば、温度サイクル耐量を向上できることを意味し、これによって、不良品となる半導体装置P K G 1を低減できることになる。したがって、本実施の形態1における半導体装置P K G 1によれば、製造歩留りの向上を図ることができ、これによって、半導体装置P K G 1の製造コストを削減することもできる。

10

【0068】

続いて、第3利点は、図16に示すように、半導体チップC H P 1の裏面S U R 2のサイズが、半導体チップC H P 1の表面S U R 1のサイズよりも大きくなることに起因して、放熱効率を向上できる点である。具体的には、図18に示すように、半導体チップC H P 1は、チップ搭載部T A B上に配置される。ここで、半導体チップC H P 1には、パワーM O S F E Tが形成されており、パワーM O S F E Tには、大電流を流すことから、半導体チップC H P 1は発熱しやすい特性がある。そして、半導体チップC H P 1が発熱して、半導体チップC H P 1の温度が上昇すると、パワーM O S F E Tの熱暴走を招くことになる。したがって、半導体チップC H P 1に形成されているパワーM O S F E Tの安定的な動作を確保するためには、半導体チップC H P 1からの放熱効率を向上することが重要である。この点に関し、本実施の形態1における構造上の特徴点によれば、半導体チップC H P 1の裏面S U R 2の面積が大きくなる。このことは、例えば、図18からわかるように、半導体チップC H P 1とチップ搭載部T A Bとの接触面積が大きくなることを意味する。特に、チップ搭載部T A Bは、熱伝導率の高い金属材料から構成されているため、半導体チップC H P 1とチップ搭載部T A Bとの接触面積が大きくなるということは、それだけ、半導体チップC H P 1からチップ搭載部T A Bへの放熱効率が向上することを意味する。したがって、本実施の形態1によれば、半導体チップC H P 1で発生した熱の放熱効率を向上することができる。この結果、本実施の形態1によれば、半導体装置P K G 1の信頼性を向上することができるという顕著な効果を得ることができる。

20

30

【0069】

なお、本実施の形態1における半導体チップC H P 1によれば、図16に示す傾斜角 θ が鋭角（ 90° よりも小さい角度）となるが、以下に示す理由により、傾斜角 θ は、小さくなり過ぎないことが望ましい。なぜなら、第1理由として、傾斜角 θ が小さくなり過ぎると、図18において、半導体チップC H P 1をチップ搭載部T A B上に搭載する際、半導体チップC H P 1とチップ搭載部T A Bとの間に介在する半田材S Fが、図16に示す傾斜部（S L P 1、S L P 2）に沿って這い上がりやすくなるからである。すなわち、這い上がった半田材S Fによって、裏面S U R 2に形成されている裏面電極B Eと、表面S U R 1に形成されているソース電極S Eとの間にショート不良が発生してしまうため、傾斜角 θ は、小さくなり過ぎないことが望ましいのである。

40

【0070】

さらに、第2理由として、傾斜角 θ が小さくなり過ぎると、表面S U R 1のサイズが小さくなるが、表面S U R 1のサイズが小さくなるということは、半導体基板1 S（半導体

50

ウェハ W F) におけるスクライプ領域のサイズが大きくなることを意味し、このことは、半導体基板 1 S から取得できる半導体チップ C H P 1 の数が少なることを意味するからである。すなわち、傾斜角 θ が小さくなり過ぎると、半導体基板 1 S (半導体ウェハ W F) から取得できる半導体チップ C H P 1 が少なくなる結果、半導体チップ C H P 1 の製造コストの削減を図ることが困難となるのである。以上のことから、半導体チップ C H P 1 の傾斜角 θ は、小さくなり過ぎないことが望ましいのである。

【 0 0 7 1 】

< 変形例 1 >

次に、実施の形態 1 の変形例 1 について説明する。特に、実施の形態 1 と本変形例 1 との相違点を中心に説明する。実施の形態 1 における半導体装置の製造方法では、例えば、図 1 0 に示すように、半導体基板 1 S の表面側に形成される溝 D I T 1 の断面形状が、逆三角形形状をしているのに対し、本変形例 1 における半導体装置の製造方法では、図 1 9 に示すように、溝 D I T 2 の断面形状が、逆三角形形状と垂直形状とを組み合わせた形状から構成される。すなわち、本変形例 1 における半導体装置の製造方法で形成される溝 D I T 2 の断面形状は、素子形成面を上側にして見た場合に逆テーパ形状となる形状と、半導体基板 1 S の表面に対して垂直となる垂直形状とを含むように構成される。これは、図 1 9 に示す切断刃 D S の先端形状によるものである。すなわち、切断刃 D S の先端形状を変更することにより、図 1 0 に示す断面形状を有する溝 D I T 1 を形成したり、図 1 9 に示す断面形状を有する溝 D I T 2 を形成することができる。

10

20

【 0 0 7 2 】

< 変形例 1 における半導体チップの構造 >

図 2 0 は、本変形例 1 における半導体装置の製造方法で製造した半導体チップ C H P 2 の模式的な構造を示す断面図である。図 2 0 に示すように、本変形例 1 における半導体チップ C H P 2 は、表面 S U R 1 および裏面 S U R 2 のそれぞれと接続する側面 S U R 3 と、側面 S U R 3 の反対側に位置する側面 S U R 4 とを有する。このとき、側面 S U R 3 は、表面 S U R 1 に対して垂直となる垂直形状部 V E R 1 と、裏面 S U R 2 に対して傾斜した傾斜部 S L P 1 とから構成される。同様に、側面 S U R 4 は、表面 S U R 1 に対して垂直となる垂直形状部 V E R 2 と、裏面 S U R 2 に対して傾斜した傾斜部 S L P 2 とから構成される。そして、本変形例 1 における半導体チップ C H P 2 では、例えば、傾斜部 S L P 1 (S L P 2) と裏面 S U R 2 との間のなす角度である傾斜角 θ は、10 度以上 40 度以下とすることができる。具体的な一例を挙げると、半導体チップ C H P 2 の厚さが 40 μ m 程度の場合、傾斜角 θ は、20 ° ~ 40 ° 程度であり、半導体チップ C H P 2 の厚さが 30 μ m 程度の場合、傾斜角 θ は、15 ° ~ 35 ° 程度であり、半導体チップ C H P 2 の厚さが 20 μ m 程度の場合、傾斜角 θ は、10 ° ~ 25 ° 程度となる。

30

【 0 0 7 3 】

< 変形例 1 に特有の特徴 >

本変形例 1 における半導体チップ C H P 2 に特有の特徴点は、例えば、図 2 0 に示すように、側面 S U R 3 が傾斜部 S L P 1 と垂直形状部 V E R 1 とから構成され、かつ、側面 S U R 4 が傾斜部 S L P 2 と垂直形状部 V E R 2 とから構成されている点にある。これにより、例えば、図 1 8 に示す実施の形態 1 におけるパッケージ構造のように、チップ搭載部 T A B 上に半田材 S F を介して半導体チップ C H P 1 が搭載される構成と同様に、本変形例 1 のパッケージ構造でも、チップ搭載部 T A B 上に半田材 S F を介して半導体チップ C H P 2 が搭載される。このとき、本変形例 1 に特有の特徴点によれば、側面 S U R 3 (S U R 4) は、垂直形状部 V E R 1 (V E R 2) を有している。このため、例えば、チップ搭載部 T A B 上に半田材 S F を介して半導体チップ C H P 2 を搭載する際、はみ出た半田材 S F は、側面 S U R 3 (S U R 4) の傾斜部 S L P 1 (S L P 2) に沿って這い上がったとしても、垂直形状部 V E R 1 (V E R 2) によって、さらなる半田材 S F の這い上がりが抑制される。この結果、本変形例 1 によれば、側面 S U R 3 (S U R 4) を這い上がった半田材 S F が表面 S U R 1 に達することを抑制することができ、これによって、半田材 S F を介した裏面電極 B E とソース電極 S E とのショート不良を抑制できる。

40

50

【 0 0 7 4 】

< 変形例 2 >

続いて、実施の形態 1 における変形例 2 について説明する。本変形例 2 における半導体装置の製造方法では、例えば、図 2 1 に示すように、半導体基板 1 S の表面側（図 2 1 では下側の面）に形成される溝 D I T 3 の幅（K e r f 幅）を小さくしている。これにより、図 2 1 に示すように、半導体基板 1 S の裏面（図 2 1 の上面）に裏面電極 B E を形成する際、裏面電極 B E によって溝 D I T 3 が塞がるため、溝 D I T 3 の側面に裏面電極 B E が形成されることを抑制することができる。つまり、本変形例 2 において、「溝 D I T 3 の幅を小さくする」とは、溝 D I T 3 の幅が裏面電極 B E で塞がる程度に小さくすることを意味する。これにより、本変形例 2 によれば、溝 D I T 3 の側面に裏面電極 B E が形成されることに起因するショート不良を抑制することができる。

10

【 0 0 7 5 】

このように構成されている本変形例 2 における半導体装置の製造方法の概要を説明すると以下ようになる。すなわち、本変形例 2 における半導体装置の製造方法では、半導体基板 1 S に形成される溝 D I T 3 の断面形状は、半導体基板 1 S の表面に対して垂直となる垂直形状部から構成される。そして、半導体基板 1 S の裏面側から溝 D I T 3 に達するまで半導体基板 1 S を研削することにより、複数のチップ領域を複数の半導体チップ C H P 3 に個片化する。その後、分離された半導体基板 1 S の裏面に裏面電極 B E を形成する。このとき形成される裏面電極 B E は、溝 D I T 3 を塞ぎ、分離された半導体基板 1 S の裏面に対して一体的に形成される。次に、本変形例 2 における半導体装置の製造方法は、さらに、複数の半導体チップ C H P 3 の間の間隔を広げるエキスパンジョン工程を有する。この結果、複数の半導体チップ C H P 3 のそれぞれは、複数の半導体チップ C H P 3 のそれぞれの裏面に形成される裏面電極 B E で互いに接続されているが、その後のエキスパンジョン工程によって、複数の半導体チップ C H P 3 のそれぞれは、互いに分離される。

20

【 0 0 7 6 】

このように構成されている本変形例 2 における半導体装置の製造方法によれば、溝 D I T 3 の幅（K e r f 幅）を小さくしている結果、半導体基板 1 S（半導体ウェハ）におけるスクライプ領域の幅を小さくすることができる。このことは、半導体基板 1 S の全面積に対するスクライプ領域の占有面積を低減できることを意味し、このことは、半導体基板 1 S（半導体ウェハ）から取得できる半導体チップ C H P 3 の収量を多くすることができることを意味している。したがって、本変形例 2 における半導体装置の製造方法によれば、半導体装置の製造コストを低減することができる。

30

【 0 0 7 7 】

（実施の形態 2）

< 実施の形態 2 における半導体装置の製造方法 >

次に、本実施の形態 2 における半導体装置の製造方法について、図面を参照しながら説明する。まず、図 2 2 に示すように、例えば、シリコンからなる半導体基板 1 S（半導体ウェハ W F）を準備する。そして、半導体基板 1 S の表面側（素子形成面側）に、「パワートランジスタ」のデバイス構造を形成する。半導体基板 1 S は、境界領域となるスクライプ領域で区画された複数のチップ領域を有し、複数のチップ領域のそれぞれに「パワートランジスタ」（半導体素子）が形成される。特に、図 2 2 では、半導体基板 1 S の表面側に形成される「パワートランジスタ」のデバイス構造の図示は省略している一方、図 2 2 では、「パワートランジスタ」のソースと電氣的に接続されるソース電極 S E が図示されている。このソース電極 S E は、例えば、アルミニウム膜やアルミニウム合金膜から構成されており、半導体基板 1 S 上にアルミニウム膜を成膜した後、フォトリソグラフィ技術およびエッチング技術を使用してパターニングすることにより形成される。

40

【 0 0 7 8 】

続いて、図 2 3 に示すように、ソース電極 S E が形成された半導体基板 1 S の表面に、表面保護テープ P F 1 を貼り付ける。その後、図 2 4 に示すように、半導体基板 1 S の裏面側から、半導体基板 1 S を第 1 厚さまで研削する。例えば、第 1 厚さは、1 0 0 μ m ~

50

600 μm 程度である。このとき、図 24 に示すように、半導体基板 1 S の裏面には、研削に起因する破砕層 B K L 3 が形成される。

【0079】

そして、図 25 に示すように、複数のチップ領域を区画する境界領域における半導体基板 1 S の内部に改質層 R F L を形成する。具体的に、改質層 R F L は、半導体基板 1 S の裏面側から、半導体基板 1 S の内部にレーザを照射することにより形成できる。

【0080】

続いて、図 26 に示すように、半導体基板 1 S の裏面側から、半導体基板 1 S を第 2 厚さまで研削する。これにより、改質層 R F L を起点とする劈開が生じて、複数のチップ領域が複数の半導体チップ C H P 4 に個片化される。すなわち、図 26 において、半導体基板 1 S の裏面側から研削を実施すると、研削時のストレスによって、改質層 R F L を起点とする劈開が生じて、半導体基板 1 S は、劈開面 C V F によって分離される。また、分離された半導体基板 1 S の裏面には、研削による破砕層 B K L 4 が形成される。なお、この時点で、改質層 R F L 自体は、研削によって除去される。すなわち、個片化された半導体チップ C H P 4 には、改質層 R F L は残らないことになる。

【0081】

次に、図 27 に示すように、劈開面 C V F によって分離された半導体基板 1 S の裏面に形成されている破砕層 B K L 4 を除去する。具体的に、破砕層除去工程は、ガスを使用したプラズマ処理によって実施される。このように、本実施の形態 2 においても、破砕層除去工程にウェット処理を使用しないことにより、薬液が劈開面 C V F に浸入することを防止することができ、これによって、半導体基板 1 S に形成されている「パワートランジスタ」の不良を抑制することができる。

【0082】

その後、図 28 に示すように、複数の半導体チップ C H P 4 の裏面にわたって一体化した裏面電極 B E を形成する。そして、図 29 に示すように、裏面電極 B E をダイシングテープ D T に接触させるようにして、裏面電極 B E で繋がっている複数の半導体チップ C H P 4 をダイシングテープ D T 上に配置する。続いて、図 30 に示すように、ダイシングテープ D T を引き伸ばして、複数の半導体チップ C H P 4 の間の間隔を広げることにより、一体化した裏面電極 B E を複数の半導体チップ C H P 4 ごとに分離する。以上のようにして、本実施の形態 2 における半導体チップ C H P 4 を取得することができる。

【0083】

< 実施の形態 2 における製法上の特徴 >

本実施の形態 2 における半導体装置の製造方法によれば、以下に示す利点を得ることができる。すなわち、図 27 に示すように、本実施の形態 2 における半導体装置の製造方法によれば、劈開面 C V F によって、半導体基板 1 S を複数の半導体チップ C H P 4 に個片化している。これにより、複数の半導体チップ C H P 4 の間に隙間を生じさせることなく、複数の半導体チップ C H P 4 を個片化することができる。このことから、本実施の形態 2 によれば、例えば、図 28 に示す裏面電極形成工程において、裏面電極 B E が半導体チップ C H P 4 の側面に回り込むことを防止できる。したがって、本実施の形態 2 における半導体装置の製造方法によれば、側面にも裏面電極 B E が形成されることに起因する半導体チップ C H P 4 の裏面電極 B E とソース電極 S E との間のショート不良を防止することができ、これによって、半導体装置の信頼性を向上することができる。

【0084】

また、本実施の形態 2 によれば、劈開によって半導体チップ C H P 4 を個片化しているため、半導体基板 1 S のスクライプ領域を小さくすることができる結果、半導体基板 1 S から取得される半導体チップ C H P 4 の個数を増加させることができる。したがって、本実施の形態 2 によれば、半導体装置の製造コストを削減することができる。

【0085】

さらに、本実施の形態 2 における半導体装置の製造方法によれば、第 2 厚さまでの研削工程によって改質層 R F L が除去されるため、半導体チップ C H P 4 の内部に改質層 R F

10

20

30

40

50

Lが残存していない。これにより、改質層RFLに起因するシリコン(Si)の機械的強度の低下を抑制できる。

【0086】

<実施の形態2における構造上の特徴>

上述した本実施の形態2における半導体装置の製造方法によれば、以下に示す構造の半導体チップCHP4を取得することができる。すなわち、本実施の形態2における半導体チップCHP4は、「パワートランジスタ」(半導体素子)が形成された表面と、表面の反対側に位置し、かつ、裏面電極が形成された裏面と、表面および裏面のそれぞれと接続する第1側面と、第1側面の反対側に位置する第2側面と、第1側面および第2側面のそれぞれと接続する第3側面と、第3側面の反対側に位置する第4側面とを有する。ここで、第1側面および第2側面のそれぞれは、劈開面から構成され、第3側面および第4側面のそれぞれは、劈開面から構成される。これにより、本実施の形態2における半導体チップCHP4によれば、半導体チップCHP4の機械強度を向上することができる。なぜなら、半導体チップCHP4の側面(第1側面~第4側面)を劈開面から形成している結果、機械強度を弱める要因である破砕層が形成されないからである。特に、半導体チップCHP4の薄厚化が進んだ場合、半導体チップCHP4の機械強度は、半導体チップCHP4の側面の強度に強く依存する。この点に関し、本実施の形態2における半導体チップCHP4によれば、半導体チップCHP4の側面全部が機械強度の強い劈開面から形成されるため、半導体チップCHP4の薄厚化が進んだ場合であっても、半導体チップCHP4の機械強度を向上することができる。このことから、本実施の形態2によれば、半導体装置の信頼性を向上することができる。

【0087】

なお、本実施の形態2における技術的思想は、シリコンからなる半導体基板1Sを使用する場合に限定されず、例えば、窒化ガリウム(GaN)に代表される化合物半導体からなる半導体基板1Sを使用する場合にも幅広く適用することができる。特に、窒化ガリウム(GaN)に代表される化合物半導体は、直接遷移半導体であるため、発光効率が高い半導体レーザの製造に適している。そして、半導体レーザでは、共振器を構成するために劈開面を使用するため、半導体チップの側面を劈開面から構成する本実施の形態2における技術的思想は、半導体レーザを形成した半導体チップの製造にも応用可能なポテンシャルを秘めている点で有用な技術的思想である。

【0088】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0089】

<実施の形態における技術的思想の有用性>

実施の形態における技術的思想は、従来のブレードダイシングでは実現困難な「薄厚化され、かつ、裏面電極が形成された半導体チップ」の個片化技術を提供するものである。したがって、実施の形態における技術的思想によれば、例えば、「パワートランジスタ」が形成された半導体チップの薄厚化に対応することができる結果、オン抵抗の低い「パワートランジスタ」の実現が可能となる。特に、「パワートランジスタ」が形成された半導体チップでは、半導体基板上にエピタキシャル層が形成されており、オン抵抗を低減するため、半導体基板の不純物濃度を高めることが行なわれている。ところが、300mmウェハに代表される大口径の半導体ウェハを使用する場合、不純物濃度バラツキの影響が大きくなるため、高濃度の半導体ウェハを実現することが困難となる。したがって、この場合、「半導体基板+エピタキシャル層」の厚さを薄くすることにより、オン抵抗を低減する必要があるが、この点において、従来のブレードダイシングでは実現困難な「薄厚化され、かつ、裏面電極が形成された半導体チップ」の個片化技術を提供する技術的思想の有用性は大きくなる。さらには、実施の形態における技術的思想によれば、半導体基板を残さない、いわゆる「サブレスチップ」の実現も可能となる。特に、高濃度の半導体ウェハ

を実現することが困難な大口径の半導体ウェハを使用する場合であっても、実施の形態における技術的思想を利用すれば、「サブレスチップ」の実現が可能となる。つまり、実施の形態における技術的思想によれば、高濃度の半導体ウェハを使用しなくても、大口径の半導体ウェハを使用し、かつ、「サブレスチップ」化によるオン抵抗の低減を実現することが可能となる。この結果、実施の形態における技術的思想は、オン抵抗の低い高性能な「パワートランジスタ」が形成された半導体チップを低い製造コストで実現することができるポテンシャルを秘めている点で有用性が高い技術的思想である。

【 0 0 9 0 】

前記実施の形態は、以下の形態を含む。

【 0 0 9 1 】

(付 記)

半導体チップを備え、

前記半導体チップは、

半導体素子が形成された表面と、

前記表面の反対側に位置し、かつ、裏面電極が形成された裏面と、

前記表面および前記裏面のそれぞれと接続する第 1 側面と、

前記第 1 側面の反対側に位置する第 2 側面と、

前記第 1 側面および前記第 2 側面のそれぞれと接続する第 3 側面と、

前記第 3 側面の反対側に位置する第 4 側面と、

を有し、

前記第 1 側面および前記第 2 側面のそれぞれは、劈開面から構成され、

前記第 3 側面および前記第 4 側面のそれぞれは、劈開面から構成される、半導体装置。

【 符号の説明 】

【 0 0 9 2 】

1 S 半導体基板

B C F 1 バリア導体膜

B C F 2 バリア導体膜

B E 裏面電極

B K L 1 破砕層

B K L 2 破砕層

B K L 3 破砕層

B K L 4 破砕層

C H P 半導体チップ

C H P 1 半導体チップ

C H P 2 半導体チップ

C H P 3 半導体チップ

C H P 4 半導体チップ

C V F 劈開面

D I T 1 溝

D I T 2 溝

D I T 3 溝

D T ダイシングテープ

P T 1 表面保護テープ

R F L 改質層

S E ソース電極

S L P 1 傾斜部

S L P 2 傾斜部

S U R 1 表面

S U R 2 裏面

S U R 3 側面

10

20

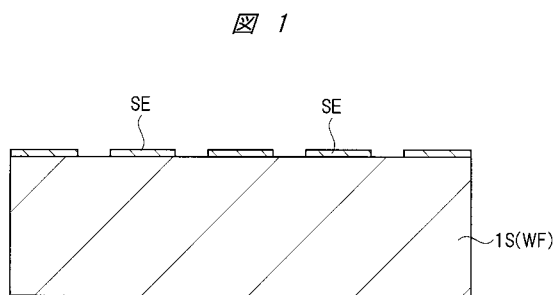
30

40

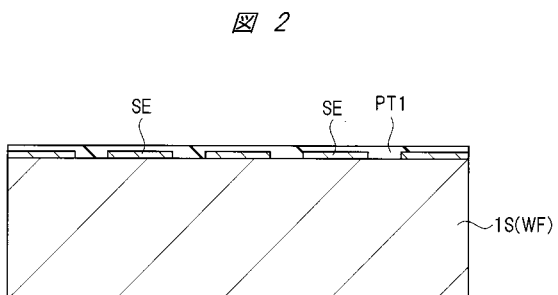
50

SUR 4 側面
VER 1 垂直形状部
VER 2 垂直形状部
WF 半導体ウェハ

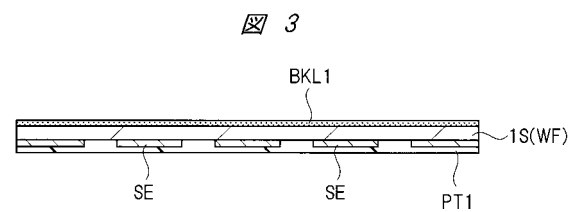
【図 1】



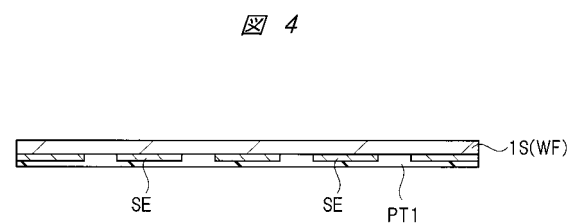
【図 2】



【図 3】

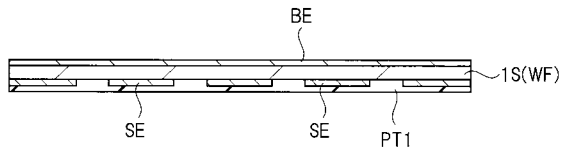


【図 4】



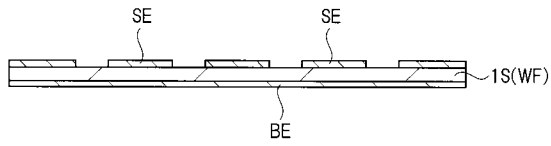
【図 5】

図 5



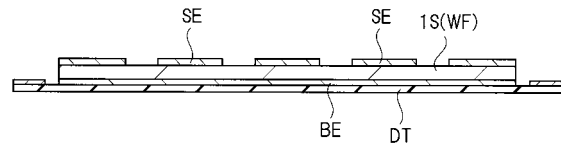
【図 6】

図 6



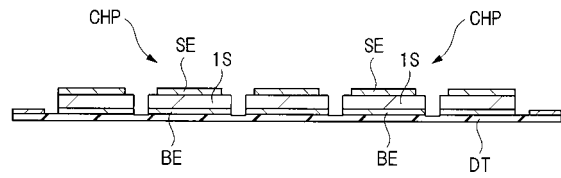
【図 7】

図 7



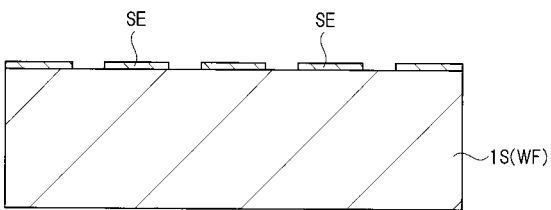
【図 8】

図 8



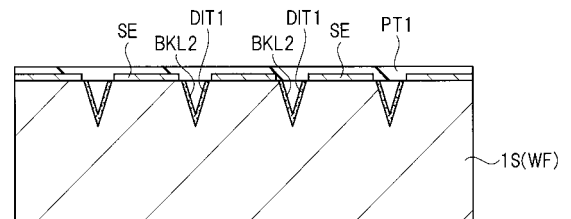
【図 9】

図 9



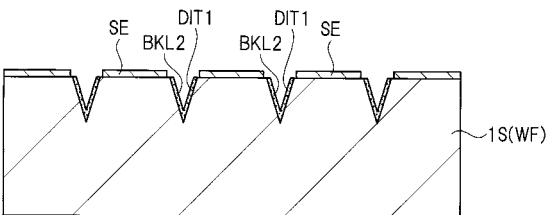
【図 11】

図 11



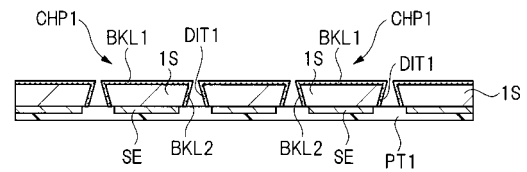
【図 10】

図 10

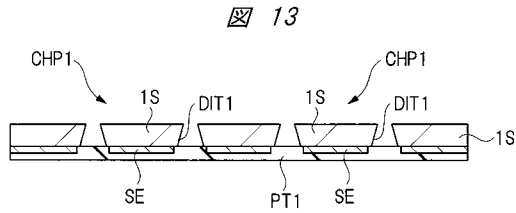


【図 12】

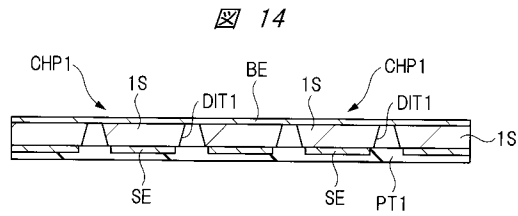
図 12



【図 13】

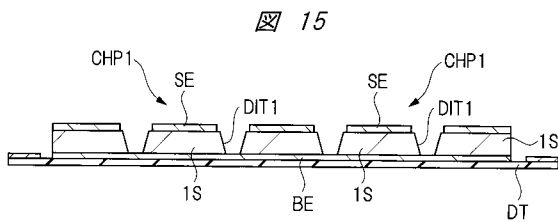


【図 14】

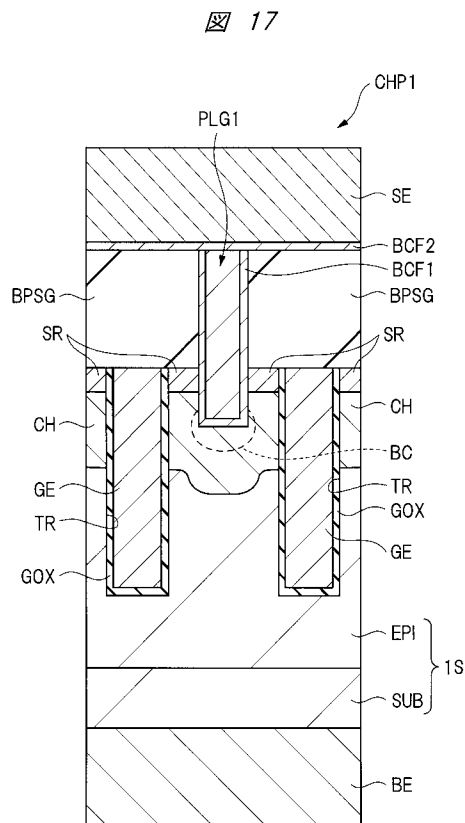


1S: 半導体基板
BE: 裏面電極
DIT1: 溝

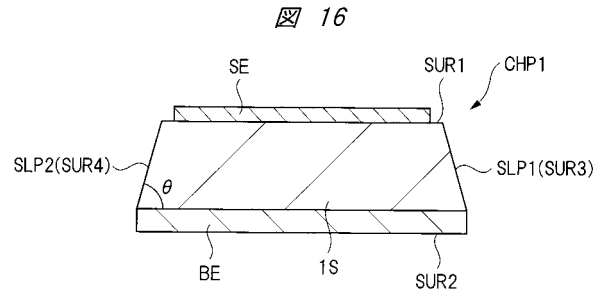
【図 15】



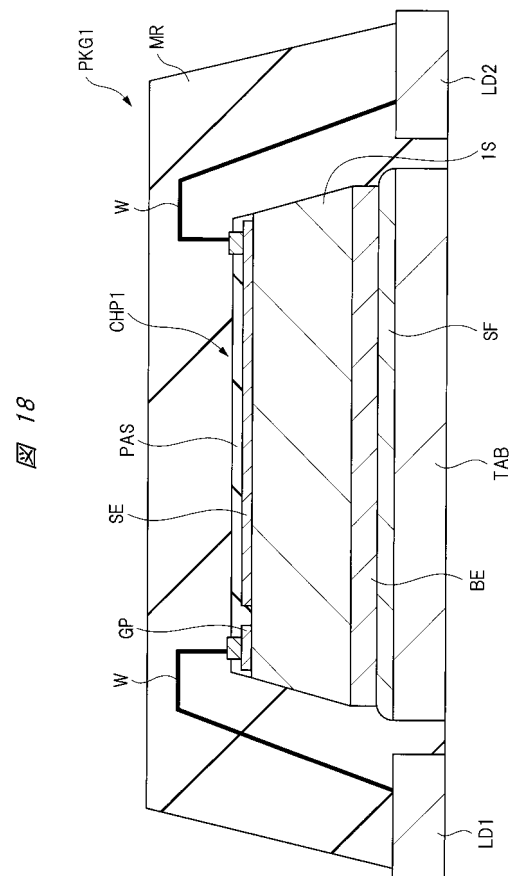
【図 17】



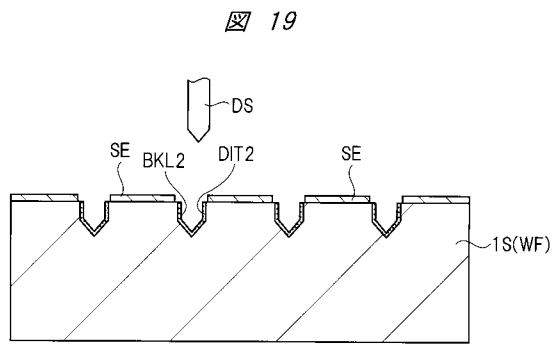
【図 16】



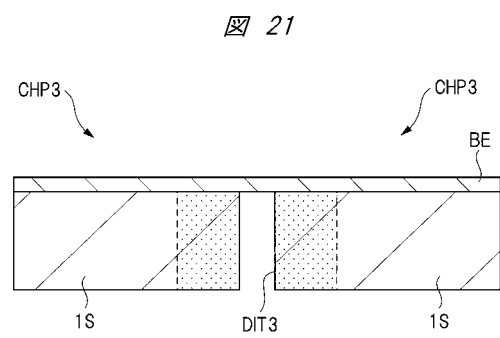
【図 18】



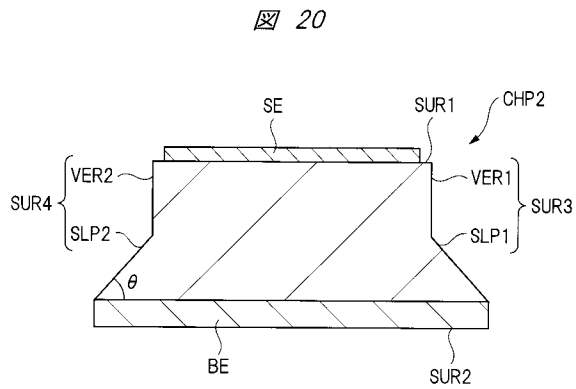
【図 19】



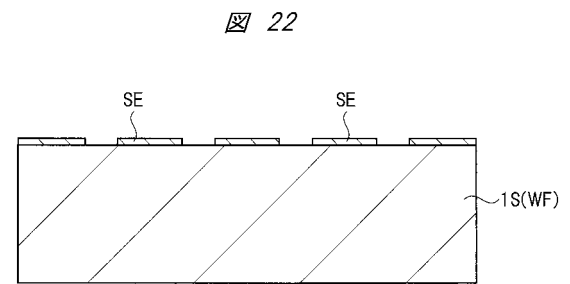
【図 21】



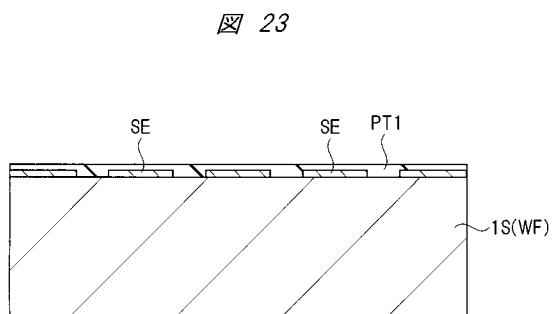
【図 20】



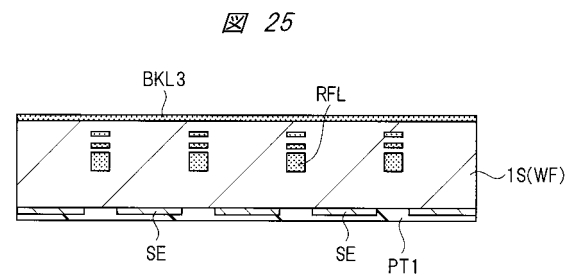
【図 22】



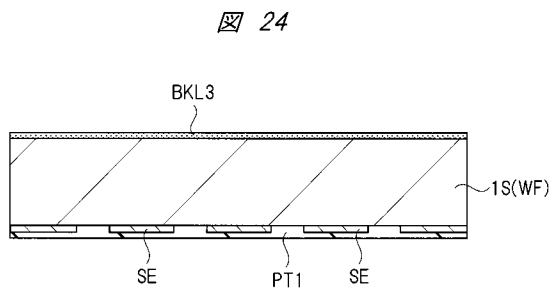
【図 23】



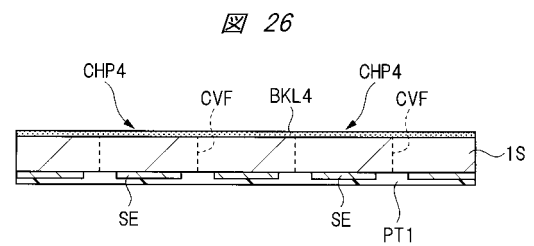
【図 25】



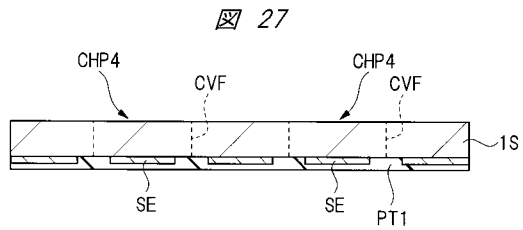
【図 24】



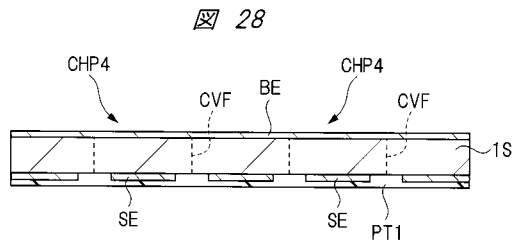
【図 26】



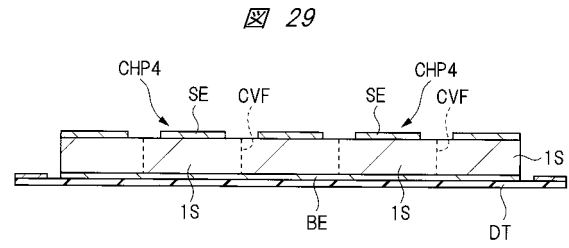
【図 27】



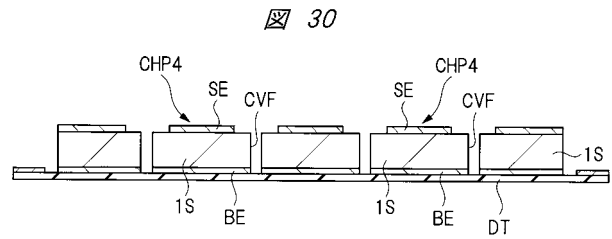
【図 28】



【図 29】



【図 30】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

H 0 1 L 29/78

6 5 8 F