(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 13/16

(45) 공고일자 2002년11월30일
(11) 등록번호 10-0341948
(24) 등록일자 2002년06월12일

(21) 출원번호 10-1995-0028871
(22) 출원일자 1995년08월30일

(65) 공개번호 특1996-0008565
(43) 공개일자 1996년03월22일

(30) 우선권주장 298868 1994년08월31일 미국(US)
363423 1994년12월21일 미국(US)

(73) 특허권자 모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자 진황이
미국,텍사스78745,오스틴,그린랜드레인2609
제임스비.에이퍼트
미국,텍사스78733,오스틴,벨리뷰드라이브800
월리스비.하우드3세
미국,텍사스78733,오스틴,크릭스엣지파키2806

(74) 대리인 이병호

심사관 : 김관식

(54) 제어된버스트메모리액세스기능을갖는데이타처리기및그방법

요약

데이타 프로세스(21)는 고정 또는 가변 버스트 액세스를 실행하기 위해 두 개의 외부 버스 마스터(30, 34)에 응답하는 외부 버스 인터페이스 회로(33)를 포함한다. 데이타 처리기(21)는 버스트 액세스가 고정 버스트 액세스 또는 가변 버스트 액세스인지를 나타내는 외부 제어 신호를 활성화시킨다. 데이타 처리기(21)는 한 포트 사이즈 신호를 외부 버스 인터페이스 회로(33)에 제공하여 액세스된 메모리 영역의 포트 사이즈를 나타낸다. 외부 버스 인터페이스 회로(33)는, 액세스된 위치가 내부 버스(31) 이외의 다른 포트 사이즈를 갖는 메모리(24)에 일치한다면, 그 포트 사이즈 신호에 응답하여 버스트 사이클을 외부 버스(22, 23) 상의 두 개 또는 그 이상의 버스트 사이클로 분리(break up)시킨다.

대표도
도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 제어된 버스트(burst) 메모리 액세스 기능 (accesses)을 갖는 데이타 프로세서를 설명하는 블럭도.

제 2 도 및 제 3 도는 제 1 도의 데이타 프로세서의 동작을 이해하는데 사용된 타이밍도.

제 4 도는 제 1 도의 칩 선택의 상세한 블럭도.

제 5 도는 제 1 도의 외부 버스 인터페이스 회로의 상세한 블럭도.

* 도면의 주요부분에 대한 부호의 간단한 설명 *

20 : 데이타 처리 시스템 21 : 데이타 처리기

22 : 데이타 버스 23 : 어드레스 버스

24 : 16 비트 메모리 장치 25 : 36 비트 메모리 장치

26 : 제어 버스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명의 일반적으로 데이타 처리기에 관한 것으로, 특히 버스트 메모리 액세스를 지원하는 데이타 프로세서에 관한 것이다.

컴퓨터 시스템에 있어서, 중앙 처리 장치(CPU)는 액세스된 데이타 소자를 공통으로 저장하는 메모리 셀의 그룹의 유일한 위치를 나타내는 어드레스를 제공함으로써 메모리를 액세스한다. CPU는, 어드레스 버스에 어드레스를 제공하고, 어드레스가 유효하여 버스 사이클을 시작하는 신호에 하나 이상의 제어 신호를 제공하여 버스 사이클로서 지칭된 것을 초기화한다. 그후, 판독/기록 제어 신호는 액세스가 판독 액세스인지 또는 기록 액세스인지를 나타낸다. 결과적으로, 데이타 소자(element)는, 버스 사이클이 판독 사이클일 때 데이타 버스로부터 판독되거나, 버스 사이클이 기록 사이클일 때 데이타 버스에 제공된다. 이와 같은 액세스를 제공하는 메모리 장치는 어드레스 및 데이타 버스에 접속되어, 어드레스 버스상의 어드레스에 의해 표시된 위치에서, 판독 사이클동안 데이타 버스에 데이타를 제공하거나, 기록 사이클 동안 데이타 버스 상에 데이타를 저장한다. 버스 사이클의 형태는 적어도 두 클럭 사이클을 필요로 하는데, 전형적으로는 4 개 이상의 클럭 사이클을 필요로 한다.

효율을 개선하기 위한 노력에 있어서, 컴퓨터 구조는 고속 액세스를 위한 여러 부가 모드로 개발되었다. 예를 들어, 약간의 집적 회로 메모리 장치에 있어서, 여러 기억 장치 셀은 동시에 액세스되고, 그들 내용은 버퍼에 임시로 보유된다. 전형적으로, 그들 " 엑스트라(extra)" 저장 셀의 어드레스는 단지 하나 혹은 두 개의 비트에 의해 원래의 액세스 어드레스와 다르다. 그러나, 그들 셀에 대한 연속 액세스는 액세스 어드레스를 변화시키지 않고 액세스 사이클을 간단하게 실행하여 성취 될 수 있다. 본 기술에 있어서, 그와 같은 메모리는 " 니블 모드(nibble mode)라 칭한다. 약간의 다른

집적 회로 메모리에 있어서, 원래의 액세스 어드레스의 부분은 하나(혹은 그 이상)의 연속 액세스로 가정될 수 있기 때문에, 어드레스의 최하위 부분이 디코드 되야 한다. 그로 인해, 원래의 액세스가 완료될 때, " 관련된" 저장 셀에 대한 연속 액세스는 매우 빠르게 될 것이다. 이러한 형태의 메모리는 " 컬럼 모드" 또는 " 정지 컬럼(static column)이라 칭하기도 한다. 이와 같은 성능이 향상된 메모리 장치를 사용하여 구성된 메모리 시스템에 있어서, 효과는 메모리가, m이 n전력에 대해 2 이고, n은 정수인 m의 " 버스트" 내의 여러 오퍼랜드(operands)의 고속 전송과 선택된 메모리 장치의 특성을 유지할 수 있도록 한다.

버스트 액세스 이용의 한 예는 CPU가 온-칩(on-chip) 캐쉬를 갖는 경우이다. 이 CPU가 갱신 될 필요가 있는 캐쉬의 라인[캐쉬 미스(miss)로서 공지된 라인]을 액세스할 때, 그러한 캐쉬는 외부 메모리로부터 판독될 일련의 데이타 워드를 필요로 한다. 이러한 동작은 캐쉬 라인이 채워지는 것으로 공지되어 있다. 이러한 캐쉬라인은 어떤 임의 수의 데이타 워드 또는 바이트가 될 수 있지만, 전형적으로 4 워드가 되는데, 여기서, 한 워드는 전형적으로 32 비트의 길이를 갖는다. 이용 가능한 버스트 모드에 의해서, 외부 메모리에 대한 캐쉬 라인의 채워지는 동작(cache line fill operation)은 4개의 버스 사이클[4 비트(beat)] 버스트 사이클로 구성된다. 4-비트(beat) 버스트 사이클은 유효하게 되어, 클럭 사이클의 최소 수에 대한 버스를 제어하는 캐쉬를 필요로 하며, 캐쉬 라인의 워드를 액세스하는 캐쉬 사이에서 메모리 위치를 다른 장치가 액세스 할 때 발생할 수 있는 코히런시(coherency) 문제점을 감소 또는 제거하기 위해 캐쉬 라인이 연속 액세스로 채워질 수 있다.

그러나, 시간이 경과할 때, 집적된 회로 밀도는 증가하게 되어 복잡성이 가중된다. 여기서, 집적도의 증가를 수용하고, 버스트 동작의 보다 유연성이 있는 모드를 가져야할 필요성이 있게 된다. 이들 문제점은 본 발명에서 해소되는데, 본 발명의 특징 및 장점은 첨부된 도면을 참조하여 취해진 다음 상세한 설명으로부터 명료하게 이해될 것이다.

본 발명에 따른 데이타 처리기는 고정 및 가변 버스트 모두를 외부 메모리 장치와 두 형태의 버스트 액세스를 실행하는 유연성(flexibility)을 제공한다. 그 유연성은 외부 버스 인터페이스 회로가 모듈(modularity)로 설계될 수 있도록 허용하여, 버스 마스터 장치의 단일 형태(고정 또는 가변 버스트 중 어느 하나)만을 갖는 두 개의 집적 회로 데이타 처리기뿐만 아니라, 버스 마스터 장치의 두 형태를 갖는 집적 회로 데이타 처리기에 이용될 수 있도록 한다. 또한, 그 데이타 처리기는, 외부 메모리가 데이타 처리기의 외부 버스 이외의 상이한 데이타 버스 사이즈를 가질 때 외부 메모리에 대한 버스트 액세스를 실행하는 능력을 갖는다. 또한, 상기 데이타 처리기는 개선된 어드레스 래핑(wrapping) 메카니즘을 갖는다. 그들 장점은 아래의 제 1 도를 참조하여 특정 실시예를 통해 명백히 될 것이다.

제 1 도는 본 발명에 따른 제어된 버스트 메모리 액세스 기능(accesses)을 갖는 데이타 프로세서(21)를 설명하는 블럭도이다. 데이타 처리기(21)는 데이타 처리 시스템(28)에 관계하여 도시되어 있으며, 데이타 처리 시스템(20)은 데이타 버스(22), 어드레스 버스(23), 제 1 메모리 장치(16 비트 메모리)(24), 제 2 메모리장치(32 비트 메모리)(25)와, 제어 버스(26)를 포함한다. 데이타 처리기(21), 메모리(24)와, 메모리(50) 각각은 " CLOCK" 로 표시된 입력 클럭 신호에 대해 동기된다.

데이타 처리기(21)는, " DO-D15" 로 표시된 신호를 전도하는 제 1 섹션 및, " D16-D31" 로 표시된 신호를 전도하는 제 2 섹션인, 두 섹션으로 분리된 32-비트 양방향 데이타 경로를 갖는다. 어드레스 버스(23)는 A0 내지 9가 어드레스 버스(23)상에 전도되는 32 비트 어드레스 버스를 형성한다. " BE0-BE2" 로 표시된 바이트 인에이블 신호를 통해 부가 신호처리는 32-비트 바이트 어드레스를 형성하지만, 그들 바이트 인에이블 신호는 제어 버스(26)의 부분으로 제 1 도에 도시되어 있다.

각각의 메모리(24 및 25)는 어드레스 버스(23)에 접속된 입력과 데이타 버스(22)에 접속된 양방향성 접속부를 갖는다. 그러나, 16-비트 메모리(24)는 32-비트 데이타 버스(22)의 하위(lower) 16 비트에만 접속된다. 메모리(25)는 어드레스 버스(23)에 접속된 입력을 가지며, 데이타 버스(22)의 각각의 16-비트 섹션에 접속된 양방향 접속부를 갖는다. 제어 버스(26)는 데이타 처리 시스템(20)의 동작에 필요한 10 개의 제어 신호를 전도한다. 또한, 제어 버스(26)의 약간의 제어 신호는 데이타 처리 시스템(20)의 동작의 제 1 모드에 특히 관계된다. 제어 버스(26)상에 전도되는 신호는 아래의 표(1)에 설명되어 있다. 아래의 표(1)는 신호명에 대한 신호를 설명하고 있다.

표(1)

신호명	신호 설명
$\overline{BE0}-\overline{BE2}$	외부 바이트 인에이블 신호
$\overline{TS}$	전송 개시. 외부 버스 인터페이스 회로(33)는 버스 액세스의 개시에서 한 CLOCK 사이클 동안 신호를 활성화한다.
$\overline{BURST}$	버스트 사이클
$\overline{FIX}$	고정된 버스트 액세스. 이 신호는 고정된, 4-비트(beat) 버스트 액세스를 나타내기 위해 활성화된다.
$\overline{AACK}$	어드레스 인식 신호. 이 신호는 버스 사이클의 어드레스 위상을 종결하여, 외부 버스 인터페이스 회로(33)가 공급 가능한(pipelineable) 장치에 대한 다른 액세스를 초기화하도록 허용한다.
$\overline{TA}$	전송 인식 신호. 이 신호는 버스 사이클 또는 버스트 액세스 동안 각각의 비트(beat)의 데이타 위상의 정상 완료를 나타낸다.
$\overline{BDIP}$	진행의 버스트 데이타. 이 신호는 데이타 비트(beats)가 고정 버스트 액세스로 남아 있을 때를 나타낸다.
$\overline{LAST}$	한 버스트의 최종 비트(beat). 이 신호는 최종 데이타 비트(beat)가 버스 사이클 동안 전송될 때 CLOCK 의 저-고 천이에서 활성화된다.
$\overline{BI}$	버스트 금지 신호(Burst inhibit). 이 입력 신호는 어드레스된 장치가 버스트 용량을 갖지 못하는 것을 나타낸다.

데이타 프로세서(21)는 중앙 처리 유닛(CPU) 코어(30), 일련의 내부 버스(31), 칩 선택 회로(32), 외부 버스 인터페이스 회로(33)와, 직접 메모리 액세스(DMA) 제어기(34)를 일반적으로 포함한다. CPU 코어(30)는 복합 명령 셋트 컴퓨터(CISC), 감소된 명령 셋트 컴퓨터(RISC), 디지탈 신호 처리기(DSP) 등의 구조와 같은 여러 형태의 데이타 처리기 구조를 사용하여 구현될 수 있다. 본 실시예에 있어서, CPU 코어(30)는 분리된 명령 및 데이타 경로를 갖는 하바드 구조(Harvard architecture)를 갖는 RISC 데이타 처리기이다. 따라서, 내부 버스(31)는 명령 버스 및 데이타 버스

모두를 갖는다.

CPU 코어(30)는 CPU 코어(30)의 동작을 위해 고속 로컬 메모리와 같은 기능을 하는 캐쉬(35)를 또한 포함한다. 본 기술 분야에 이미 공지된 것처럼, 캐쉬(35)는 자주 우연히 접하게 되는 자주 이용되는 명령을 기억하여, 데이타 처리기(21)의 성능을 증가시킨다. 명령 메모리 위치에 대한 액세스를 검출하면, 캐쉬(35)는 대응하는 메모리 위치 및 인접한 메모리 위치의 주어진 수를 인출(fetch)하기 위하여, CPU 코어(30)에 대해 외부에 있는 외부 메모리를 액세스한다. 그후, 캐쉬(30)가 메모리로부터 데이타를 로드하도록 하는 명령에 인접한 프로그램 내의 명령을 CPU 코어(30)가 액세스하면, 캐쉬(35)는 그들 메모리 위치의 내용을 또한 포함할 것이다. 그러나, CPU 코어(30)가 명령 메모리를 액세스하고, 캐시(59)가 그 메모리 위치의 내용을 기억하지 못한다면, 캐쉬(35)는 외부 메모리로부터 데이타를 인출해야 할 것이다. 캐쉬(35)는 여러 인접한 메모리 위치를 액세스하기 위한 필요성을 나타내는 " CACHE FILL REQUEST" 로 표시된 신호를 활성화하여 상술한 인출을 실행한다. 외부 버스가 이용될 수 있는 경우에, 캐쉬(35)는 캐쉬에 저장을 위해 요구된 라인을 인출하기 위하여 외부 버스에 대해 내부 버스(31)를 통해 버스 사이클(이 경우 판독 사이클)을 실행한다. 그로 인해, 캐쉬(35)는 버스 사이클을 초기화 및 제어할 수 있는 장치인 버스 마스터 장치로서 기능을 한다.

칩 선택 회로(32)는 데이타 처리기(21)의 집적도를 증가시키는 CPU 코어(30)의 주변 회로인데, 그 회로에 의해 보드 스페이스(board space)를 절약한다. 프로그래밍 이후에 칩 선택 회로(32)는, 상업적으로 이용 가능한 메모리 집적 회로의 입력에 직접 제공될 수 있는, 출력 인에이블(OE), 기록 인에이블(WE) 및, 칩 인에이블(CE)로서 일반적으로 공지된 신호들을 활성화시킨다. 이러한 신호 처리(signalling)를 성취하기 위하여, 칩 선택 회로(32)는 특정 인터페이스 특성을 갖는 메모리 영역을 정의하도록 프로그램 될 수 있다. 칩 선택 회로(32)는 입력 어드레스 및 일련의 보호 속성(protection attributes)을 수신하고, 여러 영역 중 한영역에서 일치시키기 위해 이미 프로그램된 값을 검사한다. 칩 선택 회로(32)가 매치(match)를 검출한다면, 그 영역에 상주하는 메모리 칩에 접속되어 프로그램된 칩 선택 신호를 활성화한다. 부가로, 칩 선택 회로(32)는 외부 버스 액세스의 어드레스 및 데이타 위상을 종결시키기 위한 인식 신호를 복귀시킬 수 있는 능력을 갖는다. 이러한 복귀를 위해, 칩 선택 회로(32)는 액세스의 어드레스 위상의 종결을 나타내는 어드레스 인식 신호(AACK)를 제공하도록 프로그램될 수 있다. 칩 선택 회로(32)는 전송 인식 신호(TA)를 또한 복귀시켜서, 버스 사이클의 데이타 위상의 종결을 나타낸다.

칩 선택 회로(32)는 단일 신호 또는 다중 신호가 될 수 있는 " PORT SIZE" 로 표시된 신호를 통해 그 영역내에 메모리 집적 회로에 대한 데이타 인터페이스의 사이즈에 관한 정보를 더 저장한다. 예를 들어, 칩 선택 회로(32)는 16-비트 액세스로서 16 비트 메모리(24)에 대한 액세스를 인식하도록 프로그램될 수 있어, 외부버스 인터페이스 회로(33)에 대해 상술한 적당한 논리 상태로 PORT SIZE를 제공한다. 또한, 칩 선택 회로(32)는 32-비트 메모리(25)에 대한 액세스를 검출하여, 32-비트 액세스를 나타내는 PORT SIZE 신호를 복귀시킨다. 명확히 알 수 있듯이, 외부메모리의 포트 사이즈 특성에 관련된 정보의 저장은 버스트 액세스 동안 외부 버스 인터페이스 회로(33)의 동작에 중요하게 된다.

외부 버스 인터페이스 회로(33)는 내부 버스(31)에 접속된 제 1 포트와, 외부 데이타 버스(22), 외부 데이타 버스(23) 및, 외부 제어 버스(26)에 접속된 제 2 포트를 갖는다. 부가로, 외부 버스 인터페이스 회로(33)는 적어도 두 버스 마스터 장치로부터 버스트 요청 신호를 수신하기 위한 적어도 두 입력을 갖는다. 제 1 도에 있어서, 외부 인터페이스 회로(33)는 CPU 코어(30)내의 캐쉬(35)로부터 제 1 버스트 요청 입력(CACHE FILL REQUEST)을 수신한다. 외부 버스 인터페이스 회로(33)는 " DMA RIQUIEST" 로 표시된 DMA 제어기(34)로부터 제 2 버스트 요청 입력 신호를 또한 수신한다. 또한, 외부 버스 인터페이스 회로(33)는 어드레스 및 속성 정보를 칩 선택 회로(32)에 제공하고, 칩 선택 회로(32)에서 정의된 인터페이스에 관련된 칩 선택 회로(32)로부터 여러 신호를 수신한다. 그들 신호는 AACK, TA 및 PORT SIZE를 포함한다.

데이타 처리기(21)는 내부 버스(31)에 대한 양방향 접속부와, 신호(DMA REQUEST)를 제공하기 위한 출력을 갖는 DMA 제어기(34)를 포함한다. DMA 제어기(34)는 다른 버스 마스터 장치의 예인데, 본 예에 있어서는 가변 버스트 액세스를 초기화할 수 있는 것이다. 다른 실시예에 있어서, 데이타 처리기(21)는 CPU 코어(30) 또는 두개 이상의 버스 마스터 장치와 같은 단일 버스 마스터 장치만을 포함 할 수도 있다.

외부 버스 인터페이스 회로(33)는 고정 버스트 액세스를 요청하는 버스 마스터 장치의 제 1 형태와, 가변 버스트 액세스를 요청하는 버스 마스터 장치의 제 2 형태 모두에 응답하는 입력을 갖기 때문에 모듈(modular)이다. 예를 들어, 캐쉬(35)가 CACHE FILL RIQUEST 신호를 활성화 시킬 때마다, 캐쉬 라인에 채우기 위해 외부 버스(22)상에 인출된 데이타 소자의 어떤 이미 결정된 수(number)를 요청한다. 캐쉬 라인 사이즈는 어떤 특정 캐쉬에 대해 고정된다. 반면에, DMA 제어기(34)는 이전에 알려지지 않은 가변 사이즈의 외부 데이타 버스(22)로부터 데이타를 요청한다. DMA 제어기(34)가 외부 버스 인터페이스 회로(33)에 버스트의 길이를 표시 하는데 이용될 수 있는 몇 가지 방법이 있다. 한 방법은 외부 버스 인터페이스 회로(33)에 대한 버스트의 사이즈를 나타내는 신호 그룹을 DMA 제어기(34)에 제공하는 것이다. 그러면, 외부 버스 인터페이스 회로(33)는 그 값을 카운터에 로드할 수 있고, 카운터가 제로(0)로 계수할 때까지 종료하는 버스트를 실행한다. 다른 신호처리 방법은 가변 버스트 요청의 개시 및 종료가 " BDIB" (제 1 도에 도시하지 않음)로 표시된 신호를 통해 이루어진다. 신호(BDIB)는 버스트 액세스의 데이타 위상의 개시에서 활성화되고, 버스트 액세스의 최종 버스트 비트(beat)에서 비활성 된다. 그 " $BDIP_D$ " 신호가 다중-비트 버스트 사이즈 신호에 반대되는 단일 신호로서 버스트의 길이를 결정하는 정보를 전송하기 때문에, 신호 처리의 $BDIP_D$ 기법은 바람직하게 된다.

제 2 도 및 제 3 도는 제 1 도의 데이타 처리기(21)의 동작을 이해하는데 이용된 타이밍도 이다 특히, 제 2 도는 고정된 버스트 액세스의 타이팅도를 설명한다. 데이타 처리기(21)에 관하여, 그 고정된 버스트 액세스는 CACHE FILL REQUEST 신호를 활성화하는 캐쉬(35)에 의해 초기화된 버스트를 나타낸다. 데이타 처리 시스템(21)에 있어서, 신호들은 CLOCK 신호의 로우-하이 천이로부터 시간 조정된다. 제 2 도에 있어서, 버스트 액세스 동안 CLOCK 신호의 연속된 로우-하이 천이는 " t1" , " t2" , " t3" , " t4" , " t5" 및 " t6" 을 각각 표시된다. t1 이전에 시간 설정되면, 외부 버스 인터페이스 회로(33)는 " A1" 로 표시된 어드레스를 활성화시키고, 신호(TS)를 활성화시켜 액세스의 개시를 나타낸다. 외부 버스 인터페이스 회로(33)는 상기 액세스가 t1 이전에 시간 설정된 신호(BURST) 및 신호(FIX) 모두를 활성화시켜 고정된 버스트 액세스가 됨을 나타낸다. 제 2 도의 타이밍도에 의해 설명되는 실시예에 있어서, 액세스된 메모리 장치 또는 칩 선택 회로(32)중 하나는 활성화 신호(AACK)에 의해 t1 이전에 시간 설정된 어드레스를 인식한다. 더욱이, 본 실시예에 있어서, 메모리는 T2에서 비활성된 신호(ta)를 유지하는 칩 선택 회로(32)에 대해 외부 메모리 장치에 의해 R2에서 삽입되는 하나의 대기 상태를 요구한다. 외부 버스 인터페이스 회로(33)는 데이타 위상의 개시 및 제 1 데이타 소자의 전송을 나타내는 T3 이전에 시간 설정된 신호(BDIP)를 활성화시킨다. 제 1 데이타 소자는 t3 이전에 설정된 시간에서 전송되고, 제 2 도의 " D1" 로 표시된다. 제 2 도의 DATA 신호는 외부 버스 인터페이스 회로(33)에 의해 데이타 버스(22)에 제공된 데이타 또는, 외부 버스 인터페이스 회로(33)에 의해 데이타 버스(22)로부터 수신된 데이타 중 어느 하나를 나타낼 수 있는데, 즉, 기록 사이클 또는 판독사이클 중 어느 하나를 각각 나타낼 수 있다.

신호(BURST 및 FIX)의 활성화에 응답하여, 액세스된 메모리 장치는 고정된 버스트 액세스를 인식한다. 그 메모리 장치는 어드레스(A1)에서 판독하고, 버스트의 완료를 위해 정해진 일정 수의 액세스를 통해 내부 카운터를 증가시킨다. 제 2 도에 설명된 실시예에 있어서, 고정된 4-비트(beat) 버스트가 연속 클럭 천이(t3, t4, t5 및 t6)의 각각에서 데이타 소자(D1, D2, D3 및 D4)를 판독 또는 기록하는 액세스된 장치를 통해 인식된다. 데이타 처리기(21)는 2개의 인식된 버스트 프로토콜 중 하나를 지지하여 유연성 있는 버스트 프로토콜을 지지하기도 한다. 모토롤라 프로토콜로서 공지된 제 1 프로토콜에 있어서, 외부 버스 인터페이스 회로(33)는 신호(BDIP)를 활성화하여, 버스트의 연속 비트(beat)의 전송을 나타낸다. 버스트의 종료는 비활성화 되는 신호(BDIP)에 의해 나타난다. 상기 신호는 버스트 사이클이 연속으로 됨을 나타내는데 중요하기 때문에, 다른 형태의 액세스에 있어서 그 버스트 사이클이 빠르게 종료될 수 있다.

그러나, 부가적으로, 신호(BDIP)를 전도시키는 집적 회로는 다른 공지된 버스트 신호 처리 프로토콜을 이용하여 신호(LAST)를 전도하도록 프로그램될 수 있다. 다른 공지된 신호 처리 프로토콜에 있어서, 그 버스트의 비트(beats)는 신호(LAST)가 버스트 최종 비트(beat)상에 활성화될 때까지 계속된다. 제 2 도에 도시된 것처럼, 신호(LAST)는 t6 이전에 설정된 시간을 활성화하여 버스트의 최종 비트(beat)를 나타낸다.

제 3 도는 가변 버스트 액세스의 타이밍도를 나타낸다. 제 2 도에 있어서, 클럭의 연속된 로우-하이 천이는 t1 내지 t6으로 각각 표시된다. 또한, 제 2 도에 도시된 것처럼, 외부 버스 인터페이스 회로(33)는 t1 이전 시간까지 설정된 신호 (TS) 및 신호(burst)를 활성화한다. 그러나, 제 2 도에 설명된 타이밍과는 달리, 외부 버스 인터페이스 회로(33)가 비활성화된 신호(FIX)를 유지하여, 버스트가 가변 길이 버스트를 나타낸다. 제 2 도에 도시된 것과 같이, 제 3 도에 도시된 것처럼, 액세스된 메모리 장치 또는 칩 선택 회로(32)는 신호(AACK)의 활성화에 의해 t1 이전에 시간 설정된 어드레스 위상을 인식한다. 또한, 제 2 도에서 처럼, 신호(TA)는 t2 에서 비활성 상태를 유지하여, 대기 상태를 데이타 위상 상태로 되게 한다. 시간(t3)에서, 데이타 소자(D1)는 전송되어, 신호(BDIP)는 활성화된다. 버스트의 연속 비트(beat)를 나타내는 그 데이타 소자는 다음 클럭 사이클에서 발생될 것이다. 이는 t4에서 데이타 소자(D2)의 전송에 의해 발생한다. 그러나, 또한, t4에서, 신호(BDIP)는 비활성되어 전송된 데이타 소자(D2)가 버스트의 최종 비트(beat)임을 나타낸다. 외부 버스 인터페이스 회로(33)가 파이프 라인된 액세스(pipelined accesses)를 지원하기 때문에, " A2" 로 표시된 연속 파이프라인된 어드레스가 t2 이전에 설정된 시간을 유효화되고, 제 2 액세스의 파이프라이닝(pipelining)은 신호(TS 및 BURST)를 활성화하는 외부 버스 인터페이스 회로에 의해 12 이전에 설정된 시간을 표시된다. 그러나, t4에서 제 1 액세스의 최종 데이타 위상에 대한 연속은 액세스된 메모리 장치 또는 칩 선택 회로(32)가 t5에서 활성화 신호(AACK)를 표시한다. 이전에서 처럼, 액세스된 메모리 장치 또는 칩 선택 회로(32)중 하나는 t6에서 비활성된 신호(TA)를 유지하여 데이타 위상으로 대기 상태를 만든다. 그러나, 외부 버스 인터페이스 회로(33)는 t6 에서 신호(BDIP)를 활성화하여 제 2 연속 버스트 액세스의 제 1 비트(beat)를 나타낸다.

제 4 도는 제 1 도의 칩 선택 회로(32)의 상세한 블럭도이다. 칩 선택 회로(32)는 모듈로되어 다른 응용에 있어 재구성될 수 있다. 칩 선택 회로(32)는 " DECODE BUS" (81)로 표시된 제 1 버스와 " TIMING BUS" (82)로 표시된 제 2 버스를 포함하는 신호의 상호 접속부에 대해 일반적으로 1 버스를 포함한다. 또한, 칩 선택 회로(32)는 어드레스 디코드단(90), 타이밍 제어단(100) 및; 핀 구성단(110)을 포함한다. 칩 선택 회로(32)는 어드레스 디코드단(90)내의 어드레스 디코더의 제 1임의 수, 타이밍 제어단(100)내의 제어 유닛의 제 2 임의 수와, 핀 구성단(11b)내의 핀 구성 논리 회로의 제 3 임의 수를 포함하여 모듈 및 재구성될 수 있다.

제 4 도에서 설명된 것처럼, 어드레스 디코드단(90)은 대표하는 어드레스 디코더(91, 94 미 97)를 포함한다. 어드레스 디코더(91)는 베이스 어드레스 레지스터(92) 및 옵션 레지스터(93)를 포함한다. 베이스 어드레스 레지스터(92)는 어드레스 디코더(91)와 관련된 프로그램 가능한 영역에 대한 베이스 어드레스로 정의한다.

선택 레지스터(93)는 어드레스 디코더와 관련된 영역의 사이즈와, 그 영역의 속성에 관련된 다른 프로그램 가능한 필드를 포함한다. 어드레스 디코더(91)는 외부 버스 인터페이스를 통해 내부 버스(31)에 전도되는 어드레스를 수신하여, 어드레스가 옵션 레지스터의 사이즈 필드내의 베이스 어드레스 레지스터(92)에 의해 정의된 영역 내에 있는지를 확인하기 위한 비교를 실행한다. 어드레스 매치(일치)에 응답하여, 어드레스 디코더(91)는 제어 신호를 DECODE BUS(81)에 제공한다. 또한, 어드레스 디코더(94 및 97)는 그 어드레스가 그들 대응하는 프로그램 가능한 영역내에 존재하여 그에 따라 제어 신호를 DECODE BUS(81)에 제공하는지를 검출한다. 어드레스 디코드단(90)내의 어드레스 디코더 수는 임의 수로 되어 상이한 시스템 필요성을 제공하고 유연성과 칩 사이즈 사이의 트레드오프(tradeoff)가 존재하게 된다. 예를 들어, 약간의 응용에 있어서, 이용 가능한 프로그램 가능한 영역의 수를 증가시키는데 도움을 주어, 보다 유연성 있는 소프트웨어 또는 시스템 구조를 제공한다. 다른 응용에 있어서, 어드레스 디코더 수는 감소되기도 하여, 집적 회로 비용을 최소화시킨다.

사이즈 필드에 부가하여, 옵션 레지스터에 도움을 주는 3 개의 다른 필드가 존재한다. ACK_EN 필드는, 어드레스가 칩 선택 회로(32)내에 프로그램되는 영역내에 위치할 때, 칩 선택 회로(32)는 AACK 및 TA 신호를 복귀시킬 것인지를 결정한다. ACK_EN 필드가 이진수의 1로 설정된다면, 칩 선택 회로(32)는 그 영역에 대해 전송 인식(TA) 및 어드레스 인식(AACK) 필드를 복귀시킨다. 전송 인식 지연(TA_DLY)과 같이 공지된 다른 필드로 인하여, 칩 선택 TA 신호를 외부 버스 인터페이스 회로(33)에 복귀시키기 전에 회로(32)는 대기 상태로 된다. 또한, 인터페이스 형태(ITYPE) 필드는 아래에 보다 상세히 설명된 것 처럼, 칩 선택 회로(32)를 TA로 복귀시킬때 영향을 준다.

특정 관심인 옵션 레지스터(93)의 제 2 필드는 포트 사에즈(PS) 필드처럼 공지된 필드이다. PS 필드는 액세스된 영역내에 메모리 장치의 데이타 버스 사이즈를 나타내는 엔코드된 필드이다. 포트 사이즈 필드의 엔코딩은 아래의 표(2)에 설명되어 있다.

표(2)

PS(이진수)	포트사이즈
00	예약
01	16-비트 포트
10	32-비트 포트
11	예약

다른 실시예에서는 보다 작거나 보다 큰 포트 사이즈가 엔코드될 수 있고, 외부 버스 인터페이스 회로(33)가 그에 따라 버스트 액세스를 제어시킬 수 있다는 점을 주목한다.

ITYPE 필드는, 버스트 가능하면서 버스트 불가능한 인터페이스 모두를 포함하는 상이한 인터페이스 형태를 정의한다. ITYPE 필드의 엔코딩은 아래의 표(3)에 도시되어 있다.

표(3)

ITYP 필드 (이진수)	장치 인터페이스 액세스 형태
0000	출력 버퍼를 갖는 일반적인 비동기 영역은 1 클럭 주기와 같거나 짧은 시간을 턴-오프한다. 이러한 인터페이스 형태를 갖는 장치는 파이프라인될 수 없다.
0001	출력 버퍼를 갖는 일반적인 비동기 영역은 2 클럭 주기와 시간을 턴-오프한다. 이러한 인터페이스 형태를 갖는 장치는 파이프 라인될 수 없다.
0010	비동기($\overline{OE}$)를 갖는 동기 영역. 이러한 인터페이스 형태를 갖는 장치는 파이프라인될 수 있고, 비동기 장치로서 동작을 할 수 있으며, $\overline{OE}$가 활성화될 때까지 판독 액세스에 따른 내부 데이타를 홀드-오프할 수 있는 능력을 갖는다.
0011	초기 동기($\overline{OE}$)를 갖는 동기 영역. 이러한 인터페이스 형태를 갖는 장치는 파이프 라인될 수 있고, 비동기 장치로서 기능을 할 수 있고, $\overline{OE}$가 활성화될 때까지 판독 액세스에 따른 내부 데이타를 홀드-오프할 수 있는 능력을 갖는다. 이러한 인터페이스 형태에 의해 액세스되는 장치는 적어도 1 대기 상태를 가져야 하고, TA_DLY가 0 대기 상태를 나타내는 경우, 칩 선택 회로(32)는 영역이 1 대기 상태를 나타낼 때처럼 $\overline{OE}$를 발생한다.
0100	예약. 잘못으로 프로그램된 경우에, 대응하는 핀은 비활성화를 유지한다.
0101	고정된 버스트 액세스 능력만을 갖는 버스트 가능한 영역. 이러한 인터페이스는 $\overline{OE}$를 가지며, 파이프라인될 수 있고, $\overline{OE}$가 활성화될 때까지 내부 데이타를 홀드-오프할 수 있다. 이러한 인터페이스는 비동기 인터페이스로서 기능을 할 수 있지만, 대기 상태의 수가 인터페이스 및 $\overline{OE}$의 활성화에 의해 요구된 이후에만 데이타를 제공한다. 이러한 모드에 있어서, 인터페이스는 다음 데이타를 전송시켜야 함을 $\overline{BDIP}$ 신호가 나타낼 때까지 유효한 제 1 데이타 비트(beat)를 유지하게 된다. 상술한 영역에 대한 $\overline{OE}$는 비동기 $\overline{OE}$이다.
0110	예약. 잘못으로 프로그램된 경우에, 대응하는 핀은 비활성화를 유지한다.
0111	고정된 버스트 액세스 능력만을 갖는 버스트 가능한 영역이지만, 인터페이스는 $\overline{OE}$를 가지며, 파이프라인될 수 있고, $\overline{OE}$가 활성화될 때까지 내부 데이타를 홀드-오프할 수 있다. 인터페이스는 비동기 인터페이스로서 기능을 하지만, 대기 상태의 수가 인터페이스에 의해 요구되고, $\overline{OE}$가 활성화된 이후에만 데이타를 제공한다. 이러한 모드에 있어서, 인터페이스는 다음 데이타를 전송해야 함을 $\overline{BDIP}$ 신호가 나타낼 때까지 유효한 제 1 데이타 비트(beat)를 유지하게 된다. 이러한 영역에 대한 OE는 동기 OE이다.
1000	고정된 버스트 액세스만을 갖는 버스트 가능한 영역. 이러한 인터페이스는 이러한 장치는 대기 상태의 수가 요구된 이후에 데이타 출력을 구동시킨다. 그러한 형태는 데이타 버스가 이용될 수 있을 때까지 내부 데이타의 오프를 유지할 수 없기 때문에, 양호하게 파이프라인될 수 없다. 이러한 인터페이스는 비동기 인터페이스로서 기능을 할 수 있지만, 대기 상태의 수가 판독된 후에만 데이타를 제공하고, 단지 1 클럭에 대해 유효한 제 1 데이타 비트(beat)를 유지하게 된다.
1001	영역에 대한 액세스를 초기 오버랩핑하는 부가 특성을 갖는 ITYPE = 0011과 동일. 이러한 형태의 인터페이스는 이전 액세스에 대한 기록에 따라 데이타를 판독 또는 수신에 따른 유효 데이타를 구동시키기 전에 CLOCK 주기에 대한 다른 액세스를 파이프라인할 수 있어야 한다.
1010-1111	예약. 잘못으로 프로그램된 경우에, 대응하는 핀은 비활성화를 유지한다.

8개의 가능한 인터페이스 액세스 형태 중에, ITYPE(5, 7, 및 8)는 버스트 가능한 영역으로 정의된다.

타이밍 제어단(100)은 제 2 임의 수의 제어 유닛을 포함한다. 타이밍 제어단(100)에 있어서, 2개의 제어 유닛(101 및 102)이 설명되었다. 타이밍 제어단(100)은 액세스 상태로서 기계적 기능을 하고, 외부 버스에 칩 선택 신호를 제공하며, 각각의 제어 유닛(101 및 102)은 진행 중에 버스 사이클이 하나 이상의 프로그램 가능한 영역의 속성에 일치하는지를 나타내는 디코드된 신호를 수신하기 위해 디코드 버스(81)에 접속된 입력을 갖는다. 응답에 있어서, 타이밍 제어단(100)내의 제어 유닛 중 선택된 한 제어 유닛은 연속 타이밍 정보를 타이밍 버스(82)에 제공하여, 주어진 프로그램된 인터페이스 형태에 적당한 타이밍을 반영하게 된다. 타이밍 제어단(100)에 대해 선택된 제어 유닛의 수는 진행에 있어서 대기하는 오버랩핑 메모리 액세스의 수를 결정한다. 대기하는 메모리 액세스의 수는 파이프라인 깊이로서 이미 공지되어 있다.

예를 들어, 어드레스 디코드단(90)내의 어드레스 디코더(91)는 대응하는 프로그램 가능한 영역에 대한 액세스를 인식

하고, 응답에 있어서 제어 신호를 디코드 버스(81)에 제공한다. 타이밍 제어단(100)에 있어서, 제어 유닛(101)과 같은 제어 유닛은 상기 버스 사이클과 관련되어, 상술한 액세스의 대기 동안 그 액세스에 대해 타이밍 신호를 타이밍 버스(82)에 제공한다. 제 2 액세스는 제 1 액세스 동안 발생될 수도 있고, 어드레스 디코드단(90)내의 어드레스 디코더는 대응하는 프로그램 가능한 영역에 대한 액세스를 인식할 수 있으며, 옵션 레지스터내에 프로그램된 그들을 일치시키는 속성을 가지고, 제어 신호를 디코드 버스(81)에 제공한다. 그 후, 제어 유닛(102)과 같은 제 2 제어 유닛은 타이밍 신호를 타이밍 버스(82)에 제공하기 시작하여, 인터페이스 형태에 의해 결정될 때 상술한 액세스에 대한 하나 이상의 칩 선택 제어 신호를 중복시킨다.

핀 구성단(110)은 제 3 임의 수의 핀 구성 논리 회로를 포함한다. 각각의 핀 구성 논리 회로는 서로 대응하고, 집적 호로 핀에 제공된다. 그러나, 집적 회로 핀은 칩 선택 신호와 다른 신호 사이에 분할될 수 있고, 그 기능을 프로그램 가능하게 설정할 수 있다.

상술한 제 3 임의 수는 유연성과 시스템 비용 사이의 보다 나은 트레이드 오프를 허용하기 위하여 여러 응용들에서 변경될 수 있다. 예를 들어, 비용이 가장 중요한 요인이 되지 않는 응용에 있어서, 핀 구성 논리 회로의 보다 큰 수가 포함될 수 있기 때문에, 보다 큰 유연성 및 능력을 제공하고, 메모리 장치의 보다 큰 수에 대한 칩 선택 신호를 제공한다. 비용이 크게 고려되는 다른 응용에 있어서는, 핀 구성 논리 회로의 보다 작은 수가 이용될 수 있다.

핀 구성단(110)에 있어서, 대표하는 핀 구성 논리 회로(111, 112 및 113)는 " PIN0" , " PIN1" 및 " PIN2" 로 표시된 출력 신호를 제공하는 것으로 도시되어 있다. 각각의 핀 구성 논리 회로는 제어 신호를 수신하기 위해 디코드 버스(81)에 접속된 제 1 입력과, 타이밍 정보를 수신하기 위해 타이밍 버스(82)에 접속된 제 2 입력을 갖는다. 각각의 핀 구성 논리 회로가 모든 가능한 타이밍 정보를 수신하기 때문에, 각각의 핀 구성 논리 회로는 칩 선택 기능의 그룹 중 하나로 구성될 수 있다. 예를 들어, 핀 구성 논리 회로(111)는 어떻게 핀 구성 논리 회로(111)가 프로그램될 수 있는 것에 따라, CE, WE 또는 OE 신호 중 하나가 될 수 있도록 구성될 수 있다. 따라서, 어드레스 디코드단(90)내의 어드레스 디코더의 제 1 임의 수, 제어 유닛 및 타이밍 제어단(100)의 제 2 임의 수 및, 핀 구성단(110)내의 핀 구성 논리 회로의 제 3 임의 수를 포함함으로써, 칩 선택 회로(32)는 메모리 영역의 임의 수, 임의 액세스 파이프라인 깊이와, 칩 선택 신호의 임의 수를 정의하는 최대 유연성을 제공한다. 그들 임의 수는 이용 가능한 트레드오프를 최대화하기 위하여 여러 실시예 사이에서 변경될 수 있다.

제 5 도는 제 1 도의 외부 버스 인터페이스 회로(33)의 상세한 블럭도이다. 외부 버스 인터페이스 회로(33)는 제 1 버스 인터페이스 유닛(120), 제 2 버스 인터페이스 유닛(121), 어드레스 멀플렉서(MUX)(122), 데이타 MUX(123) 및, 버스 제어 상태 머신(124)을 일반적으로 포함한다. 이미 설명한 것처럼, 내부 버스(31)는 각각의 명령 및 데이타 버스를 포함하는 Harvard 버스이다. 버스 인터페이스 유닛(120)은 내부 버스(31)의 데이타부에 접속된다. 이러한 데이타부는 " L-BUS" 로서 공지되어 있다. 버스 인터페이스 유닛(120)은 L-BUS의 명령 및 데이타부를 버스 제어 상태 머신(124)의 제어 하에 " L-ADDRESS" 로 표시된 부분으로 분리시킨다. 또한, 버스 인터페이스 유닛(121)은 내부 버스(31)의 명령부에 접속되어, 버스 제어 상태 머신(124)의 제어 하에 " I-ADDRESS" 로 표시된 어드레스 부와 " I-DATA" 로 표시된 데이타부로 명령부를 분리시킨다. 따라서, 외부 버스 인터페이스 회로(33)는 단지 외부 버스에 대한 단일 액세스를 제공하기 위해 L-BUS 와 I-BUS 액세스 사이에서 중재되어야 한다.

어드레스 MUS(122)는 L-ADDRESS를 수신하기 위해 버스 인터페이스 유닛(120)에 접속된 제 1 입력, I-ADDRESS를 수신하기 위해 버스 인터페이스 유닛(121)에 접속된 제 2 입력과, 버스 제어 상태 머신(124)의 제어 하에 ADDRESS를 어드레스 버스(23) 및 칩 선택 회로(32)에 제공하기 위한 출력을 갖는다. 데이타 MUX(123)는 L-DATA를 수신하기 위해 버스 인터페이스에 접속된 제 1 입력, I-DATA를 수신하기 위해 버스 인터페이스 유닛(121)에 접속된 제 2 입력과, 데이타 버스(22)에 접속된 양방향 접속부를 갖는다. 데이타 MUX(123)는 버스 제어 상태 머신(124)의 제어 하에 데이타 버스(22)로/로부터의 전송을 제어하도록 동작한다.

버스 제어 상태 머신(124)은 상술한 인터페이스, 특히, 제 2 도 및 제 3 도에 관하여 설명된 인터페이스를 구현하도록 설계된 종래의 머신이다. 버스 제어 상태 머신(124)은 CLOCK 신호와 동기하여 동작하게 된다. 버스 제어 상태 머신(124)은, 2-비트 DECODED PORT SIZE, 8-비트 디코드된 I-ITYPE, ACK_EN 신호, AACK 신호 및 TA 신호를 포함하는 칩 선택 회로(32)로부터 여러 입력 신호를 수신한다. 이전에 설명한 것처럼, 칩 선택 회로(32) 또는 외부 메모리 장치의 AACK 신호 및 TA 신호인지는 ACK_EN 신호의 상태에 따라 이용된다. 부가로, 버스 제어 상태 머신(124)은 CPU 코어(30)로부터, 특히, CACME FULL REQUEST 신호를 포함하는 캐시(35)로부터 제어 신호를 수신한다. 또한, 버스 제어 상태 머신(124)은 DMA 요청 신호 및 $BDIP_D$ 신호를 포함하는 DMA 제어기(34)로부터 제어 신호를 수신한다. 또한, 버스 제어 상태 머신(124)은 다소의 응용에서 구현될 수 없는 제어 버스(26)로부터 AACK 및 TA 신호를 수신하는 입력을 갖는다. 또한, 제어 상태 머신(124)은 TS, BURST, FIX 및 BDIP/LAST신호를 제공하기 위한 출력을 갖는다. 버스 제어 상태 머신(124)은 제 2 도 및 제 3 도의 타이밍도에서 이미 설명한 것처럼 TS, BURST, FIX 및 BDIP/LAST신호를 제공하는 종래의 순차 논리 상태 머신이다.

액세스된 메모리 장치가 버스트 금지된다면, 외부 버스 인터페이스 회로(33)는 내부 고정 버스트 액세스를 외부 버스상의 단일 액세스로 분리시킨다. 그러나, 액세스된 장치가 버스트 가능하게 되어 있다면(ITYPE 5, 7 또는 8), 외부 버스 인터페이스 회로(33)는 버스트의 개시 어드레스 및 포트 사이즈에 따라 상이하게 그 액세스를 실행한다. 버스 제어 상태 머신(124)은 작은 포트 장치에 대해 고정된 4비트(beat) 버스트 사이클을 구현하고, 상이한 ADDRESS 정렬에 대한 래핑을 제어하기 위한 메카니즘을 갖는다. 상기 문맥에 있어서, ADDRESS는 이중 워드 경계에 해당한다면, 정렬된 " 이중 워드" 로 고려된다. 4개의 최하위 ADDRESS 비트가 0000 또는 1000 이진수일 때 이중 워드 경계가 발생한다. 정렬된 워드가 이중 워드가 아닌 ADDRESS는, 워드 경계에는 해당하지만 이중 워드 경계에는 해당되지 않는 정렬된 " 워드" 로 고려된다 워드-정렬 ADDRESS는 4게의 최하위 ADDRESS 비트가 0100 또는 1100 이진수 일 때 발생한다.

외부 버스 인터페이스 회로(33)는 포트 사이즈에 따라 비트(beats)의 순서를 실행하고, 그 ABDRESS가 정렬된 이중-워드 또는 단지 정렬된 워드인지를 확인한다. 외부 32 비트 장치에 대한 버스트 액세스는 간단하며, 아래의 표(4)에 도시되어 있다.

표(4)

비트(Beat)	정렬(4 최하위 ADDRESS Bits)			
첫 번째	0000	0100	1000	1100
두 번째	0100	1000	1100	0000
세 번째	1000	1100	0000	0100
네 번째	1100	0000	0100	1000

여기서, 외부 버스 인터페이스 회로(33)는 버스트에 대한 제 1 비트(beat)에 ADDRRESS를 제공하고, 32 비트 메모리(25)의 내부 어드레스 카운터에 의해 연속 어드레스가 제공된다.

외부 버스 인터페이스 회로(33)는 개시 어드레스가 아래 표(5)에 도시된 것처럼 정렬된 이중 워드일 때 작은 포트(16 비트) 장치에 대한 2개의 4 비트(beat) 버스트 액세스로서 채워지는 캐쉬 라인과 같이 고정된 액세스를 실행한다.

표(5)

Burst/Beat Bits)	정렬(Alignment)(4 최하위 ADDRESS)	
1st/1st	0000	1000
1st/2nd	0010	1010
1st/3rd	0100	1100
1st/4th	0110	1110
2nd/1st	1000	0000
2nd/2nd	1010	0010
2nd/3rd	1100	0100
2nd/4th	1110	0110

여기서, 외부 버스 인터페이스 회로(33)는 각각의 버스트의 제 1 비트(beat)상에 새로운 ADDRESS를 제공한다. 연속 어드레스는 작은 포트 장치[메모리(24)처럼]의 내부 어드레스 카운터에 의해 제공된다.

그러나, 작은 포트 장치에 대한 고정된 버스트 액세스의 개시 어드레스가 이중-워드로 정렬되어 있지 않다면, 외부 버스 인터페이스 회로(33)는, 아래의 표(6)에 도시된 것처럼, 2개의 비트 버스트 액세스로서 액세스를 실행하고, 다음에 4-비트(beat) 버스트 액세스, 다음에 2-비트(beat)액세스를 실행한다.

표(6)

Burst/Beat	정렬(Alignment)(4 최하위 ADDRESS Bits)	
1st/1st	0000	1100
1st/2nd	0110	1110
2nd/1st	1000	0000
2nd/2nd	1010	0010
2nd/3rd	1100	0100
2nd/4th	1110	0110
3rd/1st	0000	1000
3rd/2nd	0010	1010

각각 가능한 정렬 및 포트 사이즈에 대해서, 외부 버스 인터페이스 회로(33)DATA가 적당한 순서로 내부 버스(31)에 제공될 수 있도록 보장한다.

본 발명은 양호한 실시예에 관계하여 설명되었지만, 본 발명이 다수의 방법에 의해 수정될 수 있고, 상기 기술된 것과 특별히 설정된 것 이외의 많은 실시예가 있을 수 있음을 본 기술에 숙련된 사람들에 의해 명백히 알 수 있을 것이다. 예를 들어, 외부 버스 인터페이스 회로는 여러 신호 처리 기법에 의해 가변 버스트 액세스의 개시 및 종료를 고려할 수 있다. 부가로, 상이한 고정 버스트 사이즈가 지원될 수 있다. 따라서, 첨부된 특허 청구 범위에 의해 본 발명의 정신 및 범위 내에서 해당하는 모든 변경안을 포함될 수 있다.

(57) 청구의 범위

청구항 1.

제어된 버스트 메모리 액세스 기능을 갖는 데이타 처리기에 있어서,

제 1 소정의 폭을 갖는 내부 데이타 버스(31);

명령 및 메모리 액세스를 실행하기 위해, 상기 내부 데이타 버스(31)에 결합된 상기 제 1 소정의 폭의 데이타 경로를 가지며, 데이타 소자의 제 1 소정의 수의 액세스를 액세스의 대응하는 제 1 소정의 수로 요청하기 위해 메모리 액세스 요청신호를 제공하기 위한 제어 출력 단자를 갖는 중앙 처리 유닛(30);

상기 중앙 처리 유닛(30)에 결합되고, 외부 데이타 버스(22)에 결합된 외부 메모리(24)가 상기 제 1 소정의 폭 또는 어떤 제 2 소정의 폭을 갖는지를 나타내는 포트 사이즈 신호를 제공하기 위한 제어 출력을 갖는 칩 선택 회로(32)와;

상기 내부 데이타 버스(31)에 결합된 제 1 포트, 상기 외부 데이타 버스(22)에 결합된 제 2 포트와, 상기 메모리 액세스 요청 신호 및 상기 포트 사이즈 신호를 수신하기 위한 제어 입력 단자를 갖는 외부 버스 인터페이스 회로(33)를 포함하고,

상기 외부 버스 인터페이스 회로(33)는 상기 메모리 액세스 요청 신호에 응답하여 상기 제 1 소정의 폭을 각각 갖는 데이타 소자의 상기 제 1 소정의 수를 상기 내부 데이타 버스(31)에 제공하고,

상기 외부 버스 인터페이스 회로(33)는 상기 포트 사이즈 신호에 또한 응답하여, 상기 외부 메모리(24)가 상기 제 1 소정의 쪽을 갖는 것을 상기 포트 사이즈 신호가 나타내는 경우에 상기 외부 메모리(24)에 대한 상기 제 1 소정의 수의 액세스를 실행하거나, 상기 외부 메모리(24)가 상기 제 2 소정의 폭을 갖는 것을 상기 포트 사이즈 신호가 나타내는 경우에, 상기 외부 메모리(24)에 대한 제 2 소정의 수의 액세스를 실행하고,

상기 외부 버스 인터페이스 회로(33)는 다수의 버스트 사이클에서 상기 제 2 소정의 수의 액세스를 또한 실행하고, 상기 외부 버스 인터페이스 회로(33)는 상기 중앙 처리 유닛(30)에 의해 제공된 개시 어드레스에 따른 버스트 사이클의 수를 실행하는 데이타 처리기.

청구항 2.

제어된 버스트 메모리 액세스 기능을 갖는 집적 회로 데이타 처리기에 있어서,

내부 버스(31) ;

상기 내부 버스(31)에 결합되어, 제어 출력 단자에 제 1 버스트 요청 신호를 제공하여 데이타 비트(beats)의 소정 수를 갖는 제 1 버스트 액세스를 실행하기 위한 제 1 내부 버스 마스터 장치(30);

상기 내부 버스(31)에 결합되어, 출력 단자에 제 2 버스트 요청 신호를 제공하여 데이타 비트(beats)의 가변 수를 갖는 제 2 버스트 액세스를 실행하기 위한 제 2 내부 버스 마스터 장치(34)로서, 상기 제 2 내부 버스 마스터 장치(34)는 상기 제 2 버스트 액세스의 개시 및 종료를 나타내고;

상기 내부 버스(31)에 결합된 제 1 포트, 외부 데이타 버스(22)에 결합된 제 2 포트, 상기 제 1 및 제 2 버스트 요청 신호를 수신하기 위한 제어 입력 단자와, 고정 신호를 제공하기 위한 제어 출력 단자를 갖는 외부 버스 인터페이스 회로(33)를 포함하고,

상기 외부 버스 인터페이스 회로(33)는 상기 고정 신호를 활성화하고, 상기 제 1 버스트 요청 신호에 응답하여 상기 제 1 내부 버스 마스터 장치(30)와 상기 외부 데이타 버스(22) 사이의 데이타 비트(beats)의 상기 소정의 수를 전송하기 위해 적어도 하나의 대응하는 외부 버스 사이클을 실행하고,

상기 외부 버스 인터페이스 회로(33)는 상기 고정 신호를 비활성으로 유지하고, 상기 제 2 버스트 요청 신호에 응답하여 상기 제 2 내부 버스 마스터 장치(34)와 상기 외부 데이타 버스(22) 사이의 데이타 비트(beats)의 상기 가변 수를 전송하기 위해 적어도 하나의 외부 버스트 사이클을 실행하는 데이타 처리기.

청구항 3.

외부 버스 인터페이스 회로에 있어서,

제 1 및 제 2 버스트 요청 신호를 수신하기 위한 제어 입력 단자;

내부 버스(31)로부터 버스트 어드레스를 수신하기 위한 어드레스 입력 단자;

외부 버스(22, 23)에 어드레스를 제공하기 위한 어드레스 출력 단자;

고정 신호를 제공하기 위한 제어 출력 단자;

상기 내부 버스(31)에 결합된 입력, 제어 입력 단자 및, 상기 외부 버스(22, 23)에 결합된 출력을 갖는 어드레스 전송 소자(122)와;

상기 내부 버스(31)에 결합된 제 1 단자, 상기 제어 입력 단자 및, 상기 외부 버스(22, 23)에 결합된 제 2 단자를 갖는 데이타 전송 소자(123)와;

상기 외부 버스 인터페이스 회로(33)의 상기 제어 출력 한자와 상기 제어 입력 단자에 결합된 상태 머신(124)을 포함하고,

상기 상태 머신(124)은 상기 고정 신호를 활성화시키고, 상기 제 1 버스트 요청 신호에 응답하여 상기 내부 버스(31)와 상기 외부 버스(22, 23) 사이의 데이타 비트(beats)의 소정의 수를 전송하기 위한 상기 어드레스(122) 및 데이타(123)전송 소자를 활성화시켜 적어도 하나의 대응하는 외부 버스트 사이클을 실행하고,

상기 외부 버스 인터페이스 회로(33)는 상기 고정 신호를 비활성으로 유지하고, 상기 제 2 버스트 요청 신호에 응답하여 상기 내부 버스(31)와 상기 외부 버스(22, 23) 사이의 데이타 비트(beats)의 가변 수를 전송하기 위해 상기 어드레스(122) 및 데이타 (123) 전송 소자를 활성화시켜 적어도 하나의 대응하는 외부 버스트 사이클을 실행하고,

상기 외부 버스 인터페이스 회로(33)는, 단지 고정된 버스트 액세스 장치, 단지 가변 버스트 액세스 장치 또는, 고정 및 가변 버스트 액세스 장치 모두를 집적 회로 데이타 처리기에 다양하게 이용될 수 있는 외부 버스 인터페이스 회로(33) .

청구항 4.

제 1 소정 폭의 데이타 경로를 갖는 버스 마스터 장치(30)를 가지고, 제 2 소정 폭을 갖는 외부 메모리(24)에 결합되어 있는 데이타 처리기(21)에서 제어된 버스트 메모리 액세스를 실행하기 위한 방법에 있어서,

상기 버스 마스터 장치(30)에 의해 외부 메모리(24)에 대한 버스트 액세스를 검출하는 단계;

상기 버스트 액세스의 개시 어드레스를 수신 및 저장하는 단계;

제 1 소정의 정렬을 갖는 상기 개시 어드레스에 응답하여 비트(beats)의 제 1 소정의 수를 각각 갖는 제 1 및 제 2 버스트 액세스를 실행하는 단계;

제 2 소정의 정렬을 갖는 상기 개시 어드레스에 응답하여 제 3, 제 4 및, 제 5 버스트 액세스를 실행하는데, 비트(beats)의 제 3, 제 4 및, 제 5 소정의 수를 각각 갖는 상기 제 3, 제 4 및, 제 5 버스트 액세스를 실행하는 단계와,

상기 버스트 액세스의 각각의 비트(beat) 동안 외부 메모리(24)와 상기 버스 마스터 장치(30) 사이의 상기 제 1 소정의 폭의 다수의 데이타 소자를 전송시키는데, 상기 개시 어드레스가 상기 제 1 소정의 정렬을 갖는 경우 상기 제 1 및 제 2 버스 액세스 동안, 또는 상기 게시 어드레스가 상기 제 2 소정의 정렬을 갖는 경우 상기 제 3, 제 4 및, 제 5 버스트 액세스 동안 중 어느 한 액세스 동안에 전송되는 상기 다수의 데이타 소자를 전송시켜, 버스 마스터 장치(30)에 의해 상기 버스트 액세스에 응답하는 단계를 포함하는 버스트 메모리 액세스 실행 방법.

청구항 5.

데이타 처리기(21)에서 제어된 버스트 메모리 액세스를 실행하는 방법에 있어서,

데이타 처리기(21)의 제 1 내부 버스 마스터 장치(30)에 의해 데이타 소자의 제 1 소정의 수를 요청하는 메모리 액세스 요청을 검출하는 단계;

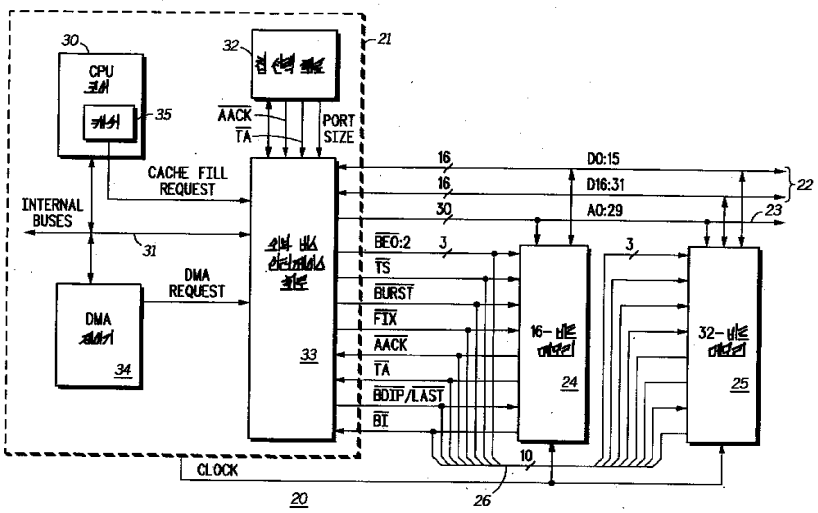
제어 신호를 활성화하고, 제 1 메모리 액세스 요청 신호에 응답하여 상기 제 1 내부 버스 마스터 장치(30)에 데이타 소자의 상기 제 1 소정 수를 제공하기 위해 적어도 하나의 대응하는 외부 고정 버스트 사이클을 실행하는 단계;

데이타 처리기(21)의 제 2 내부 버스 마스터 장치(34)에 의해 데이타 소자의 가변 수를 요청하는 메모리 액세스 요청을 검출하는 단계와;

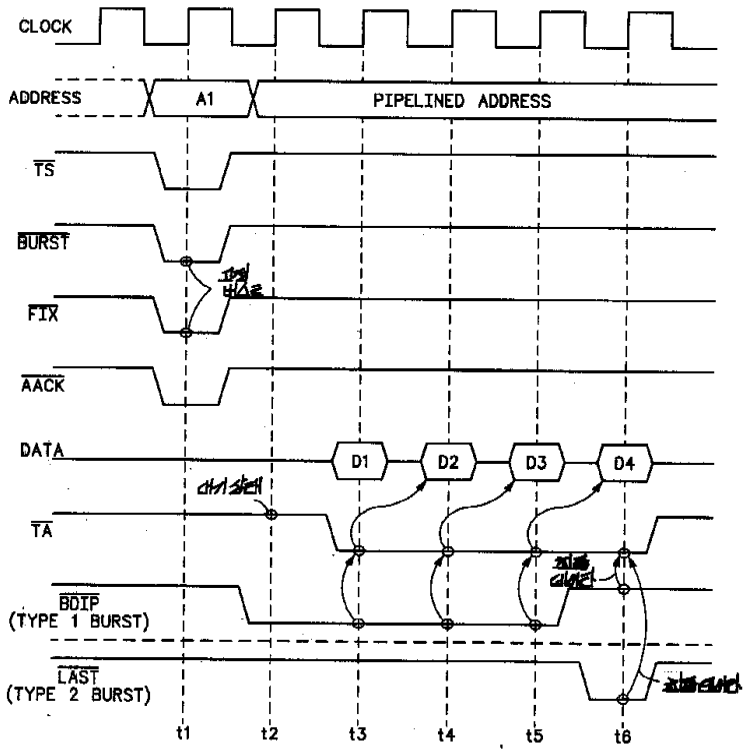
상기 제어 신호를 비활성으로 유지하고, 제 2 메모리 액세스 요청 신호에 응답하여 상기 제 2 메모리 액세스 요청 신호가 활성화되는 동안 상기 제 2 내부 버스 마스터 장치(34)에 데이타 소자의 상기 가변 수를 제공하기 위해 적어도 하나의 외부 버스트 사이클을 실행하는 단계를 포함하는 버스트 메모리 액세스 실행 방법.

도면

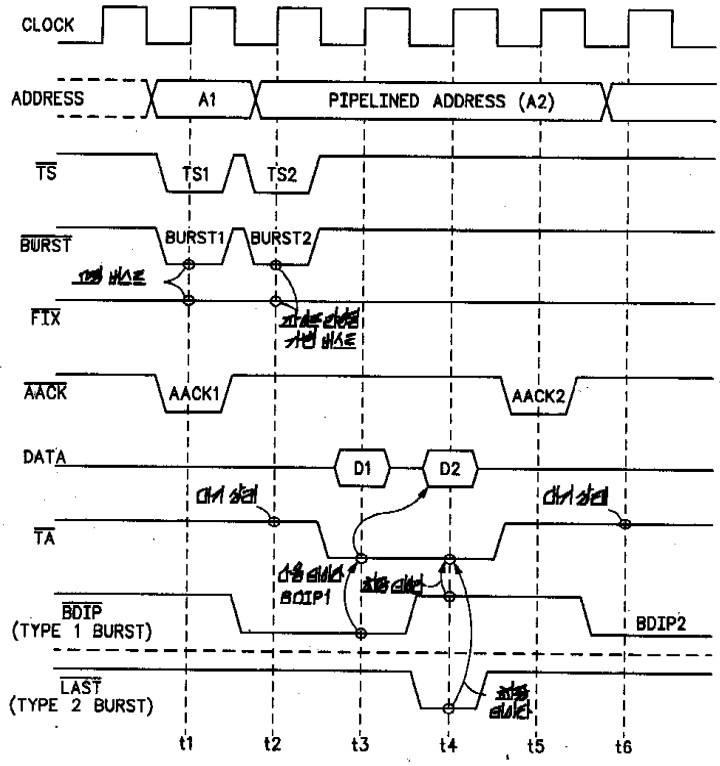
도면 1


CPU
CACHE FILL REQUEST
INTERNAL BUSES
DMA REQUEST
DMA
AACK
TA
PORT SIZE
D0:15
D16:31
A0:29
BE0:2
TS
BURST
FIX
AACK
TA
BDIP/LAST
BI
16-비트 레지스터
32-비트 레지스터
CLOCK
20
21
22
23
24
25
26
30
31
32
33
34
35

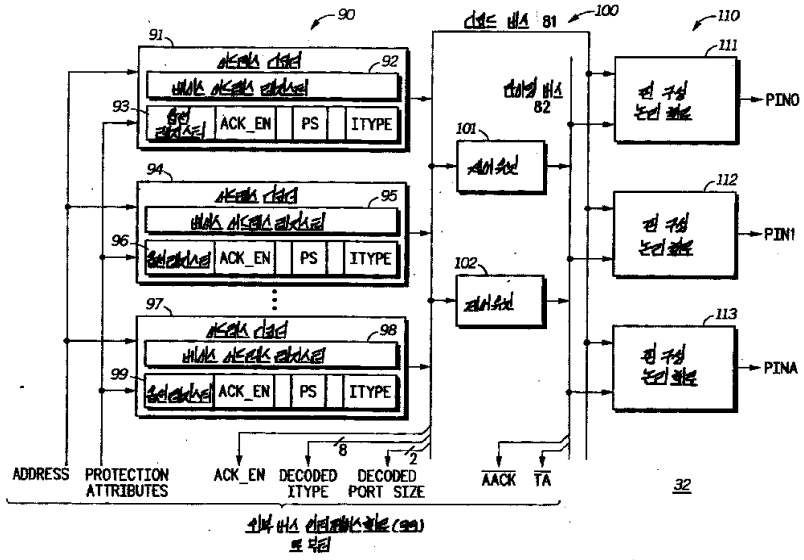
도면 2


CLOCK
ADDRESS
A1
PIPELINED ADDRESS
TS
BURST
FIX
AACK
DATA
D1
D2
D3
D4
TA
BDIP
(TYPE 1 BURST)
LAST
(TYPE 2 BURST)
t1
t2
t3
t4
t5
t6

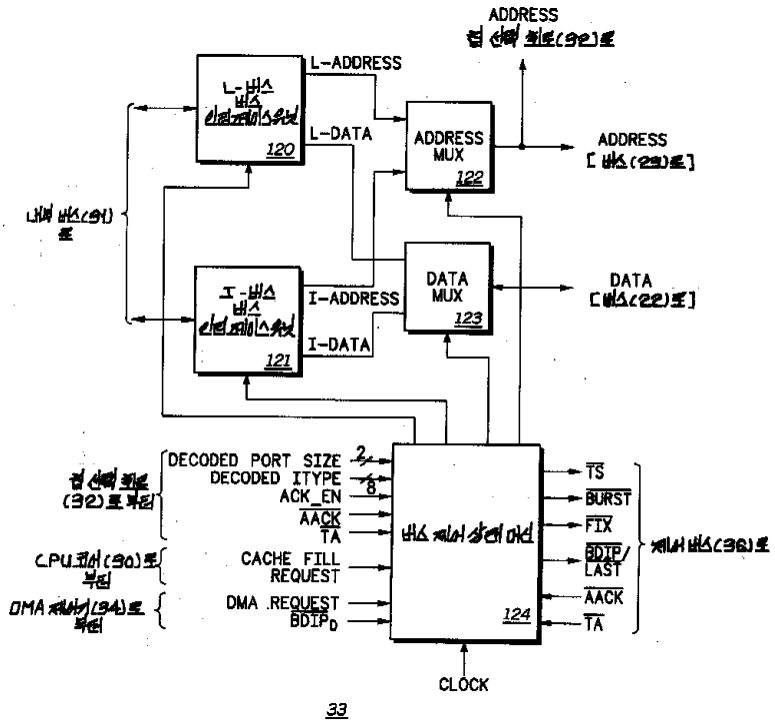
도면 3


CLOCK
ADDRESS
A1
PIPELINED ADDRESS (A2)
TS
TS1
TS2
BURST
BURST1
BURST2
FIX
AACK
AACK1
AACK2
DATA
D1
D2
TA
BDIP
(TYPE 1 BURST)
BDIP2
LAST
(TYPE 2 BURST)
t1
t2
t3
t4
t5
t6

도면 4


90
91
92
93
ACK_EN
PS
ITYPE
94
95
96
97
98
99
100
81
82
101
102
110
111
112
113
PIN0
PIN1
PINA
ADDRESS
PROTECTION ATTRIBUTES
ACK_EN
DECODED ITYPE
DECODED PORT SIZE
8
2
AACK
TA
32

도면 5


ADDRESS
L-ADDRESS
L-버스 버스 인터페이스부(120)
L-DATA
ADDRESS MUX 122
ADDRESS [버스(23)로]
내부 버스(31)로
I-버스 버스 인터페이스부(121)
I-ADDRESS
I-DATA
DATA MUX 123
DATA [버스(22)로]
DECODED PORT SIZE 2
DECODED ITYPE 8
ACK_EN
AACK
TA
CACHE FILL REQUEST
DMA REQUEST
BDIP0
버스 제어 상태 머신 124
TS
BURST
FIX
BDIP/LAST
AACK
TA
제어 버스(36)로
CLOCK
33