(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0014988
(43) 공개일자 2010년02월12일

(51) Int. Cl.
H03L 7/089 (2006.01)
(21) 출원번호 10-2008-0075848
(22) 출원일자 2008년08월04일
심사청구일자 2008년08월04일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 서천동 1 경희대학교 국제캠퍼스내
(72) 발명자
홍상훈
경기도 성남시 분당구 정자동 두산위브파빌리온 A-1301
한창훈
강원도 원주시 명륜2동 동보노빌리티 APT 204동 1402호
(74) 대리인
서재승

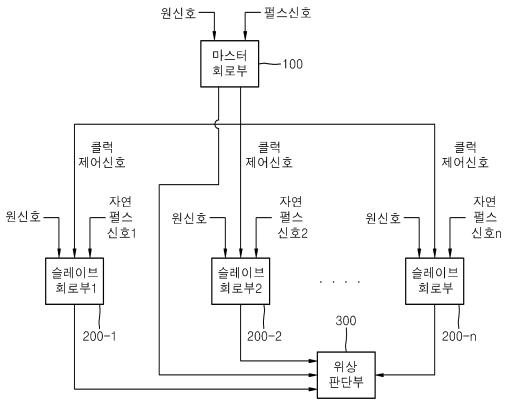
전체 청구항 수 : 총 8 항

(54) 원 신호와 복제 신호의 위상 차이를 판단하는 장치

(57) 요 약

본 발명은 원 신호와 원 신호의 복제 신호 사이의 위상 차이를 판단하는 장치에 관한 것으로, 보다 구체적으로 펄스 신호와 펄스 신호를 일정 주기만큼 지연시킨 지연 펄스 신호를 비교하여 원 신호의 복제 신호가 원 신호로부터 얼마나 위상 오프셋되어 있는지를 판단하는 장치에 관한 것이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

원 신호와 상기 펄스 신호를 입력받아 상기 원 신호와 상기 펄스 신호의 주파수를 비교하며 상기 펄스 신호의 주파수 크기가 상기 원 신호의 주파수 크기보다 빠르다고 판단하는 시점에 클럭 신호의 발생을 제어하기 위한 제어 신호를 생성하는 마스터 회로부;

상기 원 신호와 상기 펄스 신호를 지연시킨 지연 펄스 신호를 입력받아 상기 제어 신호를 수신하는 시점에 상기 원 신호와 상기 지연 펄스 신호의 주파수를 비교하는 다수의 슬레이부 회로부; 및

상기 지연 펄스 신호의 주파수가 상기 원 신호의 주파수보다 빠르다고 판단한 슬레이부 회로부의 수에 기초하여 상기 원 신호와 상기 복제 신호의 위상 차이를 판단하는 위상 판단부를 포함하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 2

제 1 항에 있어서, 상기 마스터 회로부는

상기 원 신호에서 상승 에지를 검출하는 제1 에지 검출부와 상기 펄스 신호에서 상승 에지를 검출하는 제2 에지 검출부를 구비하는 마스터 에지 검출부;

상기 상승 에지의 검출 신호, 설정 신호 또는 제어 신호의 논리 값에 따라 클럭 신호의 생성을 제어하는 마스터 클럭 제어부;

상기 클럭 신호에 동기되어 상기 제1 에지 검출부 또는 제2 에지 검출부에서 상승 에지의 검출 여부를 나타내는 논리값을 순차적으로 저장하는 마스터 저장부;

상기 제2 에지 검출부에서 2번째 상승 에지의 검출을 나타내는 논리값이 상기 마스터 저장부에 저장되는 시점에, 상기 클럭 신호를 제어하기 위한 제어 신호를 생성하는 제어 신호 생성부;

상기 클럭 신호에 동기되어 상기 마스터 저장부에서 출력되는 논리값에 따라 상기 원 신호와 상기 펄스 신호의 주파수 크기를 비교하는 마스터 주파수 비교부를 포함하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 3

제 2 항에 있어서, 상기 마스터 저장부는

상기 클럭 신호에 동기되어 상기 제1 에지 검출부로부터 출력되는 로직 값을 차례로 저장하는 제1 저장부; 및

상기 클럭 신호에 동기되어 상기 제1 저장부에 저장되어 있던 논리값을 차례로 저장하는 제2 저장부를 포함하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 4

제 1 항에 있어서, 상기 슬레이브 회로부는

상기 원 신호에서 상승 에지를 검출하는 제3 에지 검출부와 상기 지연 펄스 신호에서 상승 에지를 검출하는 제4 에지 검출부를 구비하는 슬레이브 에지 검출부;

상기 상승 에지의 검출 신호, 설정 신호 또는 제어 신호의 논리 값에 따라 클럭 신호의 생성을 제어하는 슬레이브 클럭 제어부;

상기 클럭 신호에 동기되어 상기 제3 에지 검출부 또는 제4 에지 검출부에서 상승 에지의 검출 여부를 나타내는 논리값을 순차적으로 저장하는 슬레이부 저장부; 및

상기 제어 신호를 수신하는 시점에 상기 슬레이브 저장부에서 출력되는 논리값에 따라 상기 원 신호와 상기 지연 펄스 신호의 주파수 크기를 비교하는 슬레이브 주파수 비교부를 포함하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 5

제 4 항에 있어서, 상기 슬레이브 저장부는

상기 클럭 신호에 동기되어 상기 제3 에지 검출부로부터 출력되는 로직 값을 차례로 저장하는 제3 저장부; 및

상기 클럭 신호에 동기되어 상기 제1 저장부에 저장되어 있던 논리값을 차례로 저장하는 제4 저장부를 포함하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 6

제 3 항 또는 제 5 항에 있어서, 상기 마스터 클럭 제어부와 슬레이브 클럭 제어부는

로우값을 가지는 설정 신호(Set)가 입력되는 경우, 로우값의 클럭 신호를 생성하며,

로우값을 가지는 제어 신호가 입력되는 경우, 로우값의 클럭 신호를 생성하며,

위상 차이를 판단하기 위한 모드 신호가 입력되고 하이값을 가지는 제어 신호가 입력되는 경우, 상승 에지의 검출 신호에 따라 클럭 신호를 생성하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 7

제 6 항에 있어서,

상기 마스터 주파수 비교부는 상기 클럭 신호에 동기되어 상기 제1 저장부와 제2 저장부에서 로우 값이 출력되는 경우 상기 펄스 신호의 주파수가 상기 원 신호의 주파수보다 빠르다고 판단하며,

상기 슬레이부 주파수 비교부는 상기 클럭 신호에 동기되어 상기 제3 저장부와 제4 저장부에서 로우 값이 출력되는 경우 상기 지연 펄스 신호의 주파수가 상기 원 신호의 주파수보다 빠르다고 판단하는 것을 특징으로 하는 위상 차이의 판단 장치.

청구항 8

제 2 항 또는 제 4 항에 있어서, 상기 다수의 슬레이브 회로부로 입력되는 상기 지연 펄스 신호들은 각각 아래의 수학식 (1)과 같이 지연되어 입력되며,

[수학식 1]

$$DPi = \frac{i}{n} S\lambda$$

여기서, DPi는 다수의 슬레이브 회로부들 중 제i 슬레이브 회로부로 입력되는 지연 펄스 신호이며, n은 슬레이브 회로부의 총 수인 것을 특징으로 하는 위상 차이의 판단 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 원 신호와 원 신호의 복제 신호 사이의 위상 차이를 판단하는 장치에 관한 것으로, 보다 구체적으로 펄스 신호와 펄스 신호를 일정 주기만큼 지연시킨 다수의 지연 펄스 신호를 이용하여 원 신호의 복제 신호가 원 신호로부터 얼마나 위상 오프셋되어 있는지를 판단하는 장치에 관한 것이다.

배 경 기 술

[0002] 시리얼 통신은 마스터 디바이스와 슬레이브 디바이스 사이에 할당된 하나의 데이터 송수신 라인과 클락 동기 라인을 이용하여 데이터를 송수신한다. 하나의 데이터 송수신 라인과 클락 동기 라인을 이용하여 마스터 디바이스와 슬레이브 디바이스 사이에서 송수신되는 데이터를 정확하게 샘플링하기 위해서는 타이밍 정보를 가진 클락 동기 신호에 의해 마스터 디바이스와 슬레이브 디바이스가 서로 동기화되어야 한다.

[0003] 최근 들어 다양한 멀티미디어 장치들이 개발되어 사용되고 있으며 멀티미디어 장치에서 하나의 마스터 디바이스는 다양한 다수의 슬레이브 디바이스와 데이터를 통신하여야 한다. 이 경우 각각의 슬레이브 디바이스는 서로

다른 송신 속도로 데이터를 마스터 디바이스로 송신하고 마스터 디바이스는 다수의 슬레이브 디바이스로부터 서로 다른 수신 속도로 데이터를 수신한다. 따라서 서로 다른 속도로 각각의 슬레이브 디바이스로부터 데이터를 수신하기 위하여, 마스터 슬레이브는 각각의 슬레이브 디바이스와 서로 동기화되어야 한다. 이를 위해, 마스터 디바이스는 다양한 슬레이브 디바이스와 모두 동기화될 수 있는 클락 주파수를 이용하여 각각의 슬레이브 디바이스로부터 데이터를 수신한다.

발명의 내용

해결 하고자하는 과제

[0004] 위에서 설명한 시리얼 통신에서 마스터 디바이스는 각 슬레이브 디바이스와 서로 클락 동기화되어야 하며, 클락 동기화를 위하여 클락 신호를 생성한다. 한편, 마스터 디바이스는 슬레이브 디바이스와 클락 신호에 의해 서로 동기화된 후,필요에 따라 동일한 신호를 각 슬레이브 디바이스로 전송한다. 그러나 원 신호를 생성하고 생성한 원 신호를 복제하여 동일한 신호를 각 슬레이브 디바이스로 전송하고자 하는 경우, 원 신호와 복제한 신호 사이에 위상 차이가 발생하는 경우가 발생한다. 원 신호와 복제 신호 사이에 서로 위상 차이가 발생하는 경우, 비록 마스터 디바이스는 동일한 신호를 다수의 슬레이브 디바이스로 각각 전송하지만, 실제 슬레이브 디바이스에서 수신된 신호는 서로 위상 차이를 가지는 신호들이 수신되어 슬레이브 디바이스는 수신한 신호를 판독하지 못하게 된다.

[0005] 따라서, 원 신호와 원 신호를 복제하여 생성한 신호 사이에 얼마나 위상 차이가 발생하였는지 정확하게 판단하고, 발생한 위상 차이를 조정하여야 한다. 본 발명이 이루고자 하는 목적은 원 신호의 복제 신호가 원 신호로부터 얼마나 위상 차이를 가지고 생성되었는지 정확하게 판단할 수 있는 장치를 제공하는 것이다.

과제 해결수단

[0006] 위에서 설명한 본 발명에 따른 위상 차이의 판단 장치는 원 신호와 펄스 신호를 입력받아 원 신호와 상기 펄스 신호의 주파수를 비교하며 펄스 신호의 주파수 크기가 원 신호의 주파수 크기보다 빠르다고 판단하는 시점에 클럭 신호의 발생을 제어하기 위한 제어 신호를 생성하는 마스터 회로부와, 원 신호와 펄스 신호를 지연시킨 지연 펄스 신호를 입력받아 제어 신호를 수신하는 시점에 원 신호와 상기 지연 펄스 신호의 주파수를 비교하는 다수의 슬레이부 회로부 및 지연 펄스 신호의 주파수가 원 신호의 주파수보다 빠르다고 판단한 슬레이부 회로부의 수에 기초하여 원 신호와 복제 신호의 위상 차이를 판단하는 위상 판단부를 포함하는 것을 특징으로 한다.

[0007] 바람직하게, 마스터 회로부는 원 신호에서 상승 에지를 검출하는 제1 에지 검출부와 펄스 신호에서 상승 에지를 검출하는 제2 에지 검출부를 구비하는 마스터 에지 검출부와, 상승 에지의 검출 신호, 설정 신호 또는 제어 신호의 논리 값에 따라 클럭 신호의 생성을 제어하는 마스터 클럭 제어부와, 클럭 신호에 동기되어 제1 에지 검출부 또는 제2 에지 검출부에서 상승 에지의 검출 여부를 나타내는 논리값을 순차적으로 저장하는 마스터 저장부와, 제2 에지 검출부에서 2번째 상승 에지의 검출을 나타내는 논리값이 마스터 저장부에 저장되는 시점에, 클럭 신호를 제어하기 위한 제어 신호를 생성하는 제어 신호 생성부 및 클럭 신호에 동기되어 마스터 저장부에서 출력되는 논리값에 따라 원 신호와 펄스 신호의 주파수 크기를 비교하는 마스터 주파수 비교부를 포함하는 것을 특징으로 한다.

[0008] 바람직하게, 슬레이브 회로부는 원 신호에서 상승 에지를 검출하는 제3 에지 검출부와 지연 펄스 신호에서 상승 에지를 검출하는 제4 에지 검출부를 구비하는 슬레이브 에지 검출부와, 상승 에지의 검출 신호, 설정 신호 또는 제어 신호의 논리 값에 따라 클럭 신호의 생성을 제어하는 슬레이브 클럭 제어부와, 클럭 신호에 동기되어 제3 에지 검출부 또는 제4 에지 검출부에서 상승 에지의 검출 여부를 나타내는 논리값을 순차적으로 저장하는 슬레이부 저장부 및 제어 신호를 수신하는 시점에 슬레이브 저장부에서 출력되는 논리값에 따라 원 신호와 지연 펄스 신호의 주파수 크기를 비교하는 슬레이브 주파수 비교부를 포함하는 것을 특징으로 한다.

효 과

[0009] 본 발명에 따른 위상 차이의 판단 장치는 펄스 신호와 펄스 신호를 일정 지연 간격으로 지연시킨 지연 펄스 신호를 이용하여 원 신호와 원 신호에 대한 복제 신호의 위상 차이를 판단함으로써, 원 신호에 대한 복제 신호가 원 신호로부터 얼마나 오프셋되어 있는지 알 수 있다.

[0010] 또한, 본 발명에 따른 위상 차이의 판단 장치는 지연 펄스 신호에 대한 지연 간격을 세분화할수록 원 신호에 대

한 복제 신호와 원 신호 사이의 위상 차이를 보다 정확하게 판단할 수 있다.

발명의 실시를 위한 구체적인 내용

[0011] 이하 첨부한 도면을 참고로 본 발명에 따른 위상 차이의 판단 장치에 대해 보다 구체적으로 설명한다.

[0012] 도 1은 본 발명의 일 실시예에 따른 위상 차이의 판단 장치에 대한 기능 블록도를 도시하고 있다.

[0013] 도 1을 참고로 살펴보면, 본 발명의 일 실시예에 따른 위상 차이의 판단 장치는 1개의 마스터 회로부(100), 다수의 슬레이브 회로부(200) 및 마스터 회로부(100)와 슬레이브 회로부(200)의 주파수 비교 결과에 기초하여 원 신호의 복제 신호가 원 신호와 얼마나 위상 차이를 가지는지 판단하는 위상 판단부(300)를 구비하고 있다.

[0014] 마스터 회로부(100)에는 원 신호와 펄스 신호(이하 '펄스 신호'라 언급함)가 입력되며, 다수의 슬레이브 회로부(200)에는 원 신호와 펄스 신호를 일정 지연 간격으로 지연시킨 지연 펄스 신호가 각각 입력된다. 마스터 회로부(100)는 입력된 펄스 신호에서 2번째 상승 에지를 검색하는 순간, 즉 펄스 신호의 주파수가 원 신호의 주파수보다 크다고 판단하는 순간, 마스터 회로부(100)와 다수의 슬레이브 회로부(200)의 클럭 생성을 제어하기 위한 클럭 제어 신호를 생성하고 생성한 클럭 제어 신호를 각 슬레이브 회로부(200)로 제공한다. 한편, 마스터 회로부(100)는 원 신호와 펄스 신호의 주파수의 크기 비교 결과를 출력한다.

[0015] 슬레이브 회로부(200)는 클럭 제어 신호를 수신하는 순간 슬레이브 회로부(200)의 클럭 생성을 중단하여, 클럭 제어 신호가 생성되는 시점에서 슬레이브 회로부(200)로 입력된 원 신호와 지연 펄스 신호의 주파수 크기를 비교한다.

[0016] 위상 판단부(300)는 다수의 슬레이브 회로부(200)로부터 출력된 주파수 비교 결과를 수신하며, 수신한 주파수 비교 결과에 기초하여 원 신호의 복제 신호와 원 신호가 얼마나 위상 차이를 가지는지 판단한다.

[0017] 도 2는 원 신호, 원 신호의 복제 신호 및 펄스 신호의 일 예를 도시하고 있으며, 도 3은 다수의 슬레이브 회로부로 입력되는 지연 펄스 신호의 일 예를 도시하고 있다.

[0018] 도 2(a)는 원 신호를 도시하고 있으며, 도 2(b)는 원 신호로부터 복제된 신호를 도시하고 있으며, 도 2(c)는 펄스 신호를 도시하고 있다. 펄스 신호는 복제 신호보다 더 짧은 주기를 가지는 다수의 펄스로 구성되어 있다.

[0019] 한편, 도 3(a)는 펄스 신호이며 도 3(b)는 원 안에 도시되어 있는 펄스 신호의 일부를 확대하여 도시하고 있으며, 도 3(c) 내지 도 3(e)는 펄스 신호로부터 생성된 지연 펄스 신호의 일 예를 도시하고 있다. 도 3(c) 내지 도 3(e)에 도시되어 있는 지연 펄스 신호는 마스터 회로부(100)에 접속되어 있는 슬레이브 회로부(200)가 3개인 경우에 각 슬레이브 회로부(200)로 입력되는 지연 펄스 신호의 일 예이다.

[0020] 도 3(b) 내지 도 3(e)를 참고로 살펴보면, 3개의 슬레이브 회로부(200)들 중 제1 슬레이브 회로부로 입력되는 지연 펄스 신호는 도 3(c)에 도시되어 있는 것과 같이 펄스 신호로부터 λ/4의 지연 간격으로 지연되어 있으며, 제2 슬레이브 회로부로 입력되는 지연 펄스 신호는 도 3(d)에 도시되어 있는 것과 같이 펄스 신호로부터 2λ/4의 지연 간격으로 지연되어 있으며, 제3 슬레이브 회로부로 입력되는 지연 펄스 신호는 도 3(c)에 도시되어 있는 것과 같이 펄스 신호로부터 3λ/4의 지연 간격으로 지연되어 있다.

[0021] 즉, 본 발명의 일 실시예에 따른 위상 차이의 판단 장치가 다수의 슬레이브 회로부를 구비하는 경우, 다수의 슬레이브 회로부로 각각 입력되는 지연 펄스 신호들은 아래의 수학식 (1)과 같이 지연되어 입력되며,

[0022] [수학식 1]

[0023] $$DPi = \frac{i}{n} S\lambda$$

[0024] 여기서, DPi는 다수의 슬레이브 회로부들 중 제i 슬레이브 회로부로 입력되는 지연 펄스 신호이며, n은 슬레이브 회로부의 총 수이며, λ은 펄스 신호의 주기인 것을 특징으로 한다.

[0025] 도 4는 본 발명에 따른 마스터 회로부의 기능 블록도의 일 예를 도시하고 있다.

[0026] 도 4를 참고로 살펴보면, 에지 검출부(110)는 입력되는 원 신호와 펄스 신호에서 상승 에지를 검출한다. 에지 검출부(110)는 원 신호(I1)가 입력되며 입력된 원 신호(I1)에서 상승 에지를 검출하는 제1 에지 검출부(112)와 펄스 신호(I11)가 입력되며 입력된 펄스 신호(I11)에서 상승 에지를 검출하는 제2 에지 검출부(114)로 구성되어 있다.

[0027] 제1 에지 검출부(112)는 원 신호(I1)에서 상승 에지를 검출할 때마다 하이 값의 논리 값을 출력하며, 상승 에지를 검출하지 못하는 경우 로우 값의 논리 값을 출력한다. 이와 동일하게, 제2 에지 검출부(114)는 펄스 신호(I11)에서 상승 에지를 검출할 때마다 하이 값의 논리 값을 출력하며 상승 에지를 검출하지 못하는 경우 로우 값의 논리 값을 출력한다.

[0028] 마스터 클럭 제어부(120)는 제1 에지 검출부(112) 또는 제2 에지 검출부(114)에서 출력되는 논리 값에 따른 상승 에지의 검출 신호, 설정 신호(set), 또는 제어 신호(c_line)에 따라 클럭 신호의 생성을 제어한다. 마스터 클럭 제어부(120)는 기본적으로 제1 에지 검출부(112) 또는 제2 에지 검출부(114)에서 하이 값의 논리 값이 출력될 때마다, 하이 값의 논리 값을 가지는 클럭 신호를 생성한다. 즉, 마스터 클럭 제어부(120)는 제1 에지 검출부(112) 또는 제2 에지 검출부(114)를 통해 원 신호(I1) 또는 펄스 신호(I11) 중 어느 하나에서 상승 에지를 검출하는 경우, 하이 값의 논리 값을 가지는 클럭 신호를 생성한다.

[0029] 마스터 저장부(130)는 초기화 설정 신호에 따라 하이 값의 논리 값을 출력하도록 설정된다. 또한, 마스터 클럭 제어부(120)에서 생성된 클럭 신호에 동기되어 제1 에지 검출부(112)를 통해 출력되는 하이 또는 로우 값의 논리 값을 차례로 저장하며, 클럭 신호에 동기되어 저장되어 있는 논리 값을 출력한다. 저장부(130)는 제1 에지 검출부(112)를 통해 차례로 출력되는 논리 값을 저장하기 위하여 다수의 플립플롭을 구비하고 있다. 마스터 주파수 비교부(150)는 마스터 저장부(130)에 저장되어 있는 논리 값에 기초하여 원 신호와 펄스 신호의 주파수를 비교하고, 비교 결과를 논리 값으로 출력한다.

[0030] 제어 신호 생성부(140)는 제2 에지 검출부(114)에 의해 펄스 신호의 2번째 상승 에지를 검출하여 마스터 저장부(130)로부터 로우 값의 논리 값이 차례로 2번 출력되는 순간, 즉 원 신호의 주파수보다 펄스 신호의 주파수가 크다고 판단하는 순간, 클럭 신호의 발생을 중단하기 위한 제어 신호를 생성한다.

[0031] 로우 값의 논리 값을 가지는 제어 신호가 마스터 클럭 제어부(120)로 입력되는 경우, 마스터 클럭 제어부(120)는 클럭 신호의 생성을 중단한다. 한편, 생성된 제어 신호는 동시에 다수의 슬레이브 회로부로 전달된다.

[0032] 도 7은 본 발명에 따른 마스터 회로부의 구체적인 회로도의 일 예를 도시하고 있다. 도 7에 도시되어 있는 것과 같이, 마스터 주파수 비교부(150)는 4개의 NAND 소자로 구성되어 있으며, 마스터 주파수 비교부(150)로부터 출력되는 논리 값(OUT1)은 아래의 수학식(2)와 같다.

[0033] [수학식 2]

[0034] $OUT1=t2\times t3 + t1\times t2 + t0\times t1\times t3$

[0035] 여기서 t3은 마스터 저장부(130)의 제1 플립플롭(131)으로부터 출력되는 논리 값이며, t2는 마스터 저장부(130)의 제2 플립플롭(133)으로부터 출력되는 논리 값이며, t1와 t0은 하이 값의 논리 값이다.

[0036] 도 5는 본 발명에 따른 슬레이부 회로부의 기능 블록도의 일 예를 도시하고 있다.

[0037] 도 5를 참고로 살펴보면, 에지 검출부(210)는 입력되는 원 신호와 펄스 신호를 일정 지연 간격으로 지연시킨 지연 펄스 신호에서 상승 에지를 검출한다. 에지 검출부(210)는 원 신호(I1)가 입력되며 입력된 원 신호(I1)에서 상승 에지를 검출하는 제3 에지 검출부(212)와 펄스 신호를 일정 지연 간격으로 지연시킨 지연 펄스 신호(I1n)가 입력되며 입력된 지연 펄스 신호(I1n)에서 상승 에지를 검출하는 제4 에지 검출부(214)로 구성되어 있다.

[0038] 제3 에지 검출부(212)는 원 신호(I1)에서 상승 에지를 검출할 때마다 하이 값의 논리 값을 출력하며, 상승 에지를 검출하지 못하는 경우 로우 값의 논리 값을 출력한다. 이와 동일하게, 제4 에지 검출부(214)는 지연 펄스 신호(I1n)에서 상승 에지를 검출할 때마다 하이 값의 논리 값을 출력하며 상승 에지를 검출하지 못하는 경우 로우 값의 논리 값을 출력한다.

[0039] 슬레이브 클럭 제어부(220)는 제3 에지 검출부(212) 또는 제4 에지 검출부(214)에서 출력되는 논리 값에 따른 상승 에지의 검출 신호, 위상 차이를 판단하기 위한 초기화 설정 신호(set) 또는 제어 신호(c_line)에 따라 클럭 신호의 생성을 제어한다. 슬레이브 클럭 제어부(220)는 기본적으로 제3 에지 검출부(212) 또는 제4 에지 검출부(214)에서 하이 값의 논리 값이 출력될 때마다, 하이 값의 논리 값을 가지는 클럭 신호를 생성한다. 즉, 슬레이브 클럭 제어부(220)는 제3 에지 검출부(212) 또는 제4 에지 검출부(214)를 통해 원 신호(I1) 또는 지연 펄스 신호(I1n) 중 어느 하나에서 상승 에지를 검출하는 경우, 하이 값의 논리 값을 가지는 클럭 신호를 생성한다.

[0040] 슬레이브 저장부(230)는 초기화 설정 신호에 따라 하이 값의 논리 값을 출력하도록 초기 설정된다. 또한, 슬레

이브 클럭 제어부(220)에서 생성된 클럭 신호에 동기되어 제3 에지 검출부(212)를 통해 출력되는 하이 또는 로우 값의 논리 값을 차례로 저장하며, 클럭 신호에 동기되어 저장되어 있는 로직 값을 출력한다. 슬레이브 저장부(230)는 제3 에지 검출부(212)를 통해 차례로 출력되는 논리 값을 저장하기 위하여 다수의 플립플롭을 구비하고 있다. 슬레이브 주파수 비교부(240)는 슬레이브 저장부(230)에 저장되어 있는 논리 값에 기초하여 원 신호와 지연 펄스 신호의 주파수를 비교하고, 비교 결과를 논리 값으로 출력한다.

[0041] 슬레이브 클럭 제어부(220)는 로우 값의 논리 값을 가지는 제어 신호를 마스터 회로부(100)로부터 수신하는 경우, 클럭 신호의 생성을 중단하여 슬레이브 저장부(230)에 저장되어 있는 논리 값을 유지시킨다. 슬레이브 주파수 비교부(240)는 제어 신호를 수신하는 순간 슬레이브 저장부(230)에 저장되어 있는 논리 값에 기초하여 원 신호와 지연 펄스 신호의 주파수를 비교하고, 비교 결과를 논리 값으로 출력한다.

[0042] 도 8은 본 발명에 따른 슬레이브 회로부의 구체적인 회로도의 일 예를 도시하고 있다. 도 8에 도시되어 있는 것과 같이, 슬레이브 주파수 비교부(240)는 4개의 NAND 소자로 구성되어 있으며, 슬레이브 주파수 비교부(240)로부터 출력되는 논리 값(OUT2)은 아래의 수학식(3)와 같다.

[0043] [수학식 3]

[0044] $OUT2=t2b\times t3b + t1b\times t2b + t0b\times t1b\times t3b$

[0045] 여기서 t3b은 슬레이브 저장부(230)의 제1 플립플롭(231)으로부터 출력되는 논리 값이며, t2b은 슬레이브 저장부(230)의 제2 플립플롭(233)으로부터 출력되는 논리 값이며, t1b와 t0b은 하이 값의 논리 값이다.

[0046] 도 6은 본 발명에 따른 마스터 클럭 제어부 또는 슬레이브 클럭 제어부의 구체적인 회로도의 일 예를 도시하고 있다.

[0047] 도 6에 도시되어 있는 것과 같이, AND 게이트(10)로 설정 신호와 상승 에지의 검출 신호가 입력되며, OR 게이트(20)로 모드 신호와 제어 신호가 입력되며, AND 게이트(10)의 출력 신호와 OR 게이트(20)의 출력 신호는 AND 게이트(30)로 입력된다. AND(30) 게이트는 클락 신호와 NOT 게이트(40)를 통과하여 반전된 클락 신호를 각각 출력한다. 여기서, 모드 신호란 위상 차이를 판단하기 위한 모드를 나타내기 위한 신호를 의미하며, 설정 신호란 마스터 저장부 또는 슬레이브 저장부로부터 출력되는 논리 값을 하이 값으로 초기화하기 위한 신호를 의미하며, 상승 에지 검출 신호란 제1 에지 검출부/제3 에지 검출부로부터 검출된 상승 에지 또는 제2 에지 검출부/제4 에지 검출부로부터 검출된 상승 에지의 검출 여부를 나타내기 위한 신호이다.

[0048] 마스터 클럭 제어부와 슬레이브 클럭 제어부는 위상 차이를 판단하기 위한 로우 값의 모드 신호가 입력되고 하이 값을 가지는 제어 신호가 입력되는 경우, 상승 에지의 검출 신호에 따라 클럭 신호를 생성한다. 또한, 로우 값의 모드 신호가 입력되고 하이 값을 가지는 제어 신호가 입력되는 경우 클럭 신호를 로우 값으로 생성한다. 한편, 로우 값의 설정 신호가 입력되는 경우 다른 신호에 상관없이 클락 신호를 로우 값으로 생성한다.

[0049] 도 9는 제2 에지 검출부, 다수의 슬레이브 회로부의 제4 에지 검출부, 마스터 주파수 비교부, 슬레이브 주파수 비교부로부터 출력되는 신호의 일 예를 도시하고 있다.

[0050] 도 9에 도시되어 있는 것과 같이, 제2 에지 검출부로 입력되는 펄스 신호(I11)와 다수의 슬레이브 회로부의 각 제4 에지 검출부로 입력되는, λ/4 지연 간격으로 차례로 지연된 지연 펄스 신호들(I12 내지 I14), 마스터 주파수 비교부에서 출력되는 비교 결과 신호(out1)와 다수의 슬레이브 회로부의 각 슬레이브 주파수 비교부에서 출력되는 비교 결과 신호들(out2 내지 out4)를 도시하고 있다.

[0051] 원 신호(I1)와 마스터 회로부의 제2 에지 검출부로 입력되는 펄스 신호(I11)의 상승 에지 사이에 상승 에지를 가지는 지연 펄스 신호가 입력되는 슬레이브 회로부는 로우 값의 비교 결과 신호를 출력하며, 원 신호(I1)와 마스터 회로부의 제2 에지 검출부로 입력되는 펄스 신호(I11)의 상승 에지 사이에 상승 에지를 갖지 않는 지연 펄스 신호가 입력되는 슬레이브 회로부는 하이 값의 비교 결과 신호를 출력한다.

[0052] 마스터 회로부에서 출력되는 비교 결과 신호와 다수의 슬레이브 회로부에서 각각 출력되는 비교 결과 신호에 기초하여, 위상 판단부는 원 신호의 복제 신호가 원 신호로부터 얼마나 오프셋되어 생성되었는지 판단한다. 위의 예에서, 로우 값의 논리 값을 출력하는 슬레이브 회로부의 수가 0개인 경우 복제 신호는 원 신호와 가장 가까운 오프셋을 가지고 생성되었으며, 로우 값의 논리 값을 출력하는 슬레이브 회로부의 수가 3개인 경우 복제 신호는 원 신호와 가장 먼 오프셋을 가지고 생성되었다고 판단한다.

[0053] 위상 판단부는 각 지연 펄스 신호가 λ/4의 지연 간격으로 지연되어 있는 경우, 로우 값의 논리 값을 출력하는

슬레이브 회로부의 수가 0개인 경우 복제 신호는 원 신호로부터 최대 1λ/4만큼 오프셋되어 있으며, 로우 값의 논리 값을 출력하는 슬레이브 회로부의 수가 1개인 경우 복제 신호는 원 신호로부터 최대 2λ/4만큼 오프셋되어 있으며, 로우 값의 논리 값을 출력하는 슬레이브 회로부의 수가 2개인 경우 복제 신호는 원 신호로부터 최대 3λ/4만큼 오프셋되어 있으며, 로우 값의 논리 값을 출력하는 슬레이브 회로부의 수가 3개인 경우 복제 신호는 원 신호로부터 최대 4λ/4만큼 오프셋되어 있다고 판단한다.

[0054] 한편, 상술한 본 발명의 일 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성 가능하고, 컴퓨터로 읽을 수 있는 기록 매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다.

[0055] 상기 컴퓨터로 읽을 수 있는 기록 매체는 마그네틱 저장 매체(예를 들어, 롬, 플로피 디스크, 하드 디스크 등), 광학적 판독 매체(예를 들어, 시디롬, 디브이디 등) 및 캐리어 웨이브(예를 들어, 인터넷을 통한 전송)와 같은 저장 매체를 포함한다.

[0056] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0057] 도 1은 본 발명의 일 실시예에 따른 위상 차이의 판단 장치에 대한 기능 블록도를 도시하고 있다.

[0058] 도 2는 원 신호, 원 신호의 복제 신호 및 펄스 신호의 일 예를 도시하고 있다.

[0059] 도 3은 다수의 슬레이브 회로부로 입력되는 지연 펄스 신호의 일 예를 도시하고 있다.

[0060] 도 4는 본 발명에 따른 마스터 회로부의 기능 블록도의 일 예를 도시하고 있다.

[0061] 도 5는 본 발명에 따른 슬레이부 회로부의 기능 블록도의 일 예를 도시하고 있다.

[0062] 도 6은 본 발명의 일 실시예에 따른 마스터 클럭 제어부 또는 슬레이브 클럭 제어부의 구체적인 회로도의 일 예를 도시하고 있다.

[0063] 도 7은 본 발명에 따른 마스터 회로부의 구체적인 회로도의 일 예를 도시하고 있다.

[0064] 도 8은 본 발명에 따른 슬레이브 회로부의 구체적인 회로도의 일 예를 도시하고 있다.

[0065] 도 9는 제2 에지 검출부, 다수의 슬레이브 회로부의 제4 에지 검출부, 마스터 주파수 비교부, 슬레이브 주파수 비교부로부터 출력되는 신호의 일 예를 도시하고 있다.

[0066] <도면의 주요 부분에 대한 설명>

[0067] 100: 마스터 회로부 110: 마스터 에지 검출부

[0068] 120: 마스터 클럭 제어부 130: 마스터 저장부

[0069] 140: 제어 신호 생성부 150: 마스터 주파수 비교부

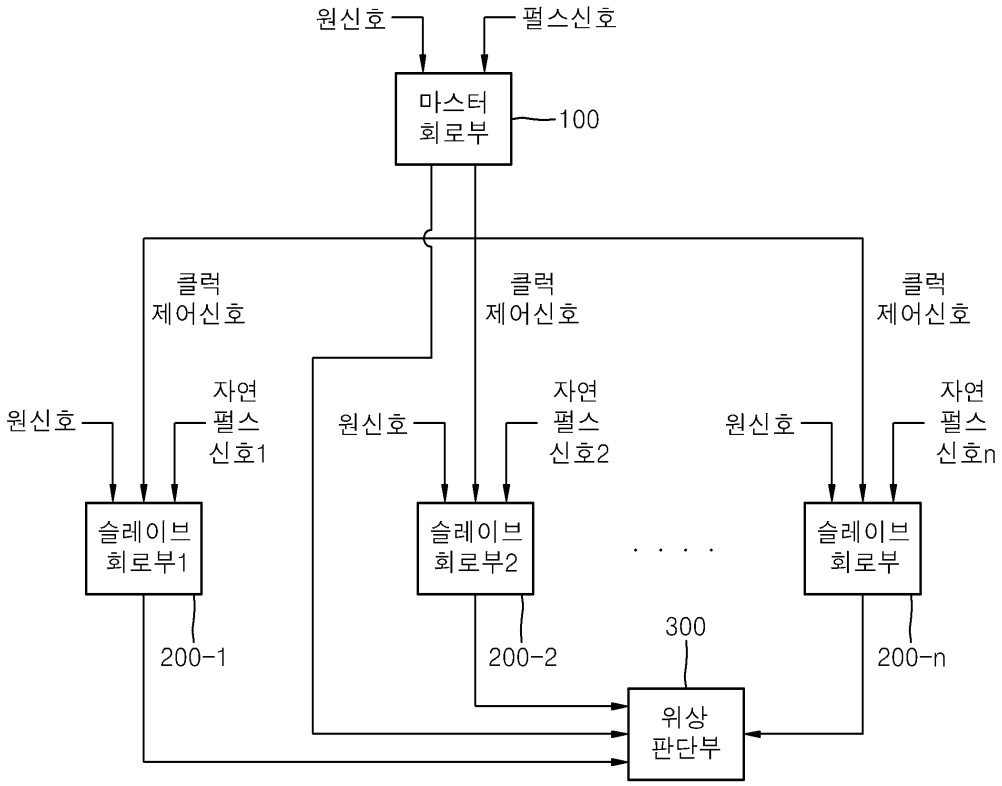
[0070] 200: 슬레이브 회로부 210: 슬레이브 에지 검출부

[0071] 220: 슬레이브 클럭 제어부 230: 슬레이브 저장부

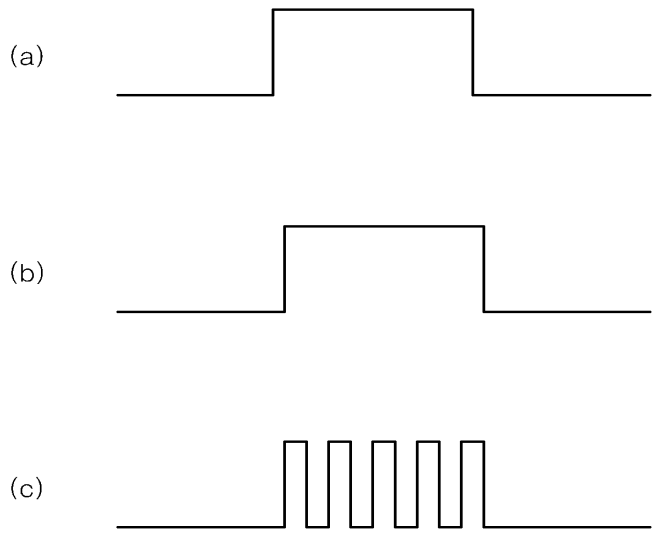
[0072] 240: 슬레이브 주파수 비교부

도면

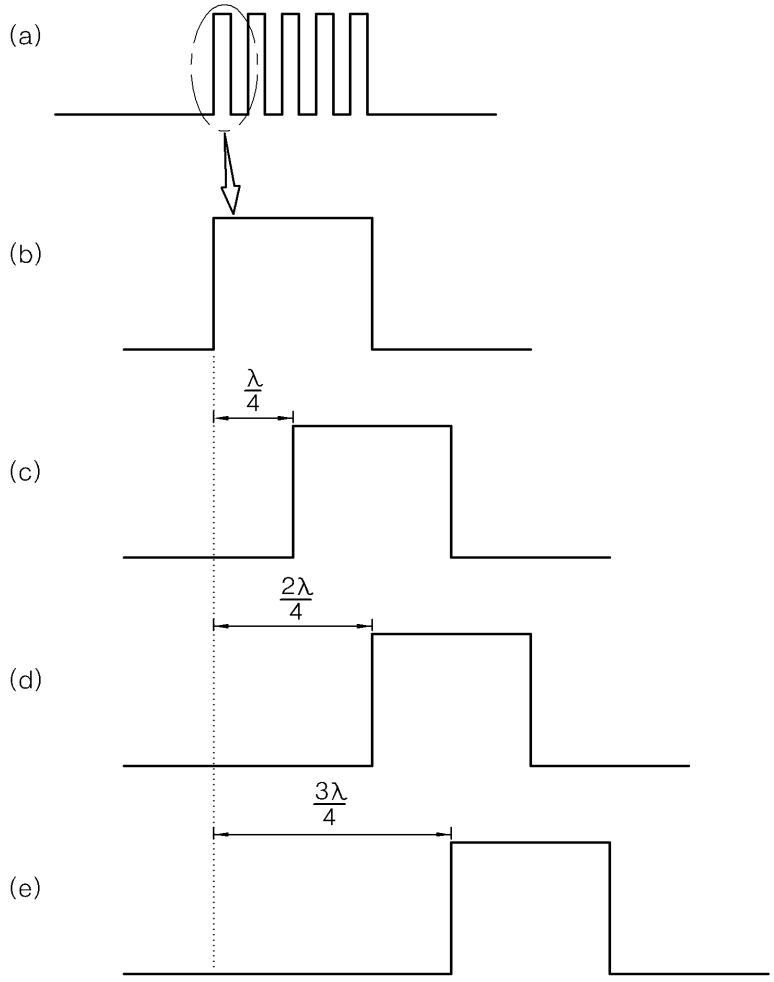
도면1


원신호
펄스신호
마스터
회로부
100
클럭
제어신호
클럭
제어신호
클럭
제어신호
원신호
자연
펄스
신호1
원신호
자연
펄스
신호2
원신호
자연
펄스
신호n
슬레이브
회로부1
슬레이브
회로부2
슬레이브
회로부
200-1
200-2
200-n
300
위상
판단부

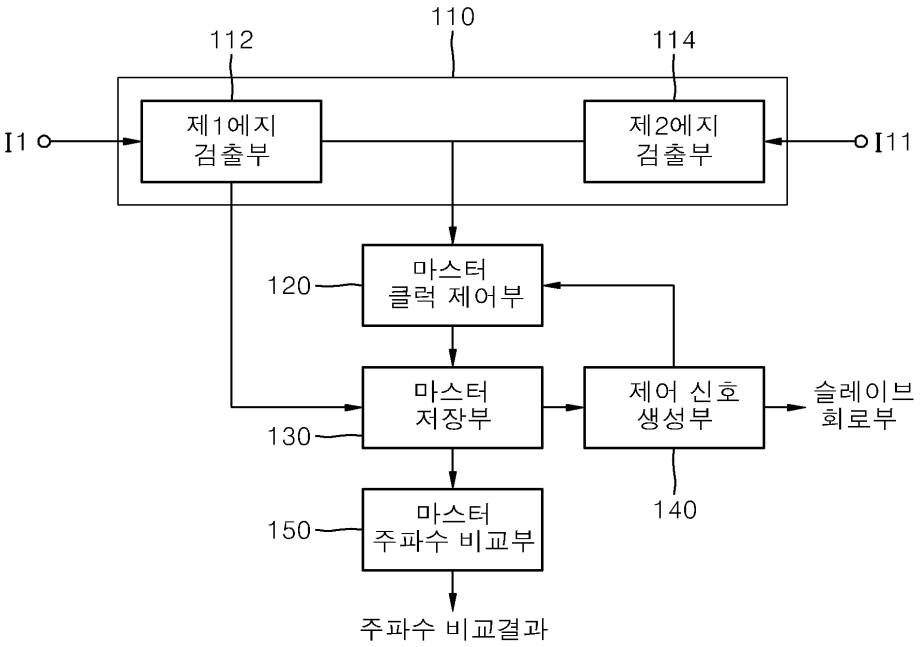
도면2


(a)
(b)
(c)

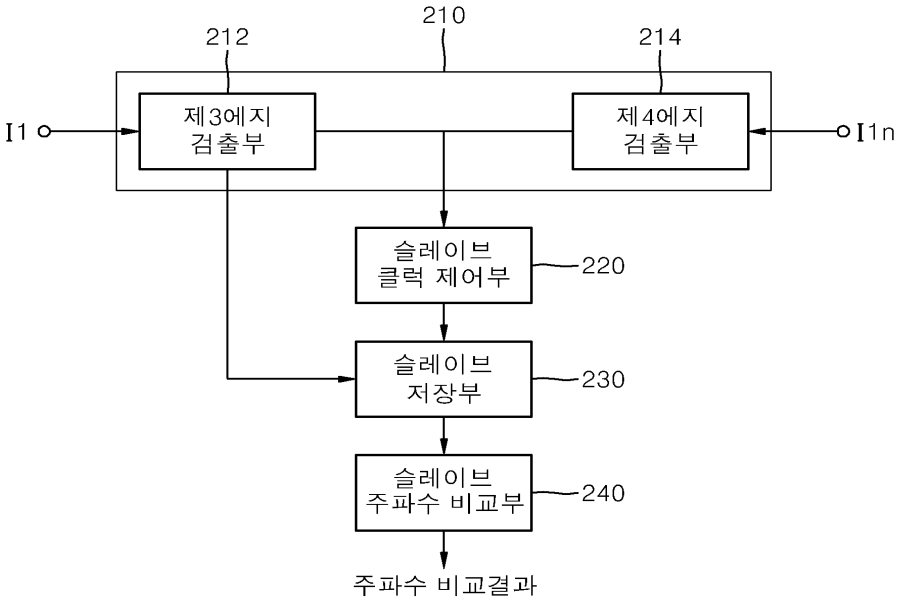
도면3



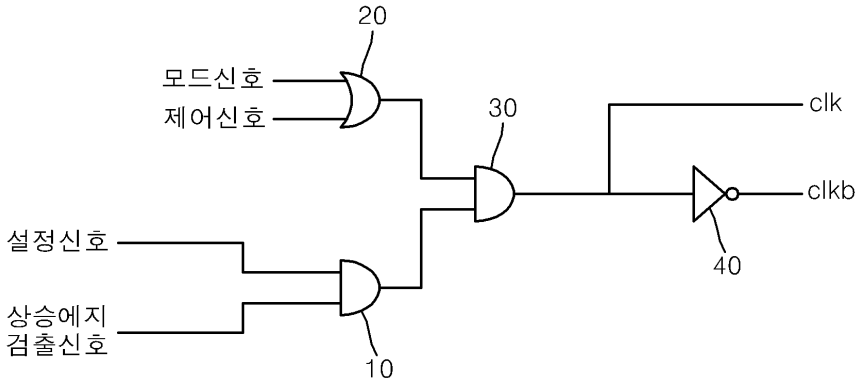
도면4


110
112
114
I1
제1에지
검출부
제2에지
검출부
I11
120
마스터
클럭 제어부
마스터
저장부
130
제어 신호
생성부
슬레이브
회로부
140
150
마스터
주파수 비교부
주파수 비교결과

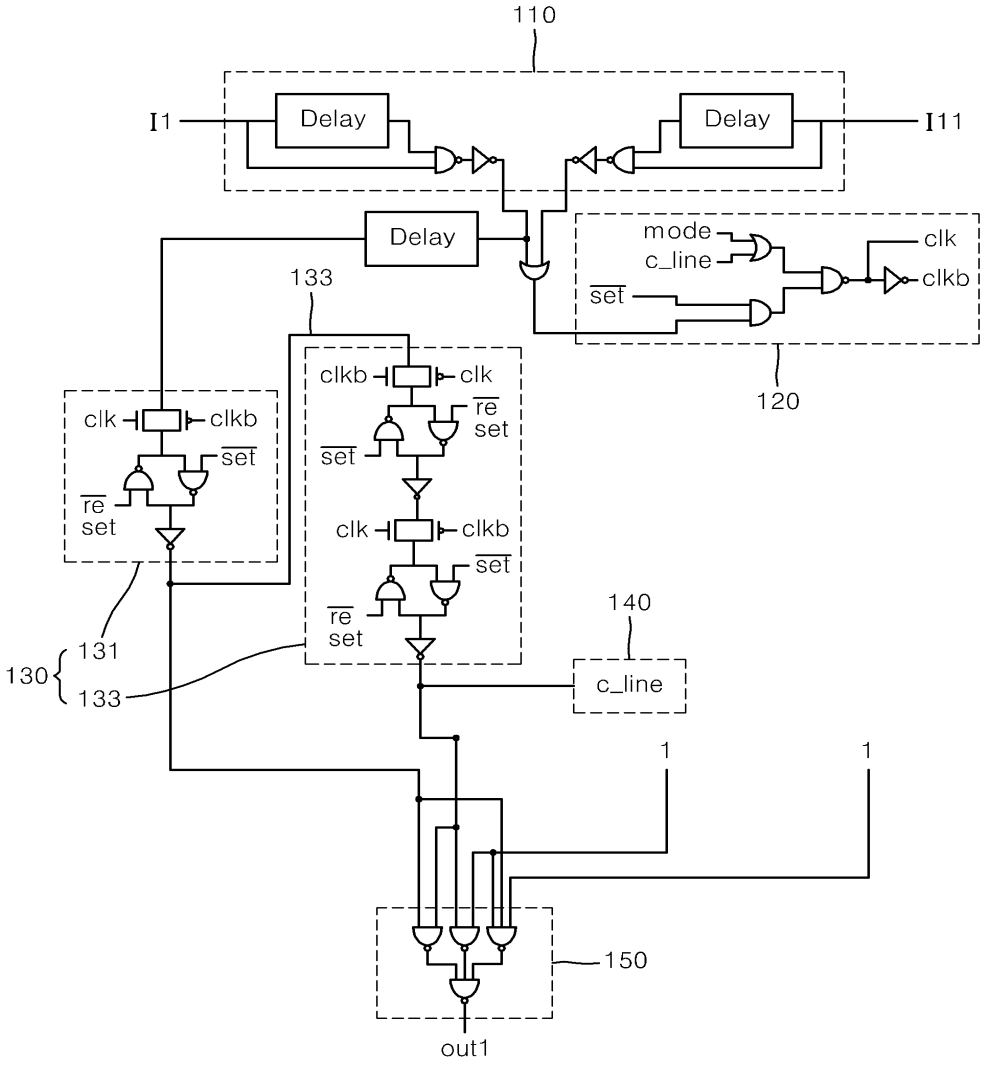
도면5


210
212
214
I1
제3에지
검출부
제4에지
검출부
I1n
슬레이브
클럭 제어부
220
슬레이브
저장부
230
슬레이브
주파수 비교부
240
주파수 비교결과

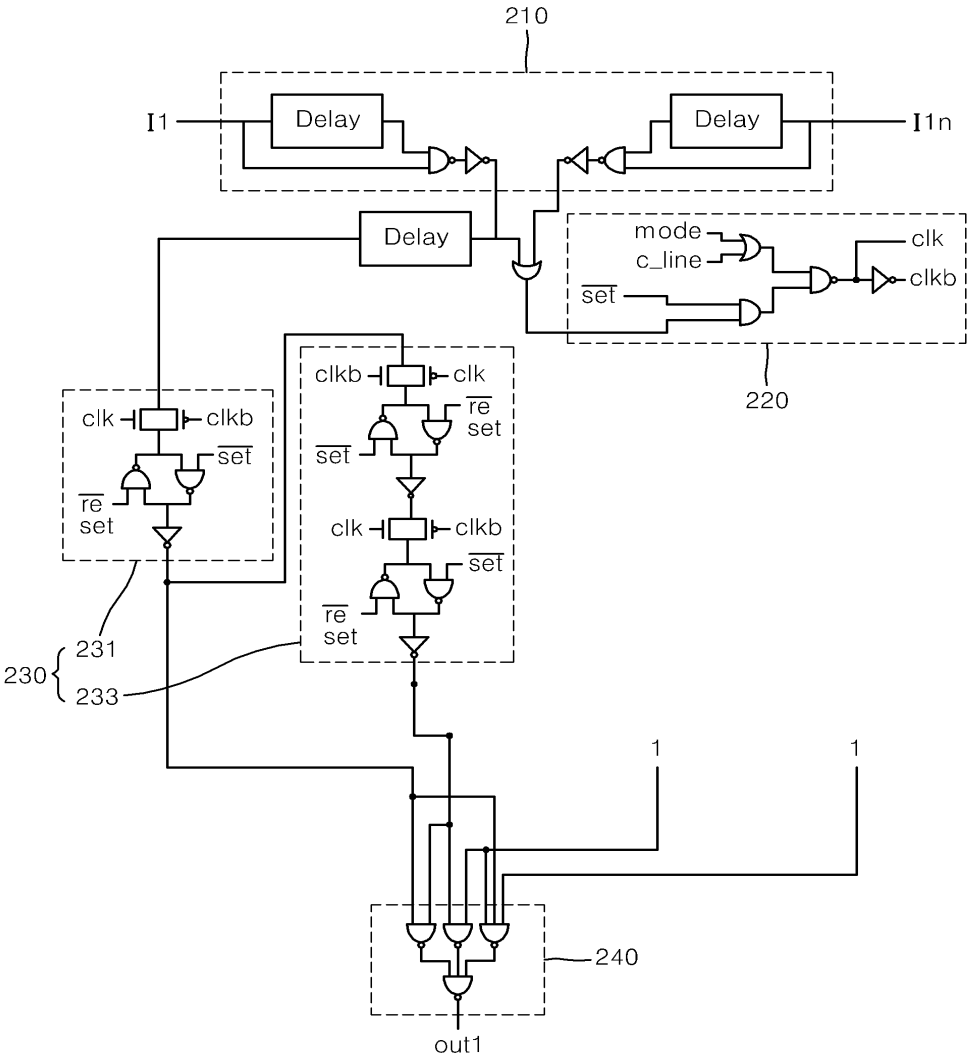
도면6


20
모드신호
제어신호
30
clk
clkb
40
설정신호
상승에지
검출신호
10

도면7


110
I1
Delay
Delay
I11
Delay
mode
c_line
set
clk
clkb
120
133
clkb
clk
re
set
set
clk
clkb
set
re
set
clk
clkb
set
re
set
130
131
133
140
c_line
1
1
150
out1

도면8


210
I1
Delay
Delay
I1n
Delay
mode
c_line
clk
clkb
set
220
clkb
clk
re
set
set
clk
clkb
set
re
set
clk
clkb
set
re
set
231
230
233
1
1
240
out1

도면9

